

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 1 月 2 日 (02.01.2020)



(10) 国际公布号
WO 2020/000629 A1

(51) 国际专利分类号:
H01L 27/12 (2006.01) **G02F 1/1368** (2006.01)
H01L 27/32 (2006.01)

(21) 国际申请号: PCT/CN2018/103269

(22) 国际申请日: 2018 年 8 月 30 日 (30.08.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201810677642.3 2018年6月27日 (27.06.2018) CN

(71) 申请人: 深圳市华星光电半导体显示技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO.,

LTD.) [CN/CN]; 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。

(72) 发明人: 夏慧 (XIA, Hui); 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。 谭志威 (TAN, Zhiwei); 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所 (普通合伙) (ESSEN PATENT & TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道6021号喜年中心A座1709-1711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,

(54) Title: ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR, AND DISPLAY PANEL

(54) 发明名称: 阵列基板及其制作方法、显示面板

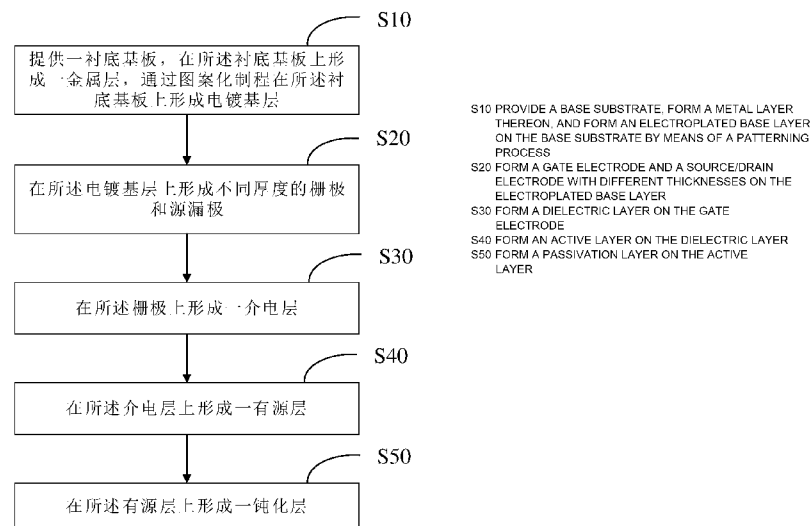


图 1

(57) Abstract: Provided in the present application are an array substrate and a manufacturing method therefor, and a display panel. The present application forms a gate electrode and a source/drain electrode with different thicknesses on an electroplated base layer by means of a metal plating process, and forms a dielectric layer on the substrate covering the gate electrode and exposing the source/drain electrode by utilizing the height difference between the gate electrode and the source/drain electrode, such that an active layer is electrically connected to the source/drain electrode and isolated from the gate electrode by means of the dielectric layer, thus not requiring an etching stop layer, simplifying the IGZO process and saving costs.

(57) 摘要: 本申请提出了一种阵列基板及其制作方法、显示面板, 本申请通过金属电镀的工艺在电镀基层上形成不同厚度的栅极和源漏极, 并利用栅极和源漏极的高度差, 在基板上形成将栅极覆盖以及露出源漏极的介电层, 使得有源层与源漏极连接导通, 并通过介电层与栅极隔离, 去掉了蚀刻阻挡层, 简化了IGZO的制程工艺, 节省了成本。

CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

阵列基板及其制作方法、显示面板

技术领域

[0001] 本申请涉及面板制造领域，尤其涉及一种阵列基板及其制作方法、显示面板。

背景技术

[0002] 目前，常见的TFT（Thin Film Transistor，薄膜晶体管）驱动分类主要有a-Si TFT（非晶硅）、LTPS TFT（低温多晶硅）以及IGZO TFT（indium gallium zinc oxide，氧化铟镓锌）。简单来说，IGZO是一种新型半导体材料，有着比非晶硅（a-Si）更高的电子迁移率和开态电流，被广泛应用到显示行业TFT器件中。

[0003] 现有常用的BCE（Back Channel Etching，背沟道蚀刻）底栅极IGZO TFT制程较为复杂，需要增加ESL（etching stop layer，蚀刻阻挡）层，用于避免在源漏极金属电极层湿刻时对沟道处的IGZO造成损伤而影响器件性能。

发明概述

技术问题

[0004] 本申请提供了一种阵列基板及其制作方法、显示面板，以简化现有技术中IGZO的制程工艺，降低成本。

问题的解决方案

技术解决方案

[0005] 本申请提出了一种阵列基板的制作方法，其包括步骤：

[0006] S10、提供一衬底基板，在所述衬底基板上形成一金属层，通过图案化制程在所述衬底基板上形成电镀基层；

[0007] S20、在所述电镀基层上形成不同厚度的栅极和源漏极；

[0008] S30、在所述栅极上形成一介电层，

[0009] 其中，所述介电层将所述栅极和所述衬底基板覆盖；

[0010] S40、在所述介电层上形成一有源层；

[0011] S50、在所述有源层上形成一钝化层。

[0012] 在本申请的制作方法中，所述电镀基层包括第一基层、第二基层和第三基层，

所述第二基层位于所述第一基层和所述第三基层之间。

[0013] 在本申请的制作方法中，所述栅极形成所述第二基层上，所述源漏极形成于所述第一基层和所述第三基层上。

[0014] 在本申请的制作方法中，所述步骤S40包括：

[0015] S401、在所述介电层上形成一所述有源层，

[0016] 其中，所述介电层将所述有源层和所述源漏极覆盖；

[0017] S402、在所述有源层上涂布第一光阻层；

[0018] S403、对所述第一光阻层进行曝光、显影；

[0019] S404、对所述有源层进行蚀刻工艺，保留所述源漏极之间以及所述源漏极上的所述有源层；

[0020] S405、剥离所述第一光阻层。

[0021] 在本申请的制作方法中，所述栅极和所述源漏极在同一道制程工艺中制成。

[0022] 在本申请的制作方法中，所述栅极和所述源漏极通过金属电镀的工艺制成。

[0023] 在本申请的制作方法中，形成所述源漏极所需的电位大于形成所述栅极所需的电位。

[0024] 在本申请的制作方法中，所述源漏极的厚度大于所述栅极的厚度。

[0025] 本申请还提出了一种阵列基板，其中，所述阵列基板采用如下制作方法制备而成，所述制作方法包括：

[0026] S10、提供一衬底基板，在所述衬底基板上形成一金属层，通过图案化制程在所述衬底基板上形成电镀基层；

[0027] S20、在所述电镀基层上形成不同厚度的栅极和源漏极，

[0028] 其中，所述源漏极的厚度大于所述栅极的厚度；

[0029] S30、在所述栅极上形成一介电层，

[0030] 其中，所述介电层将所述栅极和所述衬底基板覆盖；

[0031] S40、在所述介电层上形成一有源层；

[0032] S50、在所述有源层上形成一钝化层。

[0033] 在本申请的阵列基板中，所述电镀基层包括第一基层、第二基层和第三基层，所述第二基层位于所述第一基层和所述第三基层之间。

- [0034] 在本申请的阵列基板中，所述栅极形成所述第二基层上，所述源漏极形成于所述第一基层和所述第三基层上。
- [0035] 在本申请的阵列基板中，所述步骤S40包括：
- [0036] S401、在所述介电层上形成一所述有源层，
- [0037] 其中，所述介电层将所述有源层和所述源漏极覆盖；
- [0038] S402、在所述有源层上涂布第一光阻层；
- [0039] S403、对所述第一光阻层进行曝光、显影；
- [0040] S404、对所述有源层进行蚀刻工艺，保留所述源漏极之间以及所述源漏极上的所述有源层；
- [0041] S405、剥离所述第一光阻层。
- [0042] 在本申请的阵列基板中，所述栅极和所述源漏极在同一道制程工艺中制成。
- [0043] 在本申请的阵列基板中，所述栅极和所述源漏极在同一道制程工艺中制成，形成所述源漏极所需的电位大于形成所述栅极所需的电位。
- [0044] 本申请还提出了一种显示面板，包括阵列基板，其中，所述阵列基板采用如下制作方法制备而成，所述制作方法包括：
- [0045] S10、提供一衬底基板，在所述衬底基板上形成一金属层，通过图案化制程在所述衬底基板上形成电镀基层；
- [0046] S20、在所述电镀基层上形成不同厚度的栅极和源漏极；
- [0047] S30、在所述栅极上形成一介电层，
- [0048] 其中，所述介电层将所述栅极和所述衬底基板覆盖；
- [0049] S40、在所述介电层上形成一有源层；
- [0050] S50、在所述有源层上形成一钝化层。
- [0051] 在本申请的显示面板中，所述电镀基层包括第一基层、第二基层和第三基层，所述第二基层位于所述第一基层和所述第三基层之间。
- [0052] 在本申请的显示面板中，所述栅极形成所述第二基层上，所述源漏极形成于所述第一基层和所述第三基层上。
- [0053] 在本申请的显示面板中，所述步骤S40包括：
- [0054] S401、在所述介电层上形成一所述有源层，

- [0055] 其中，所述介电层将所述有源层和所述源漏极覆盖；
- [0056] S402、在所述有源层上涂布第一光阻层；
- [0057] S403、对所述第一光阻层进行曝光、显影；
- [0058] S404、对所述有源层进行蚀刻工艺，保留所述源漏极之间以及所述源漏极上的所述有源层；
- [0059] S405、剥离所述第一光阻层。
- [0060] 在本申请的显示面板中，所述栅极和所述源漏极在同一道制程工艺中制成。
- [0061] 在本申请的显示面板中，所述栅极和所述源漏极在同一道制程工艺中制成，形成所述源漏极所需的电位大于形成所述栅极所需的电位。

发明的有益效果

有益效果

- [0062] 本申请通过金属电镀的工艺在电镀基层上形成不同厚度的栅极和源漏极，并利用栅极和源漏极的高度差，在基板上形成将栅极覆盖以及露出源漏极的介电层，使得有源层与源漏极连接导通，并通过介电层与栅极隔离，去掉了蚀刻阻挡层，简化了IGZO的制程工艺，节省了成本。

对附图的简要说明

附图说明

- [0063] 为了更清楚地说明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单介绍，显而易见地，下面描述中的附图仅仅是发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。
- [0064] 图1为本申请一种阵列基板制作方法步骤流程图；
- [0065] 图2A~2H本申请一种阵列基板制作方法工艺流程图。

实施该发明的最佳实施例

本发明的最佳实施方式

- [0066] 以下各实施例的说明是参考附加的图示，用以例示本申请可用以实施的特定实施例。本申请所提到的方向用语，例如[上]、[下]、[前]、[后]、[左]、[右]、[内]

、[外]、[侧面]等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本申请，而非用以限制本申请。在图中，结构相似的单元是用以相同标号表示。

[0067] 图1所示为本申请优选实施例一种阵列基板阵列基板制作方法的步骤流程图，其中，所述制作方法包括：

[0068] S10、提供一衬底基板，在所述衬底基板上形成一金属层，通过图案化制程在所述衬底基板上形成电镀基层；

[0069] 如图2A所示，首先，提供一衬底基板101，所述衬底基板101的原材料可以为玻璃基板、石英基板、树脂基板等中的一种；

[0070] 如图2B所示，在所述衬底基板101上形成第一金属层102，所述第一金属层为电镀种子层，优选的，所述金属层的厚度在200埃米左右，第一金属层102的材料优选为钼；

[0071] 如图2C所示，在第一金属层102上涂布第一光阻层，采用掩模板（未画出）进行曝光，经显影以及蚀刻等构图工艺处理后，将所述第一金属层102图案化，并剥离所述第一光阻层，使得第一金属层102形成电镀基层；

[0072] 其中，所述电镀基层包括第一基层103、第二基层104以及第三基层105，所述第二基层104位于所述第一基层103和所述第三基层105之间；

[0073] S20、在所述电镀基层上形成不同厚度的栅极和源漏极；

[0074] 如图2D所示，本步骤主要利用金属电镀的工艺，但不限定此方法，在所述电镀基层上同时形成所述阵列基板的栅极106和源漏极107，即在同一道制程工艺中所制成；

[0075] 在本实施例中，制备栅极106和源漏极107的金属材料相同或不同，金属材料可以采用钼、铝、铝镍合金、钼钨合金、铬、或铜等金属，也可以使用上述几种金属材料的组合物；优选的，所述栅极106和所述源漏极107的材料为铜；

[0076] 其中，金属电镀工艺主要将图2C中的结构放置在电解槽中镀相应的金属，所述第一基层103或第三基层105与所述第二基层104连接不同的电位，第一基层103与第三基层105的电位相同；此步骤中，由于不同基层之间存在一定的电位差，因此各基层之间沉积金属的速率不同，如图2D所示；

- [0077] 本实施例中，形成所述源漏极107所需的电位大于形成所述栅极106所需的电位，因此在相同时间内，第一基层103和第三基层105上的源漏极107的厚度较第二基层104上的栅极106的厚度大；优选的，所述栅极106的厚度为5000埃米，所述源漏极107的厚度为1微米；
- [0078] 另外，所述栅极106位于所述第二基层104上，所述源漏极107位于所述第一基层103和所述第三基层105上。
- [0079] S30、在所述栅极上形成一介电层，其中，所述介电层将所述栅极和所述衬底基板覆盖，露出部分所述源漏极；
- [0080] 如图2E所示，在所述栅极106上形成一介电层108，此步骤主要利用化学方法实现，采用流平性较好的有机绝缘材料沉积在所述衬底基板101上，所述介电层108将所述栅极106和所述衬底基板101覆盖，并露出部分所述源漏极107。
- [0081] S40、在所述介电层上形成一有源层；
- [0082] 如图2F所示，本步骤首先在所述介电层108和所述源漏极107上形成一有源层109，优选的，所述有源层109为金属氧化物；其次，在所述有源层109上形成第一光阻层，采用掩模板（未画出）曝光，所述第一光阻层经显影后，保留所述源漏极107之间和所述源漏极107上的所述第一光阻层；再次，对所述有源层109进行蚀刻工艺，保留所述源漏极107之间和所述源漏极107上的所述有源层109；如图2G所示，所述有源层109将所述源漏极107和所述源漏极107之间的所述介电层108覆盖。
- [0083] S50、在所述有源层上形成一钝化层。
- [0084] 如图2H所示，在所述有源层109和所述介电层108上形成一钝化层110，所述钝化层110将所述有源层109以及介电层108覆盖；优选的，所述钝化层110材料通常为氮化矽化合物。
- [0085] 本申请还提出了一种阵列基板，其中，所述阵列基板采用上述阵列基板的制作方法制备而成。
- [0086] 本申请还提出了一种显示面板，其中，所述显示面板包括上述阵列基板。
- [0087] 本申请提供了一种阵列基板及其制作方法、显示面板，本申请主要通过金属电镀的工艺在电镀基层上形成不同厚度的栅极和源漏极，并利用栅极和源漏极的

高度差，在基板上形成将栅极覆盖以及露出源漏极的介电层，使得有源层与源漏极连接导通，并通过介电层与栅极隔离，去掉了蚀刻阻挡层，简化了IGZO的制程工艺，节省了成本。

[0088] 综上所述，虽然本申请已以优选实施例揭露如上，但上述优选实施例并非用以限制本申请，本领域的普通技术人员，在不脱离本申请的精神和范围内，均可作各种更动与润饰，因此本申请的保护范围以权利要求界定的范围为准。

权利要求书

- [权利要求 1] 一种阵列基板的制作方法，其包括步骤：
- S10、提供一衬底基板，在所述衬底基板上形成一金属层，通过图案化制程在所述衬底基板上形成电镀基层；
- S20、在所述电镀基层上形成不同厚度的栅极和源漏极；
- S30、在所述栅极上形成一介电层，
- 其中，所述介电层将所述栅极和所述衬底基板覆盖；
- S40、在所述介电层上形成一有源层；
- S50、在所述有源层上形成一钝化层。
- [权利要求 2] 根据权利要求1所述的制作方法，其中，所述电镀基层包括第一基层、第二基层和第三基层，所述第二基层位于所述第一基层和所述第三基层之间。
- [权利要求 3] 根据权利要求2所述的制作方法，其中，所述栅极形成所述第二基层上，所述源漏极形成于所述第一基层和所述第三基层上。
- [权利要求 4] 根据权利要求1所述的制作方法，其中，所述步骤S40包括：
- S401、在所述介电层上形成一所述有源层，
- 其中，所述介电层将所述有源层和所述源漏极覆盖；
- S402、在所述有源层上涂布第一光阻层；
- S403、对所述第一光阻层进行曝光、显影；
- S404、对所述有源层进行蚀刻工艺，保留所述源漏极之间以及所述源漏极上的所述有源层；
- S405、剥离所述第一光阻层。
- [权利要求 5] 根据权利要求1所述的制作方法，其中，所述栅极和所述源漏极在同一道制程工艺中制成。
- [权利要求 6] 根据权利要求5所述的制作方法，其中，所述栅极和所述源漏极通过金属电镀的工艺制成。
- [权利要求 7] 根据权利要求6所述的制作方法，其中，形成所述源漏极所需的电位大于形成所述栅极所需的电位。

- [权利要求 8] 根据权利要求1所述的制作方法，其中，所述源漏极的厚度大于所述栅极的厚度。
- [权利要求 9] 一种阵列基板，其中，所述阵列基板采用如下制作方法制备而成，所述制作方法包括：
- S10、提供一衬底基板，在所述衬底基板上形成一金属层，通过图案化制程在所述衬底基板上形成电镀基层；
- S20、在所述电镀基层上形成不同厚度的栅极和源漏极，其中，所述源漏极的厚度大于所述栅极的厚度；
- S30、在所述栅极上形成一介电层，其中，所述介电层将所述栅极和所述衬底基板覆盖；
- S40、在所述介电层上形成一有源层；
- S50、在所述有源层上形成一钝化层。
- [权利要求 10] 根据权利要求9所述的阵列基板，其中，所述电镀基层包括第一基层、第二基层和第三基层，所述第二基层位于所述第一基层和所述第三基层之间。
- [权利要求 11] 根据权利要求10所述的阵列基板，其中，所述栅极形成所述第二基层上，所述源漏极形成于所述第一基层和所述第三基层上。
- [权利要求 12] 根据权利要求9所述的阵列基板，其中，所述步骤S40包括：
- S401、在所述介电层上形成一所述有源层，其中，所述介电层将所述有源层和所述源漏极覆盖；
- S402、在所述有源层上涂布第一光阻层；
- S403、对所述第一光阻层进行曝光、显影；
- S404、对所述有源层进行蚀刻工艺，保留所述源漏极之间以及所述源漏极上的所述有源层；
- S405、剥离所述第一光阻层。
- [权利要求 13] 根据权利要求9所述的阵列基板，其中，所述栅极和所述源漏极在同一道制程工艺中制成。
- [权利要求 14] 根据权利要求9所述的阵列基板，其中，所述栅极和所述源漏极在同

一道制程工艺中制成，形成所述源漏极所需的电位大于形成所述栅极所需的电位。

[权利要求 15] 一种显示面板，包括阵列基板，其中，所述阵列基板采用如下制作方法制备而成，所述制作方法包括：

S10、提供一衬底基板，在所述衬底基板上形成一金属层，通过图案化制程在所述衬底基板上形成电镀基层；

S20、在所述电镀基层上形成不同厚度的栅极和源漏极；

S30、在所述栅极上形成一介电层，

其中，所述介电层将所述栅极和所述衬底基板覆盖；

S40、在所述介电层上形成一有源层；

S50、在所述有源层上形成一钝化层。

[权利要求 16] 根据权利要求15所述的显示面板，其中，所述电镀基层包括第一基层、第二基层和第三基层，所述第二基层位于所述第一基层和所述第三基层之间。

[权利要求 17] 根据权利要求16所述的显示面板，其中，所述栅极形成所述第二基层上，所述源漏极形成于所述第一基层和所述第三基层上。

[权利要求 18] 根据权利要求15所述的显示面板，其中，所述步骤S40包括：

S401、在所述介电层上形成一所述有源层，

其中，所述介电层将所述有源层和所述源漏极覆盖；

S402、在所述有源层上涂布第一光阻层；

S403、对所述第一光阻层进行曝光、显影；

S404、对所述有源层进行蚀刻工艺，保留所述源漏极之间以及所述源漏极上的所述有源层；

S405、剥离所述第一光阻层。

[权利要求 19] 根据权利要求15所述的显示面板，其中，所述栅极和所述源漏极在同一道制程工艺中制成。

[权利要求 20] 根据权利要求15所述的显示面板，其中，所述栅极和所述源漏极在同一道制程工艺中制成，形成所述源漏极所需的电位大于形成所述栅极

所需的电位。

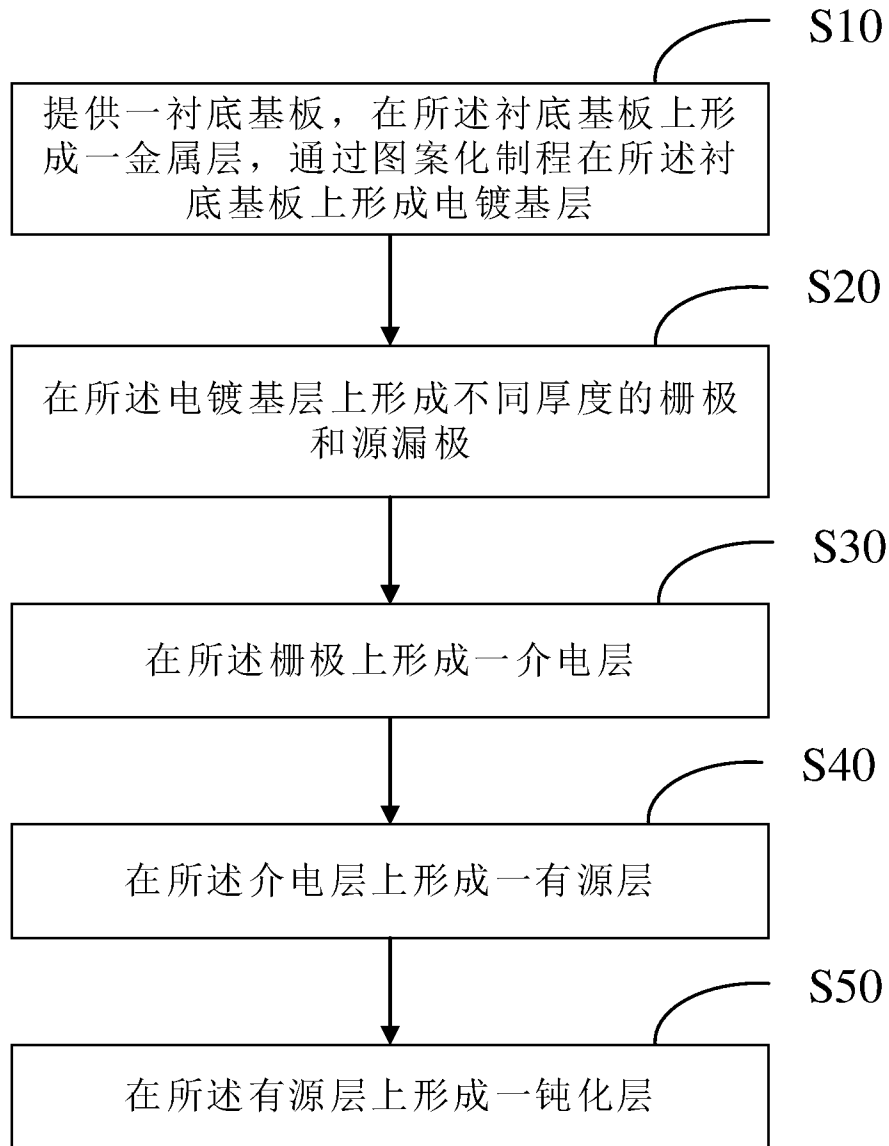


图 1

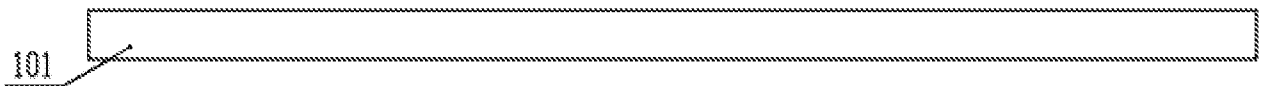


图 2A



图 2B

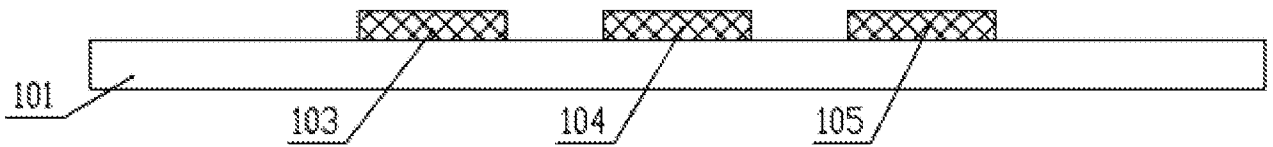


图 2C

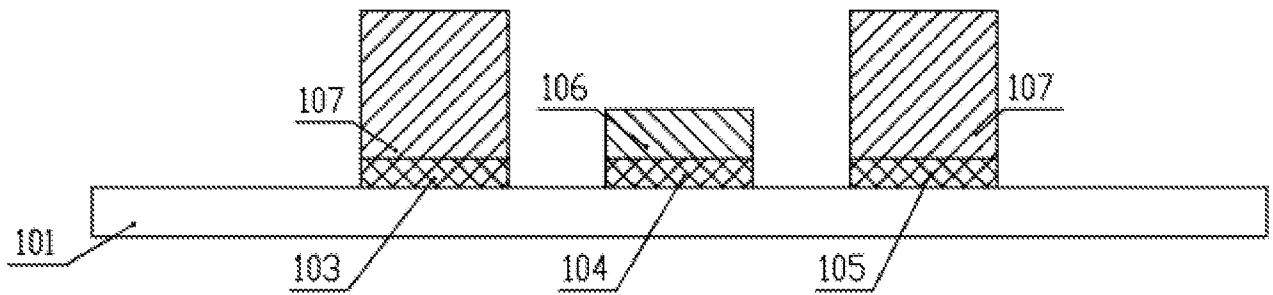


图 2D

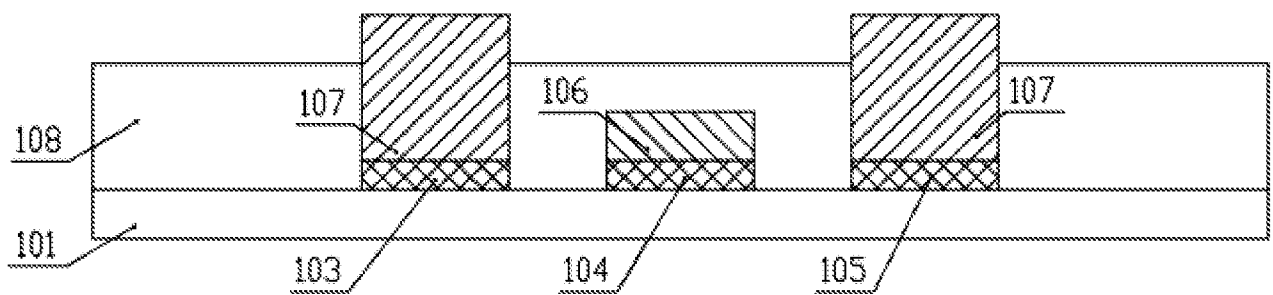


图 2E

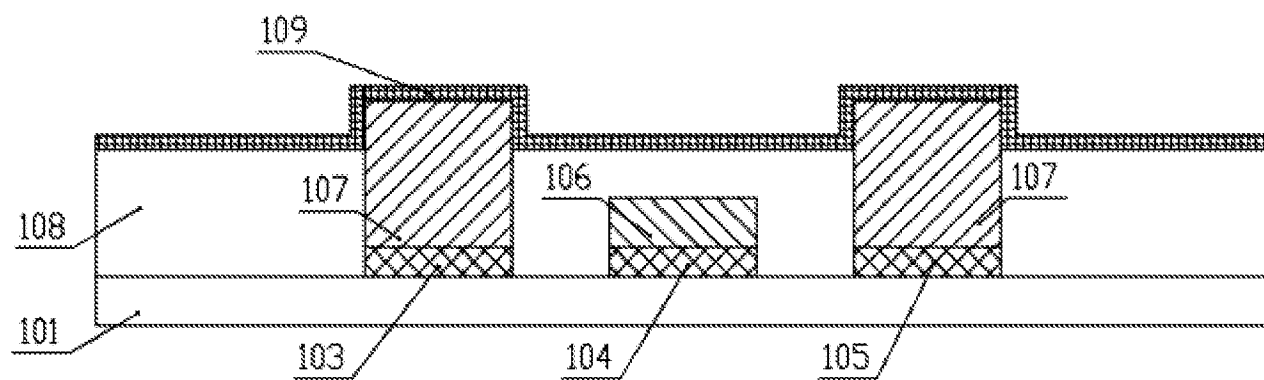


图 2F

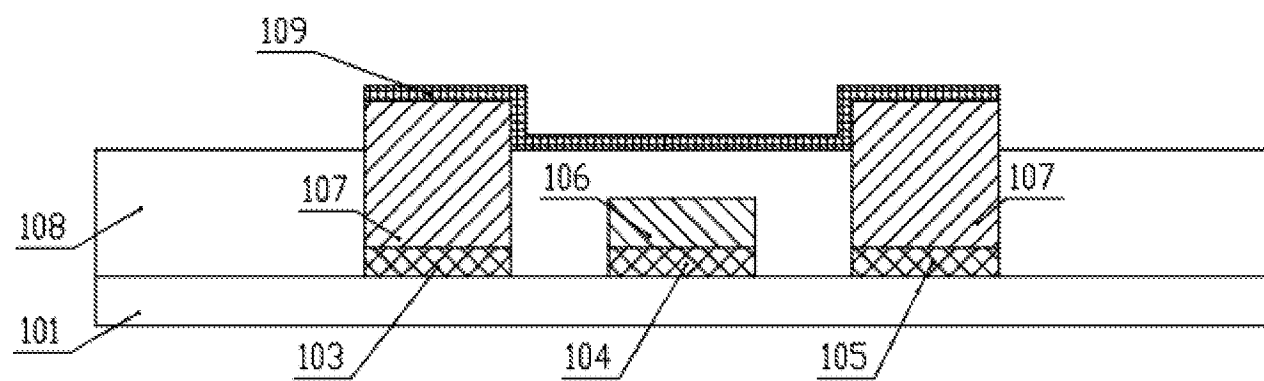


图 2G

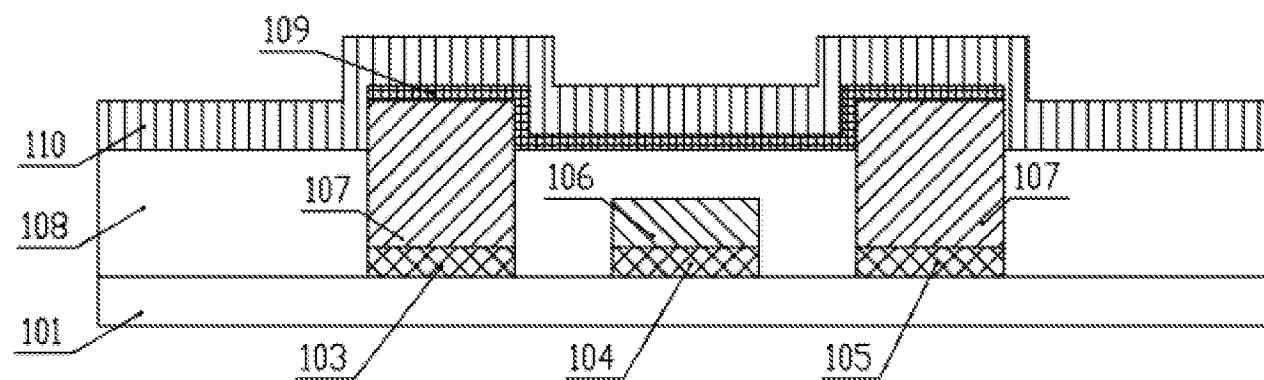


图 2H

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/103269

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12(2006.01)i; H01L 27/32(2006.01)i; G02F 1/1368(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, DWPI, SIPOABS, CNKI, IEEE: 阵列基板, 电镀, 基层, 栅, 源极, 漏极, 电位, 有源, array substrate, plating, base layer, gate, source, drain, potential, active

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104617042 A (BOE TECHNOLOGY GROUP CO., LTD.) 13 May 2015 (2015-05-13) description, paragraphs [0040]-[0101], and figures 1-11	1-4, 6, 8-12, 15-18
A	CN 104035253 A (BOE TECHNOLOGY GROUP CO., LTD.) 10 September 2014 (2014-09-10) entire document	1-20
A	CN 102263060 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) 30 November 2011 (2011-11-30) entire document	1-20
A	KR 20150034044 A (LG DISPLAY CO LTD) 02 April 2015 (2015-04-02) entire document	1-20

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

22 March 2019

Date of mailing of the international search report

09 April 2019

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/103269

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	104617042	A	13 May 2015	CN	104617042	B	19 January 2018
CN	104035253	A	10 September 2014	US	2015340419	A1	26 November 2015
				US	9293517	B2	22 March 2016
CN	102263060	A	30 November 2011	CN	102263060	B	24 September 2014
KR	20150034044	A	02 April 2015	None			

国际检索报告

国际申请号

PCT/CN2018/103269

A. 主题的分类

H01L 27/12(2006.01)i; H01L 27/32(2006.01)i; G02F 1/1368(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, DWPI, SIPOABS, CNKI, IEEE:阵列基板, 电镀, 基层, 栅, 源极, 漏极, 电位, 有源, array substrate, plating, base layer, gate, source, drain, potential, active

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 104617042 A (京东方科技集团股份有限公司) 2015年 5月 13日 (2015 - 05 - 13) 说明书第【0040】-【0101】段, 附图1-11	1-4、6、8-12、15-18
A	CN 104035253 A (京东方科技集团股份有限公司) 2014年 9月 10日 (2014 - 09 - 10) 全文	1-20
A	CN 102263060 A (北京京东方光电科技有限公司) 2011年 11月 30日 (2011 - 11 - 30) 全文	1-20
A	KR 20150034044 A (LG DISPLAY CO LTD) 2015年 4月 2日 (2015 - 04 - 02) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 3月 22日

国际检索报告邮寄日期

2019年 4月 9日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

宋霖

传真号 (86-10)62019451

电话号码 62411800

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/103269

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104617042	A	2015年 5月 13日	CN	104617042	B	2018年 1月 19日
CN	104035253	A	2014年 9月 10日	US	2015340419	A1	2015年 11月 26日
				US	9293517	B2	2016年 3月 22日
CN	102263060	A	2011年 11月 30日	CN	102263060	B	2014年 9月 24日
KR	20150034044	A	2015年 4月 2日	无			