

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年3月27日(27.03.2025)



(10) 国際公開番号

WO 2025/062845 A1

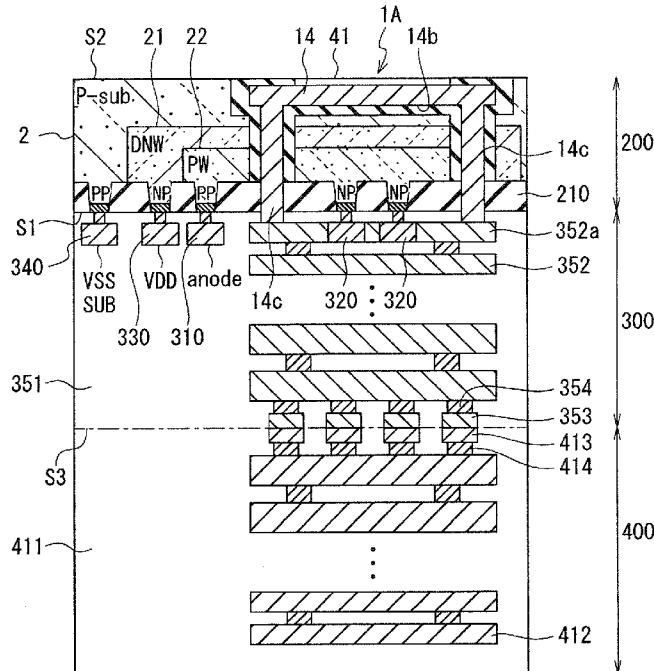
- (51) 国際特許分類:
H01L 27/146 (2006.01) H01L 21/768 (2006.01)
H01L 21/3205 (2006.01) H01L 23/522 (2006.01)
- (21) 国際出願番号: PCT/JP2024/027374
- (22) 国際出願日: 2024年7月31日(31.07.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-156674 2023年9月22日(22.09.2023) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

- (72) 発明者: 八木 拓馬(YAGI Takuma); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 佐藤 和樹(SATO Kazuki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 山田 宏行(YAMADA Hiroyuki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 粂内 雄太(MOMIUCHI Yuta); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(54) Title: LIGHT DETECTION APPARATUS, ELECTRONIC DEVICE, AND METHOD FOR PRODUCING LIGHT DETECTION APPARATUS

(54) 発明の名称: 光検出装置、電子機器及び光検出装置の製造方法



(57) Abstract: Provided is a light detection apparatus that makes it possible to decrease chip area. The light detection apparatus comprises a semiconductor layer, a wiring layer, a terminal pad, and an element. The semiconductor layer has a photoelectric conversion unit. One surface of the semiconductor layer is a light entry surface, and the other surface is an element formation surface. The wiring layer is laminated onto the element formation surface of the semiconductor layer. At least part of the terminal pad is positioned at the semiconductor layer. The terminal pad is connected to metal wiring

眞鍋 颯也(MANABE Soya); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 藤田 勝志(FUJITA Katsushi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 津曲 兼一郎(TSUMAGARI Kenichiro); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 新井 規夫(ARAI Norio); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 宇佐美 丈留(USAMI Takeru); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 田 中 秀 ▲ て つ ▼, 外 (TANAKA Hidetetsu et al.); 〒1056032 東京都港区虎ノ門四丁目3番1号 城山トラストタワー32階 弁理士法人日栄国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

of the wiring layer. The element is disposed between the terminal pad and the wiring layer.

(57) 要約: チップ面積を縮小化することが可能な光検出装置を提供する。光検出装置は、半導体層と、配線層と、端子パッドと、素子とを備える。半導体層は、光電変換部を有し、一方の面が光入射面であり他方の面が素子形成面である。配線層は、半導体層の素子形成面に積層される。端子パッドは、半導体層に少なくとも一部が位置し、配線層の金属配線と接続される。素子は、端子パッドと配線層との間に配置される。

明 細 書

発明の名称：光検出装置、電子機器及び光検出装置の製造方法
技術分野

[0001] 本開示に係る技術（本技術）は、光検出装置、光検出装置を備えた電子機器及び光検出装置の製造方法に関する。

背景技術

[0002] 固体撮像装置において、チップ内にESD（Electrostatic Discharge）やPID（Process Induced Damage）等から半導体素子を守るための保護素子が、通常各端子パッドにそれぞれ対応して一定数配置されている。特許文献1には、端子パッドの下に保護トランジスタのエミッタ領域が電氣的に連結される構造が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開平10-335627号公報

発明の概要

発明が解決しようとする課題

[0004] 固体撮像装置においては、チップサイズの縮小が望まれている。しかし、保護素子は、チップ内に一定数必要とされるため、チップ面積が増大してしまう。

[0005] 本開示はこのような事情に鑑みてなされたもので、チップ面積を縮小化することが可能な光検出装置、電子機器及び光検出装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0006] 本開示の一態様は、光電変換部を有し、一方の面が光入射面であり他方の面が素子形成面である半導体層と、前記半導体層の前記素子形成面に積層される配線層と、前記半導体層に少なくとも一部が位置し、前記配線層の金属

配線と接続される端子パッドと、前記端子パッドと前記配線層との間に配置される素子とを備える光検出装置である。

[0007] 本開示の他の態様は、光電変換部を有し、一方の面が光入射面であり他方の面が素子形成面である半導体層と、前記半導体層の前記素子形成面に積層される配線層と、前記半導体層の前記素子形成面より前記配線層側に位置し、前記配線層の金属配線と接続される端子パッドと、前記半導体層の前記光入射面から前記端子パッドに至り形成され、前記端子パッドを前記光入射面から露出するパッド開口部と、を備え、前記パッド開口部が形成される前に、前記パッド開口部の形成位置に素子を配置する、光検出装置である。

[0008] また、本開示の他の態様は、光電変換部を有し、一方の面が光入射面であり他方の面が素子形成面である半導体層と、前記半導体層の前記素子形成面に積層される配線層と、前記半導体層に少なくとも一部が位置し、前記配線層の金属配線に接続される端子パッドと、前記端子パッドと前記配線層との間に配置される素子と、を備える光検出装置を備えた、電子機器である。

[0009] また、本開示の他の態様は、光電変換部を有し、一方の面が光入射面であり他方の面が素子形成面である半導体層と、前記半導体層の前記素子形成面に積層される配線層と、前記半導体層の前記素子形成面より前記配線層側に位置し、前記配線層の金属配線に接続される端子パッドと、前記半導体層の前記光入射面から前記端子パッドに至り形成され、前記端子パッドを前記光入射面から露出するパッド開口部と、を備え、前記パッド開口部が形成される前に、前記パッド開口部の形成位置に素子を配置する、光検出装置を備えた、電子機器である。

[0010] また、本開示の他の態様は、光電変換部を有し、一方の面が光入射面であり他方の面が素子形成面である半導体層の前記素子形成面に配線層を積層した半導体チップを用意することと、前記半導体層内に、上面を外部に露出する端子パッドを形成することと、前記半導体層内に配置される素子が前記端子パッドの下面と前記配線層との間に位置するように、前記端子パッドの下面と前記配線層の金属配線とをビアにより接続することと、を備える、光検

出装置の製造方法である。

[0011] さらに、本開示の他の態様は、光電変換部を有し、一方の面が光入射面であり他方の面が素子形成面である半導体層の前記素子形成面に配線層を積層した半導体チップを用意することと、前記半導体層の前記素子形成面より前記配線層側に、前記配線層の金属配線に接続される端子パッドを形成することと、前記半導体層の前記光入射面から前記端子パッドに至り、前記端子パッドを前記光入射面から露出するパッド開口部を形成することと、を備え、前記パッド開口部を形成する前に、前記パッド開口部の形成位置に素子を配置する、光検出装置の製造方法である。

図面の簡単な説明

[0012] [図1]本開示の第1の実施形態に係る固体撮像装置の一構成例を模式的に示す平面レイアウト図である。

[図2]本開示の第1の実施形態に係る固体撮像装置の一構成例を示すブロック図である。

[図3]本開示の第1の実施形態に係る固体撮像装置の画素ユニットの等価回路図である。

[図4A]本開示の第1の実施形態の比較例に係る固体撮像装置の概略的構造の一例を示す平面図（その1）である。

[図4B]本開示の第1の実施形態の比較例に係る固体撮像装置の概略的構造の一例を示す平面図（その2）である。

[図5A]図4Aに示すA-A'線で切断した固体撮像装置の概略的構造の一例を示す部分断面図である。

[図5B]図4Bに示すA-A'線で切断した固体撮像装置の概略的構造の一例を示す部分断面図である。

[図6A]本開示の第1の実施形態に係る固体撮像装置の概略的構造の一例を示す平面図（その1）である。

[図6B]本開示の第1の実施形態に係る固体撮像装置の概略的構造の一例を示す平面図（その2）である。

[図7A]図6 Aに示すA－A'線で切断した固体撮像装置の概略的構造の一例を示す部分断面図である。

[図7B]図6 Bに示すA－A'線で切断した固体撮像装置の概略的構造の一例を示す部分断面図である。

[図8A]本開示の第1の実施形態における固体撮像装置の製造方法の工程手順を示す断面図（その1）である。

[図8B]本開示の第1の実施形態における固体撮像装置の製造方法の工程手順を示す断面図（その2）である。

[図8C]本開示の第1の実施形態における固体撮像装置の製造方法の工程手順を示す断面図（その3）である。

[図8D]本開示の第1の実施形態における固体撮像装置の製造方法の工程手順を示す断面図（その4）である。

[図8E]本開示の第1の実施形態における固体撮像装置の製造方法の工程手順を示す断面図（その5）である。

[図8F]本開示の第1の実施形態における固体撮像装置の製造方法の工程手順を示す断面図（その6）である。

[図8G]本開示の第1の実施形態における固体撮像装置の製造方法の工程手順を示す断面図（その7）である。

[図8H]本開示の第1の実施形態における固体撮像装置の製造方法の工程手順を示す断面図（その8）である。

[図9A]本開示の第2の実施形態に係る固体撮像装置の素子形成面から見た概略的構造の一例を示す平面図（その1）である。

[図9B]本開示の第2の実施形態に係る固体撮像装置の素子形成面から見た概略的構造の一例を示す平面図（その2）である。

[図10A]図9 Aに示すB－B'線で切断した固体撮像装置の概略的構造の一例を示す部分断面図である。

[図10B]図9 Bに示すB－B'線で切断した固体撮像装置の概略的構造の一例を示す部分断面図である。

[図11A]本開示の第2の実施形態における固体撮像装置の製造方法の工程手順を示す断面図（その1）である。

[図11B]本開示の第2の実施形態における固体撮像装置の製造方法の工程手順を示す断面図（その2）である。

[図11C]本開示の第2の実施形態における固体撮像装置の製造方法の工程手順を示す断面図（その3）である。

[図11D]本開示の第2の実施形態における固体撮像装置の製造方法の工程手順を示す断面図（その4）である。

[図11E]本開示の第2の実施形態における固体撮像装置の製造方法の工程手順を示す断面図（その5）である。

[図12]本開示の第3の実施形態に係る固体撮像装置の概略的構造の一例を示す部分断面図である。

[図13A]本開示の第4の実施形態に係る固体撮像装置の概略的構造の一例を示す部分断面図（その1）である。

[図13B]本開示の第4の実施形態に係る固体撮像装置の概略的構造の一例を示す部分断面図（その2）である。

[図14A]本開示の第5の実施形態に係る固体撮像装置の概略的構造の一例を示す部分断面図（その1）である。

[図14B]本開示の第5の実施形態に係る固体撮像装置の概略的構造の一例を示す部分断面図（その2）である。

[図15]本開示の第6の実施形態に係る固体撮像装置の概略的構造の一例を示す部分断面図である。

[図16]本開示の第7の実施形態に係る固体撮像装置の概略的構造の一例を示す部分断面図である。

[図17]本開示の第8の実施形態に係る固体撮像装置の概略的構造の一例を示す部分断面図である。

[図18]本技術を適用した電子機器としての撮像システムの構成例を示すブロック図である。

[図19]本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[図20]図19に示した撮像部の設置位置の例を示す図である。

発明を実施するための形態

[0013] 以下において、図面を参照して本開示の実施形態を説明する。以下の説明で参照する図面の記載において、同一又は類似の部分には同一又は類似の符号を付し、重複する説明を省略する。但し、図面は模式的なものであり、厚みと平面寸法との関係、各装置や各部材の厚みの比率等は現実のものと異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判定すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

[0014] 本明細書において、「第1導電型」はp型又はn型の一方であり、「第2導電型」はp型又はn型のうちの「第1導電型」とは異なる一方を意味する。また、「n」や「p」に付す「+」や「-」は、「+」及び「-」が付記されていない半導体領域に比して、それぞれ相対的に不純物密度が高い又は低い半導体領域であることを意味する。但し、同じ「n」と「n」とが付された半導体領域であっても、それぞれの半導体領域の不純物密度が厳密に同じであることを意味するものではない。

[0015] また、以下の説明における上下等の方向の定義は、単に説明の便宜上の定義であって、本開示の技術的思想を限定するものではない。例えば、対象を90°回転して観察すれば上下は左右に変換して読まれ、180°回転して観察すれば上下は反転して読まれることは勿論である。

なお、本明細書中に記載される効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0016] <第1の実施形態>

この一実施形態では、裏面照射型のCMOS (Complementary Metal Oxide Semiconductor) イメージセンサである固体撮像装置に本技術を適用した一例について説明する。固体撮像装置は、光検出装置の一例である。光検出装

置は、固体撮像装置の他に、測距デバイス等の光を検出するのみのデバイスも含む。

(固体撮像装置の全体構成)

まず、固体撮像装置 1 A の全体構成について説明する。

図 1 に示すように、本技術の一実施形態に係る固体撮像装置 1 A は、平面視したときの二次元平面形状が方形状の半導体チップ 2 を主体に構成されている。換言すれば、固体撮像装置 1 A は、半導体チップ 2 に搭載されている。この固体撮像装置 1 A は、光学レンズ（図示せず）を介して被写体からの像光を取り込み、撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。

[0017] 図 1 に示すように、固体撮像装置 1 A が搭載された半導体チップ 2 は、互いに直交する X 方向及び Y 方向を含む二次元平面において、中央部に設けられた方形状の画素領域 2 A と、この画素領域 2 A の外側に画素領域 2 A を囲むようにして配置された周辺領域 2 B とを備えている。

[0018] 画素領域 2 A は、例えば光学レンズにより集光される光を受光する受光面である。そして、画素領域 2 A には、X 方向及び Y 方向を含む二次元平面において複数の画素 3 が行列状に配置されている。換言すれば、画素 3 は、二次元平面内で互いに直交する X 方向及び Y 方向のそれぞれの方向に繰り返し配置されている。

[0019] 図 1 に示すように、周辺領域 2 B には、複数の端子パッド 1 4 が配置されている。複数の端子パッド 1 4 の各々は、例えば、半導体チップ 2 の二次元平面における 4 つの辺に沿って配列されている。複数の端子パッド 1 4 の各々は、半導体チップ 2 を外部装置と電氣的に接続する際に用いられる入出力端子である。

[0020] <ロジック回路>

図 2 に示すように、半導体チップ 2 は、垂直駆動回路 4、カラム信号処理回路 5、水平駆動回路 6、出力回路 7 及び制御回路 8 などを含むロジック回路 1 3 を備えている。ロジック回路 1 3 は、画素 3 毎の出力電圧 (V_{out}

）を外部に出力する。ロジック回路13は、電界効果トランジスタとして、例えば、pチャネル導電型（第1の導電型）のMOSFET（Metal Oxide Semiconductor Field Effect Transistor）及びnチャネル導電型（第2の導電型）のMOSFETを含むCMOS（Complementary MOS）回路で構成されている。

[0021] 垂直駆動回路4は、例えばシフトレジスタによって構成されている。垂直駆動回路4は、所望の画素駆動線10を順次選択し、選択した画素駆動線10に画素3を駆動するためのパルスを供給し、各画素3を行単位で駆動する。即ち、垂直駆動回路4は、画素領域2Aの各画素3を行単位で順次垂直方向に選択走査し、各画素3の光電変換素子が受光量に応じて生成した信号電荷に基づく画素3からの画素信号を、垂直信号線11を通してカラム信号処理回路5に供給する。

[0022] カラム信号処理回路5は、例えば画素3の列毎に配置されており、1行分の画素3から出力される信号に対して画素列毎にノイズ除去等の信号処理を行う。例えばカラム信号処理回路5は、画素固有の固定パターンノイズを除去するためのCDS（Correlated Double Sampling：相関2重サンプリング）及びAD（Analog Digital）変換等の信号処理を行う。

[0023] 水平駆動回路6は、例えばシフトレジスタによって構成されている。水平駆動回路6は、水平走査パルスをカラム信号処理回路5に順次出力することによって、カラム信号処理回路5の各々を順番に選択し、カラム信号処理回路5の各々から信号処理が行われた画素信号を水平信号線12に出力させる。

[0024] 出力回路7は、カラム信号処理回路5の各々から水平信号線12を通して順次に供給される画素信号に対し、信号処理を行って出力する。信号処理としては、例えば、バッファリング、黒レベル調整、列ばらつき補正、各種デジタル信号処理等を用いることができる。

[0025] 制御回路8は、垂直同期信号、水平同期信号、及びマスタクロック信号に基づいて、垂直駆動回路4、カラム信号処理回路5、及び水平駆動回路6等

の動作の基準となるクロック信号や制御信号を生成する。そして、制御回路 8 は、生成したクロック信号や制御信号を、垂直駆動回路 4、カラム信号処理回路 5、及び水平駆動回路 6 等に出力する。

[0026] <画素>

図 3 は、画素 3 の一構成例を示す等価回路図である。画素 3 は、光電変換素子 P D と、この光電変換素子 P D で光電変換された信号電荷を蓄積（保持）する電荷蓄積領域（フローティングディフュージョン：F l o a t i n g D i f f u s i o n）F D と、この光電変換素子 P D で光電変換された信号電荷を電荷蓄積領域 F D に転送する転送トランジスタ T R と、を備えている。また、画素 3 は、電荷蓄積領域 F D に電氣的に接続された読み出し回路 1 5 を備えている。

[0027] 光電変換素子 P D は、受光量に応じた信号電荷を生成する。光電変換素子 P D は、また生成された信号電荷を一時的に蓄積（保持）する。光電変換素子 P D は、カソード側が転送トランジスタ T R のソース領域と電氣的に接続され、アノード側が基準電位線（例えばグラウンド）と電氣的に接続されている。光電変換素子 P D としては、例えばフォトダイオードが用いられている。

[0028] 転送トランジスタ T R のドレイン領域は、電荷蓄積領域 F D と電氣的に接続されている。転送トランジスタ T R のゲート電極は、画素駆動線 1 0（図 2 参照）のうちの転送トランジスタ駆動線と電氣的に接続されている。

電荷保持領域 F D は、光電変換素子 P D から転送トランジスタ T R を介して転送された信号電荷を一時的に保持（蓄積）する。

[0029] 読み出し回路 1 5 は、電荷保持領域 F D に蓄積された信号電荷を読み出し、信号電荷に基づく画素信号を出力する。読み出し回路 1 5 は、これに限定されないが、画素トランジスタとして、例えば、増幅トランジスタ A M P と、選択トランジスタ S E L と、リセットトランジスタ R S T と、を備えている。これらのトランジスタ（A M P、S E L、R S T）は、電界効果トランジスタとして、例えば酸化シリコン（S i O 2）膜をゲート絶縁膜とする M

OSFETで構成されている。これらのトランジスタとしては、窒化シリコン（Si₃N₄）膜、或いは窒化シリコン膜及び酸化シリコン膜などの積層膜をゲート絶縁膜とするMISFET（Metal Insulator Semiconductor FET）でも構わない。

[0030] 増幅トランジスタAMPは、ソース領域が選択トランジスタSELのドレイン領域と電氣的に接続され、ドレイン領域が電源線V_{dd1}と電氣的に接続されている。そして、増幅トランジスタAMPのゲート電極は、電荷蓄積領域FD及びリセットトランジスタRSTのソース領域と電氣的に接続されている。

[0031] 選択トランジスタSELは、ソース領域が垂直信号線11（VSL）と電氣的に接続され、ドレイン領域が増幅トランジスタAMPのソース領域と電氣的に接続されている。そして、選択トランジスタSELのゲート電極は、図2に示す画素駆動線10のうちの選択トランジスタ駆動線と電氣的に接続されている。

[0032] リセットトランジスタRSTは、ソース領域が電荷蓄積領域FD及び増幅トランジスタAMPのゲート電極と電氣的に接続され、ドレイン領域が電源線V_{dd2}と電氣的に接続されている。

[0033] 転送トランジスタTRは、転送トランジスタTRがオン状態となると、光電変換素子PDで生成された信号電荷を電荷保持領域FDに転送する。リセットトランジスタRSTは、リセットトランジスタRSTがオン状態となると、電荷保持領域FDの電位（信号電荷）を電源線V_{dd2}の電位にリセットする。選択トランジスタSELは、読み出し回路15からの画素信号の出力タイミングを制御する。

[0034] 増幅トランジスタAMPは、画素信号として、電荷保持領域FDに保持された信号電荷のレベルに応じた電圧の信号を生成する。増幅トランジスタAMPは、ソースフォロア型のアンプを構成しており、光電変換素子PDで生成された信号電荷のレベルに応じた電圧の画素信号を出力するものである。増幅トランジスタAMPは、選択トランジスタSELがオン状態となると、

電荷保持領域 F D の電位を増幅して、その電位に応じた画素信号を、垂直信号線 1 1 (V S L) を介してカラム信号処理回路 5 に出力する。

[0035] <固体撮像装置の具体的な構成>

<比較例>

図 4 A 及び図 4 B は、本開示の第 1 の実施形態の比較例に係る固体撮像装置 B 1 の概略的構造の一例を示す平面図である。また、図 5 A 及び図 5 B は、図 4 A 及び図 4 B に示す A - A' 線で切断した固体撮像装置 B 1 の概略的構造の一例を示す部分断面図である。

[0036] 図 4 A に示すように、固体撮像装置 B 1 は、半導体チップ B 2 を備えている。半導体チップ B 2 は、第 1 の導電型、例えば p 型の、単結晶シリコン基板で構成される。半導体チップ B 2 は、第 2 の導電型、例えば n 型のウエル領域 B 2 1 と、第 1 の導電型、例えば p 型のウエル領域 B 2 2 とを有する。p 型のウエル領域 B 2 2 には、保護ダイオード B 3 1 ~ B 3 3 が配置される。n 型のウエル領域 B 2 1 には、保護ダイオード B 3 1 ~ B 3 3 に対し電源 V D D を印加するための電源端子 B 3 4 が設けられている。さらに、半導体チップ B 2 には、基準電位を供給するための端子 B 3 5 が設けられている。

[0037] 図 4 B に示すように、半導体チップ B 2 の保護ダイオード B 3 1 ~ B 3 3 に隣接する領域に、端子パッド B 1 4 が設けられる。端子パッド B 1 4 は、上面が開口部 B 4 1 により露出される。

[0038] 図 5 A に示すように、半導体チップ B 2 は、互いに反対側に位置する第 1 の面 S 1 及び第 2 の面 S 2 を有する半導体層 B 2 0 0 と、半導体層 B 2 0 0 の第 1 の面 S 1 に重ね合わされている第 1 の配線層 B 3 0 0 と、第 1 の配線層 B 3 0 0 の半導体層 B 2 0 0 側の面と反対側の面である第 3 の面 S 3 に重ね合わされている第 2 の配線層 B 4 0 0 と、を備える。このような積層構造は、例えば、第 1 の配線層 B 3 0 0 を半導体層 B 2 0 0 の第 1 の面 S 1 に積層し、第 2 の配線層 B 4 0 0 を第 1 の配線層 B 3 0 0 の第 3 の面 S 3 と重ね合わせて接合することにより、実現できる。また、半導体層 B 2 0 0 の一方の面である第 2 の面 S 2 側を光入射面又は裏面と呼び、半導体層 B 2 0 0 の

他方の面である第1の面S1を素子形成面又は表面と呼ぶこともある。

[0039] 半導体チップB2には、第1の面S1側に素子分離部B210が設けられる。素子分離部B210は、保護ダイオードB31～B33を含む各素子を分離する領域である。第1の配線層B300には、例えば、保護ダイオードB32のアノードに接続されるメタル層B310と、保護ダイオードB32のカソードに接続されるメタル層B320と、電源端子B34に接続されるメタル層B330と、端子B35に接続されるメタル層B340とが形成される。

[0040] 図5Bに示すように、半導体チップB2の保護ダイオードB31～B33に隣接する領域に、端子パッドB14が設けられる。端子パッドB14は、開口部B41を介して半導体チップB2の第2の面S2から外部に露出している。

ところで、比較例における固体撮像装置B1では、半導体チップB2内に一定数の保護ダイオードB31～B33が配置される領域が必要なため、チップ面積が増大してしまう。

[0041] <第1の実施形態による実現手段>

図6A及び図6Bは、本開示の第1の実施形態に係る固体撮像装置1Aの概略的構造の一例を示す平面図である。また、図7A及び図7Bは、図6A及び図6Bに示すA-A'線で切断した固体撮像装置1Aの概略的構造の一例を示す部分断面図である。

[0042] 図6Aに示すように、半導体チップ2は、第1の導電型、例えばp型の、単結晶シリコン基板で構成される。半導体チップ2は、第2の導電型、例えばn型のウエル領域21と、第1の導電型、例えばp型のウエル領域22とを有する。p型のウエル領域22には、保護ダイオード31～33が配置される。n型のウエル領域21には、保護ダイオード31～33に対し電源電圧VDDを印加するための電源端子34が設けられている。さらに、半導体チップ2には、基準電位を供給するための端子35が設けられている。なお、保護ダイオード31～33以外に、半導体チップ2内のトランジスタをE

S DやP I Dから保護するトランジスタ等の素子であってもよい。半導体チップ2には、第1の面S 1側に素子分離部2 1 0が設けられる。

[0043] 図6 Bに示すように、半導体チップ2の保護ダイオード3 1～3 3が設けられる領域に、端子パッド1 4が設けられる。端子パッド1 4は、上面が開口部4 1（パッド開口部の一例）により露出される。

[0044] 図7 Aに示すように、半導体チップ2は、互いに反対側に位置する第1の面S 1及び第2の面S 2を有する半導体層2 0 0と、半導体層2 0 0の第1の面S 1に重ね合わされている第1の配線層3 0 0と、第1の配線層3 0 0の半導体層2 0 0側の面と反対側の面である第3の面S 3に重ね合わされている第2の配線層4 0 0と、を備える。このような積層構造は、例えば、第1の配線層3 0 0を半導体層2 0 0の第1の面S 1に積層し、第2の配線層4 0 0を第1の配線層3 0 0の第3の面S 3と重ね合わせて接合することにより、実現できる。また、半導体層2 0 0の一方の面である第2の面S 2側を光入射面又は裏面と呼び、半導体層2 0 0の他方の面である第1の面S 1を素子形成面又は表面と呼ぶこともある。固体撮像装置1 Aは、第1の面S 1を表面とし、第2の面S 2を裏面とする裏面照射型の撮像装置（光検出装置の一例）である。

[0045] 半導体チップ2には、第1の面S 1側に素子分離部2 1 0が設けられる。素子分離部2 1 0は、保護ダイオード3 1～3 3を含む各素子を分離する領域である。第1の配線層3 0 0には、例えば、保護ダイオード3 2のアノードに接続されるメタル層3 1 0と、保護ダイオード3 2のカソードに接続されるメタル層3 2 0と、電源端子3 4に接続されるメタル層3 3 0と、端子3 5に接続されるメタル層3 4 0とが形成される。

[0046] （端子パッド）

図7 Bに示すように、端子パッド1 4は、半導体層2 0 0内に埋め込んで設けられ、つまり半導体層2 0 0の第2の面S 2よりも第1の面S 1側に位置し、上面1 4 aと、上面1 4 aとは反対側の面である下面1 4 bと、ピア1 4 cとを有する。上面1 4 aは、開口部4 1を介して外部に露出している

露出面である。端子パッド14は、固体撮像装置1Aを外部装置と電氣的に接続する際に用いられる入出力端子である。そのため、端子パッド14は外部に露出している。そして、端子パッド14の下面14bは、ビア14cと接続されている。端子パッド14は、例えば、アルミニウムといった導電材料により構成される。

[0047] ビア14cは、複数設けられる。より具体的には、ビア14cは、2本設けられている。ビア14cは、半導体層200内に埋め込まれていて、端子パッド14と後述のメタル層352とを電氣的に接続している。ビア14cの一端は、半導体層200を貫通して端子パッド14の下面14bに接続されている。ビア14cの他端は、半導体層200の厚み方向に、保護ダイオード31～33を構成するn型のウエル領域21及びp型のウエル領域22、素子分離部210を突き抜けて、第1の配線層300内にまで延在している。そして、第1の配線層300内のメタル層352に接続されている。ここで、ビア14cの他端が接続されたメタル層352を、他のメタル層352と区別するためにメタル層352aと呼ぶ。このため、保護ダイオード31～33は、端子パッド14の下面14bとメタル層352aとの間に位置する。

[0048] （第1の配線層）

図7Bに示すように、第1の配線層300は、さらに、層間絶縁膜351と、メタル層352（金属配線の一例）と、第1の接続パッド353と、ビア354とを含む。メタル層352及び第1の接続パッド353は、図示のように層間絶縁膜351を介して積層されている。ビア354は、メタル層352同士及びメタル層352と第1の接続パッド353とを接続している。

[0049] （第2の配線層）

図7Bに示すように、第2の配線層400は、層間絶縁膜411と、メタル層412と、第2の接続パッド413と、ビア414とを含む。メタル層412及び第2の接続パッド413は、図示のように層間絶縁膜411を介

して積層されている。ビア414は、メタル層412同士及びメタル層412と第2の接続パッド413とを接続している。第2の接続パッド413は、第1の接続パッド353と接合されている。これにより、端子パッド14が、第2の配線層400のメタル層412と電氣的に接続されている。そして、図7Bに示すように、端子パッド14と、第1の接続パッド353と、第2の接続パッド413とは、半導体チップ2の厚み方向で重なっている。第2の配線層400は、上記ロジック回路13を形成するロジック基板を含み得る。ロジック基板は、例えば各画素3の動作を制御する上記制御回路8といったロジック回路13等を含む。

[0050] <固体撮像装置の製造方法>

以下、図8Aから図8Hまでを参照して、本開示の第1の実施形態における固体撮像装置1Aの製造方法について説明する。図8A乃至図8Hは、本開示の第1の実施形態における固体撮像装置1Aの製造方法の工程手順を示す断面図である。なお、固体撮像装置1Aは、成膜装置（CVD（Chemical Vapor Deposition）装置、スパッタ装置を含む）、イオン注入装置、熱処理装置、エッチング装置、CMP（Chemical Mechanical Polishing）装置、貼り合わせ装置など、各種の装置を用いて製造される。以下、これらの装置を、製造装置と総称する。

[0051] まず、図8Aに示すように、半導体層200と、第1の配線層300と、第2の配線層400とがその順序で順次重ね合わされた基板51を準備する。半導体層200には、n型のウエル領域21及びp型のウエル領域22、素子分離部210等がすでに形成されている。そして、第1の接続パッド353と第2の接続パッド413とが接合されている。

[0052] 次に、図8Bに示すように、製造装置は、半導体層200の第2の面S2に、エッチングにより開口部52を形成する。次に、図8Cに示すように、製造装置は、開口部52から素子分離部210に至リエッチングにより開口部53、54を形成する。そして、図8Dに示すように、製造装置は、開口

部 5 2, 5 3, 5 4 に酸化膜 5 5 を埋め込む。

[0053] 続いて、図 8 E に示すように、製造装置は、酸化膜 5 5 をエッチングして端子パッド 1 4 とそのビア 1 4 c とを形成するための開口部 5 6 を形成する。このとき、開口部 5 6 は、素子分離部 2 1 0 を貫通して第 1 の配線層 3 0 0 のメタル層 3 2 0 まで至る。次に、図 8 F に示すように、製造装置は、開口部 5 6 に例えばアルミニウムをパターニングして端子パッド 1 4 を形成する。

[0054] 次に、図 8 G に示すように、製造装置は、アルミニウムが埋まらなかった箇所に酸化膜 5 7 を埋め込む。次に、図 8 H に示すように、製造装置は、酸化膜 5 7 をエッチングして端子パッド 1 4 の上面 1 4 a を外部に露出する開口部 4 1 を形成する。

[0055] <第 1 の実施形態による作用効果>

以上のように第 1 の実施形態によれば、端子パッド 1 4 の下面 1 4 b と第 1 の配線層 3 0 0 との間に保護ダイオード 3 1 ~ 3 3 を配置することで、半導体チップ 2 内に端子パッド 1 4 とは別に一定数の保護ダイオード 3 1 ~ 3 3 の面積を確保する必要がなく、これによりチップ面積の縮小ができる。また、端子パッド 1 4 を半導体層 2 0 0 に設けることで、ワイヤボンディングを容易に行える。なお、端子パッド 1 4 は、半導体層 2 0 0 内に一部が埋め込まれ、他の一部が半導体層 2 0 0 よりも上部に出ている構造であってもよい。

[0056] <第 2 の実施形態>

図 9 A 及び図 9 B は、本開示の第 2 の実施形態に係る固体撮像装置 1 B の素子形成面から見た概略的構造の一例を示す平面図である。また、図 1 0 A 及び図 1 0 B は、図 9 A 及び図 9 B に示す B - B' 線で切断した固体撮像装置 1 B の概略的構造の一例を示す部分断面図である。図 9 A 及び図 9 B において、上記図 6 A 及び図 6 B と同一部分には同一符号を付して詳細な説明を省略する。また、図 1 0 A 及び図 1 0 B において、上記図 7 A 及び図 7 B と同一部分には同一符号を付して詳細な説明を省略する。

[0057] 図9Aに示すように、固体撮像装置1Bの半導体チップ60は、第2の導電型、例えばn型の、単結晶シリコン基板で構成される。半導体チップ60は、第1の導電型、例えばp型のウエル領域61を有する。半導体チップ60には、保護ダイオード31～33に対し電源VDDを印加するための電源端子34が設けられている。保護ダイオード31～33のカソードは、後述する第1の配線層300の複数のビア354により囲まれている。

[0058] 図9Bに示すように、半導体チップ60の保護ダイオード31～33が設けられる領域に、端子パッド71が設けられる。端子パッド71は、上面71aが開口部72（パッド開口部の一例）により露出される。

[0059] 図10Aに示すように、半導体チップ60は、互いに反対側に位置する第1の面S1及び第2の面S2を有する半導体層200と、半導体層200の第1の面S1に重ね合わされている第1の配線層300と、第1の配線層300の半導体層200側の面と反対側の面である第3の面S3に重ね合わされている第2の配線層400と、を備える。このような積層構造は、例えば、第1の配線層300を半導体層200の第1の面S1に積層し、第2の配線層400を第1の配線層300の第3の面S3と重ね合わせて接合することにより、実現できる。また、半導体層200の一方の面である第2の面S2側を光入射面又は裏面と呼び、半導体層200の他方の面である第1の面S1を素子形成面又は表面と呼ぶこともある。

[0060] 半導体チップ60には、第1の面S1側に素子分離部210が設けられる。第1の配線層300には、例えば、保護ダイオード32のアノードに接続されるメタル層310と、保護ダイオード32のカソードに接続されるメタル層320と、電源端子34に接続されるメタル層330とが形成される。

[0061] 第1の配線層300は、さらに、層間絶縁膜351と、メタル層352（金属配線の一例）と、ビア354とを含む。メタル層352は、図示のように層間絶縁膜351を介して積層されている。ビア354は、メタル層352同士を接続している。

[0062] 第2の配線層400は、端子パッド71と、層間絶縁膜411と、メタル

層 4 1 2 と、ビア 4 1 4 とを含む。端子パッド 7 1 及びメタル層 4 1 2 は、図示のように層間絶縁膜 4 1 1 を介して積層されている。ビア 4 1 4 は、メタル層 4 1 2 同士及びメタル層 4 1 2 と端子パッド 7 1 とを接続している。これにより、端子パッド 7 1 が、第 2 の配線層 4 0 0 のメタル層 4 1 2 と電氣的に接続されている。第 2 の配線層 4 0 0 は、ロジック回路を形成するロジック基板を含み得る。ロジック基板は、例えば各画素 3 の動作を制御する画素制御回路と、各画素 3 のクエンチ及びリチャージを実現するフロントエンド回路等を含む。

[0063] 図 1 0 B に示すように、端子パッド 7 1 は、第 2 の配線層 4 0 0 内にメタル層 4 1 2 として設けられ、上面 7 1 a と、上面 7 1 a とは反対側の面である下面 7 1 b とを有する。上面 7 1 a は、開口部 7 2 を介して外部に露出している露出面である。端子パッド 7 1 は、固体撮像装置 1 B を外部装置と電氣的に接続する際に用いられる入出力端子である。そのため、端子パッド 7 1 は外部に露出している。そして、端子パッド 7 1 の下面 7 1 b は、ビア 4 1 4 と接続されている。ビア 4 1 4 は、端子パッド 7 1 とメタル層 4 1 2 とを電氣的に接続している。

[0064] 図 1 0 B に示すように、開口部 7 2 は、半導体層 2 0 0 の第 2 の面 S 2、つまり光入射面から第 2 の配線層 4 0 0 の端子パッド 7 1 に至り形成される。この開口部 7 2 の形成位置には、保護ダイオード 3 1 ~ 3 3 が配置される。この開口部 7 2 の形成後に、保護ダイオード 3 1 ~ 3 3 は消失する。

[0065] <固体撮像装置の製造方法>

以下、図 1 1 A から図 1 1 E までを参照して、本開示の第 2 の実施形態における固体撮像装置 1 B の製造方法について説明する。図 1 1 A 乃至図 1 1 E は、本開示の第 2 の実施形態における固体撮像装置 1 B の製造方法の工程手順を示す断面図である。なお、固体撮像装置 1 B は、成膜装置（C V D（Chemical Vapor Deposition）装置、スパッタ装置を含む）、イオン注入装置、熱処理装置、エッチング装置、CMP（Chemical Mechanical Polishing）装置、貼り合

わせ装置など、各種の装置を用いて製造される。以下、これらの装置を、製造装置と総称する。

[0066] まず、図11Aに示すように、半導体層200のみを含む半導体チップ60を準備する。次に、図11Bに示すように、製造装置は、半導体チップ60の半導体層200内にp型のウエル領域61及び素子分離部210を形成する。

[0067] 次に、図11Cに示すように、製造装置は、半導体層200の素子分離部210の形成面に第1の配線層300を積層する。このとき、第1の配線層300には、層間絶縁膜351と、メタル層352と、ビア354とが形成される。このメタル層352及びビア354を形成する工程において、発生するプラズマ電荷が、トランジスタのゲート不良を引き起こすPID (Process Induced Damage) が生じることがある。このPIDから固体撮像装置1Bを保護するため、端子パッド71の配置領域内に例えば保護ダイオード32を配置し、第1の配線層300内に、例えば、保護ダイオード32のアノードに接続されるメタル層310と、保護ダイオード32のカソードに接続されるメタル層320と、電源端子34に接続されるメタル層330とを形成するようにしている。

[0068] 次に、図11Dに示すように、製造装置は、支持基板73の上面に第2の配線層400を積層し、半導体チップ60を図11Cの状態から反転させて、第1の配線層300の第1の接続パッド353と第2の配線層400の第2の接続パッド413とを貼り合わせる。

[0069] 次に、図11Eに示すように、製造装置は、半導体層200の第2の面S2、つまり光入射面から第2の配線層400の端子パッド71に至り開口部72を形成し、端子パッド71の上面71aを外部に露出する。この開口部72の形成に伴い、半導体層200内に配置していた保護ダイオード31～33は消失する。

[0070] <第2の実施形態による作用効果>

以上のように第2の実施形態によれば、端子パッド71が第2の配線層4

00に位置する場合に、端子パッド71を半導体層200の第2の面S2、つまり光入射面から露出するための開口部72が形成されるまでの間、開口部72の形成位置に保護ダイオード31～33を配置することで、開口部72が形成されるまで半導体層200内の他の素子をESDやPID等から保護することができるとともに、半導体層200内に端子パッド71とは別に一定数の保護ダイオード31～33の面積を確保する必要がなく、これによりチップ面積の縮小ができる。

[0071] <第3の実施形態>

図12は、本開示の第3の実施形態に係る固体撮像装置1Cの概略的構造の一例を示す部分断面図である。図12において、上記図7B及び図10Aと同一部分には同一符号を付して詳細な説明を省略する。

[0072] 固体撮像装置1Cの半導体チップ60は、第2の導電型、例えばn型の、単結晶シリコン基板で構成される。半導体チップ60は、第1の導電型、例えばp型のウエル領域61を有する。半導体チップ60には、保護ダイオード31～33に対し電源VDDを印加するための電源端子34が設けられている。

[0073] 端子パッド14は、半導体層200内に埋め込んで設けられ、つまり半導体層200の第2の面S2よりも第1の面S1側に位置し、上面14aと、上面14aとは反対側の面である下面14bと、ビア14cとを有する。上面14aは、開口部41を介して外部に露出している露出面である。端子パッド14は、固体撮像装置1Aを外部装置と電氣的に接続する際に用いられる入出力端子である。そのため、端子パッド14は外部に露出している。そして、端子パッド14の下面14bは、ビア14cと接続されている。

[0074] ビア14cは、複数設けられる。より具体的には、ビア14cは、2本設けられている。ビア14cは、半導体層200内に埋め込まれていて、端子パッド14とメタル層352とを電氣的に接続している。ビア14cの一端は、半導体層200を貫通して端子パッド14の下面14bに接続されている。ビア14cの他端は、半導体層200の厚み方向に、保護ダイオード3

1～33を構成するn型のウエル領域21及びp型のウエル領域22、素子分離部210を突き抜けて、第1の配線層300内にまで延在している。そして、第1の配線層300内のメタル層352に接続されている。ここで、ビア14cの他端が接続されたメタル層352を、他のメタル層352と区別するためにメタル層352aと呼ぶ。このため、保護ダイオード31～33は、端子パッド14の下面14bとメタル層352aとの間に位置する。

[0075] <第3の実施形態による作用効果>

以上のように第3の実施形態であっても、上記第1の実施形態と同様の作用効果が得られる。

[0076] <第4の実施形態>

図13A及び図13Bは、本開示の第4の実施形態に係る固体撮像装置1Dの概略的構造の一例を示す部分断面図である。図13A及び図13Bにおいて、上記図10A及び図10Bと同一部分には同一符号を付して詳細な説明を省略する。

[0077] 図13Aに示すように、固体撮像装置1Dの半導体チップ2は、第1の導電型、例えばp型の、単結晶シリコン基板で構成される。半導体チップ2は、第2の導電型、例えばn型のウエル領域21と、第1の導電型、例えばp型のウエル領域22とを有する。p型のウエル領域22には、保護ダイオード31～33が配置される。n型のウエル領域21には、保護ダイオード31～33に対し電源VDDを印加するための電源端子34が設けられている。さらに、半導体チップ2には、基準電位を供給するための端子35が設けられている。

[0078] 第1の配線層300には、例えば、保護ダイオード32のアノードに接続されるメタル層310と、保護ダイオード32のカソードに接続されるメタル層320と、電源端子34に接続されるメタル層330と、端子35に接続されるメタル層340とが形成される。

[0079] 図13Bに示すように、端子パッド71は、第2の配線層400内にメタル層412として設けられ、上面71aと、上面71aとは反対側の面であ

る下面 7 1 b とを有する。上面 7 1 a は、開口部 7 2 を介して外部に露出している露出面である。端子パッド 7 1 は、固体撮像装置 1 B を外部装置と電氣的に接続する際に用いられる入出力端子である。そのため、端子パッド 7 1 は外部に露出している。そして、端子パッド 7 1 の下面 7 1 b は、ビア 4 1 4 と接続されている。ビア 4 1 4 は、端子パッド 7 1 とメタル層 4 1 2 とを電氣的に接続している。

[0080] 図 1 3 B に示すように、開口部 7 2 は、半導体層 2 0 0 の第 2 の面 S 2、つまり光入射面から第 2 の配線層 4 0 0 の端子パッド 7 1 に至り形成される。この開口部 7 2 の形成位置には、保護ダイオード 3 1 ~ 3 3 が配置される。この開口部 7 2 の形成後に、保護ダイオード 3 1 ~ 3 3 は消失する。

[0081] <第 4 の実施形態による作用効果>

以上のように第 4 の実施形態であっても、上記第 2 の実施形態と同様の作用効果が得られる。

[0082] <第 5 の実施形態>

図 1 4 A 及び図 1 4 B は、本開示の第 5 の実施形態に係る固体撮像装置 1 E の概略的構造の一例を示す部分断面図である。図 1 4 A 及び図 1 4 B において、上記図 7 A 及び図 7 B と同一部分には同一符号を付して詳細な説明を省略する。

[0083] 図 1 4 A に示すように、固体撮像装置 1 E の半導体チップ 2 は、互いに反対側に位置する第 1 の面 S 1 及び第 2 の面 S 2 を有する半導体層 2 0 0 と、半導体層 2 0 0 の第 1 の面 S 1 に重ね合わされている第 1 の配線層 3 0 0 と、を備える。

[0084] 図 1 4 B に示すように、端子パッド 1 4 は、半導体層 2 0 0 内に埋め込んで設けられ、つまり半導体層 2 0 0 の第 2 の面 S 2 よりも第 1 の面 S 1 側に位置し、上面 1 4 a と、上面 1 4 a とは反対側の面である下面 1 4 b と、ビア 1 4 c とを有する。

[0085] <第 5 の実施形態による作用効果>

以上のように第 5 の実施形態であっても、上記第 1 の実施形態と同様の作

用効果が得られる。

[0086] <第6の実施形態>

図15は、本開示の第6の実施形態に係る固体撮像装置1Fの概略的構造の一例を示す部分断面図である。図15において、上記図7Bと同一部分には同一符号を付して詳細な説明を省略する。

[0087] 図15に示すように、半導体チップ2は、互いに反対側に位置する第1の面S1及び第2の面S2を有する半導体層200と、半導体層200の第1の面S1に重ね合わされている第1の配線層300と、第1の配線層300の半導体層200側の面と反対側の面である第3の面S3に重ね合わされている第2の配線層400と、第2の配線層400の第3の面S3と反対側の面である第4の面S4に重ね合わされている第3の配線層500と、を備える。このような積層構造は、例えば、第1の配線層300を半導体層200の第1の面S1に積層し、第2の配線層400を第1の配線層300の第3の面S3と重ね合わせて接合し、第3の配線層500を第2の配線層400の第4の面S4と重ね合わせて接合することにより、実現できる。

[0088] (第3の配線層)

図15に示すように、第3の配線層500は、層間絶縁膜511と、メタル層512と、ビア513とを含む。メタル層512は、図示のように層間絶縁膜511を介して積層されている。ビア513は、メタル層512同士を接続している。メタル層512は、導電材料の貫通ビア81により第2の配線層400のメタル層412と接合されている。これにより、端子パッド14が、第3の配線層500のメタル層512と電氣的に接続されている。端子パッド14と、第1の接続パッド353と、第2の接続パッド413とは、半導体チップ2の厚み方向で重なっているが、端子パッド14と、貫通ビア81とは、半導体チップ2の厚み方向で重なっていない。

[0089] (第1の基板)

図15に示すように、第2の配線層400は、第1の基板415を有する。第1の基板415は、例えば、2段目の画素基板、または上記制御回路8

といったロジック回路を形成するロジック基板である。第1の基板415は、第4の面S4側に位置し、第1の導電型、例えばp型の半導体基板で構成される。第1の基板415には、複数のトランジスタ等を他の素子から分離する素子分離部416が設けられる。さらに、第1の基板415は、ビア414によりメタル層412と電氣的に接続される。

[0090] (第2の基板)

図15に示すように、第3の配線層500は、例えば、上記カラム信号処理回路5といったロジック回路を形成する第2の基板514を有する。第2の基板514は、第4の面とは反対の面側に位置し、第1の導電型、例えばp型の半導体基板で構成される。第2の基板514には、複数のトランジスタ等を他の素子から分離する素子分離部515が設けられる。さらに、第2の基板514は、ビア513によりメタル層512と電氣的に接続される。

[0091] <第6の実施形態による作用効果>

以上のように第6の実施形態であっても、上記第1の実施形態と同様の作用効果が得られる。さらに、第6の実施形態によれば、半導体チップ2の厚み方向に、例えば上記ロジック回路13を構成するカラム信号処理回路5、制御回路8等の各種回路を配置することができるので、固体撮像装置1F全体の面積を縮小することができる。

[0092] <第7の実施形態>

図16は、本開示の第7の実施形態に係る固体撮像装置1Gの概略的構造の一例を示す部分断面図である。図16において、上記図15と同一部分には同一符号を付して詳細な説明を省略する。

[0093] 図16に示すように、第3の配線層500は、層間絶縁膜511と、メタル層512と、ビア513と、第3の接続パッド516とを含む。メタル層512及び第3の接続パッド516は、図示のように層間絶縁膜511を介して積層されている。ビア513は、メタル層512同士及びメタル層512と第3の接続パッド516とを接続している。第3の接続パッド516は、第2の接続パッド413と接合されている。これにより、端子パッド14

が、第3の配線層500のメタル層512と電氣的に接続されている。

[0094] 第1の基板415は、第3の面S3側に位置する。貫通ビア81は、第1の配線層300のメタル層352と第2の配線層400のメタル層412とを接合する。このとき、貫通ビア81は、第1の基板415を貫通する。

[0095] <第7の実施形態による作用効果>

以上のように第7の実施形態であっても、上記第6の実施形態と同様の作用効果が得られる。

[0096] <第8の実施形態>

図17は、本開示の第8の実施形態に係る固体撮像装置1Hの概略的構造の一例を示す部分断面図である。図17において、上記図13B及び図15と同一部分には同一符号を付して詳細な説明を省略する。

[0097] 図17に示すように、端子パッド71は、第2の配線層400内にメタル層412として設けられ、上面71aと、上面71aとは反対側の面である下面71bとを有する。上面71aは、開口部72を介して外部に露出している露出面である。第3の配線層500のメタル層512は、導電材料の貫通ビア81により第2の配線層400のメタル層412と接合されている。これにより、端子パッド71が、第3の配線層500のメタル層512と電氣的に接続されている。

[0098] <第8の実施形態による作用効果>

以上のように第8の実施形態であっても、上記第2の実施形態と同様の作用効果が得られる。さらに、第8の実施形態によれば、半導体チップ2の厚み方向に、例えば上記ロジック回路13を構成するカラム信号処理回路5、制御回路8等の各種回路を配置することができるので、固体撮像装置1H全体の面積を縮小することができる。

[0099] <その他の実施形態>

上記のように、本技術は第1から第8の実施形態によって記載したが、この開示の一部をなす論述及び図面は本技術を限定するものであると理解すべきではない。上記の第1から第8の実施形態が開示する技術内容の趣旨を理

解すれば、当業者には様々な代替実施形態、実施例及び運用技術が本技術に含まれ得ることが明らかとなろう。また、第1から第8の実施形態がそれぞれ開示する構成を、矛盾の生じない範囲で適宜組み合わせることができる。例えば、複数の異なる実施形態がそれぞれ開示する構成を組み合わせてもよく、同一の実施形態の複数の異なる変形例がそれぞれ開示する構成を組み合わせてもよい。

[0100] <電子機器への応用例>

上述した固体撮像装置は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像装置、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

図18は、本技術を適用した電子機器としての撮像システムの構成例を示すブロック図である。

[0101] 図18に示される撮像システム2201は、光学系2202、シャッタ装置2203、固体撮像装置としての固体撮像素子2204、制御回路2205、信号処理回路2206、モニタ2207、およびメモリ2208を備えて構成され、静止画像および動画像を撮像可能である。

[0102] 光学系2202は、1枚または複数枚のレンズを有して構成され、被写体からの光（入射光）を固体撮像素子2204に導き、固体撮像素子2204の受光面に結像させる。

シャッタ装置2203は、光学系2202および固体撮像素子2204の間に配置され、制御回路2205の制御に従って、固体撮像素子2204への光照射期間および遮光期間を制御する。

[0103] 固体撮像素子2204は、上述した固体撮像素子を含むパッケージにより構成される。固体撮像素子2204は、光学系2202およびシャッタ装置2203を介して受光面に結像される光に応じて、一定期間、信号電荷を蓄積する。固体撮像素子2204に蓄積された信号電荷は、制御回路2205から供給される駆動信号（タイミング信号）に従って転送される。

[0104] 制御回路2205は、固体撮像素子2204の転送動作、および、シャッ

タ装置 2203 のシャッタ動作を制御する駆動信号を出力して、固体撮像素子 2204 およびシャッタ装置 2203 を駆動する。

[0105] 信号処理回路 2206 は、固体撮像素子 2204 から出力された信号電荷に対して各種の信号処理を施す。信号処理回路 2206 が信号処理を施すことにより得られた画像（画像データ）は、モニタ 2207 に供給されて表示されたり、メモリ 2208 に供給されて記憶（記録）されたりする。

このように構成されている撮像システム 2201 においても、上述した固体撮像素子 2204 に代えて、固体撮像装置 1A 乃至 1H を適用することが可能となる。

[0106] <移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0107] 図 19 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

車両制御システム 12000 は、通信ネットワーク 12001 を介して接続された複数の電子制御ユニットを備える。図 19 に示した例では、車両制御システム 12000 は、駆動系制御ユニット 12010、ボディ系制御ユニット 12020、車外情報検出ユニット 12030、車内情報検出ユニット 12040、及び統合制御ユニット 12050 を備える。また、統合制御ユニット 12050 の機能構成として、マイクロコンピュータ 12051、音声画像出力部 12052、及び車載ネットワーク I/F（interface）12053 が図示されている。

[0108] 駆動系制御ユニット 12010 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 12010 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆

動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0109] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0110] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0111] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0112] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状

態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0113] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0114] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0115] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0116] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図19の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボード

ディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0117] 図20は、撮像部12031の設置位置の例を示す図である。

図20では、車両12100は、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

[0118] 撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。撮像部12101及び12105で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0119] なお、図20には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0120] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0121] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的变化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0122] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0123] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパ

ターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0124] なお、本開示は以下のような構成も取ることができる。

(1)

光電変換部を有し、一方の面が光入射面であり他方の面が素子形成面である半導体層と、

前記半導体層の前記素子形成面に積層される配線層と、

前記半導体層に少なくとも一部が位置し、前記配線層の金属配線と接続される端子パッドと、

前記端子パッドと前記配線層との間に配置される素子とを備える光検出装置。

(2)

前記素子は、前記半導体層に配置される他の素子を保護する保護ダイオードである、上記(1)に記載の光検出装置。

(3)

前記半導体層は、前記素子形成面を表面とし、前記光入射面を裏面とする裏面照射型の光検出装置に用いられる、上記(1)に記載の光検出装置。

(4)

前記端子パッドは、前記半導体層の前記光入射面より前記素子形成面側に位置する、上記(1)に記載の光検出装置。

(5)

前記配線層は、複数積層される、上記(1)に記載の光検出装置。

(6)

複数の前記配線層は、
前記半導体層の素子形成面に積層される第 1 の配線層と、
前記第 1 の配線層の半導体層側の面とは反対側の面に積層される第 2 の配線層と、を備え、
前記第 2 の配線層は、ロジック回路が形成された基板を有する、上記（5）に記載の光検出装置。

（7）

複数の前記配線層は、
前記半導体層の素子形成面に積層される第 1 の配線層と、
前記第 1 の配線層の前記半導体層側の面とは反対側の面に積層される第 2 の配線層と、
前記第 2 の配線層の前記第 1 の配線層側の面とは反対側の面に積層される第 3 の配線層と、を備え、
前記第 2 の配線層は、第 1 のロジック回路が形成された第 1 の基板を有し、前記第 3 の配線層は、第 2 のロジック回路が形成された第 2 の基板を有する、上記（5）に記載の光検出装置。

（8）

光電変換部を有し、一方の面が光入射面であり他方の面が素子形成面である半導体層と、
前記半導体層の前記素子形成面に積層される配線層と、
前記半導体層の前記素子形成面より前記配線層側に位置し、前記配線層の金属配線と接続される端子パッドと、
前記半導体層の前記光入射面から前記端子パッドに至り形成され、前記端子パッドを前記光入射面から露出するパッド開口部と、を備え、
前記パッド開口部が形成される前に、前記パッド開口部の形成位置に素子を配置する、光検出装置。

（9）

前記素子は、前記半導体層に配置される他の素子を保護する保護ダイオー

ドである、上記（８）に記載の光検出装置。

（１０）

前記半導体層は、前記素子形成面を表面とし、前記光入射面を裏面とする裏面照射型の光検出装置に用いられる、上記（８）に記載の光検出装置。

（１１）

前記配線層は、複数積層される、上記（８）に記載の光検出装置。

（１２）

複数の前記配線層は、

前記半導体層の素子形成面に積層される第１の配線層と、

前記第１の配線層の前記半導体層側の面とは反対側の面に積層される第２の配線層と、を備え、

前記第２の配線層は、ロジック回路が形成された基板を有する、上記（１１）に記載の光検出装置。

（１３）

前記端子パッドは、前記第２の配線層に位置する、上記（１２）に記載の光検出装置。

（１４）

複数の前記配線層は、

前記半導体層の素子形成面に積層される第１の配線層と、

前記第１の配線層の前記半導体層側の面とは反対側の面に積層される第２の配線層と、

前記第２の配線層の前記第１の配線層側の面とは反対側の面に積層される第３の配線層と、を備え、

前記第２の配線層は、第１のロジック回路が形成された第１の基板を有し、前記第３の配線層は、第２のロジック回路が形成された第２の基板を有する、上記（１１）に記載の光検出装置。

（１５）

前記端子パッドは、前記第２の配線層に位置する、上記（１４）に記載の

光検出装置。

(16)

光電変換部を有し、一方の面が光入射面であり他方の面が素子形成面である半導体層と、

前記半導体層の前記素子形成面に積層される配線層と、

前記半導体層に少なくとも一部が位置し、前記配線層の金属配線に接続される端子パッドと、

前記端子パッドと前記配線層との間に配置される素子と、を備える光検出装置を備えた、電子機器。

(17)

光電変換部を有し、一方の面が光入射面であり他方の面が素子形成面である半導体層と、

前記半導体層の前記素子形成面に積層される配線層と、

前記半導体層の前記素子形成面より前記配線層側に位置し、前記配線層の金属配線に接続される端子パッドと、

前記半導体層の前記光入射面から前記端子パッドに至り形成され、前記端子パッドを前記光入射面から露出するパッド開口部と、を備え、

前記パッド開口部が形成される前に、前記パッド開口部の形成位置に素子を配置する、光検出装置を備えた、電子機器。

(18)

光電変換部を有し、一方の面が光入射面であり他方の面が素子形成面である半導体層の前記素子形成面に配線層を積層した半導体チップを用意することと、前記半導体層内に前記配線層の金属配線と接続される端子パッドを形成することと、前記端子パッドと前記配線層との間に素子を配置することと、を備える、光検出装置の製造方法。

(19)

光電変換部を有し、一方の面が光入射面であり他方の面が素子形成面である半導体層の前記素子形成面に配線層を積層した半導体チップを用意するこ

とと、

前記半導体層の前記素子形成面より前記配線層側に、前記配線層の金属配線に接続される端子パッドを形成することと、

前記半導体層の前記光入射面から前記端子パッドに至り、前記端子パッドを前記光入射面から露出するパッド開口部を形成することと、を備え、

前記パッド開口部を形成する前に、前記パッド開口部の形成位置に素子を配置する、光検出装置の製造方法。

符号の説明

- [0125] 1 A, 1 B, 1 C, 1 D, 1 E, 1 F, 1 G, 1 H, B 1 固体撮像装置
2, 6 0 半導体チップ
2 A 画素領域
2 B 周辺領域
3 画素
4 垂直駆動回路
5 カラム信号処理回路
6 水平駆動回路
7 出力回路
8 制御回路
1 0 画素駆動線
1 1 垂直信号線
1 2 水平信号線
1 3 ロジック回路
1 4, 7 1 端子パッド
1 5 読み出し回路
1 4 a, 7 1 a 上面
1 4 b, 7 1 b 下面
1 4 c ビア
2 1, 2 2, 6 1 ウエル領域

3 1, 3 2, 3 3 保護ダイオード
3 4 電源端子
3 5 端子
4 1, 5 2, 5 3, 5 4, 5 6, 7 2 開口部
5 1 基板
5 5, 5 7 酸化膜
7 3 支持基板
8 1 貫通ビア
2 0 0 半導体層
2 1 0, 4 1 6, 5 1 5 素子分離部
3 0 0 第1の配線層
3 1 0, 3 2 0, 3 3 0, 3 4 0, 3 5 2, 3 5 2 a, 4 1 2, 5 1 2 メ
タル層
3 5 1, 4 1 1, 5 1 1 層間絶縁膜
3 5 3 第1の接続パッド
3 5 4, 4 1 4, 5 1 3 ビア
4 0 0 第2の配線層
4 1 3 第2の接続パッド
4 1 5 第1の基板
5 0 0 第3の配線層
5 1 4 第2の基板
5 1 6 第3の接続パッド
2 2 0 1 撮像システム
2 2 0 2 光学系
2 2 0 3 シャッタ装置
2 2 0 4 固体撮像素子
2 2 0 5 制御回路
2 2 0 6 信号処理回路

2 2 0 7 モニタ
2 2 0 8 メモリ
1 2 0 0 0 車両制御システム
1 2 0 0 1 通信ネットワーク
1 2 0 1 0 駆動系制御ユニット
1 2 0 2 0 ボディ系制御ユニット
1 2 0 3 0 車外情報検出ユニット
1 2 0 3 1 撮像部
1 2 0 4 0 車内情報検出ユニット
1 2 0 4 1 運転者状態検出部
1 2 0 5 0 統合制御ユニット
1 2 0 5 1 マイクロコンピュータ
1 2 0 5 2 音声画像出力部
1 2 0 6 1 オーディオスピーカ
1 2 0 6 2 表示部
1 2 0 6 3 インストルメントパネル
1 2 1 0 0 車両
1 2 1 0 1 ~ 1 2 1 0 5 撮像部
1 2 1 1 1 ~ 1 2 1 1 4 撮像範囲

請求の範囲

- [請求項1] 光電変換部を有し、一方の面が光入射面であり他方の面が素子形成面である半導体層と、
前記半導体層の前記素子形成面に積層される配線層と、
前記半導体層に少なくとも一部が位置し、前記配線層の金属配線と接続される端子パッドと、
前記端子パッドと前記配線層との間に配置される素子とを備える光検出装置。
- [請求項2] 前記素子は、前記半導体層に配置される他の素子を保護する保護ダイオードである、請求項1に記載の光検出装置。
- [請求項3] 前記半導体層は、前記素子形成面を表面とし、前記光入射面を裏面とする裏面照射型の光検出装置に用いられる、請求項1に記載の光検出装置。
- [請求項4] 前記端子パッドは、前記半導体層の前記光入射面より素子形成面側に位置する、請求項1に記載の光検出装置。
- [請求項5] 前記配線層は、複数積層される、請求項1に記載の光検出装置。
- [請求項6] 複数の前記配線層は、
前記半導体層の素子形成面に積層される第1の配線層と、
前記第1の配線層の半導体層側の面とは反対側の面に積層される第2の配線層と、を備え、
前記第2の配線層は、ロジック回路が形成された基板を有する、請求項5に記載の光検出装置。
- [請求項7] 複数の前記配線層は、
前記半導体層の素子形成面に積層される第1の配線層と、
前記第1の配線層の半導体層側の面とは反対側の面に積層される第2の配線層と、
前記第2の配線層の第1の配線層側の面とは反対側の面に積層される第3の配線層と、を備え、

前記第 2 の配線層は、第 1 のロジック回路が形成された第 1 の基板を有し、前記第 3 の配線層は、第 2 のロジック回路が形成された第 2 の基板を有する、請求項 5 に記載の光検出装置。

[請求項 8] 光電変換部を有し、一方の面が光入射面であり他方の面が素子形成面である半導体層と、

前記半導体層の前記素子形成面に積層される配線層と、

前記半導体層の前記素子形成面より前記配線層側に位置し、前記配線層の金属配線と接続される端子パッドと、

前記半導体層の前記光入射面から前記端子パッドに至り形成され、前記端子パッドを前記光入射面から露出するパッド開口部と、を備え、

前記パッド開口部が形成される前に、前記パッド開口部の形成位置に素子を配置する、光検出装置。

[請求項 9] 前記素子は、前記半導体層に配置される他の素子を保護する保護ダイオードである、請求項 8 に記載の光検出装置。

[請求項 10] 前記半導体層は、前記素子形成面を表面とし、前記光入射面を裏面とする裏面照射型の光検出装置に用いられる、請求項 8 に記載の光検出装置。

[請求項 11] 前記配線層は、複数積層される、請求項 8 に記載の光検出装置。

[請求項 12] 複数の前記配線層は、

前記半導体層の素子形成面に積層される第 1 の配線層と、

前記第 1 の配線層の半導体層側の面とは反対側の面に積層される第 2 の配線層と、を備え、

前記第 2 の配線層は、ロジック回路が形成された基板を有する、請求項 11 に記載の光検出装置。

[請求項 13] 前記端子パッドは、前記第 2 の配線層に位置する、請求項 12 に記載の光検出装置。

[請求項 14] 複数の前記配線層は、

前記半導体層の素子形成面に積層される第1の配線層と、

前記第1の配線層の半導体層側の面とは反対側の面に積層される第2の配線層と、

前記第2の配線層の第1の配線層側の面とは反対側の面に積層される第3の配線層と、を備え、

前記第2の配線層は、第1のロジック回路が形成された第1の基板を有し、前記第3の配線層は、第2のロジック回路が形成された第2の基板を有する、請求項11に記載の光検出装置。

[請求項15] 前記端子パッドは、前記第2の配線層に位置する、請求項14に記載の光検出装置。

[請求項16] 光電変換部を有し、一方の面が光入射面であり他方の面が素子形成面である半導体層と、

前記半導体層の前記素子形成面に積層される配線層と、

前記半導体層に少なくとも一部が位置し、前記配線層の金属配線に接続される端子パッドと、

前記端子パッドと前記配線層との間に配置される素子と、を備える光検出装置を備えた、電子機器。

[請求項17] 光電変換部を有し、一方の面が光入射面であり他方の面が素子形成面である半導体層と、

前記半導体層の前記素子形成面に積層される配線層と、

前記半導体層の前記素子形成面より配線層側に位置し、前記配線層の金属配線に接続される端子パッドと、

前記半導体層の前記光入射面から前記端子パッドに至り形成され、前記端子パッドを前記光入射面から露出するパッド開口部と、を備え、

前記パッド開口部が形成される前に、前記パッド開口部の形成位置に素子を配置する、光検出装置を備えた、電子機器。

[請求項18] 光電変換部を有し、一方の面が光入射面であり他方の面が素子形成

面である半導体層の前記素子形成面に配線層を積層した半導体チップを用意することと、

前記半導体層内に、上面を外部に露出する端子パッドを形成することと、

前記半導体層内に配置される素子が前記端子パッドの下面と前記配線層との間に位置するように、前記端子パッドの下面と前記配線層の金属配線とをビアにより接続することと、
を備える、光検出装置の製造方法。

[請求項19]

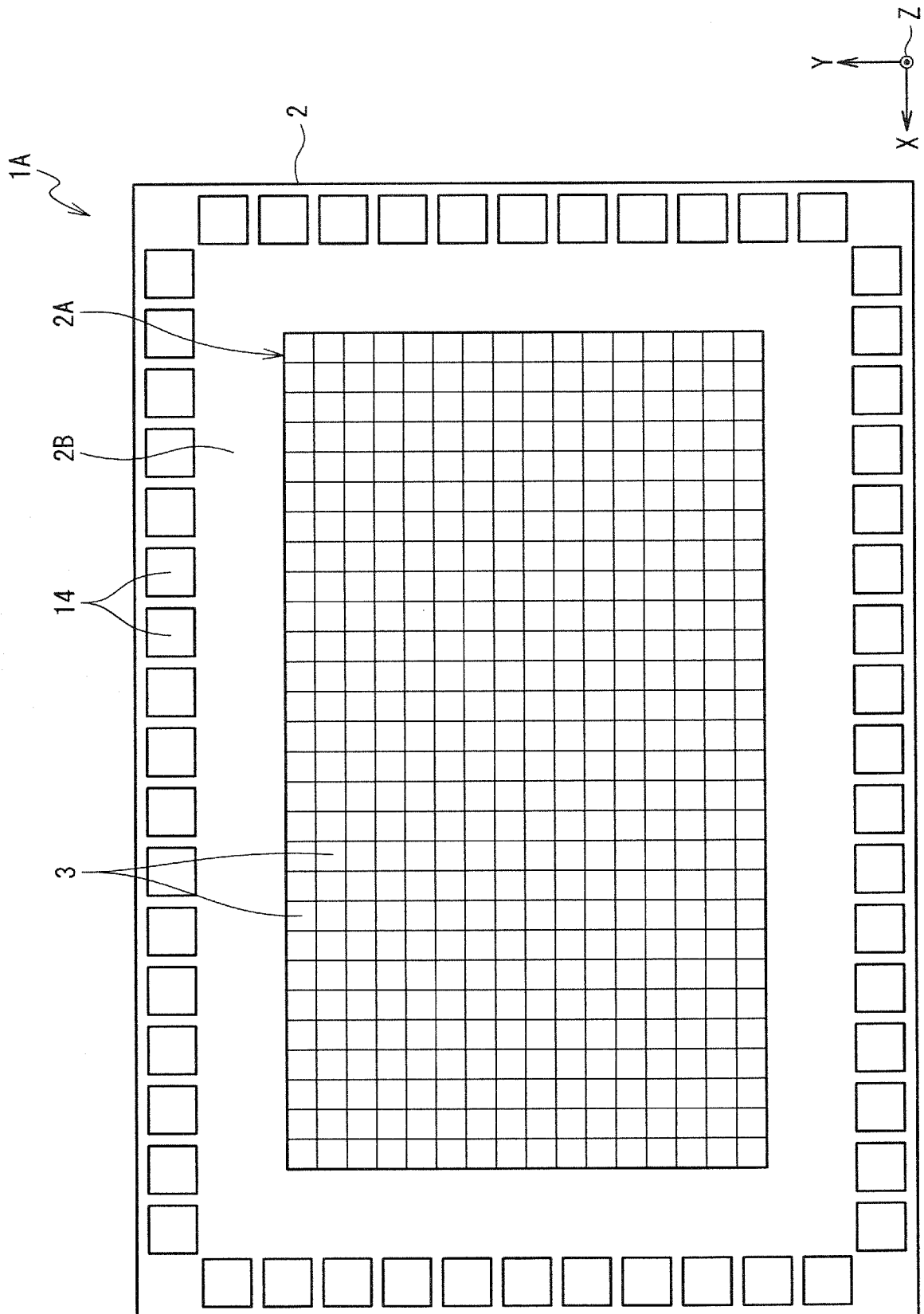
光電変換部を有し、一方の面が光入射面であり他方の面が素子形成面である半導体層の前記素子形成面に配線層を積層した半導体チップを用意することと、

前記半導体層の前記素子形成面より配線層側に、前記配線層の金属配線に接続される端子パッドを形成することと、

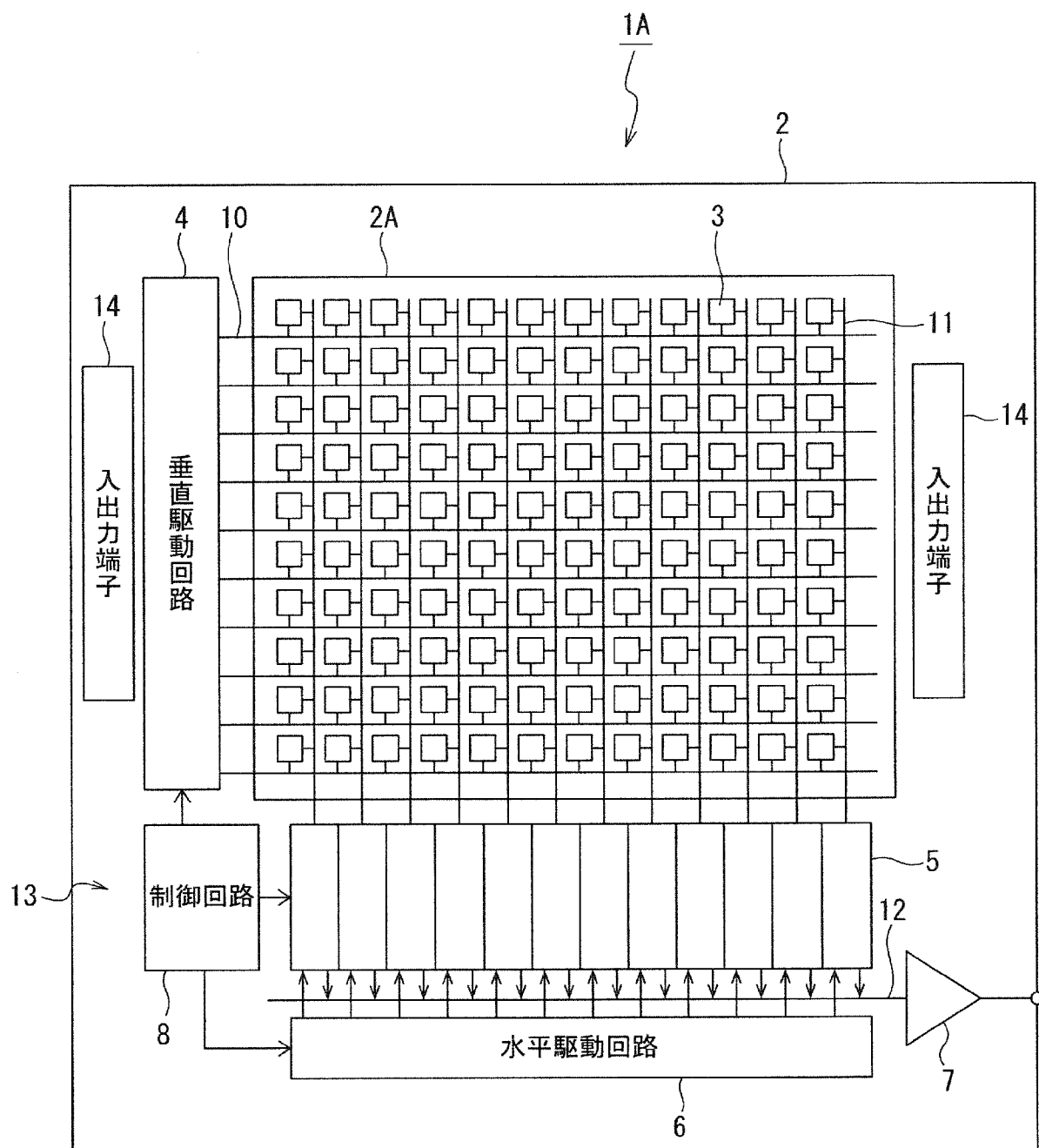
前記半導体層の前記光入射面から前記端子パッドに至り、前記端子パッドを前記光入射面から露出するパッド開口部を形成することと、
を備え、

前記パッド開口部を形成する前に、前記パッド開口部の形成位置に素子を配置する、光検出装置の製造方法。

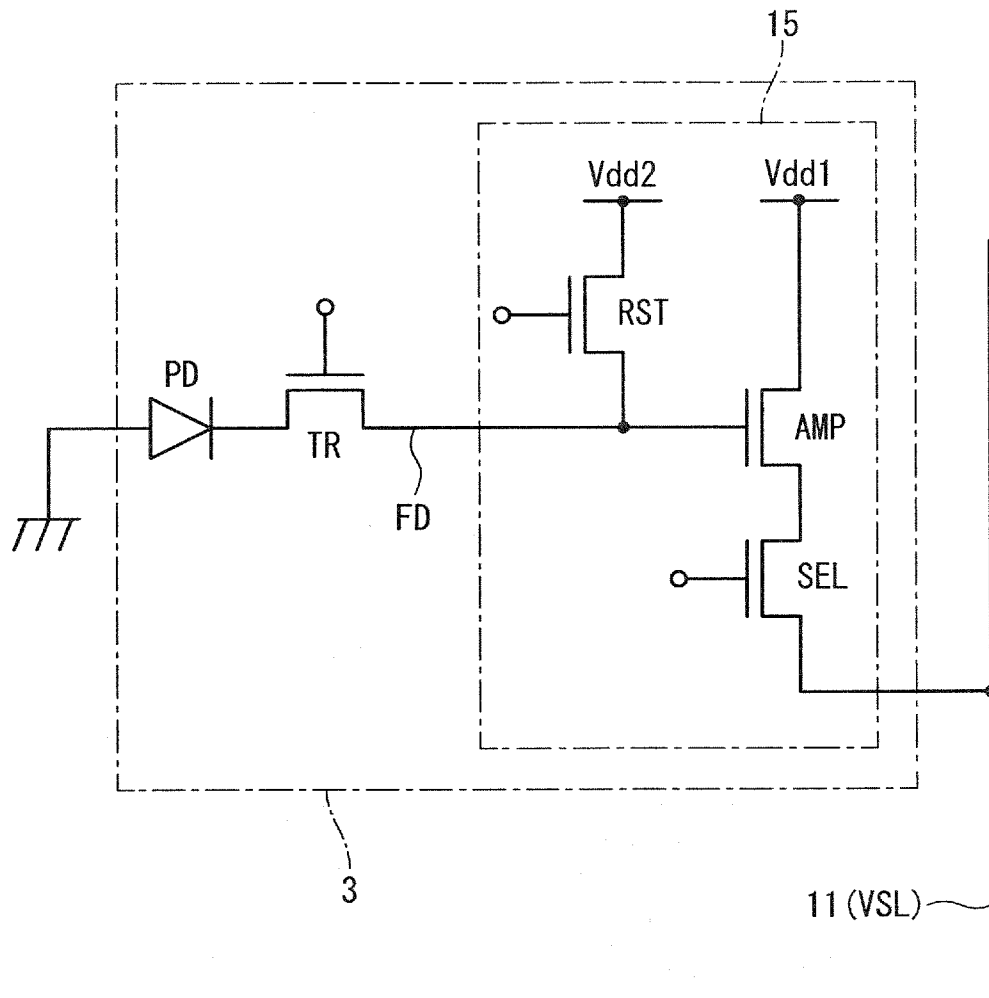
[図1]



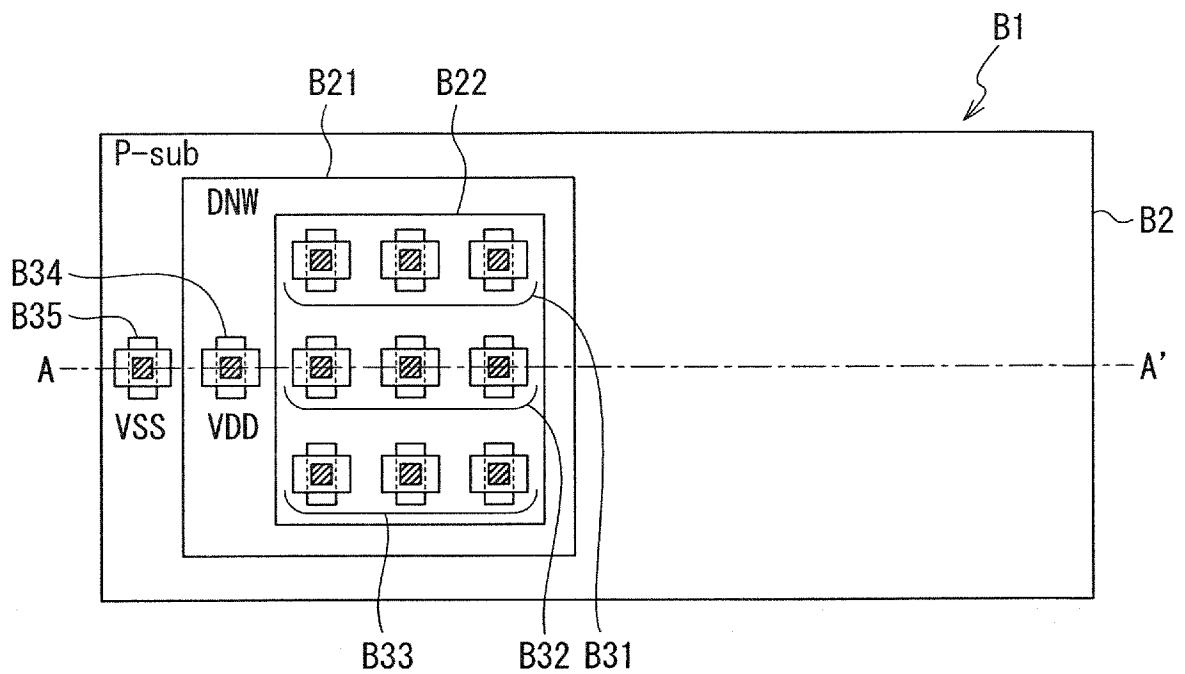
[図2]



[図3]



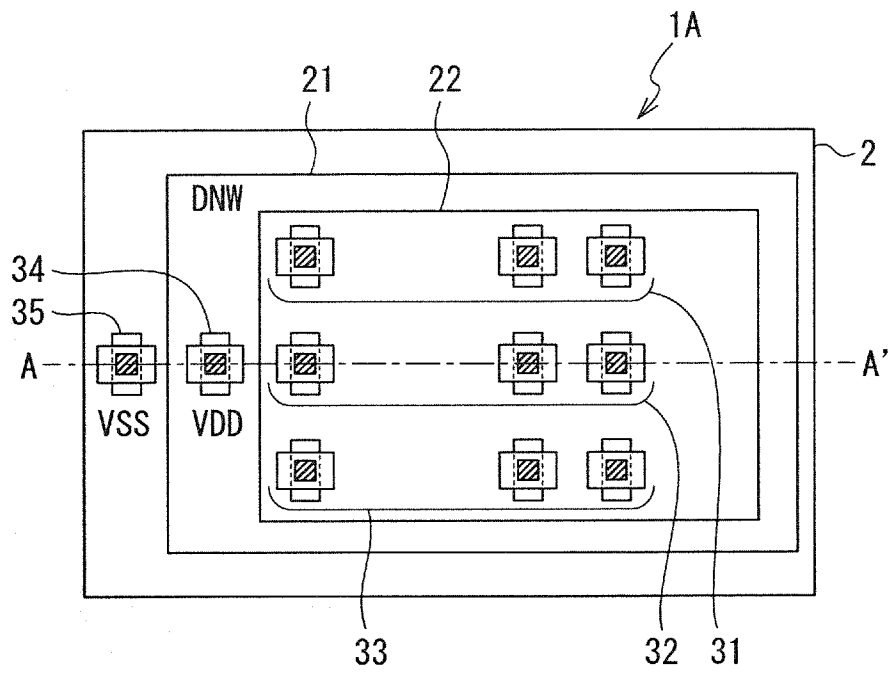
[図4A]



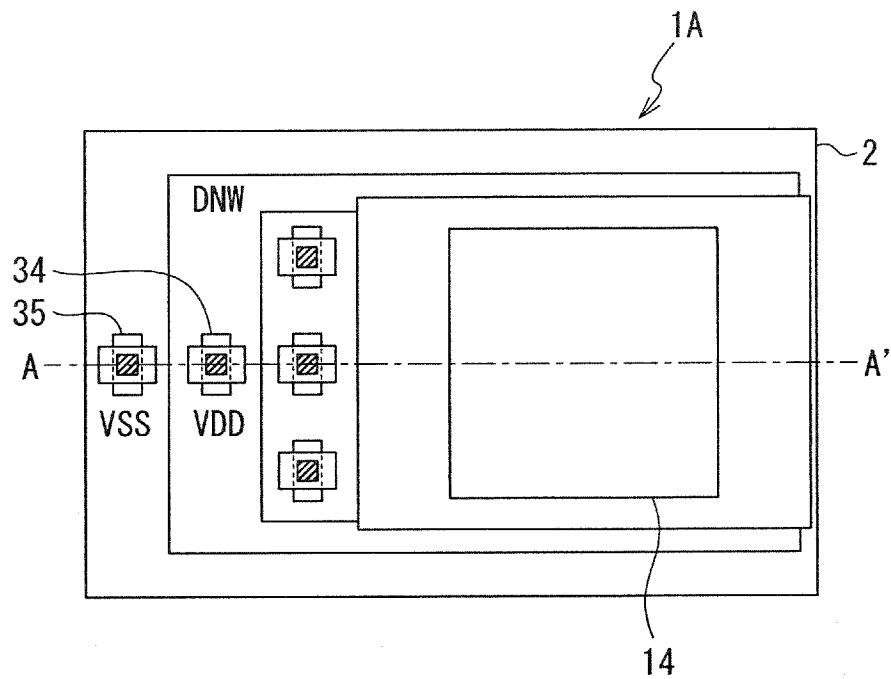
The diagram shows a plan view of a semiconductor device (B1). It features a central circuit block (B2) on a P-substrate. The circuit block (B2) contains a 3x3 grid of contacts (B31-B35) and is surrounded by a ring of contacts (B21, B22, B33, B32, B31, B14, B41). A dashed line A-A' passes through the center of the device.

A detailed cross-sectional view of a semiconductor device. The top layer is labeled S2 and contains a P-substrate (P-sub.). Below this is a layer B2, which includes a data word line (DNW) and a word line (PW). The device is divided into three main vertical sections: B200, B300, and B400. Section B200 contains a series of vertical structures labeled B340, B330, B310, and B320. These structures are connected to VSS, SUB, VDD, anode, and cathode respectively. Section B300 contains a series of horizontal structures labeled B210. Section B400 contains a series of horizontal structures labeled B210. A CIS (Charge Injection Structure) layer is located between sections B300 and B400. A Logic layer is located below the CIS layer. The bottom layer is labeled S3. The device is also labeled B1 and B2.

[図6A]



[図6B]



[図7B]

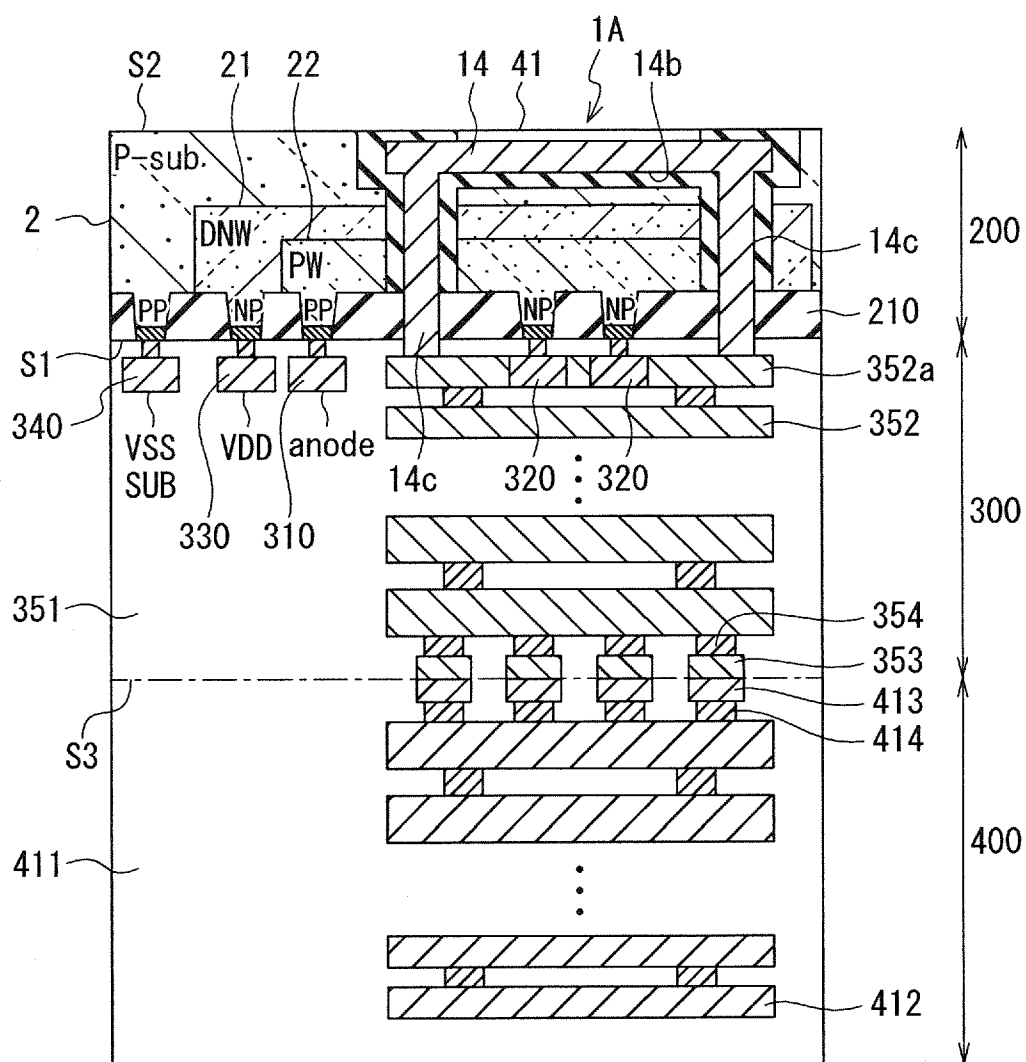
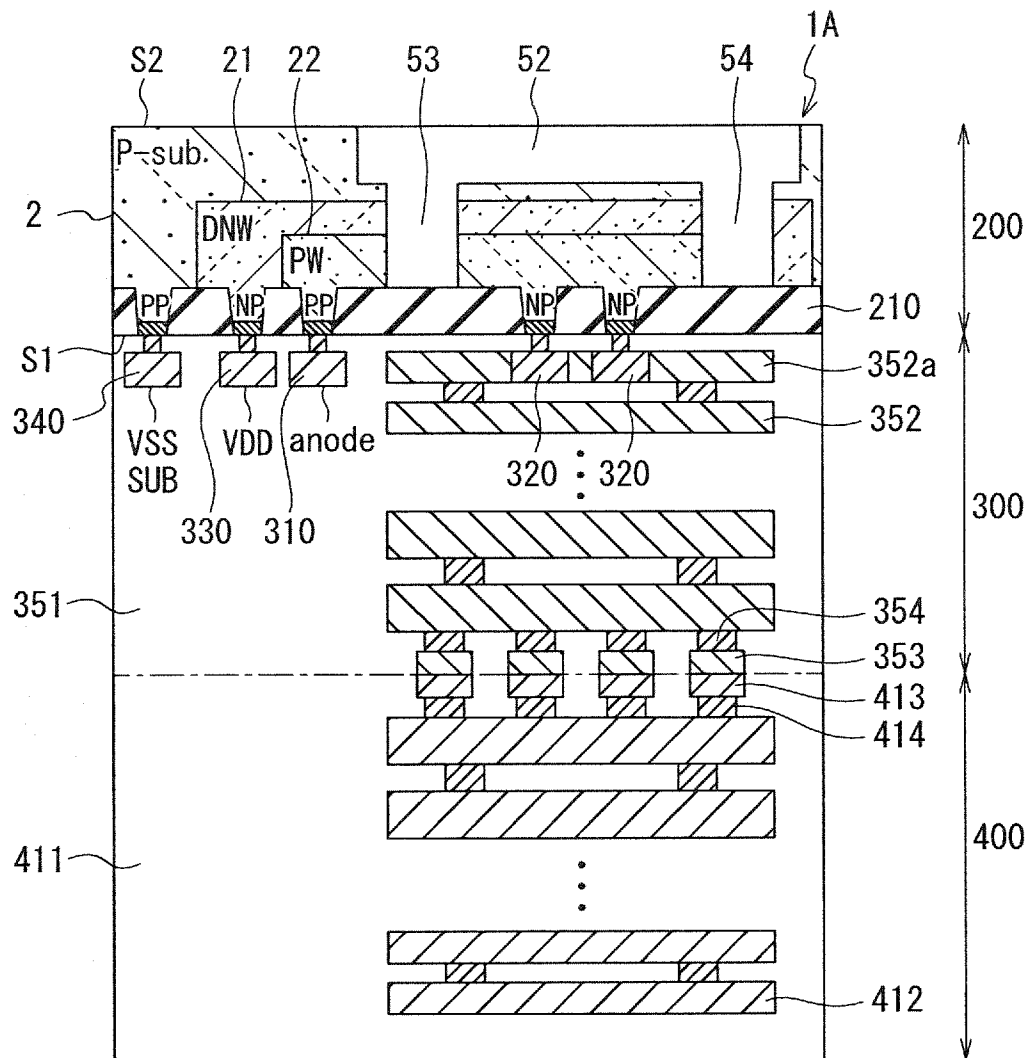


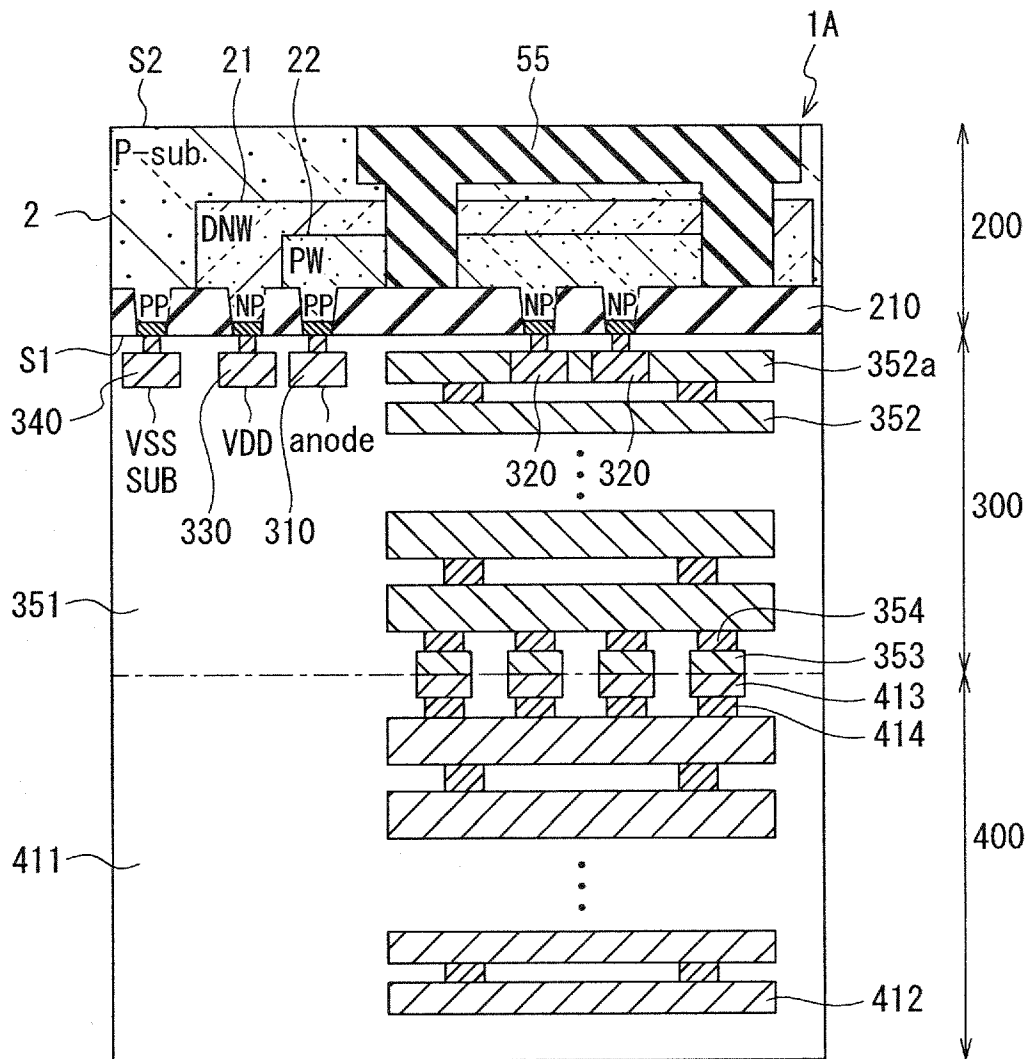
Figure 1A is a cross-sectional view of a semiconductor device 1A. The device is built on a P-type substrate (P-sub.) 2. A drift layer (DNW) 21 is formed on the substrate, with a protective layer (PW) 22 on top. A gate stack 210 is formed on the drift layer, consisting of a gate oxide layer 340, a gate electrode 351, and a gate spacer 352. The gate electrode 351 is divided into regions labeled VSS, SUB, VDD, and anode. The gate spacer 352 is divided into regions labeled PP, NP, RP, NP, and NP. The device includes a series of vertical channels 320, 320, and 320. A series of horizontal layers 330, 310, 351, 354, 353, 413, 414, and 411 are shown. The device is divided into three main regions: 200, 300, and 400. The region 200 contains the drift layer and gate stack. The region 300 contains the vertical channels and horizontal layers. The region 400 contains the horizontal layers 354, 353, 413, 414, and 411. The device is labeled 1A.

This cross-sectional view illustrates a semiconductor device with a substrate 1A. The device includes a P-type substrate (P-sub.) with a depletion layer (DNW) and a polysilicon layer (PW). A gate stack 2 is formed on the substrate, consisting of a gate oxide layer (S2) and a gate electrode (21). The gate stack is divided into regions labeled 22, 210, and 211. A source/drain region 340 is formed in the substrate, containing a polysilicon layer (S1) and a gate oxide layer (S2). The source/drain region is divided into regions labeled 330, 310, and 311. A gate oxide layer (S1) is formed on the source/drain region, and a gate electrode (S2) is formed on the gate oxide layer. The gate electrode is divided into regions labeled 351, 352, 352a, 353, 354, 355, 356, 357, 358, 359, 360, 361, 362, 363, 364, 365, 366, 367, 368, 369, 370, 371, 372, 373, 374, 375, 376, 377, 378, 379, 380, 381, 382, 383, 384, 385, 386, 387, 388, 389, 390, 391, 392, 393, 394, 395, 396, 397, 398, 399, 400, 401, 402, 403, 404, 405, 406, 407, 408, 409, 410, 411, 412, 413, 414, 415, 416, 417, 418, 419, 420, 421, 422, 423, 424, 425, 426, 427, 428, 429, 430, 431, 432, 433, 434, 435, 436, 437, 438, 439, 440, 441, 442, 443, 444, 445, 446, 447, 448, 449, 450, 451, 452, 453, 454, 455, 456, 457, 458, 459, 460, 461, 462, 463, 464, 465, 466, 467, 468, 469, 470, 471, 472, 473, 474, 475, 476, 477, 478, 479, 480, 481, 482, 483, 484, 485, 486, 487, 488, 489, 490, 491, 492, 493, 494, 495, 496, 497, 498, 499, 500, 501, 502, 503, 504, 505, 506, 507, 508, 509, 510, 511, 512, 513, 514, 515, 516, 517, 518, 519, 520, 521, 522, 523, 524, 525, 526, 527, 528, 529, 530, 531, 532, 533, 534, 535, 536, 537, 538, 539, 540, 541, 542, 543, 544, 545, 546, 547, 548, 549, 550, 551, 552, 553, 554, 555, 556, 557, 558, 559, 560, 561, 562, 563, 564, 565, 566, 567, 568, 569, 570, 571, 572, 573, 574, 575, 576, 577, 578, 579, 580, 581, 582, 583, 584, 585, 586, 587, 588, 589, 590, 591, 592, 593, 594, 595, 596, 597, 598, 599, 600, 601, 602, 603, 604, 605, 606, 607, 608, 609, 610, 611, 612, 613, 614, 615, 616, 617, 618, 619, 620, 621, 622, 623, 624, 625, 626, 627, 628, 629, 630, 631, 632, 633, 634, 635, 636, 637, 638, 639, 640, 641, 642, 643, 644, 645, 646, 647, 648, 649, 650, 651, 652, 653, 654, 655, 656, 657, 658, 659, 660, 661, 662, 663, 664, 665, 666, 667, 668, 669, 670, 671, 672, 673, 674, 675, 676, 677, 678, 679, 680, 681, 682, 683, 684, 685, 686, 687, 688, 689, 690, 691, 692, 693, 694, 695, 696, 697, 698, 699, 700, 701, 702, 703, 704, 705, 706, 707, 708, 709, 710, 711, 712, 713, 714, 715, 716, 717, 718, 719, 720, 721, 722, 723, 724, 725, 726, 727, 728, 729, 730, 731, 732, 733, 734, 735, 736, 737, 738, 739, 740, 741, 742, 743, 744, 745, 746, 747, 748, 749, 750, 751, 752, 753, 754, 755, 756, 757, 758, 759, 760, 761, 762, 763, 764, 765, 766, 767, 768, 769, 770, 771, 772, 773, 774, 775, 776, 777, 778, 779, 780, 781, 782, 783, 784, 785, 786, 787, 788, 789, 790, 791, 792, 793, 794, 795, 796, 797, 798, 799, 800, 801, 802, 803, 804, 805, 806, 807, 808, 809, 810, 811, 812, 813, 814, 815, 816, 817, 818, 819, 820, 821, 822, 823, 824, 825, 826, 827, 828, 829, 830, 831, 832, 833, 834, 835, 836, 837, 838, 839, 840, 841, 842, 843, 844, 845, 846, 847, 848, 849, 850, 851, 852, 853, 854, 855, 856, 857, 858, 859, 860, 861, 862, 863, 864, 865, 866, 867, 868, 869, 870, 871, 872, 873, 874, 875, 876, 877, 878, 879, 880, 881, 882, 883, 884, 885, 886, 887, 888, 889, 890, 891, 892, 893, 894, 895, 896, 897, 898, 899, 900, 901, 902, 903, 904, 905, 906, 907, 908, 909, 910, 911, 912, 913, 914, 915, 916, 917, 918, 919, 920, 921, 922, 923, 924, 925, 926, 927, 928, 929, 930, 931, 932, 933, 934, 935, 936, 937, 938, 939, 940, 941, 942, 943, 944, 945, 946, 947, 948, 949, 950, 951, 952, 953, 954, 955, 956, 957, 958, 959, 960, 961, 962, 963, 964, 965, 966, 967, 968, 969, 970, 971, 972, 973, 974, 975, 976, 977, 978, 979, 980, 981, 982, 983, 984, 985, 986, 987, 988, 989, 990, 991, 992, 993, 994, 995, 996, 997, 998, 999, 1000.

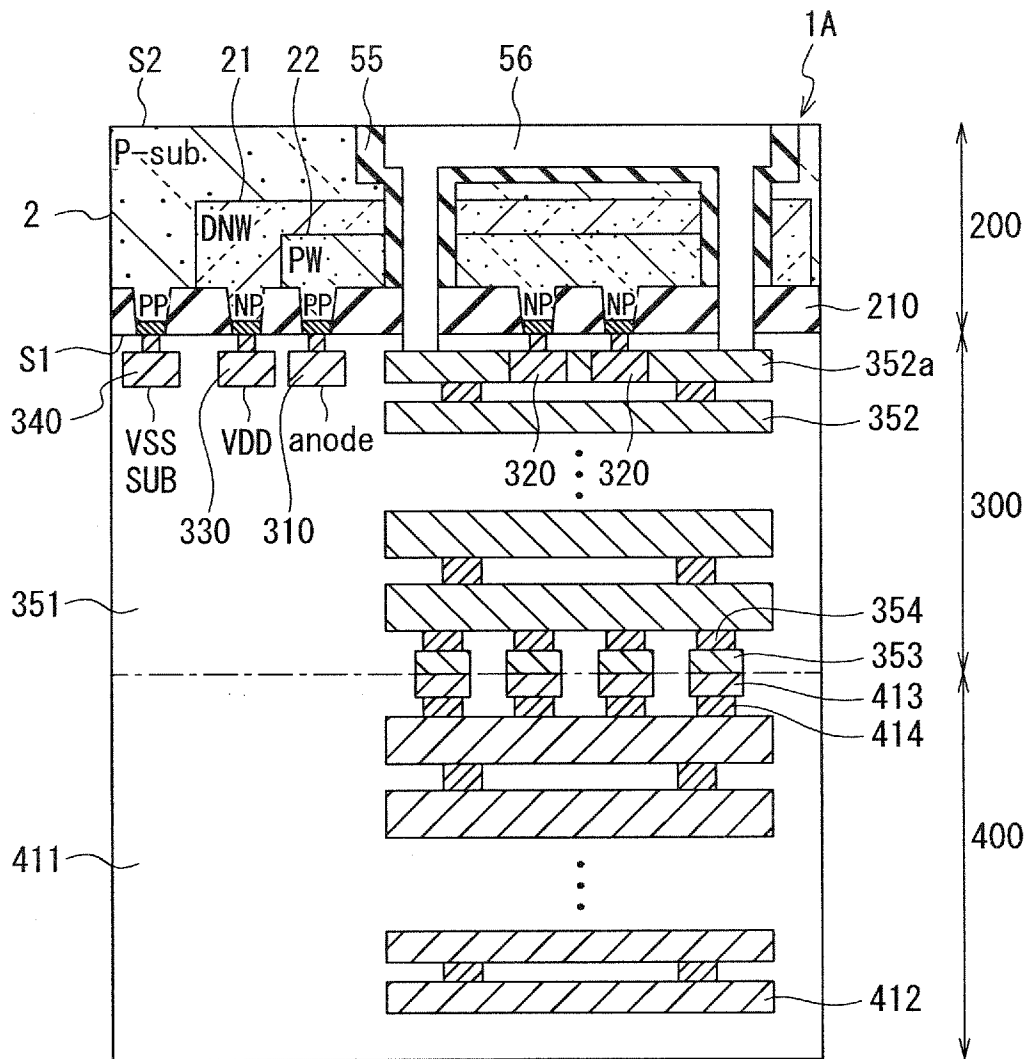
[図8C]



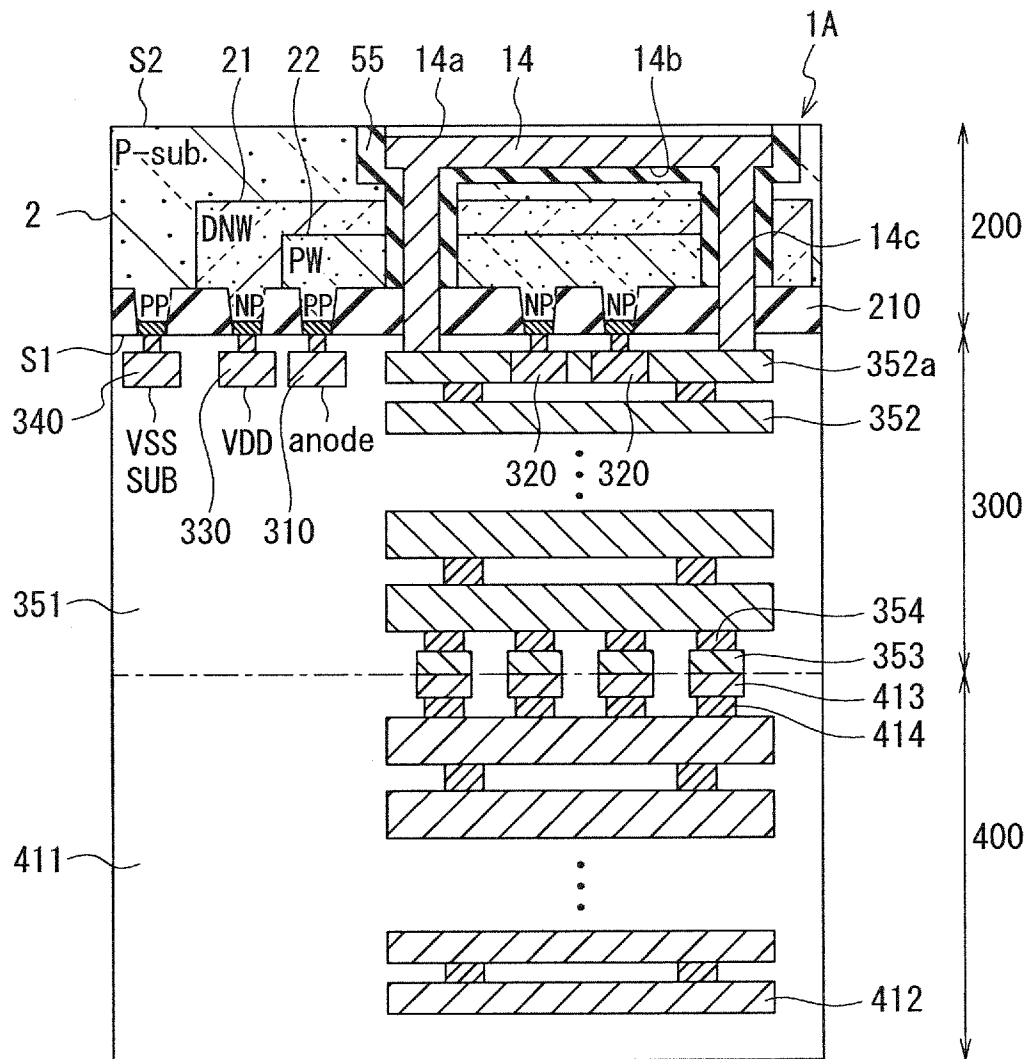
[図8D]



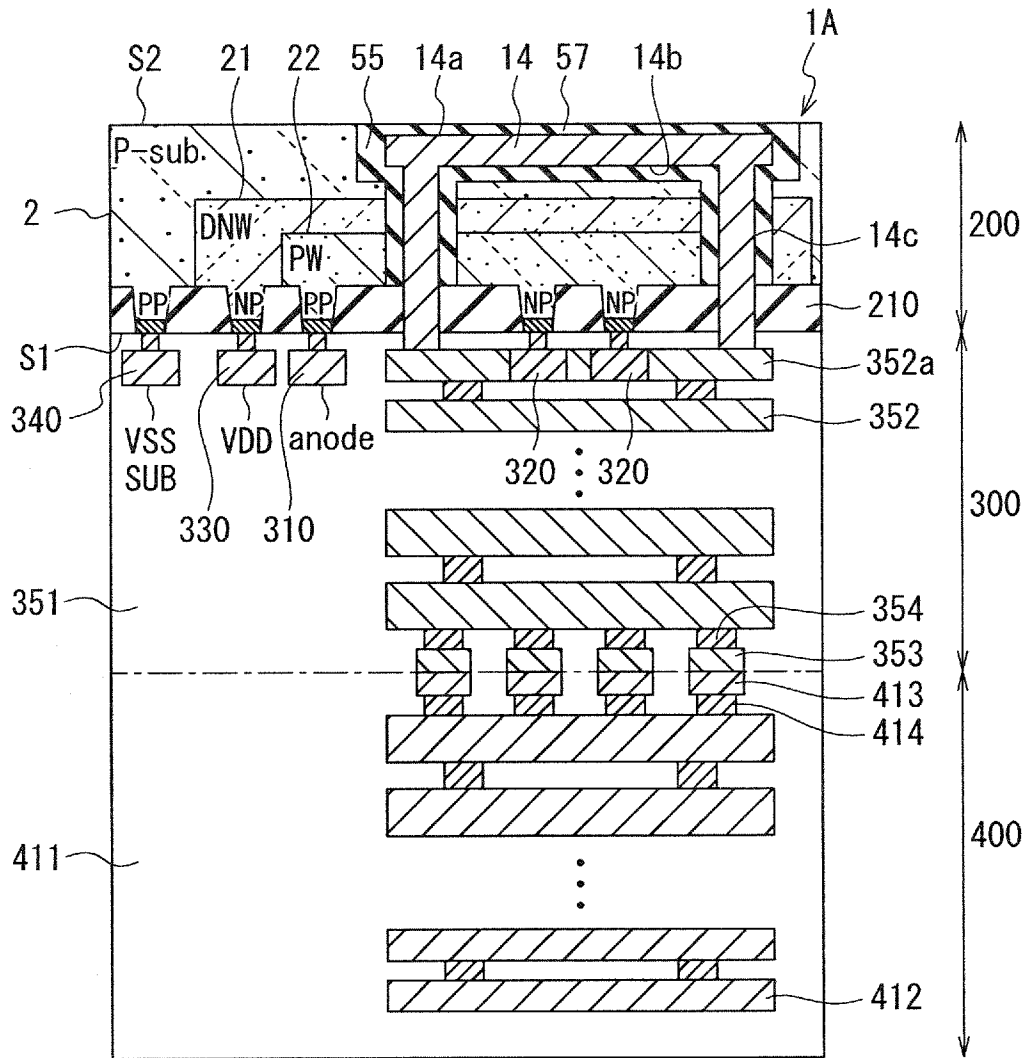
[図8E]



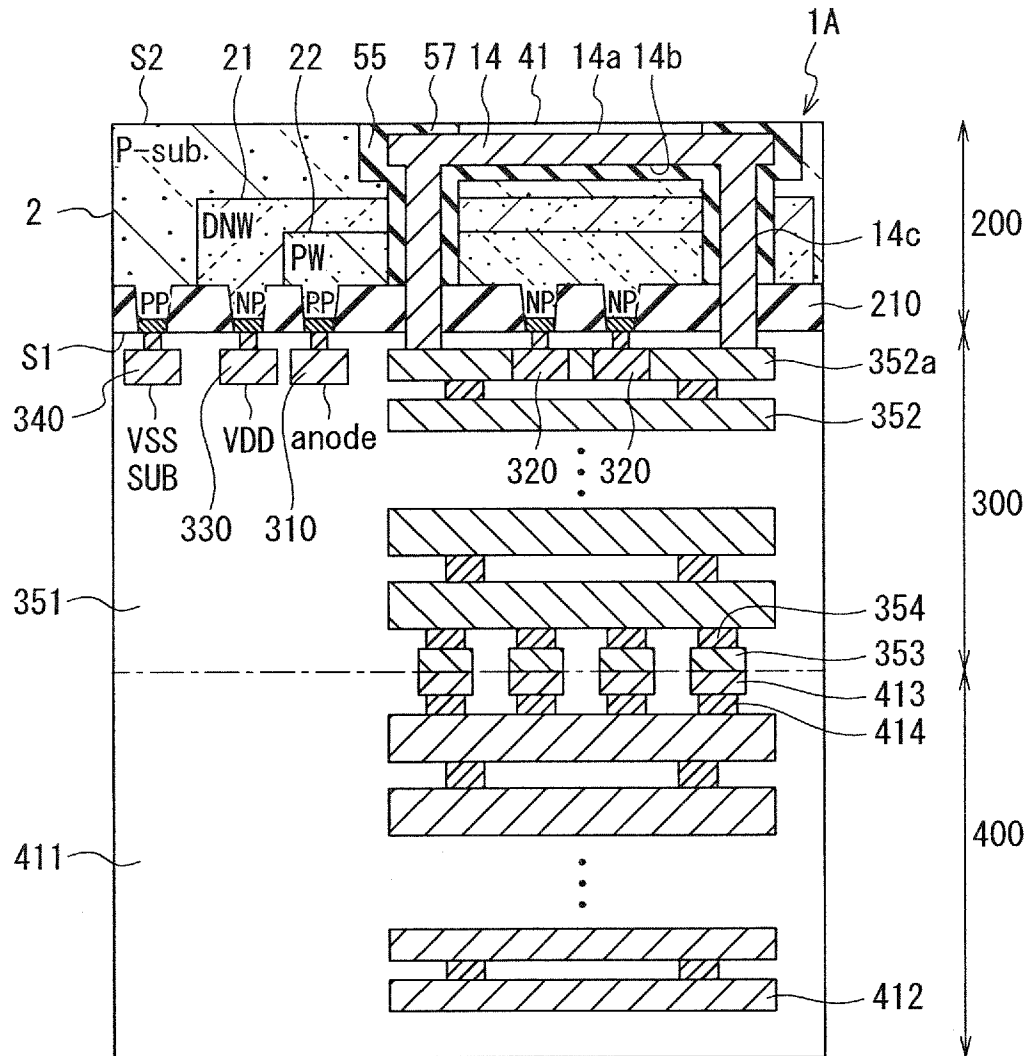
[図8F]



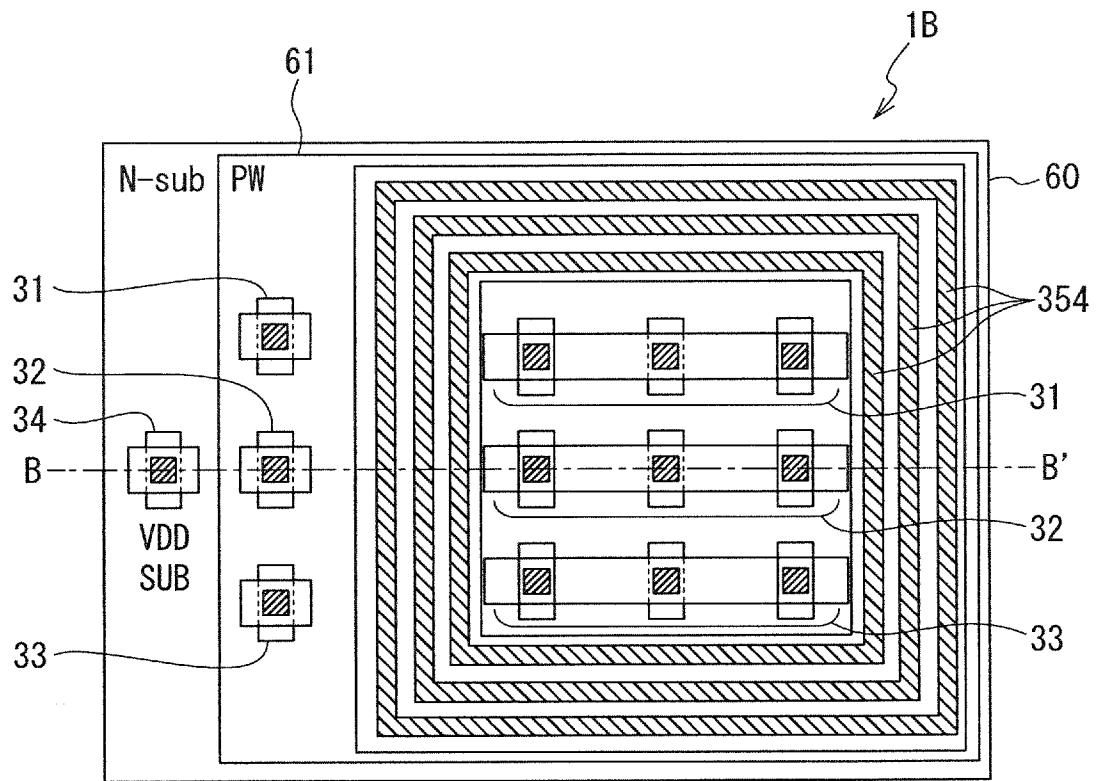
[図8G]



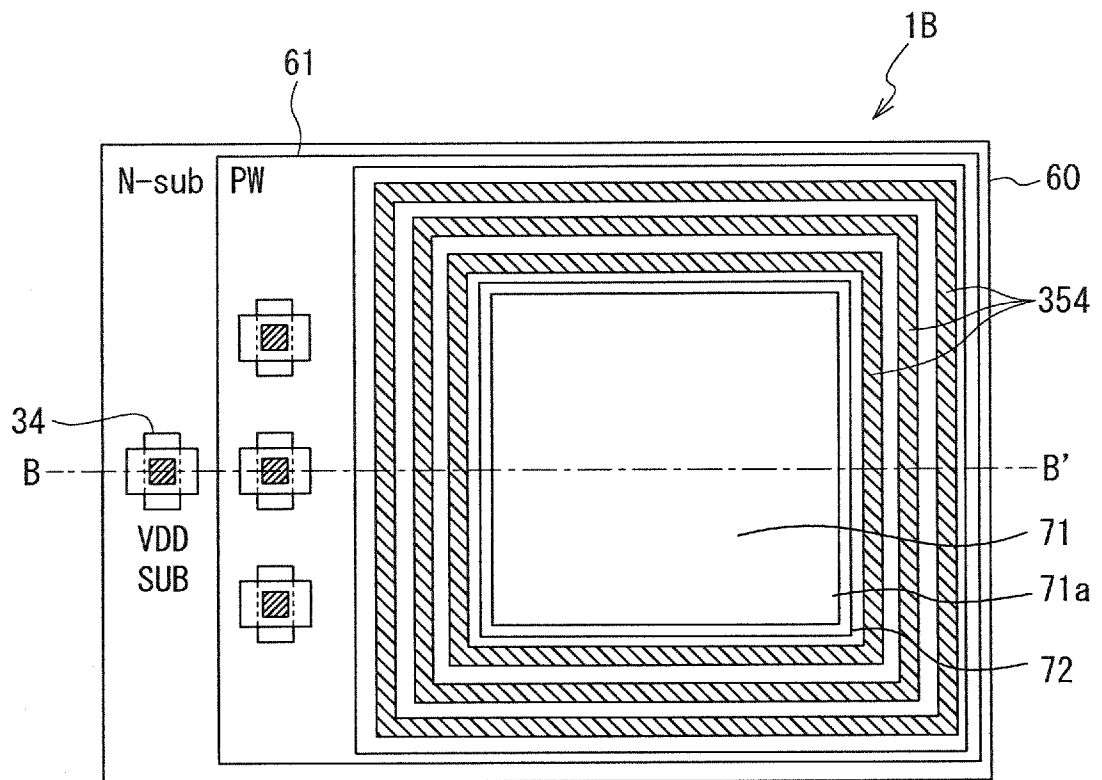
[図8H]



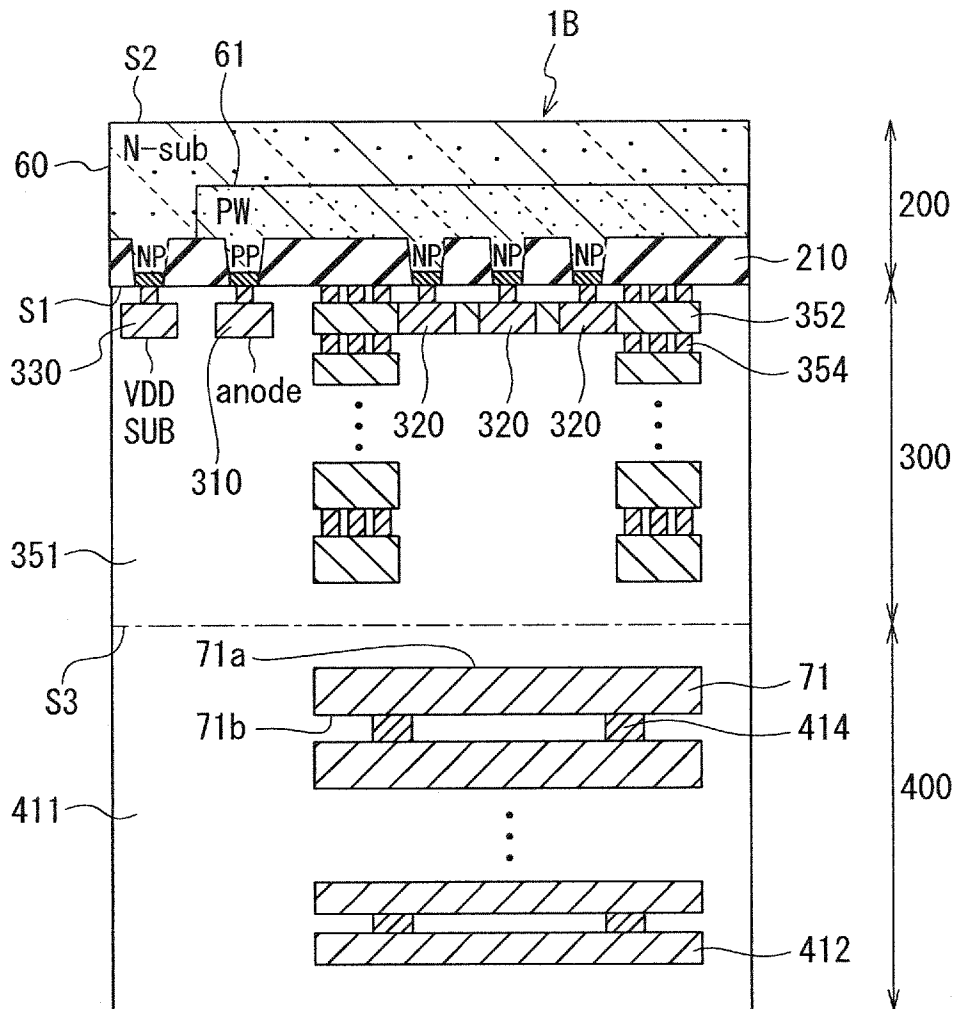
[図9A]



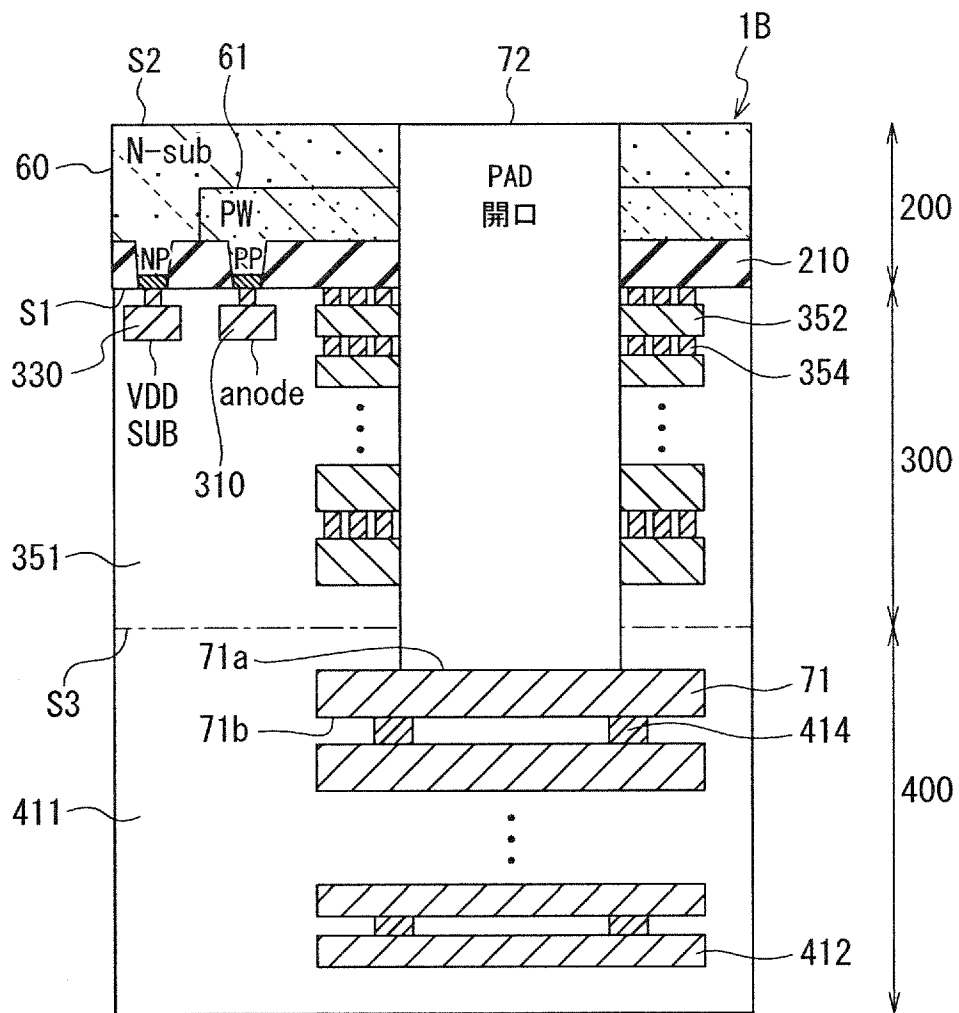
[図9B]



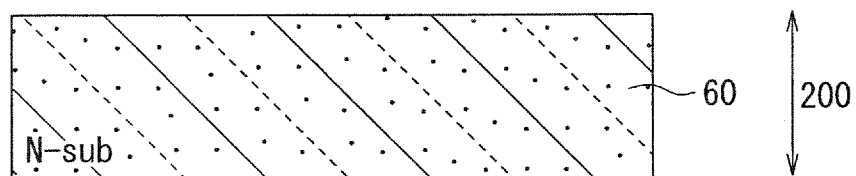
[図10A]



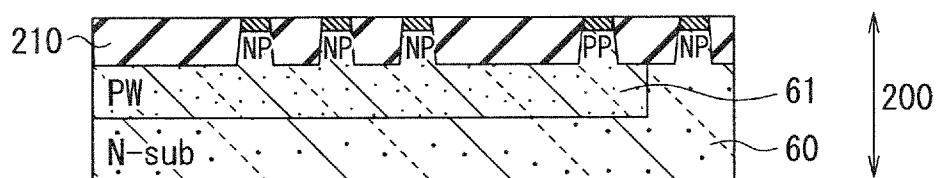
[図10B]



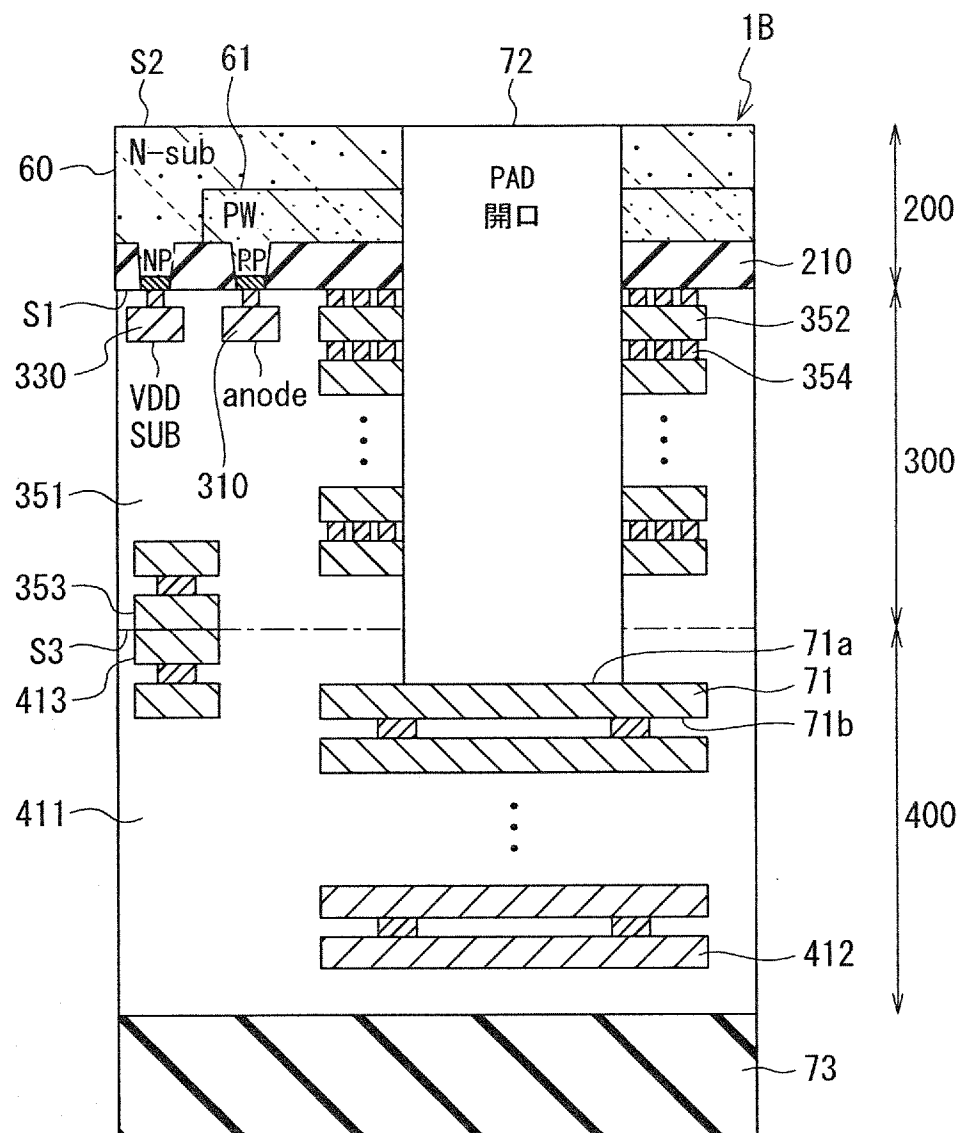
[図11A]



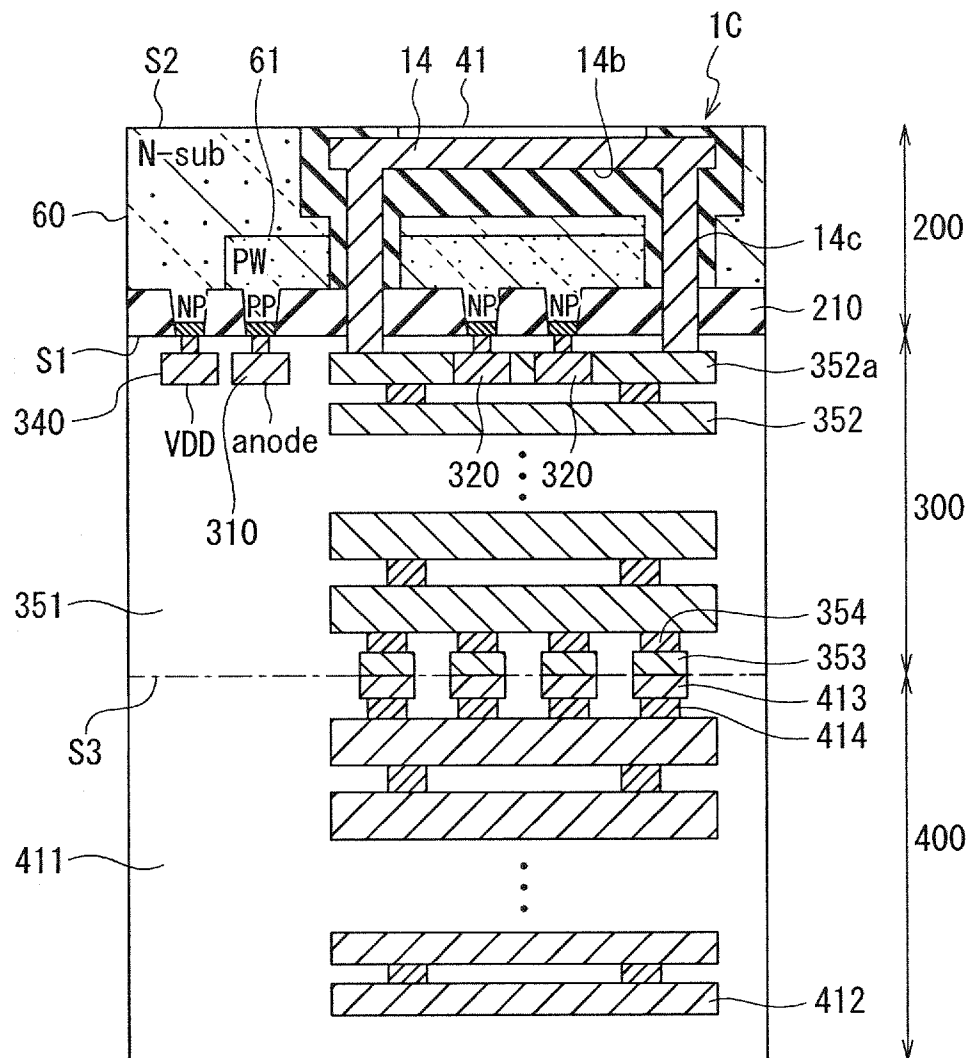
[図11B]



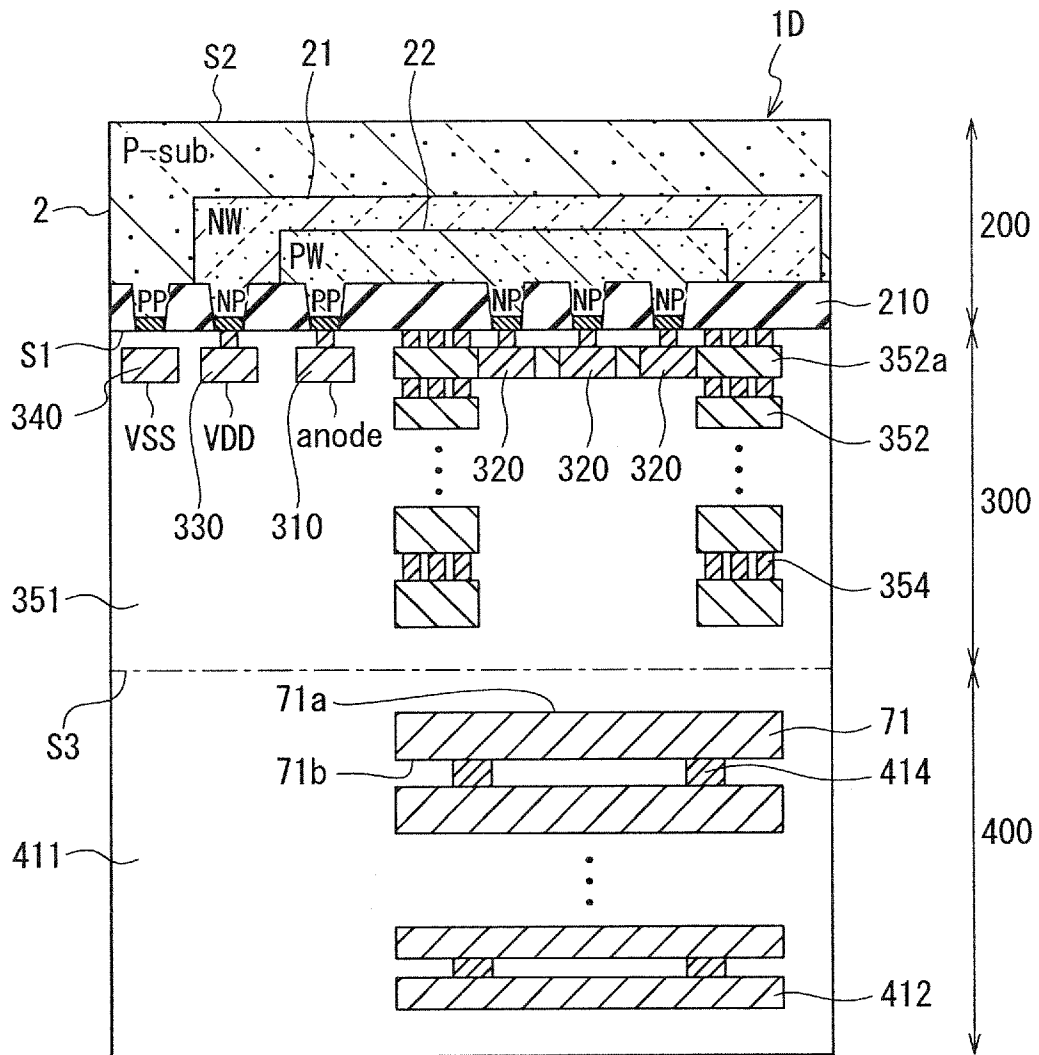
[図11E]



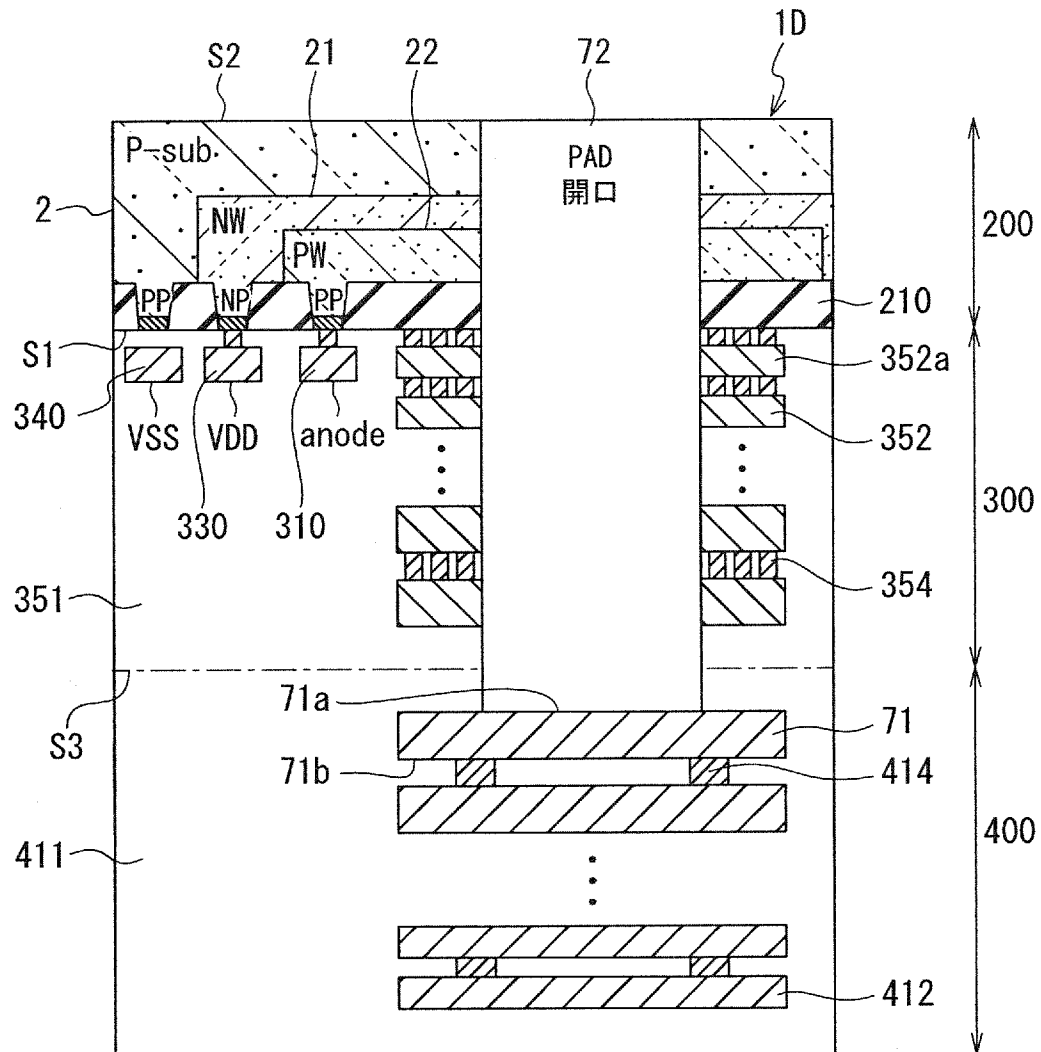
[図12]



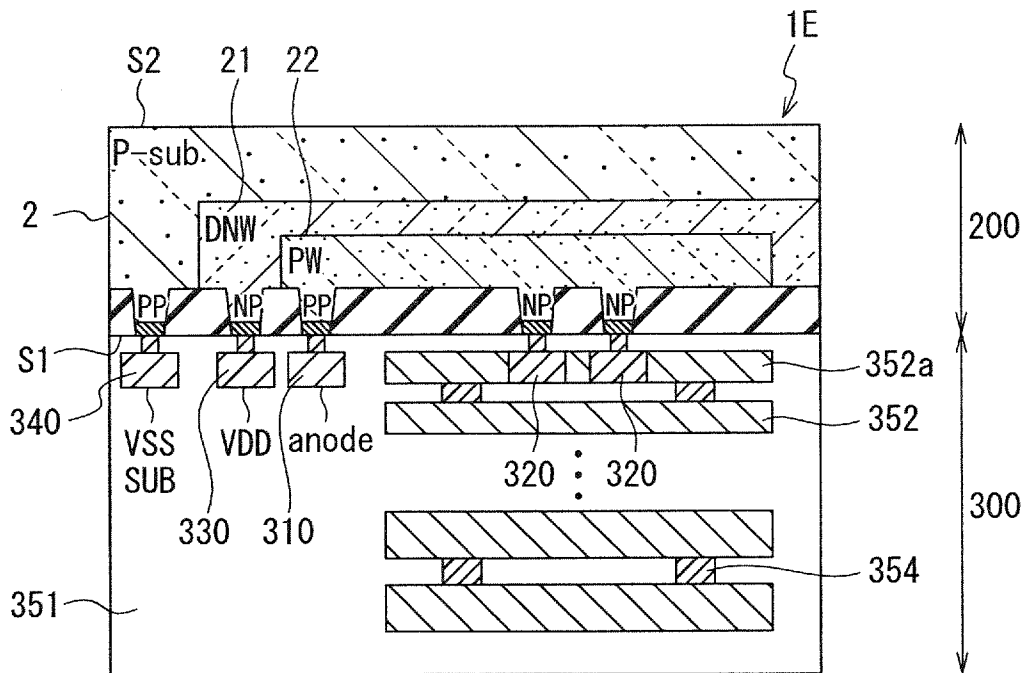
[図13A]



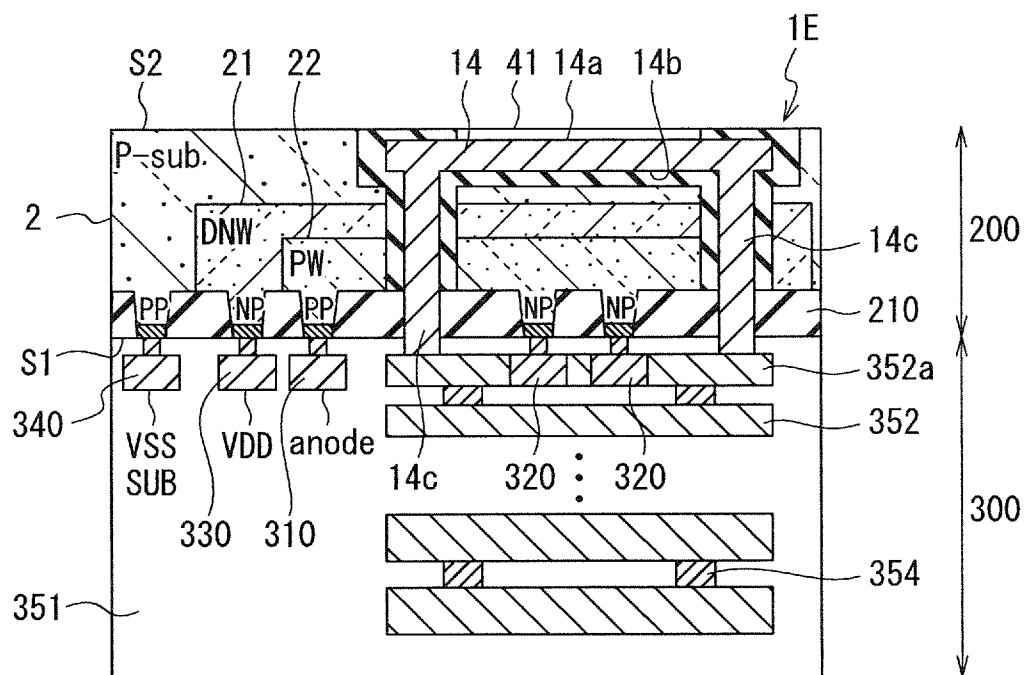
[図13B]



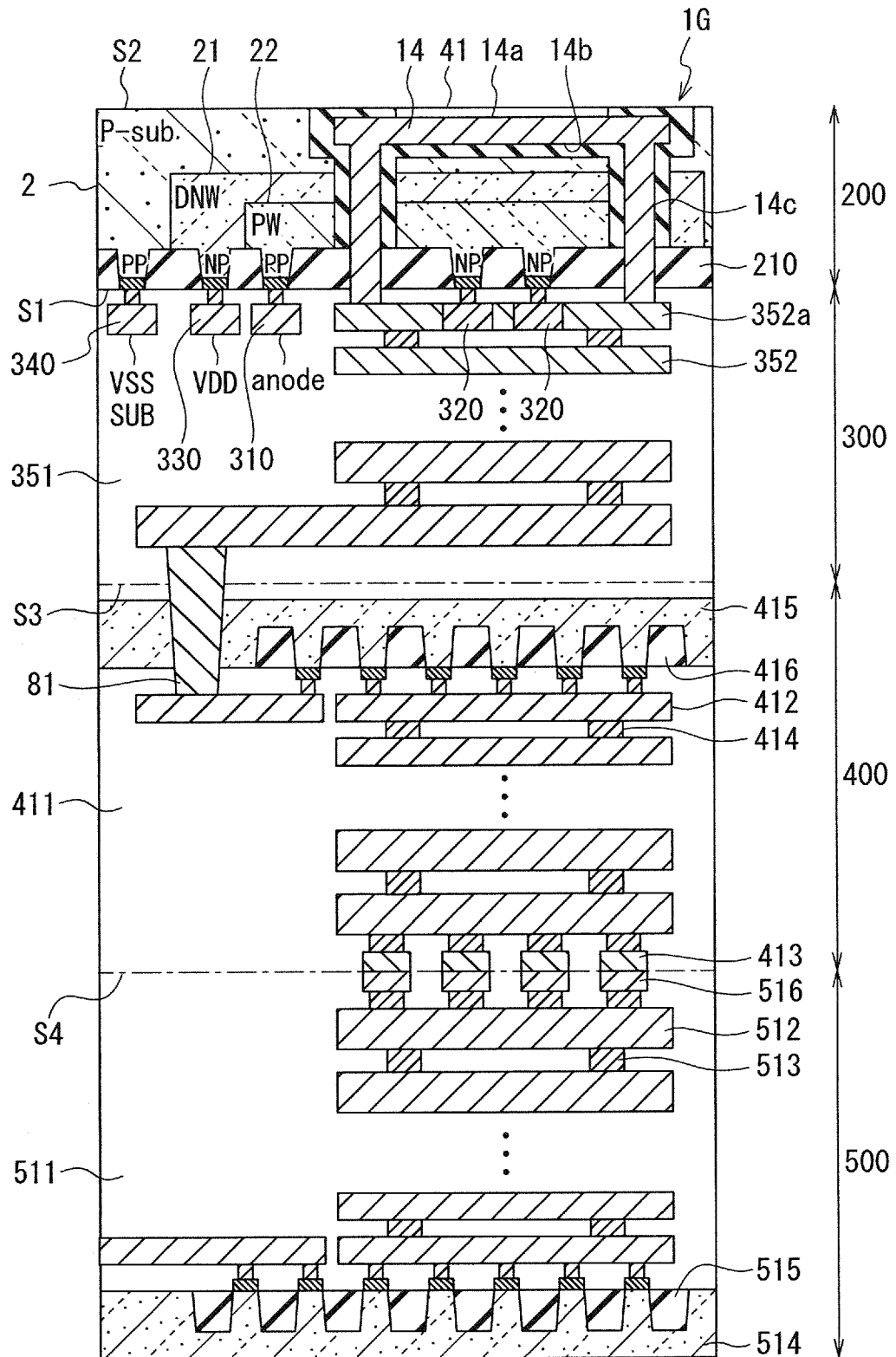
[図14A]



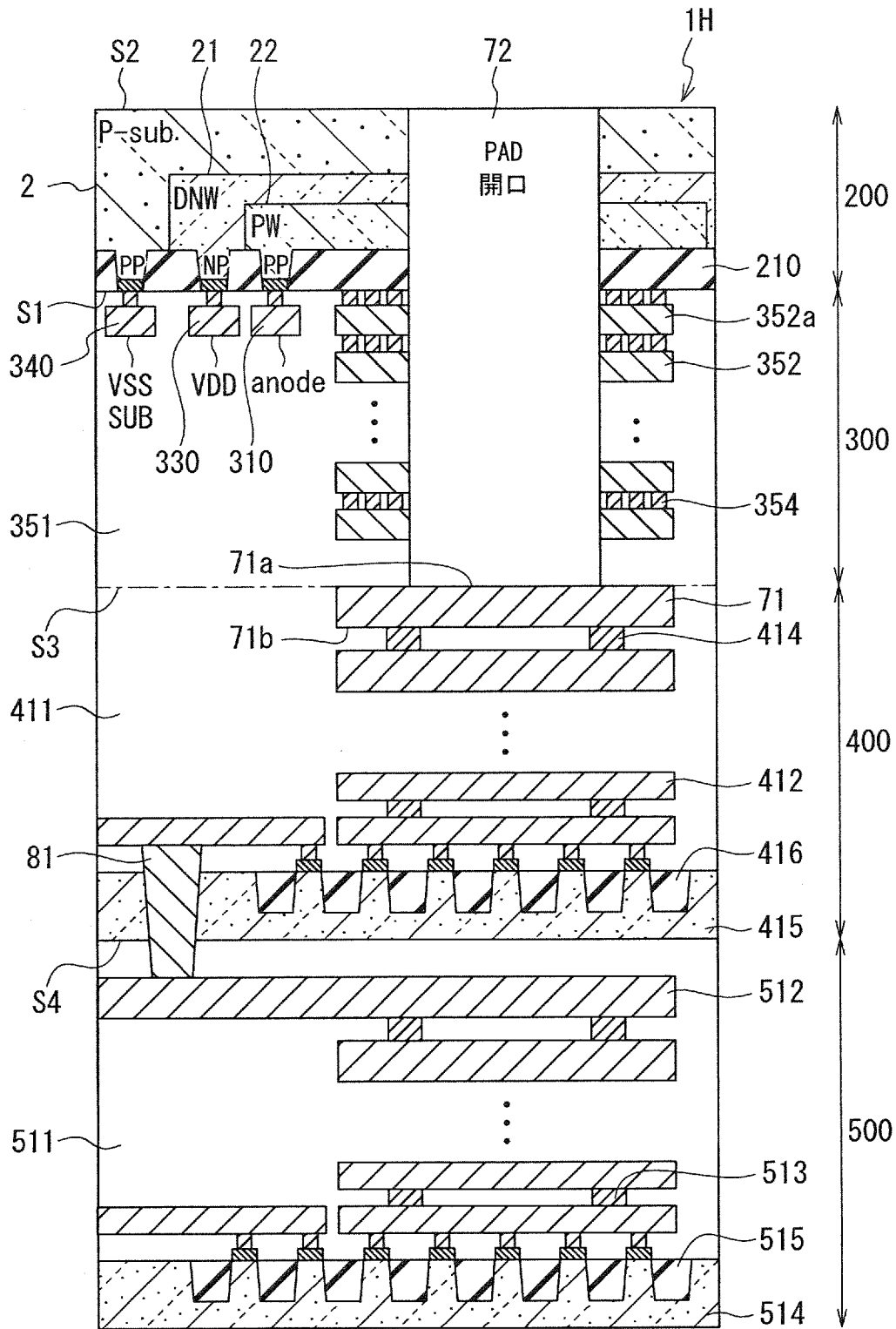
[図14B]



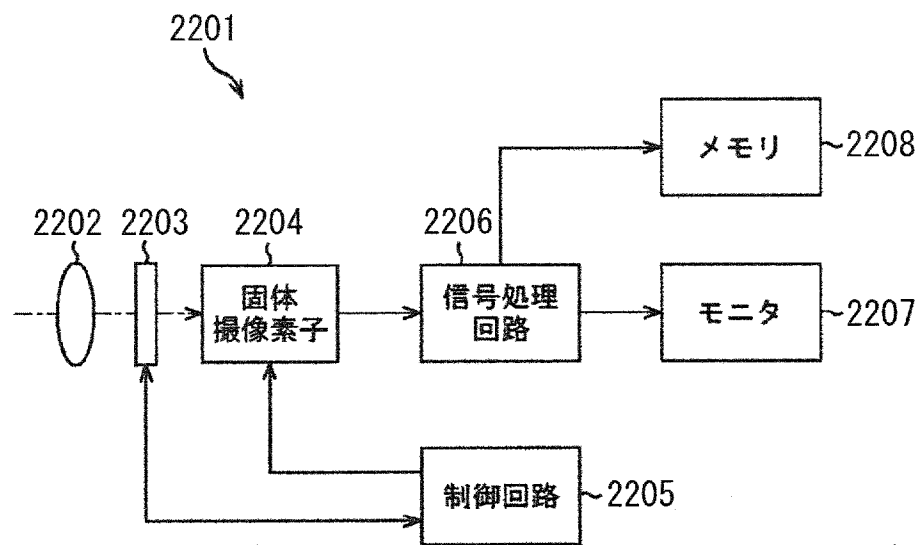
[図16]



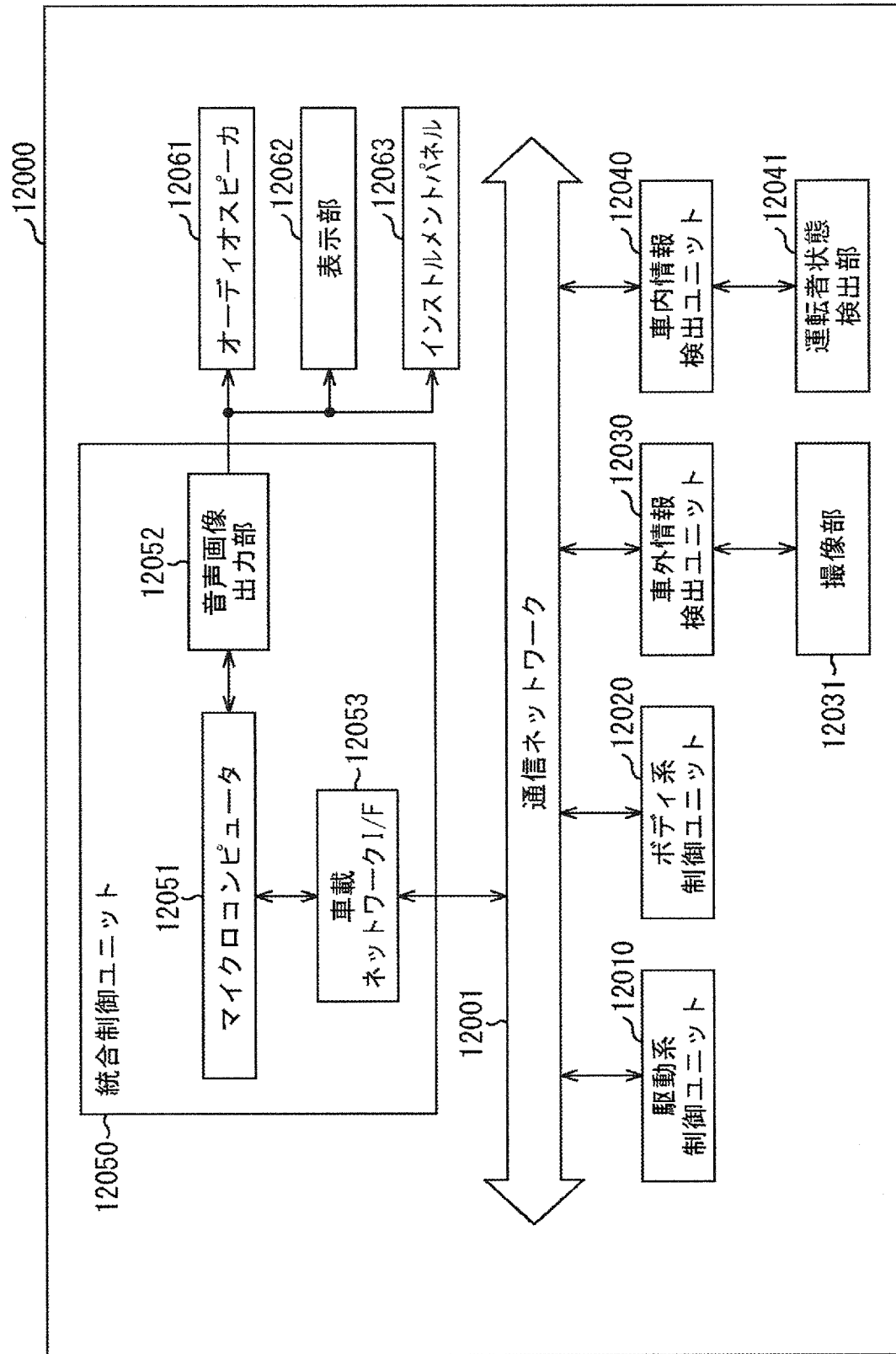
[図17]



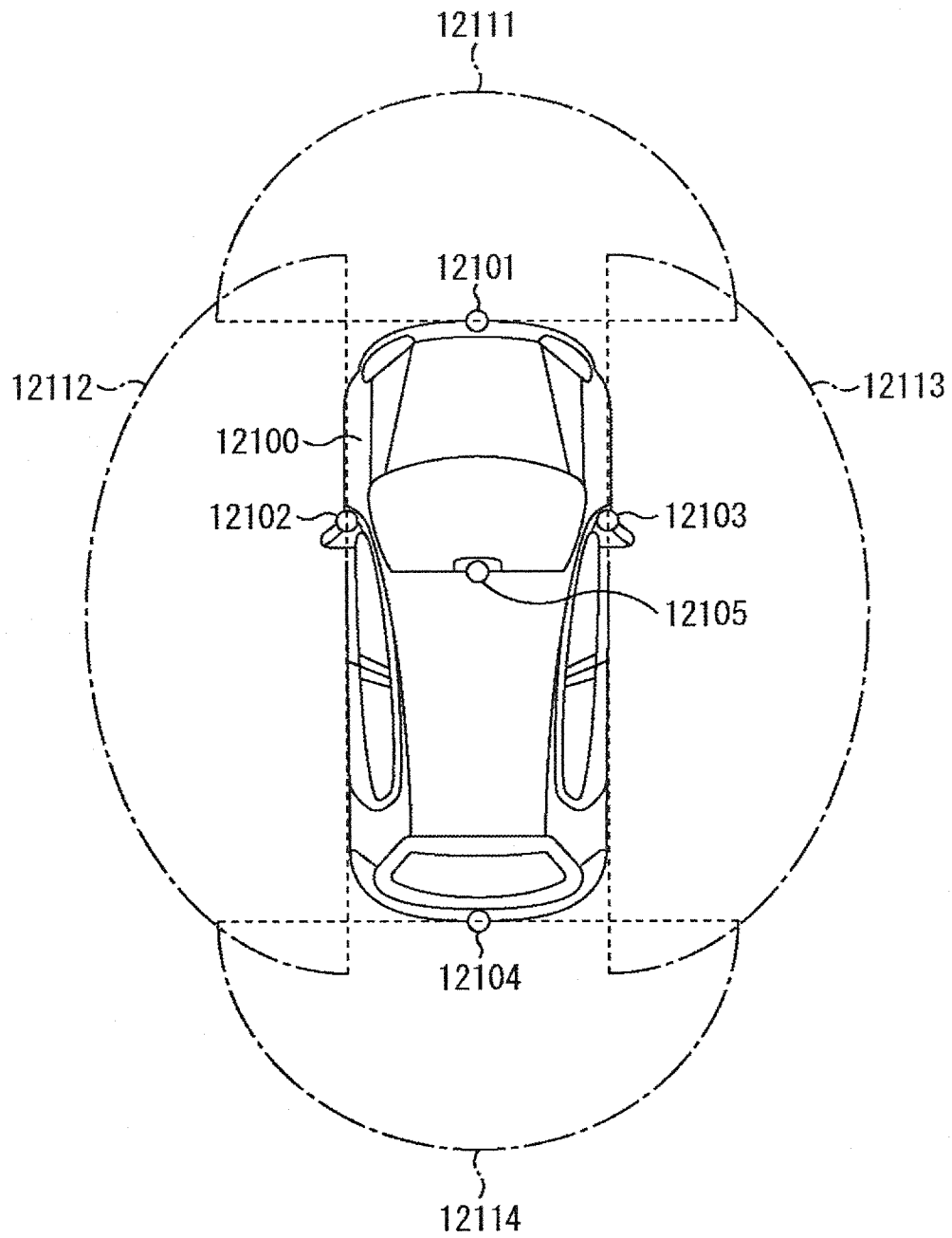
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/027374

A. CLASSIFICATION OF SUBJECT MATTER**H01L 27/146**(2006.01)i; **H01L 21/3205**(2006.01)i; **H01L 21/768**(2006.01)i; **H01L 23/522**(2006.01)i

FI: H01L27/146 D; H01L21/88 J; H01L21/88 T; H01L27/146 A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146; H01L21/3205; H01L21/768; H01L23/522

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2024

Registered utility model specifications of Japan 1996-2024

Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-013806 A (KABUSHIKI KAISHA TOSHIBA) 23 January 2014 (2014-01-23)	1-7, 16
A	paragraphs [0009]-[0069], fig. 1-7	18, 19
Y	JP 2018-046039 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 22 March 2018 (2018-03-22)	1-7, 16
A	paragraphs [0014]-[0166], fig. 1-23	18, 19
X	JP 2012-015277 A (CANON KABUSHIKI KAISHA) 19 January 2012 (2012-01-19)	8-11, 17
Y	paragraphs [0011]-[0074], fig. 1-11	2-4, 12-15
A		18, 19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

30 September 2024

Date of mailing of the international search report

08 October 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/027374

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2022/080125 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 21 April 2022 (2022-04-21)	6, 7, 12-15
A	paragraphs [0010]-[0134], fig. 1-25	18, 19

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/027374

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2014-013806	A	23 January 2014	(Family: none)	
JP	2018-046039	A	22 March 2018	US 2019/0214417 A1 paragraphs [0046]-[0256], fig. 1-23	
				WO 2018/047517 A1	
JP	2012-015277	A	19 January 2012	US 2013/0107075 A1 paragraphs [0032]-[0097], fig. 1-12B	
				WO 2012/001916 A1	
WO	2022/080125	A1	21 April 2022	US 2023/0378219 A1 paragraphs [0050]-[0210], fig. 1-25	
				CN 116057687 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 27/146(2006.01)i; H01L 21/3205(2006.01)i; H01L 21/768(2006.01)i; H01L 23/522(2006.01)i
FI: H01L27/146 D; H01L21/88 J; H01L21/88 T; H01L27/146 A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L27/146; H01L21/3205; H01L21/768; H01L23/522

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年
日本国公開実用新案公報1971-2024年
日本国実用新案登録公報1996-2024年
日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2014-013806 A（株式会社東芝）23.01.2014（2014-01-23） [0009]～[0069]及び図1～7	1-7,16
A		18,19
Y	JP 2018-046039 A（ソニーセミコンダクタソリューションズ株式会社）22.03.2018 （2018-03-22） [0014]～[0166]及び図1～23	1-7,16
A		18,19
X	JP 2012-015277 A（キャノン株式会社）19.01.2012（2012-01-19） [0011]～[0074]及び図1～11	8-11,17
Y		2-4,12-15
A		18,19

☒ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日30.09.2024

国際調査報告の発送日08.10.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

境周一 5F 3654

電話番号 03-3581-1101 内線 3514

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2022/080125 A1 (ソニーセミコンダクタソリューションズ株式会社) 21.04.2022 (2022 - 04 - 21)	6, 7, 12-15
A	[0 0 1 0] ~ [0 1 3 4] 及び図 1 ~ 2 5	18, 19

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/027374

引用文献			公表日	パテントファミリー文献	公表日
JP	2014-013806	A	23.01.2014	(ファミリーなし)	
JP	2018-046039	A	22.03.2018	US 2019/0214417 A1 Pars. [0046]-[0256], Figs. 1-23	
				WO 2018/047517 A1	
JP	2012-015277	A	19.01.2012	US 2013/0107075 A1 Pars. [0032]-[0097], Figs. 1-12B	
				WO 2012/001916 A1	
WO	2022/080125	A1	21.04.2022	US 2023/0378219 A1 Pars. [0050]-[0210], Figs. 1-25	
				CN 116057687 A	