



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I476913 B

(45) 公告日：中華民國 104 (2015) 年 03 月 11 日

(21) 申請案號：100107919

(22) 申請日：中華民國 100 (2011) 年 03 月 09 日

(51) Int. Cl. : H01L29/778 (2006.01)

H01L29/12 (2006.01)

(30) 優先權：2010/06/18 日本

2010-139875

(71) 申請人：東芝股份有限公司 (日本) KABUSHIKI KAISHA TOSHIBA (JP)
日本

(72) 發明人：菅原秀人 SUGAWARA, HIDETO (JP)

(74) 代理人：林志剛

(56) 參考文獻：

TW M373005

TW 201017718A

US 2008/0251802A1

審查人員：陳瑩真

申請專利範圍項數：20 項 圖式數：10 共 42 頁

(54) 名稱

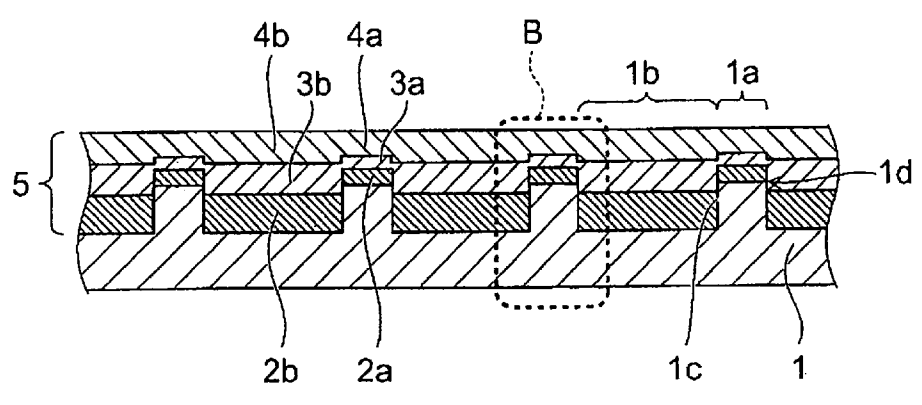
氮化物半導體裝置

NITRIDE SEMICONDUCTOR DEVICE

(57) 摘要

根據一實施例，一種氮化物半導體裝置包括基板、 $Al_{x1}Ga_{1-x1}N$ 第一埋層、 $In_yAl_zGa_{1-y-z}N$ 埋層、及 $Al_{x2}Ga_{1-x2}N$ 第二埋層。基板具有形成在第一主表面上之平面方向中的凸部，及在該些凸部的相鄰者之間的凹部。該第一埋層形成在該凹部及該些凸部之一上。該 $In_yAl_zGa_{1-y-z}N$ 埋層形成在該第一埋層上。該第二埋層形成在該 $In_yAl_zGa_{1-y-z}N$ 埋層上。形成在該凹部上之該第一埋層的一部分及形成在該些凸部之該一者上的第一埋層之一部分不互相連接。形成在該凹部上方之該 $In_yAl_zGa_{1-y-z}N$ 埋層的一部分及形成在該些凸部之該一者上方的該 $In_yAl_zGa_{1-y-z}N$ 埋層的一部分互相連接。

According to one embodiment, a nitride semiconductor device includes a substrate, an $Al_{x1}Ga_{1-x1}N$ first buried layer, an $In_yAl_zGa_{1-y-z}N$ buried layer and an $Al_{x2}Ga_{1-x2}N$ second buried layer. The substrate has protrusions formed in an in-plane direction on a first major surface, and a depression between adjacent ones of the protrusions. The first buried layer is formed on the depression and one of the protrusions. The $In_yAl_zGa_{1-y-z}N$ buried layer is formed on the first buried layer. The second buried layer is formed on the $In_yAl_zGa_{1-y-z}N$ buried layer. A portion of the first buried layer formed on the depression and a portion of the first buried layer formed on the one of the protrusions are not connected to each other. A portion of the $In_yAl_zGa_{1-y-z}N$ buried layer formed above the depression and a portion of the $In_yAl_zGa_{1-y-z}N$ buried layer formed above the one of the protrusions are connected to each other.



- 1 . . . 基板
- 1a . . . 凸部
- 1b . . . 凹部
- 1c . . . 側壁
- 2a、2b . . . GaN 第一埋層
- 3a、3b . . . InGaN 埋層
- 4a、4b . . . GaN 第二埋層
- 5 . . . 堆疊結構

第2圖

發明專利說明書

公告本

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100107919

※申請日：100 年 03 月 09 日

※IPC 分類： H01L 29/778 (2006.01)
H01L 29/12 (2006.01)

一、發明名稱：(中文/英文)

氮化物半導體裝置

Nitride semiconductor device

二、中文發明摘要：

根據一實施例，一種氮化物半導體裝置包括基板、 $Al_{x1}Ga_{1-x1}N$ 第一埋層、 $In_yAl_zGa_{1-y-z}N$ 埋層、及 $Al_{x2}Ga_{1-x2}N$ 第二埋層。基板具有形成在第一主表面上之平面方向中的凸部，及在該些凸部的相鄰者之間的凹部。該第一埋層形成在該凹部及該些凸部之一上。該 $In_yAl_zGa_{1-y-z}N$ 埋層形成在該第一埋層上。該第二埋層形成在該 $In_yAl_zGa_{1-y-z}N$ 埋層上。形成在該凹部上之該第一埋層的一部分及形成在該些凸部之該一者上的第一埋層之一部分不互相連接。形成在該凹部上方之該 $In_yAl_zGa_{1-y-z}N$ 埋層的一部分及形成在該些凸部之該一者上方的該 $In_yAl_zGa_{1-y-z}N$ 埋層的一部分互相連接。

三、英文發明摘要：

According to one embodiment, a nitride semiconductor device includes a substrate, an $\text{Al}_{x_1}\text{Ga}_{1-x_1}\text{N}$ first buried layer, an $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ buried layer and an $\text{Al}_{x_2}\text{Ga}_{1-x_2}\text{N}$ second buried layer. The substrate has protrusions formed in an in-plane direction on a first major surface, and a depression between adjacent ones of the protrusions. The first buried layer is formed on the depression and one of the protrusions. The $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ buried layer is formed on the first buried layer. The second buried layer is formed on the $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ buried layer. A portion of the first buried layer formed on the depression and a portion of the first buried layer formed on the one of the protrusions are not connected to each other. A portion of the $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ buried layer formed above the depression and a portion of the $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ buried layer formed above the one of the protrusions are connected to each other.

四、指定代表圖：

(一) 本案指定代表圖為：第(2)圖。

(二) 本代表圖之元件符號簡單說明：

1：基板

1a：凸部

1b：凹部

1c：側壁

2a、2b：Ga_N第一埋層

3a、3b：InGa_N埋層

4a、4b：Ga_N第二埋層

5：堆疊結構

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

[相關申請案之交叉引用]

此申請案依據於2010年6月18日申請的前案日本專利申請案號2010-139875並主張其之優先權，其全部內容以引用方式併於此。

【發明所屬之技術領域】

在此所述之實施例一般有關於氮化物半導體裝置。

【先前技術】

作為手機LCD（液晶顯示器）部件、LCD電視、及照明燈具之白色光源的白色LED（發光二極體）之需求迅速增加。白色LED係依據發射藍光或紫外線光之LED。另一方面，在讀取及寫入高密度光碟之拾波光源及汽車頭燈的應用中使用發射藍光或紫外線光之半導體雷射。此外，使用高電子遷移率電晶體（HEMT）作為車子及火車中之馬達控制用的高電力半導體裝置。藉由在藍寶石或其他基板上之以 $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ （ $0 < y \leq 1$ ， $0 \leq z \leq 1$ ）製成之氮化物半導體的晶體生長來形成這些LED、半導體雷射、及HEMT。氮化物半導體中之晶體缺陷減少諸如LED及半導體雷射之發光裝置的內部量子效率。此外，晶體缺陷加速發光裝置之退化併削弱其之可靠度。在諸如HEMT之電子裝置中，晶體缺陷減少電子遷移率併導致電力損失。為了減少以 $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ 製成之氮化物半導體中之晶體缺陷以

改善發光裝置的發光效率及可靠度，在具有形成在基板表面上的凹部及凸部之圖案的藍寶石基板上形成以 $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ 製成之氮化物半導體層。

【發明內容】

本發明之實施例提供氮化物半導體裝置，具有在其上設置含有平坦表面及經減少的晶體缺陷之氮化物半導體層的基板。

一般而言，根據一實施例，一種氮化物半導體裝置包括基板、 $\text{Al}_{x_1}\text{Ga}_{1-x_1}\text{N}$ ($0 \leq x_1 \leq 1$) 第一埋層、 $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ ($0 < y \leq 1$, $0 \leq z \leq 1$) 埋層、及 $\text{Al}_{x_2}\text{Ga}_{1-x_2}\text{N}$ ($0 \leq x_2 \leq 1$) 第二埋層。基板具有形成在第一主表面上之平面方向中的複數凸部，以及在該些凸部的相鄰者之間的凹部。 $\text{Al}_{x_1}\text{Ga}_{1-x_1}\text{N}$ ($0 \leq x_1 \leq 1$) 第一埋層形成在該基板的該凹部及該些凸部之一上。 $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ ($0 < y \leq 1$, $0 \leq z \leq 1$) 埋層形成在該 $\text{Al}_{x_1}\text{Ga}_{1-x_1}\text{N}$ 第一埋層上。 $\text{Al}_{x_2}\text{Ga}_{1-x_2}\text{N}$ ($0 \leq x_2 \leq 1$) 第二埋層形成在該 $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ 埋層上。形成在該凹部上之該 $\text{Al}_{x_1}\text{Ga}_{1-x_1}\text{N}$ 第一埋層的一部分及形成在該些凸部之該一者上的該 $\text{Al}_{x_1}\text{Ga}_{1-x_1}\text{N}$ 第一埋層之一部分不互相連接，以及形成在該凹部上方之該 $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ 埋層的一部分及形成在該些凸部之該一者上方的該 $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ 埋層的一部分互相連接。

本發明之一實施例可提供在其上設置含有平坦表面及經減少的晶體缺陷之氮化物半導體層的基板。

【實施方式】

茲將參照附圖敘述本發明之實施例。用於實施例之說明的圖為示意性以幫助說明。圖中之構件的形狀、尺寸、及尺寸關係並不一定僅如所示般加以實行，但可適當加以修改，只要可實現本發明之功效。

（第一實施例）

參照第 1A 至 5 圖敘述本發明之第一實施例的主要結構。此外，參照第 6A 至 6D 圖敘述將與第一實施例相比之對照實施例的主要結構。第 1A 及 1B 圖顯示用於第一實施例中之基板的一範例之主要部分，其中第 1A 圖為基板表面之平面圖，且第 1B 圖為當在第 1A 圖中之箭頭方向中看視時沿線 A-A 取得之剖面圖。第 2 圖顯示根據第一實施例的氮化物半導體發光裝置的主要部分之結構，且為當在第 1A 圖中之箭頭方向中看視時沿線 A-A 取得之剖面圖。第 3 圖為第 2 圖之部分 B 的放大圖。第 4A 至 4D 圖顯示根據第一實施例的氮化物半導體發光裝置的主要部分之製造程序，且為當在第 1A 圖中之箭頭方向中看視時沿線 A-A 取得之剖面圖。第 5 圖為顯示 InGa_xN_{1-x}層中之 In 的固相比與關鍵層厚度之間的關係之圖。第 6A 至 6D 圖顯示對照實施例的主要部分之製造程序，且為當在第 1A 圖中之箭頭方向中看視時沿線 A-A 取得之剖面圖。

第 1A 及 1B 圖顯示用於此實施例中之基板的一範例之主

要部分。凹部 1b 及凸部 1a 形成在基板 1 的表面（第一主表面）上。針對氮化物半導體之生長，基板 1 為以六角系統之材料所製成之基板，如藍寶石基板及 SiC 基板。替代地，亦可使用其上厚厚地形成 GaN 之 Si 基板或 GaAs 基板。在此，取藍寶石基板作為範例。此外，舉例而言，基板表面為（0001）面。

如第 1A 圖中所示，複數凸部 1a 配置於基板 1 之表面上。構成凹部 1b 之區域形成在基板 1 之表面上之相鄰的凸部 1a 之間。亦即，在基板 1 之表面上，未形成凸部 1a 之區域為比凸部 1a 之上表面更低的區域並且在凸部 1a 之間形成凹陷狀的區域。因此，在下列實施例之說明中，在基板 1 之表面上，除了凸部 1a 之區域稱為凹部 1b。在基板 1 之表面上，在平面方向中接續形成上述凸部 1a 及凹部 1b。

舉例而言，凸部 1a 形成為圓柱形狀，其之上表面具有大致圓形形狀。從第 1B 圖中所示之基板的剖面中可見，關於凹部 1b 及凸部 1a 之尺寸，例如，凸部 1a 具有 $1\ \mu\text{m}$ 的寬度及 $1\ \mu\text{m}$ 的高度，且凹部 1b 具有 $3\ \mu\text{m}$ 之寬度。在此，凸部 1a 之高度為凸部 1a 之上表面與基板 1 之表面（凹部 1b 之底表面）之間的高度差。凹部 1b 之寬度為凸部 1a 之間的最短間隙，亦即，相鄰凸部 1a 之間的間隙。在此所述之尺寸僅為例示性，且可根據氮化物半導體裝置之設計而修改。

第 2 圖顯示堆疊結構 5。在堆疊結構 5 中，氮化物半導體層堆疊在其上形成第 1A 及 1B 圖中所示之複數凹部 1b 及凸部 1a 的基板 1 上。第 3 圖為第 2 圖之區域 B 的放大圖。第 3 圖

繪示在堆疊結構 5 中之基板 1 的凸部 1a 上之層與凹部 1b 上之層之間的水平連接關係。

堆疊結構 5 係以 GaN 第一埋層、InGaN 埋層、及 GaN 第二埋層所構成。這些層的每一層可為無摻雜層，亦即無雜質摻雜之層，或摻雜有 n 型雜質之層。GaN 第一埋層係以形成在基板 1 之凹部 1b 的底表面上之部分 2b 及形成在基板 1 之凸部 1a 的上表面上之部分 2a 所製成。於下中，「形成在基板 1 之凹部 1b 的底表面上（或上方）之部分」簡稱為「形成在基板 1 之凹部 1b 上（或上方）之部分」，且「形成在基板 1 之凸部 1a 的上表面上之部分」簡稱為「形成在基板 1 之凸部 1a 上之部分」。此同樣適用於 InGaN 埋層及 GaN 第二埋層。

形成在凹部 1b 上之 GaN 第一埋層 2b 的厚度為 $0.9 \mu\text{m}$ 。形成在凸部 1a 上之 GaN 第一埋層 2a 的厚度等於或少於形成在凹部上之 GaN 第一埋層 2b 的厚度，且在此實施例中為 $0.3 \mu\text{m}$ 。在此實施例中，形成在凹部 1b 上之 GaN 第一埋層 2b 及形成在凸部 1a 上之 GaN 第一埋層 2a 在當於與基板 1 之表面平行的平面中看視時沿平面方向不互相連接。針對與基板 1 之表面平行的平面，不存在同時通過形成在凹部 1b 上之 GaN 第一埋層 2b 及形成在凸部 1a 上之 GaN 第一埋層 2a 且將之連接在一起的平面。形成在凹部 1b 上之 GaN 第一埋層 2b 的上表面係形成在比形成在凸部 1a 上之 GaN 第一埋層 2a 的底表面更低的位置。換言之，基板 1 之凸部 1a 的上表面在比形成在凹部 1b 上之 GaN 第一埋層 2b 的上表面更高的位

置。因此，它們水平上並不互相連接。

InGaN埋層係形成在GaN第一埋層上。InGaN埋層亦以形成在凹部1b上方之InGaN埋層3b及形成在凸部1a上方之InGaN埋層3a所製成。形成在凹部1b上方之InGaN埋層3b的厚度為 $0.5\ \mu\text{m}$ 。形成在凸部1a上方之InGaN埋層3a的厚度等於或少於形成在凹部1b上方之InGaN埋層3b的厚度，且在此實施例中為 $0.2\ \mu\text{m}$ 。在此實施例中，形成在凹部1b上方之GaN第一埋層2b及InGaN埋層3b的總厚度為 $1.4\ \mu\text{m}$ 。基板1之凸部1a的高度及形成在凸部1a上方之GaN第一埋層2a的厚度之總和為 $1.3\ \mu\text{m}$ 。因此，形成在凹部1b上方之InGaN埋層3b及形成在凸部1a上方之InGaN埋層3a在具有於堆疊方向中 $0.1\ \mu\text{m}$ 之寬度的區域中水平上互相連接。亦即，在此區域中，形成在凹部1b上方之InGaN埋層3b及形成在凸部1a上方之InGaN埋層3a在當於與基板1之表面平行的平面中看視時沿平面方向互相連接。換言之，針對與基板1之表面平行的平面，存在同時通過形成在凹部1b上方之InGaN埋層3b及形成在凸部1a上方之InGaN埋層3a且將之連接在一起的平面。形成在凸部1a上方之InGaN埋層3a的上表面形成在比形成在凸部1a上方之InGaN埋層3a的底表面（或形成在凸部1a上之GaN第一埋層2a的上表面）高 $0.1\ \mu\text{m}$ 之位置。因此，在此結構中它們水平上互相連接。

GaN第二埋層係形成在InGaN埋層上。GaN第二埋層亦以形成在凹部1b上方之GaN第二埋層4b及形成在凸部1a上方之GaN第二埋層4a所製成。形成在凹部1b上方之GaN第

二埋層 4b 的厚度為 $1.2\ \mu\text{m}$ 。形成在凸部 1a 上方之 GaN 第二埋層 4a 的厚度等於或少於形成在凹部 1b 上方之 GaN 第二埋層 4b 的厚度，且在此實施例中為 $1.1\ \mu\text{m}$ 。在此實施例中，形成在凹部 1b 上方之 GaN 第一埋層 2b、InGaN 埋層 3b、及 GaN 第二埋層 4b 的總厚度為 $2.6\ \mu\text{m}$ 。另一方面，基板 1 之凸部 1a 的高度及形成在凸部 1a 上方之 GaN 第一埋層 2a、InGaN 埋層 3a、及 GaN 第二埋層 4a 的厚度之總和為 $2.6\ \mu\text{m}$ 。形成在凹部 1b 上方之 GaN 第二埋層 4b 的上表面與形成在凸部 1a 上方之 GaN 第二埋層 4a 大致上齊平。因此，GaN 第二埋層之上表面形成為平坦。

參照第 4A 至 4D 圖敘述第 3 圖之上述剖面中之製造程序。第 4A 至 4D 圖為當在第 1A 圖中之箭頭方向中看視時沿線 A-A 取得之剖面圖。在藍寶石基板 1 的表面上，在將形成第 1A 圖中所示之凸部圖案的位置形成遮罩圖案，未圖示。藉由例如反應性離子蝕刻 (RIE) 乾蝕刻經由遮罩暴露之藍寶石基板 1 的表面。因此，在遮罩下方形成凸部 1a，並在經蝕刻區域中形成凹部 1b。可藉由蝕刻時間調整凸部 1a 的高度。凸部 1a 的高度繪示成 $1.0\ \mu\text{m}$ 。

在具有如第 1A 及 1B 圖般圖案化之凸部 1a 及凹部 1b 的藍寶石基板 1 之表面上，藉由例如金屬有機化學蒸氣沉積 (MOCVD) 法形成以 GaN 第一埋層、InGaN 埋層、及 GaN 第二埋層依序構成之堆疊結構 5。

如第 4A 圖中所示，在藍寶石基板 1 之每一凹部 1b 及凸部 1a 上形成 GaN 第一埋層。藉由適當設定晶體生長條件，

可讓生長速率在凹部 1b 上高於在凸部 1a 上。此外，在氮化物半導體不會生長在基板 1 之凸部 1a 的側壁上的生長條件下執行晶體生長。若在這種條件下生長 GaN 第一埋層，形成在基板 1 之凹部 1b 上的 GaN 第一埋層 2b 之上表面比形成在基板 1 之凸部 1a 上的 GaN 第一埋層 2a 之上表面上升更快。此外，形成在基板 1 之凹部 1b 上之 GaN 第一埋層 2b 的上表面沿著基板 1 之凸部 1a 之側壁上升。藉由在這種條件下形成堆疊結構 5 之後續層，可最終形成平坦之堆疊結構 5 的表面。在形成於凹部上之 GaN 第一埋層 2b 的上表面到達基板凸部 1a 之上表面之前，終止 GaN 第一埋層之生長。基板 1 之凸部 1a 的上表面形成在比形成在凹部 1b 上之 GaN 第一埋層 2b 的上表面在更高的位置。亦即，在於凹部 1b 上之 GaN 第一埋層及於凸部 1a 上之 GaN 第一埋層水平連接之前終止 GaN 第一埋層 2 之晶體生長。此外，因為在避免基板 1 之凸部 1a 的側壁上之生長的生長條件下生長 GaN 第一埋層，在基板 1 之凸部 1a 的側壁上幾乎不形成 GaN 第一埋層。亦即，在基板 1 之凸部 1a 上之 GaN 第一埋層 2a 與在凹部 1b 上之 GaN 第一埋層 2b 互相間隔。在此實施例中，當 GaN 第一埋層 2 之層厚度於凹部 1b 上到達 $0.9 \mu\text{m}$ 並於凸部 1a 上到達 $0.3 \mu\text{m}$ 時終止 GaN 的生長。

之後，如第 4B 及 4C 圖中所示，在 GaN 第一埋層上連續形成 InGaN 埋層。不像是 GaN 第一埋層之上述生長條件，在生長率於凹部 1b 上方比於凸部 1a 上方更高且與在凸部 1a 上方及凹部 1b 上方之生長率相比在凸部 1a 上之 GaN 第一埋

層 2a 的側壁上為微不足道的生長條件下生長 InGa_xN 埋層。首先，在凹部 1b 上方之 InGa_xN 埋層 3b 的上表面沿基板 1 之凸部 1a 的側壁逐漸上升。在凹部 1b 上方之 InGa_xN 埋層 3b 的上表面超過基板 1 之凸部 1a 的上表面，並接著沿凸部 1a 之 GaN 第一埋層 2a 的側壁逐漸上升（第 4B 圖）。生長進一步持續，並且在凹部 1b 上方之 InGa_xN 埋層 3b 的上表面超過在凸部 1a 上之 GaN 第一埋層 2a 的上表面。接著，生長沿著在凸部 1a 上方之 InGa_xN 埋層 3a 的側壁繼續（第 4C 圖）。因此，繼續 InGa_xN 之生長使得在凹部 1b 上方之 InGa_xN 埋層 3b 的上表面沿著在凸部 1a 上方之 InGa_xN 埋層 3a 的側壁上升。據此，在凹部 1b 上方之 InGa_xN 埋層 3b 及在凸部 1a 上方之 InGa_xN 埋層 3a 在與基板表面平行的平面中水平連接。生長 InGa_xN 埋層直到 InGa_xN 埋層到達在凹部 1b 上方之 0.5 μm 的層厚度以及在凸部 1a 上方之 0.2 μm 的層厚度，且直到在凹部 1b 上方之 InGa_xN 埋層 3b 與在凸部 1a 上方之 InGa_xN 埋層 3a 之間的連接部分的厚度到達 0.1 μm。

在 InGa_xN 中，由於固態相中之 In 比率（固相比）為較大，與 GaN 之晶格不匹配較大，且在某厚度以上會發生晶體斷裂。晶體斷裂開始之此層厚度稱為關鍵層厚度。第 5 圖顯示固態比與關鍵層厚度之間的關係，其中固相比界定為 In 與 InGa_xN 之總 III 族元素的比率。由式子 In_x(Ga_{1-x})N 中之 x 表示固相比。欲避免 InGa_xN 之晶體斷裂，執行晶體生長，使得與第 5 圖之繪圖中相比，層厚度更薄，或 In 固相比更小。在此實施例中，生長在凹部 1b 上方之 InGa_xN 至 0.5

μm 的層厚度。因此，從第5圖，欲避免晶體斷裂，In固相比設定在0.003或更少。

之後，如第4D圖中所示，在InGa_N埋層上形成Ga_N第二埋層。此生長之生長條件為使得在初始階段中，如同上述Ga_N第一埋層般，生長速率在凹部1b上方比在凸部1a上方更快。然而，逐漸排除兩者間之差異。最後，平坦化Ga_N第二埋層之表面。當Ga_N第二埋層到達在凹部1b上方之 $1.2\ \mu\text{m}$ 及在凸部1a上方之 $1.1\ \mu\text{m}$ 的層厚度終止生長。此時，在凹部1b上方之Ga_N第二埋層4b的上表面與凸部1a上方之Ga_N第二埋層4a的上表面水平上對準。因此，Ga_N第二埋層之表面形成為平坦。上述Ga_N第二埋層之層厚度僅為例示性。根據生長條件的改變，改變使平坦化Ga_N第二埋層之層厚度。

因此，在表面上具有凹部1b及凸部1a的藍寶石基板1上，形成以氮化物半導體製成之堆疊結構5。堆疊結構5係以Ga_N第一埋層、InGa_N埋層、及Ga_N第二埋層所構成，並具有平坦表面。亦即，製造出其上設置具有平坦表面之氮化物半導體層的基板。藉由在此基板上形成諸如LED或半導體雷射之發光區域，可形成氮化物半導體發光裝置。替代地，藉由在此基板上形成HEMT及金屬絕緣體半導體場效電晶體(MISFET)之通道區域，可形成氮化物半導體裝置。

接下來，敘述對照範例之製造方法。在藉由此方法所製造之結構中，在表面上具有凹部1b及凸部1a的藍寶石基

板 1 上，堆疊 GaN 第一埋層直到平坦化表面為止。在第一實施例中，藉由形成以 GaN 第一埋層、InGaN 埋層、及 GaN 第二埋層所製成之堆疊結構 5 來形成具有平坦表面之氮化物半導體層。相比之下，在此對照範例中，從唯獨 GaN 第一埋層形成具有平坦表面之氮化物半導體層。第 6A 至 6D 圖顯示當在第 1A 圖中之箭頭方向中看視時沿線 A-A 取得之剖面圖的製造程序。如同在第一實施例中般，在第 1A 及 1B 圖中所示的具有凹部 1b 及凸部 1a 的藍寶石基板 1 上，藉由 MOCVD 法生長 GaN 層。如同在第一實施例中般，在 GaN 第一埋層之生長速率在凹部 1b 上高於在凸部 1a 上之生長速率的生長條件下執行生長。

如同在第一實施例中般，在生長的初始階段中，如第 6A 圖中所示，形成在基板 1 之凹部 1b 上的 GaN 第一埋層 2b 之上表面比形成在基板 1 之凸部 1a 上的 GaN 第一埋層 2a 之上表面上升更快。此外，在基板 1 的凹部 1b 上方所形成之 GaN 第一埋層 2b 的上表面沿基板 1 之凸部 1a 的側壁逐漸上升。在第一實施例中，生長 GaN 第一埋層使得形成在凹部 1b 上之 GaN 第一埋層 2b 的上表面低於基板凸部 1a 之上表面。亦即，形成 GaN 第一埋層使得凹部 1b 上之 GaN 第一埋層 2b 及凸部 1a 上之 GaN 第一埋層 2a 水平上不互連接。此外，由於在避免基板 1 之凸部 1a 的側壁上之生長的生長條件下生長 GaN 第一埋層 2，不再基板 1 之凸部 1a 的側壁上形成 GaN 第一埋層。亦即，基板 1 之凸部 1a 上的 GaN 第一埋層 2a 及凹部 1b 上之 GaN 第一埋層 2b 互相間隔。

相比之下，在對照範例中，如第 6B 及 6C 圖中所示，進一步繼續 GaN 第一埋層之生長。在凹部 1b 上之 GaN 第一埋層 2b 的上表面超過基板 1 之凸部 1a 之上表面。接著，在凹部 1b 上之 GaN 第一埋層 2b 的上表面沿著凸部 1a 上之 GaN 第一埋層之側壁上升（第 6C 圖）。因此，生長繼續，所以在凹部 1b 上之 GaN 第一埋層 2b 的上表面沿著凸部 1a 上之 GaN 第一埋層 2a 之側壁上升。據此，在凹部 1b 上之 GaN 第一埋層 2b 及在凸部 1a 上之 GaN 第一埋層 2a 在與基板表面平行之平面中水平連接。當生長進一步繼續時，凸部與凹部之間的高度差減少。最後，如第 6D 圖中所示，平坦化 GaN 第一埋層 2 之上表面。因此，獲得其上設置具有平坦表面之氮化物半導體層的基板。為了匹配第一實施例中之氮化物半導體層的厚度，當凹部 1b 上之 GaN 第一埋層 2b 的厚度到達 $2.6 \mu\text{m}$ 時終止生長。之後，藉由進一步於其上形成諸如 LED 及半導體雷射之發光區域，可形成氮化物半導體裝置，如氮化物半導體發光裝置。

在 360°C 以 KOH 融熔蝕刻如上述般形成之對照範例的氮化物半導體層之表面 30 秒。藉由電子顯微鏡，評估表面之蝕刻凹洞密度為 $5 \times 10^7 / \text{cm}^2$ 。蝕刻凹洞密度反映晶體缺陷密度，且主要反映晶體中之錯位密度。在對照範例中，如第 6D 圖中所示，晶體包括源自基板 1 之凸部 1a 的上表面與側表面相交的角落之許多錯位 50。此外，在該角落，存在無晶體生長發生的空隙。認為以下列方式產生這些晶體缺陷。

當第 6B 圖之狀態轉變至第 6C 圖的狀態時，在凹部 1b 上之 GaN 第一埋層 2b 的上表面沿著基板 1 之凸部 1a 的側壁上升。然而，在超過基板 1 之凸部 1a 的上表面後，在凹部 1b 上之 GaN 第一埋層 2b 的上表面沿著凸部 1a 上所形成之 GaN 第一埋層 2a 的側壁上升。亦即，在凹部 1b 上之 GaN 第一埋層 2b 及在凸部 1a 上之 GaN 第一埋層 2a 沿著基板 1 之凸部 1a 的上表面在水平方向中開始互相連接。此時，在凹部 1b 上之 GaN 第一埋層 2b 的晶體生長之相可能不匹配在凸部 1a 上之 GaN 第一埋層 2a 的晶體生長之相。認為此產生錯位 50° 。在此，晶體生長之相為指示晶體結構的週期中之進展階段的量（例如在 III 族原子及 V 族原子之週期序列中的順序）。若 GaN 第一埋層之生長進一步繼續，源自基板 1 之凸部 1a 的上表面與側表面相交的角落之錯位 50° 到達氮化物半導體層之表面。另一方面，類似地評估第一實施例之堆疊結構 5 所製成之氮化物半導體層之蝕刻凹洞密度。蝕刻凹洞密度為 $5 \times 10^6 / \text{cm}^2$ 。亦即，相較於對照範例減少晶體缺陷。於下考量如此之原因。

在對照範例中，執行 GaN 第一埋層之晶體生長直到在凹部 1b 上之 GaN 第一埋層 2b 的上表面到達基板凸部 1a 之上表面，所以在凹部 1b 上之 GaN 第一埋層與在凸部 1a 上之 GaN 第一埋層水平連接。相反地，在第一實施例中，生長 GaN 第一埋層使在凹部 1b 上之 GaN 第一埋層 2b 的上表面低於基板凸部 1a 之上表面。亦即，形成 GaN 第一埋層使得在凹部 1b 上之 GaN 第一埋層 2b 與在凸部 1a 上之 GaN 第一埋層

2a水平上不連接。此時，如上述，它們甚至不經由基板1之凸部1a的側壁連接，但互相間隔。之後，連續生長InGaN埋層。當在凹部1b上方之InGaN埋層3b的上表面超過在在凸部1a上之GaN第一埋層2a的上表面時，InGaN的生長繼續所以在凹部1b上方之InGaN埋層3b的上表面沿著在凸部1a上方所形成的InGaN埋層3a之側壁上升。據此，在凹部1b上方之InGaN埋層3b及在凸部1a上方之InGaN埋層3a在與基板表面平行的平面中水平連接。亦即，在第一實施例中，當在具有凹部1b及凸部1a之基板1上生長氮化物半導體層時，InGaN埋層首先在與基板1之表面平行的平面中水平連接。

因此，在具有凹部及凸部之基板上，藉由經由與基板表面平行的平面中水平連接的InGaN層形成Ga_{1-x}In_xN層來形成氮化物半導體層。此被視為在於實現在晶體中具有經減少的錯位之氮化物半導體層的生長。在生長具有良好品質之含In的氮化物半導體中，減少生長速率及生長溫度為有效。此被視為當藉由晶體生長互相連接分開的晶體時防止缺陷之產生。亦即，在含In的氮化物半導體之晶體生長中，即使若凹部1b上方之晶體及凸部1a上方之晶體互相連接，抑制晶體中之缺陷的產生。

作為一替代範例，取代InGaN可以 $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ ($0 < y \leq 1$, $0 \leq z \leq 1$)製成在與基板之表面平行的平面中首先水平連接的層。同樣在此情況中，實現減少晶體中之錯位的類似功效。在於具有凹部及凸部之基板上形成氮化

物半導體層的情況中，認為可藉由讓含In的氮化物半導體層在與基板1之表面平行的平面中首先水平連接來抑制晶體中之錯位產生。

如上參照第一實施例所述，在具有凹部及凸部之基板上形成堆疊結構5。在堆疊結構5中，序列形成Ga_{1-x}N第一埋層、InGa_{1-x}N埋層、及Ga_{1-x}N第二埋層。在Ga_{1-x}N第一埋層中，在基板之凹部上所形成之部分2b與在凸部上所形成之部分2a沿著與基板之表面平行的平面方向不互相連接。另一方面，在InGa_{1-x}N埋層中，在凹部上方所形成之部分3b與在凸部上方所形成之部分3a沿著與基板之表面平行的平面方向互相連接。藉由使用此結構，可獲得具有平坦表面及經減少的晶體缺陷之氮化物半導體層。換言之，在Ga_{1-x}N第一埋層中，在基板之凹部上所形成之部分2b與在凸部上所形成之部分2a不連接，但互相間隔。另一方面，在InGa_{1-x}N埋層中，在凹部上方所形成之部分3b與在凸部上方所形成之部分3a互相連接。藉由使用此結構，可獲得具有平坦表面及經減少的晶體缺陷之氮化物半導體層。

在此，根據半導體發光裝置的設計，可分別以Al_{x1}Ga_{1-x1}N (0 ≤ x1 ≤ 1) 及Al_{x2}Ga_{1-x2}N (0 ≤ x2 ≤ 1) 製造Ga_{1-x}N第一埋層及Ga_{1-x}N第二埋層。同樣在此情況中，實現上述般之相同功效。InGa_{1-x}N埋層可為如上述般之In_yAl_zGa_{1-y-z}N (0 < y ≤ 1, 0 ≤ z ≤ 1) 層。同樣在此情況中，實現相同功效。此外，在形成Ga_{1-x}N第一埋層之前，可藉由在比針對Ga_{1-x}N第一及第二埋層及InGa_{1-x}N埋層更低之生長溫度的晶體

生長形成 GaN 層或 AlGaIn 層作為低溫緩衝層。

此外，可在超晶格結構中形成 $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ ($0 < y \leq 1$, $0 \leq z \leq 1$) 層，其中交替堆疊具有高 In 固相比之 $\text{In}_{y_1}\text{Al}_{z_1}\text{Ga}_{1-y_1-z_1}\text{N}$ ($0 < y_1 \leq 1$, $0 \leq z_1 \leq 1$) 層及 $\text{In}_{y_2}\text{Al}_{z_2}\text{Ga}_{1-y_2-z_2}\text{N}$ ($0 < y_2 \leq 1$, $0 \leq z_2 \leq 1$) 層。替代地，在超晶格結構中，可交替及重複堆疊 $\text{In}_{y_1}\text{Al}_{z_1}\text{Ga}_{1-y_1-z_1}\text{N}$ ($0 < y_1 \leq 1$, $0 \leq z_1 \leq 1$) 層及 $\text{Al}_{x_1}\text{Ga}_{1-x_1}\text{N}$ ($0 \leq x_1 \leq 1$) 層。在此情況中，如針對第 5 圖中之 InGaIn 所示，可使用 In 固相比與 $\text{In}_{y_1}\text{Al}_{z_1}\text{Ga}_{1-y_1-z_1}\text{N}$ 之關鍵層厚度之間的關係來設定層厚度及 In 固相比，以避免 $\text{In}_{y_1}\text{Al}_{z_1}\text{Ga}_{1-y_1-z_1}\text{N}$ 之晶體斷裂。上述超晶格結構可包括具有較高 In 固相比之氮化物半導體層，雖 $\text{In}_{y_1}\text{Al}_{z_1}\text{Ga}_{1-y_1-z_1}\text{N}$ 層之厚度較薄。因此，使用上述超晶格結構比使用 $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ 單層可更有效地抑制缺陷產生。例如，第一實施例包括具有 $0.5 \mu\text{m}$ 之厚度及 0.003 之固相比的 InGaIn 單層。此可被超晶格結構取代，其中交替形成 25 對具有 $0.01 \mu\text{m}$ 之厚度及 0.06 之固相比的 InGaIn 及具有 $0.01 \mu\text{m}$ 之厚度的 GaN。

同樣在對照範例之結構中，可藉由使 GaN 第一埋層的厚度從 $2.6 \mu\text{m}$ 加厚至如近乎 $100 \mu\text{m}$ 來減少晶體缺陷。在此情況中，取代 MOCVD 法，典型使用具有較快速生長速率之氮化物氣相外延 (HVPE) 法。然而，雖可藉由加厚 GaN 第一埋層來減少晶體缺陷，厚度之增加導致基板彎曲及處理時間損失的問題。此實施例可提供其上設置具有平坦表面及經減少之晶體缺陷的氮化物半導體層之基板而不導致

這種問題。

接下來，參照第7A至7C圖敘述此實施例之變化例。以類似參考符號標示具有與第一實施例中所述相同之組態的部份，並且省略其之說明。第7A至7C圖顯示第一實施例的變化例之主要部分的製造程序，且為當如同第一實施例中般在第1A圖中之箭頭方向中看視時沿線A-A取得之剖面圖。省略相應於第一實施例中之第2圖的圖，因為在第7A至7C圖中顯示第2圖中之部分B的放大圖。

像第一實施例般，如第7A圖中所示，在生長速率在凹部1b上比在凸部1a上更高且在基板1之凸部1a的側壁上不執行生長的生長條件下生長Ga₂N第一埋層。不在基板1之凸部1a的側壁上形成Ga₂N第一埋層。在凹部1b上之Ga₂N第一埋層2b及在凸部1a上之Ga₂N第一埋層2a互相間隔。在凹部1b上所形成之Ga₂N第一埋層2b的上表面形成在比在凸部1a上所形成之Ga₂N第一埋層2a的底表面更低的位置。換言之，基板1之凸部1a的上表面在比之在凹部1b上所形成之Ga₂N第一埋層2b的上表面更高的位置。在此變化例中，從第一實施例改變厚度。凹部1b及凸部1a上之Ga₂N第一埋層的厚度分別為0.6 μm及0.2 μm。

接下來，如第7B圖中所示，生長InGa₂N埋層。從第一實施例改變InGa₂N埋層之生長條件。在晶體生長亦發生在基板1之凸部1a的側壁上的條件下於凹部1b上方及凸部1a上方生長InGa₂N埋層。然而，如在第一實施例中般，在凹部1b上方比在凸部1a上方之生長速率更高，且在基板1之

凸部 1a 的側壁上的生長速率低於這些生長速率。藉由在這種生長條件下生長 InGaN 埋層，在凹部 1b 上方之 $0.3 \mu\text{m}$ 、在凸部 1a 上方之 $0.1 \mu\text{m}$ 、及在凸部 1a 之側壁上及在 GaN 第一埋層 2a 之側壁上之 $0.03 \mu\text{m}$ 形成 InGaN 埋層。在凹部 1b 上方之 InGaN 埋層 3b 及在凸部 1a 上方之 InGaN 埋層 3a 藉由生長在凸部 1a 之側壁上及在 GaN 第一埋層 2a 的側壁上之 InGaN 埋層 3c 連接。在此變化例中，基板 1 之凸部 1a 的上表面形成在比形成於凹部 1b 上方之 InGaN 埋層 3b 的上表面更高的位置。這些層厚度僅為例示性。僅須滿足下列者。在凹部 1b 上方之 InGaN 埋層 3b 的上表面位在在凸部 1a 上之 GaN 第一埋層 2a 的上表面之下方。至少在在凸部 1a 上之 GaN 第一埋層 2a 的側壁上形成 InGaN 埋層 3c。在凹部 1b 上方之 InGaN 埋層 3b 及在凸部 1a 上方之 InGaN 埋層 3a 藉由 InGaN 埋層 3c 連接。

之後，如第 7C 圖中所示，像第一實施例中般，在 InGaN 埋層上生長 GaN 第二埋層直到 GaN 第二埋層之表面變平坦。舉例而言，設定 GaN 第二埋層之層厚度使得以 GaN 第一埋層、InGaN 埋層、及 GaN 第二埋層所製成之堆疊結構 5 具有 $2.6 \mu\text{m}$ 的厚度，等於第一實施例中者。同樣在此變化例之結構中，在凹部 1b 上之 GaN 第一埋層 2b 與在凸部 1a 上之 GaN 第一埋層 2a 不連接，但互相間隔。另一方面，在凹部 1b 上方之 InGaN 埋層 3b 與在凸部 1a 上方之 InGaN 埋層 3a 互相連接。因此，同樣在此變化例中，如同在第一實施例中般，可在表面上具有凹部及凸部之基板上獲得具有平

坦表面及經減少的晶體缺陷之氮化物半導體層。

同樣在此變化例中，如同在第一實施例中般，在形成 GaN 第一埋層之前，可藉由在比針對 GaN 第一及第二埋層及 InGaN 埋層更低之生長溫度的晶體生長形成 GaN 層或 AlGaN 層作為低溫緩衝層。

(第二實施例)

將參照第 8 及 9 圖敘述本發明之第二實施例。第 8 圖為當在第 1A 圖中之箭頭方向中看視時沿線 A-A 取得之第二實施例的主要部分之剖面圖。第 9 圖為第 8 圖中之部分 C 的放大圖。以類似的參考符號標明具有如第一實施例中所述之相同組態的部份，並省略其之說明。

如上參照第一實施例所述，在具有設置於基板表面上之凹部 1b 及凸部 1a 的藍寶石基板 1 上形成具有平坦表面之堆疊結構 7。堆疊結構 7 以低溫 GaN 緩衝層 6、GaN 第一埋層、InGaN 埋層、及 GaN 第二埋層所製成。基板之凸部 1a 的高度及寬度、凹部 1b 之寬度、及 GaN 第一埋層、InGaN 埋層、及 GaN 第二埋層與第一實施例的那些相同。在第一實施例中，省略低溫 GaN 緩衝層 6 以簡化第一實施例之主要特徵的說明。然而，應了解到低溫 GaN 緩衝層 6 亦可以下列類似方式應用於第一實施例。在第一實施例中，在先前形成於藍寶石基板 1 之凹部 1b 及凸部 1a 上的低溫 GaN 緩衝層 6 之後，可形成堆疊結構 5。替代地，可在生長 GaN 第一埋層的初始階段的一部分中形成低溫 GaN 緩衝層 6。在此實施例

中，提供 $0.03 \mu\text{m}$ 無摻雜或 n 型摻雜的 GaN 層作為在基板 1 與 GaN 第一埋層之間的低溫緩衝層。像 GaN 第一埋層 2 般，低溫 GaN 緩衝層 6 亦以形成在凹部 1b 上之低溫 GaN 緩衝層 6b 及形成在凸部 1a 上之低溫 GaN 緩衝層 6a 所製成。在與基板 1 之表面平行的平面中，形成在凹部 1b 上之低溫 GaN 緩衝層 6b 及形成在凸部 1a 上之低溫 GaN 緩衝層 6a 不水平連接，但互相間隔。因此，經由低溫 GaN 緩衝層 6 形成堆疊結構 7。此進一步減少氮化物半導體層中之晶體缺陷。此外，低溫 GaN 緩衝層為本質上非晶型，並且其之晶體缺陷不影響上覆之單晶氮化物半導體。因此，低溫 GaN 緩衝層可沿著凸部之側壁連接。

之後，在 GaN 第二埋層上形成 n 型 GaN 披覆層 8，並在 n 型 GaN 披覆層 8 上形成多量子井主動層 9。藉由重複具有 $0.003 \mu\text{m}$ 之厚度及 0.05 之 In 固相比的 $\text{In}_{0.05}\text{Ga}_{0.95}\text{N}$ 井層及具有 $0.006 \mu\text{m}$ 之厚度的 GaN 阻障層來形成多量子井主動層 9。多量子井主動層 9 包括 20 個井層。在多量子井主動層 9 上，序列形成具有 $0.05 \mu\text{m}$ 之厚度的 p 型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ 披覆層 10 及具有 $0.15 \mu\text{m}$ 之厚度的 p 型 GaN 接觸層 11。

在 p 型 GaN 接觸層上，形成與其形成歐姆接觸的 p 型電極 12。在暴露至 p 型電極 12 側之 n 型 GaN 披覆層 8 的部份上，形成與其形成歐姆接觸的 n 型電極 13。上述層可藉由 MOCVD 法所形成。

因此形成氮化物半導體發光裝置作為 LED。在 LED 中，藉由從 p 型電極 12 通過電流至 n 型電極 13，在多量子井

主動層 9 中發射光。從 p 型電極 12 之前側及藍寶石基板 1 之後側發射光線到外部。藉由在藍寶石基板 1 之表面上的凹部 1b 及凸部 1a 之界面減少朝藍寶石基板傳播之光線的總反射損耗。因此，增加從藍寶石基板側之取光效率。在此實施例之 LED 中，發射波長為 380 nm，且在 20 mA 之操作電流的光輸出為 10 mW。關於在人體 (HB) 模型中之靜電崩潰電壓特性，崩潰電壓為 2000 V 或更多。

另一方面，使用在第 6A 至 6D 中所示之上述對照範例中的在表面上具有氮化物半導體層之基板來產生與此實施例類似之 LED 結構。在對照範例之此 LED 中，發射波長為 380 nm，且在 20 mA 之操作電流的光輸出為 5 mW，其比此實施例之 LED 的低上許多。此外，在對照範例之此 LED 中，關於在 HB 模型中之靜電崩潰電壓特性，崩潰電壓為近乎 500 V，此為非常低。因此，相較於對照範例之 LED，可明顯改善此實施例之 LED 的特性。這是由於形成在具有凹部及凸部的基板上之氮化物半導體層的晶體缺陷密度之減少，如第一實施例中所述般。

在此實施例中，在藍寶石基板 1 上形成從低溫 GaN 緩衝層 6 至 GaN 第二埋層的層以形成堆疊結構 7。為了說明簡單，此堆疊結構 7 可稱為在表面上具有氮化物半導體層之基板。接著，可序列在那基板上形成從 n 型 GaN 披覆層 8 至 p 型 GaN 接觸層 11 的層。在此，在此實施例之程序中，在藍寶石基板 1 上形成上至 GaN 第二埋層的層以形成在表面上具有氮化物半導體層之基板。接著，暫停晶體生長，並將基

板從 MOCVD 設備取出。之後，再次藉由 MOCVD 法，可在於表面上具有氮化物半導體層之基板上，亦即在 GaN 第二埋層上，序列形成從 n 型 GaN 披覆層 8 至 p 型 GaN 接觸層 11 之層。作為一替代程序，藉由 MOCVD 法，在藍寶石基板 1 上，可在連續晶體生長中序列形成從低溫 GaN 緩衝層 6 至 p 型 GaN 接觸層 11 的層。

在此實施例中，在藍寶石基板 1 上形成從低溫 GaN 緩衝層 6 至 GaN 第二埋層的層以形成堆疊結構 7，如參照第 2 至 4D 圖之第一實施例中所述。使用此堆疊結構 7 作為此實施例之範例。了解到藉由使用第 7A 至 7C 圖圖中所示之第一實施例的變化例實現類似的功效。

(第三實施例)

接下來，參照第 10 圖敘述本發明之第三實施例。第 10 圖為當在第 1A 圖中之箭頭方向中看視時沿線 A-A 取得之第三實施例的主要部分之剖面圖。以類似的參考符號標明具有如第一實施例中所述之相同組態的部份，並省略其之說明。如第 10 圖中所示，像第二實施例般，在表面上具有凹部及凸部的基板 1 上形成堆疊結構 7。此堆疊結構 7 之組態與第一實施例中所述之組態相同。然而，如第二實施例中所述般，了解到該組態可與第一實施例之變化例的相同。

其餘的結構則與第二實施例的不同，並因此詳細敘述。在堆疊結構 7 上，形成無摻雜 GaN 通道層 20。在此 GaN 通道層 20 上，形成無摻雜或以 n 型雜質摻雜的 AlGaIn 電子供

應層 21。在此 AlGa_N 電子供應層 21 上，形成與 AlGa_N 電子供應層 21 肖特基接觸之閘極電極 22。此閘極電極 22 可經由絕緣體形成在 AlGa_N 電子供應層 21 上方。在兩邊夾住此閘極電極地，在 AlGa_N 電子供應層上形成與其歐姆接觸之源極電極 23 及汲極電極 24。

在此實施例中，如上述，在堆疊結構 7 上形成 HEMT。在 Ga_N 通道層 20 中，接近與 AlGa_N 電子供應層 21 之界面，藉由 AlGa_N 層 21 之壓電效應及來自 AlGa_N 電子供應層 21 之電子形成二維電子氣體 2DEG。閘極電極 22 調整二維電子氣體之載子濃度以控制從源極電極 23 流至汲極電極 24 之電子流。因此，控制源極 - 汲極電流。

亦在上述 HEMT 中，可使用如第一實施例中般形成在於表面上具有凹部及凸部的基板 1 上之堆疊結構 7 及其變化作為晶體生長之基礎。因此，上述 HEMT 可操作成具有高導通電阻及高崩潰電壓之高電力半導體裝置。

在實施例的上述說明中，在基板 1 之表面上配置複數凸部 1a。詳言之，使用置於正三角形之個別頂點之凸部 1a 的圖案作為單元圖案。在基板 1 之表面上接續地重複此單元圖案。因此，在基板 1 之表面上在平面方向中週期性形成凸部 1a。在上述說明中，舉例而言，凸部 1a 形成為圓柱形形狀，其之上表面具有大致圓形的形狀。然而，上表面可塑形像多邊形，如三角形及矩形。此外，本發明不限於上述說明。可沿著一格子離散地配置凸部 1a。替代地，凸部 1a 及凹部 1b 可圖案化成具有與上述實施例相同寬度之長

條。

已於上敘述本發明之實施例。然而，本發明不限於上述實施例，但可有各種修改而不背離本發明之精神。此外，可互相結合實施例。

雖已敘述某些實施例，這些實施例僅舉例呈現，並且非意圖限制本發明之範疇。確實，在此所述之新穎實施例可體現於多種形式中；此外，可做出在此所述之實施例的形式中之各種省略、替換、及改變而不背離本發明之精神。所附之申請專利範圍及其等效者意圖涵蓋落入本發明之範疇及精神內的這種形式及修改。

【圖式簡單說明】

第1A及1B圖顯示用於第一實施例中之基板的一範例之主要部分，其中第1A圖為基板表面之平面圖，且第1B圖為當在第1A圖中之箭頭方向中看視時沿線A-A取得之剖面圖；

第2圖顯示第一實施例的主要部分之結構，且為當在第1A圖中之箭頭方向中看視時沿線A-A取得之剖面圖；

第3圖為第2圖之部分B的放大圖；

第4A至4D圖顯示第一實施例的主要部分之製造程序，且為當在第1A圖中之箭頭方向中看視時沿線A-A取得之剖面圖；

第5圖為顯示在InGaN層中之In的固相比與關鍵層厚度之間的關係之圖；

第 6A 至 6D 圖顯示對照實施例的主要部分之製造程序，且為當在第 1A 圖中之箭頭方向中看視時沿線 A-A 取得之剖面圖；

第 7A 至 7C 圖顯示第一實施例之變化例的主要部分之製造程序，且為當在第 1A 圖中之箭頭方向中看視時沿線 A-A 取得之剖面圖；

第 8 圖為當在第 1A 圖中之箭頭方向中看視時沿線 A-A 取得之第二實施例的主要部分之剖面圖；

第 9 圖為第 8 圖之部分 C 的放大圖；以及

第 10 圖為當在第 1A 圖中之箭頭方向中看視時沿線 A-A 取得之第三實施例的主要部分之剖面圖。

【主要元件符號說明】

1：基板

1a：凸部

1b：凹部

2：Ga_N第一埋層

2a：Ga_N第一埋層

2b：Ga_N第一埋層

3a：InGa_N埋層

3b：InGa_N埋層

3c：InGa_N埋層

5：堆疊結構

6：低溫 Ga_N緩衝層

- 6a : 低溫 GaN 緩衝層
- 6b : 低溫 GaN 緩衝層
- 7 : 堆疊結構
- 8 : n型 GaN 披覆層
- 9 : 多量子井主動層
- 10 : p型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ 披覆層
- 11 : p型 GaN 接觸層
- 12 : p型 電極
- 13 : n型 電極
- 20 : GaN 通道層
- 21 : AlGaIn 電子供應層
- 22 : 閘極電極
- 23 : 源極電極
- 24 : 汲極電極
- 50 : 錯位

七、申請專利範圍：

1. 一種氮化物半導體裝置，包含：

具有形成在第一主表面上之平面方向中的複數凸部及在該些凸部的相鄰者之間的凹部之基板；

形成在該基板的該凹部及該些凸部之一上的 $\text{Al}_{x_1}\text{Ga}_{1-x_1}\text{N}$ ($0 \leq x_1 \leq 1$) 第一埋層；

形成在該 $\text{Al}_{x_1}\text{Ga}_{1-x_1}\text{N}$ 第一埋層上之 $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ ($0 < y \leq 1, 0 \leq z \leq 1$) 埋層；以及

形成在該 $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ 埋層上之 $\text{Al}_{x_2}\text{Ga}_{1-x_2}\text{N}$ ($0 \leq x_2 \leq 1$) 第二埋層，

其中形成在該凹部上之該 $\text{Al}_{x_1}\text{Ga}_{1-x_1}\text{N}$ 第一埋層的一部分及形成在該些凸部之該一者上的該 $\text{Al}_{x_1}\text{Ga}_{1-x_1}\text{N}$ 第一埋層之一部分不互相連接，以及

形成在該凹部上方之該 $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ 埋層的一部分及形成在該些凸部之該一者上方的該 $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ 埋層的一部分互相連接。

2. 如申請專利範圍第 1 項所述之裝置，其中形成在該凹部上方之該 $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ 埋層的該部分及形成在該些凸部之該一者上方的該 $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ 埋層的該部分沿著與該第一主表面平行的該平面方向互相連接。

3. 如申請專利範圍第 2 項所述之裝置，其中該 $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ 埋層係以 $\text{In}_y\text{Ga}_{1-y}\text{N}$ 所製成。

4. 如申請專利範圍第 2 項所述之裝置，其中該 $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ 埋層具有超晶格結構，其中交替堆疊

$\text{In}_{y_1}\text{Al}_{z_1}\text{Ga}_{1-y_1-z_1}\text{N}$ ($0 < y_1 \leq 1$, $0 \leq z_1 \leq 1$) 層及
 $\text{In}_{y_2}\text{Al}_{z_2}\text{Ga}_{1-y_2-z_2}\text{N}$ ($0 < y_2 \leq 1$, $0 \leq z_2 \leq 1$) 層。

5. 如申請專利範圍第4項所述之裝置，其中該
 $\text{In}_{y_1}\text{Al}_{z_1}\text{Ga}_{1-y_1-z_1}\text{N}$ 為 $\text{In}_{y_1}\text{Ga}_{1-y_1}\text{N}$ 且該 $\text{In}_{y_2}\text{Al}_{z_2}\text{Ga}_{1-y_2-z_2}\text{N}$ 為
 $\text{Al}_{z_2}\text{Ga}_{1-z_2}\text{N}$ 。

6. 如申請專利範圍第2項所述之裝置，進一步包含：

序列形成在該 $\text{Al}_{x_2}\text{Ga}_{1-x_2}\text{N}$ 第二埋層上之第一傳導類型披覆層、主動層、及第二傳導類型披覆層。

7. 如申請專利範圍第2項所述之裝置，其中該些凸部具有在該基板之該第一主表面中的平面圖案，藉由接續並相鄰地配置一單元圖案於該第一主表面中來形成該平面圖案，並藉由將該些凸部的該一者置於正三角形的三頂點之每一者來形成該單元圖案。

8. 如申請專利範圍第2項所述之裝置，其中該基板為藍寶石基板。

9. 如申請專利範圍第1項所述之裝置，其中形成在該凹部上方之該 $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ 埋層的該部分及形成在該些凸部之該一者上方的該 $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ 埋層的該部分不沿著與該第一主表面平行的該平面方向互相連接。

10. 如申請專利範圍第9項所述之裝置，其中形成在該凹部上方之該 $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ 埋層的該部分及形成在該些凸部之該一者上方的該 $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ 埋層的該部分藉由形成在該些凸部之該一者的側壁上及在形成於該些凸部之該一者上的該 $\text{Al}_{x_1}\text{Ga}_{1-x_1}\text{N}$ 第一埋層之該部分的一側壁上之該

$\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ 埋層的一部分互相連續。

11. 如申請專利範圍第9項所述之裝置，其中該 $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ 埋層係以 $\text{In}_y\text{Ga}_{1-y}\text{N}$ 所製成。

12. 如申請專利範圍第9項所述之裝置，其中該 $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ 埋層具有超晶格結構，其中交替堆疊 $\text{In}_{y1}\text{Al}_{z1}\text{Ga}_{1-y1-z1}\text{N}$ ($0 < y1 \leq 1$, $0 \leq z1 \leq 1$) 層及 $\text{In}_{y2}\text{Al}_{z2}\text{Ga}_{1-y2-z2}\text{N}$ ($0 < y2 \leq 1$, $0 \leq z2 \leq 1$) 層。

13. 如申請專利範圍第12項所述之裝置，其中該 $\text{In}_{y1}\text{Al}_{z1}\text{Ga}_{1-y1-z1}\text{N}$ 為 $\text{In}_{y1}\text{Ga}_{1-y1}\text{N}$ 且該 $\text{In}_{y2}\text{Al}_{z2}\text{Ga}_{1-y2-z2}\text{N}$ 為 $\text{Al}_{z2}\text{Ga}_{1-z2}\text{N}$ 。

14. 如申請專利範圍第9項所述之裝置，進一步包含：

序列形成在該 $\text{Al}_{x2}\text{Ga}_{1-x2}\text{N}$ 第二埋層上之第一傳導類型披覆層、主動層、及第二傳導類型披覆層。

15. 如申請專利範圍第9項所述之裝置，其中該些凸部具有在該基板之該第一主表面中的平面圖案，藉由接續並相鄰地配置一單元圖案於該第一主表面中來形成該平面圖案，並藉由將該些凸部的該一者置於正三角形的三頂點之每一者來形成該單元圖案。

16. 如申請專利範圍第9項所述之裝置，其中該基板為藍寶石基板。

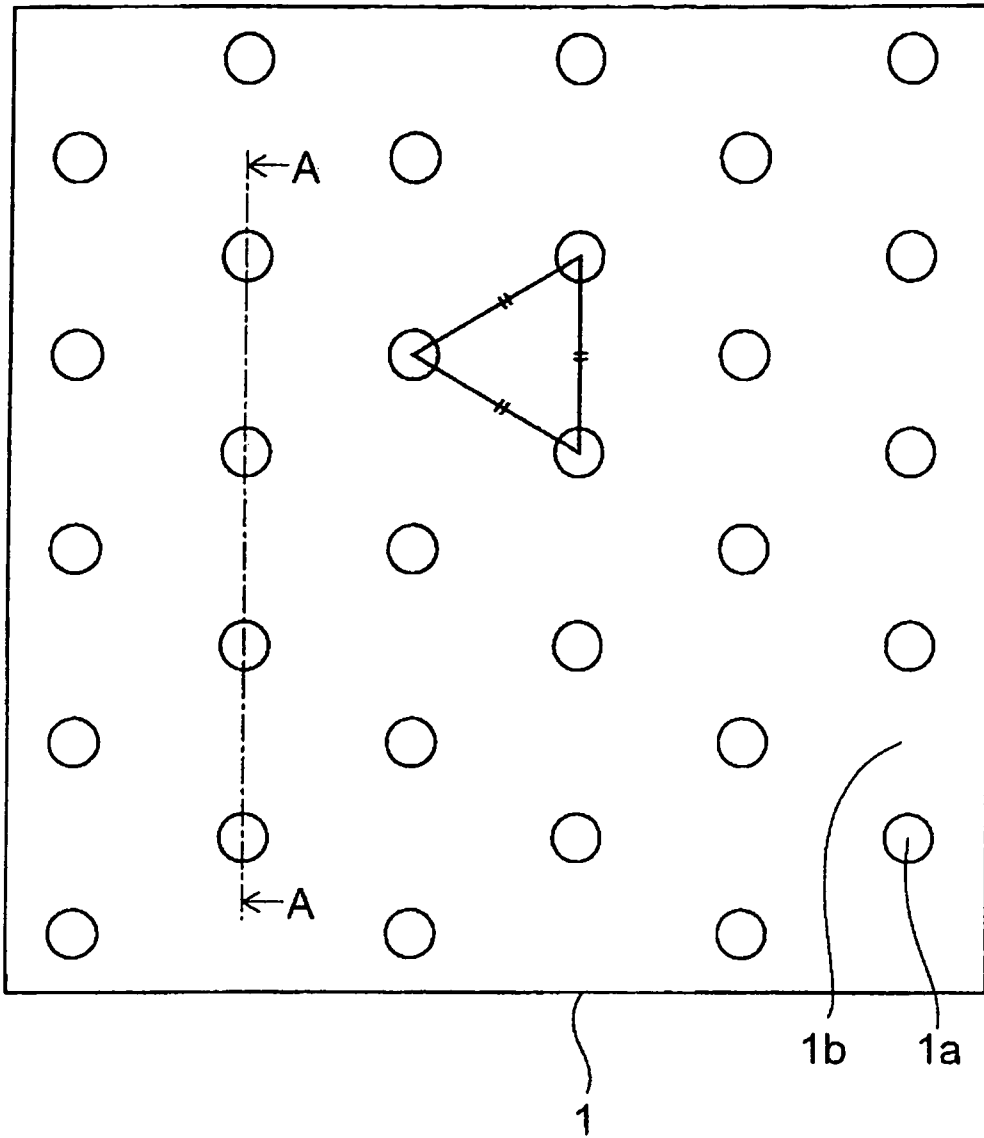
17. 如申請專利範圍第1項所述之裝置，其中該基板的該些凸部的該一者之頂部在比形成於該凹部上之該 $\text{Al}_{x1}\text{Ga}_{1-x1}\text{N}$ 第一埋層之該部分之頂部在更高的位置。

18. 如申請專利範圍第1項所述之裝置，其中該基板的

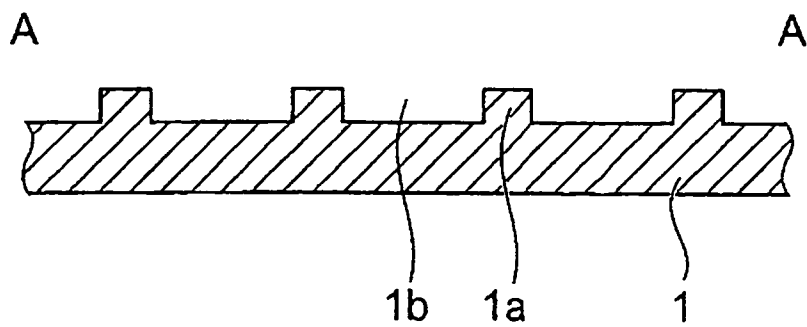
該些凸部的該一者之頂部在比形成於該凹部上方之該 $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ 埋層的該部分之頂部在更高的位置。

19. 如申請專利範圍第 1 項所述之裝置，其中該基板的該些凸部的該一者之頂部在比形成於該凹部上方之該 $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ 埋層的該部分之頂部在更低的位置。

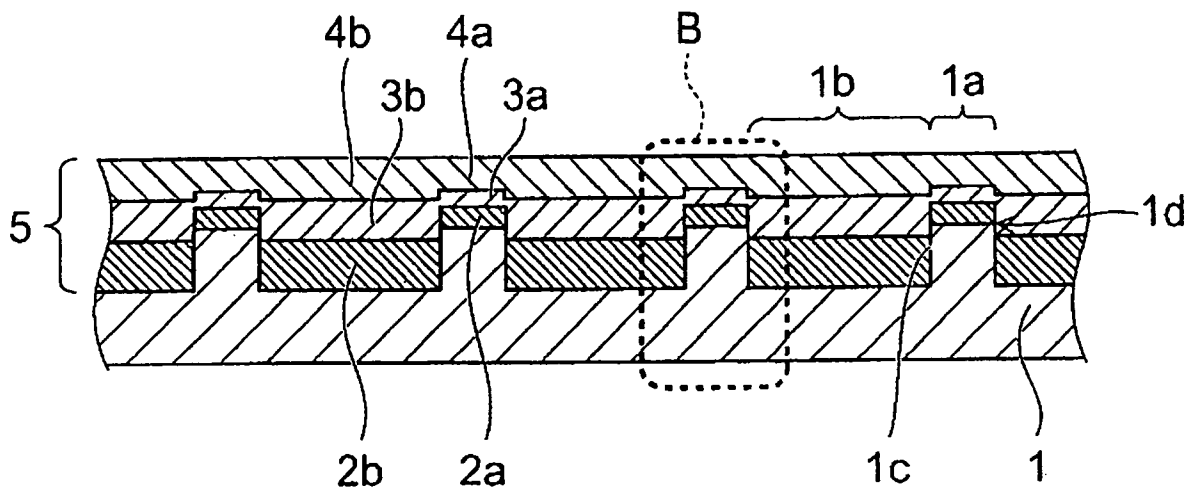
20. 如申請專利範圍第 17 項所述之裝置，其中形成於該凹部上方之該 $\text{In}_y\text{Al}_z\text{Ga}_{1-y-z}\text{N}$ 埋層的該部分之頂部比形成於該些凸部的該一者上之該 $\text{Al}_{x_1}\text{Ga}_{1-x_1}\text{N}$ 第一埋層之該部分之頂部在更高的位置。



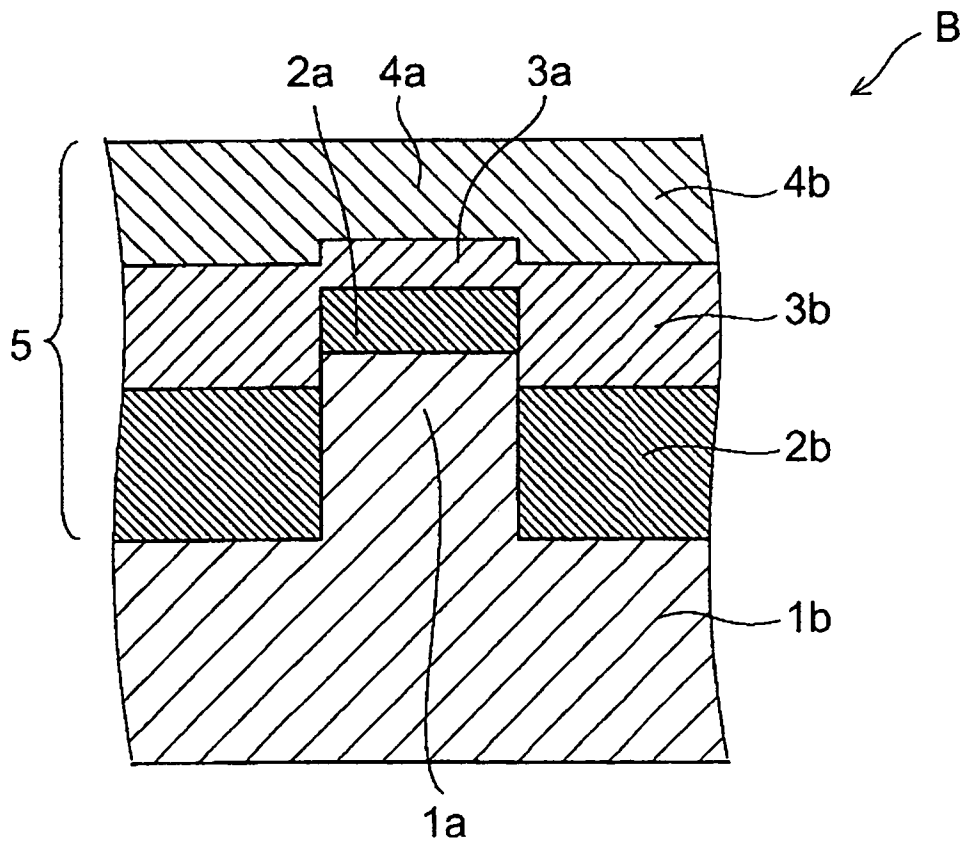
第1A圖



第1B圖

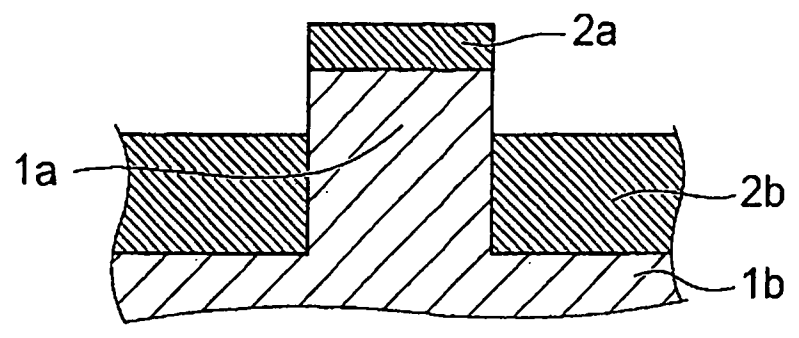


第2圖

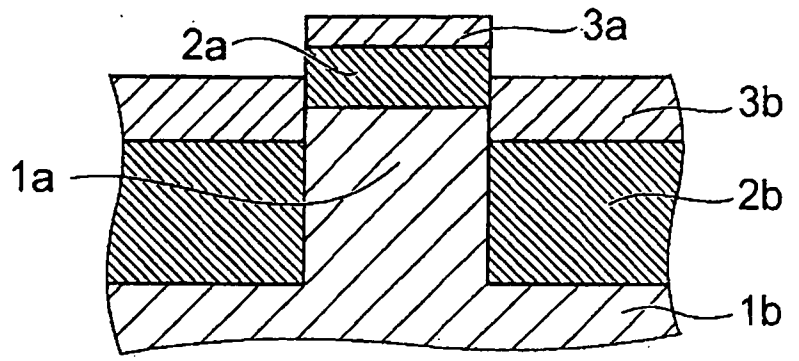


第3圖

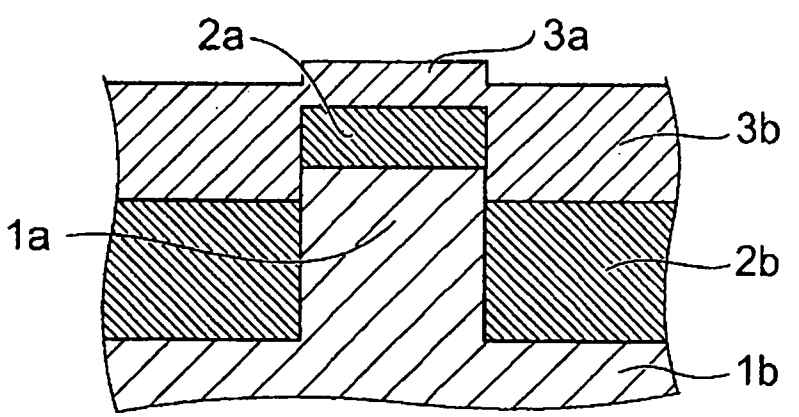
第4A圖



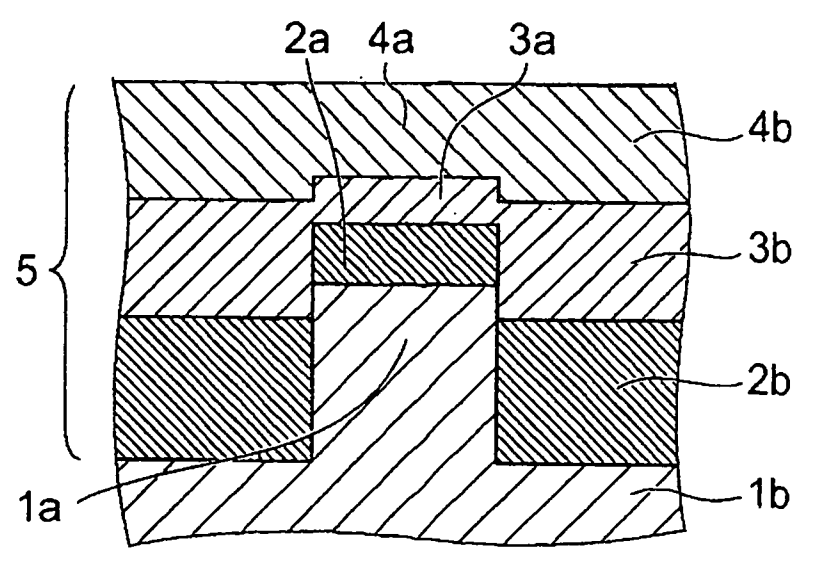
第4B圖

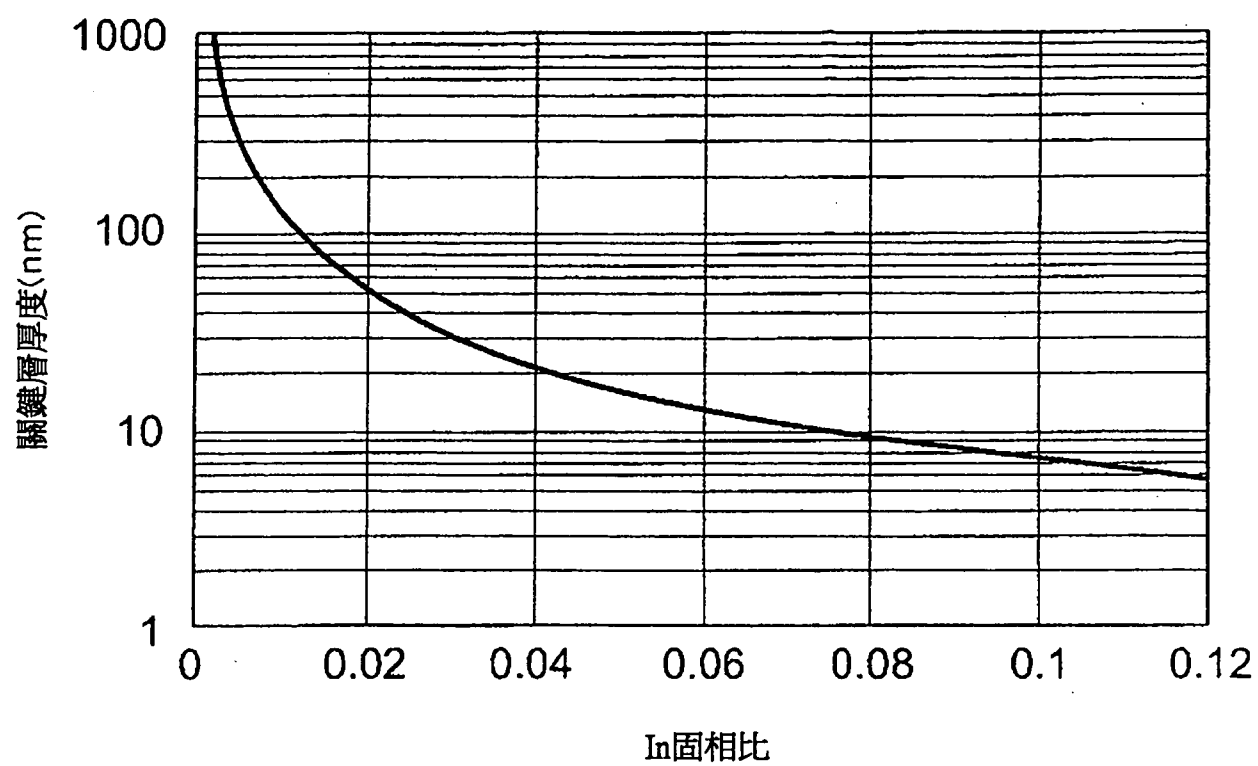


第4C圖



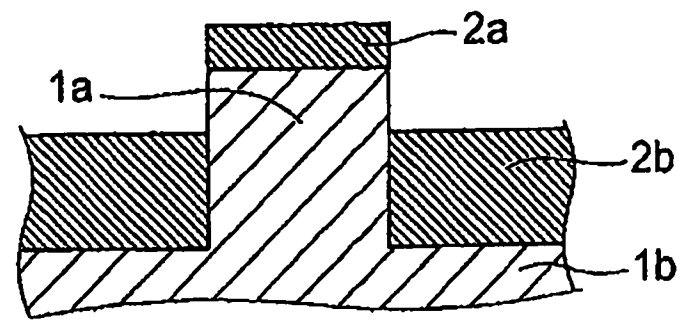
第4D圖



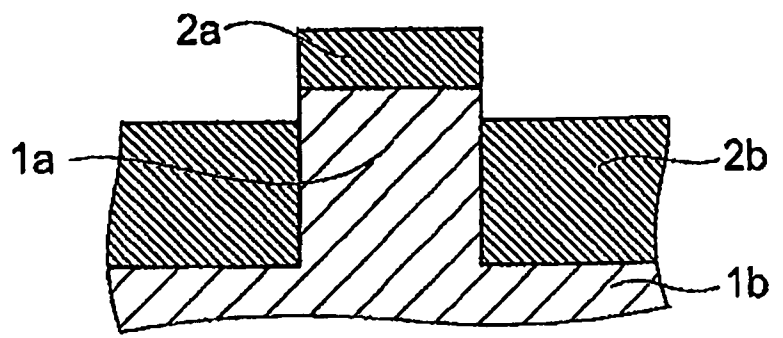


第5圖

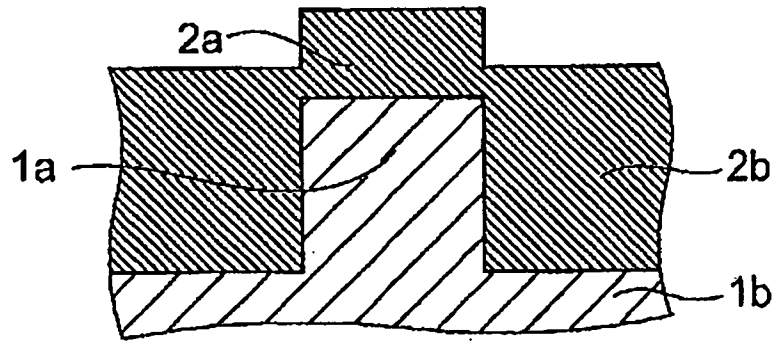
第6A圖



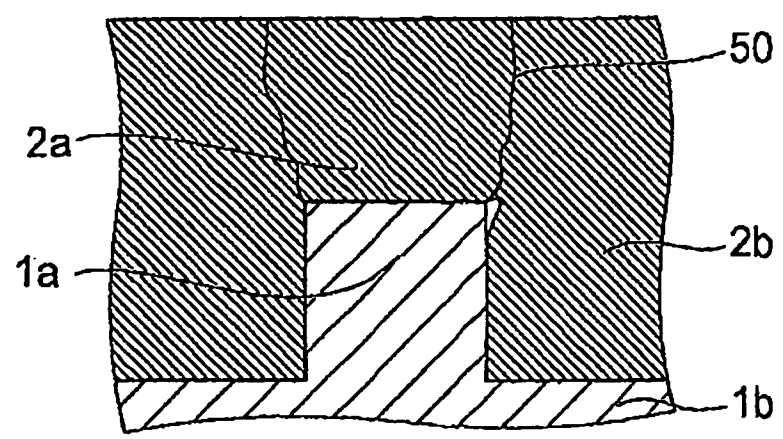
第6B圖

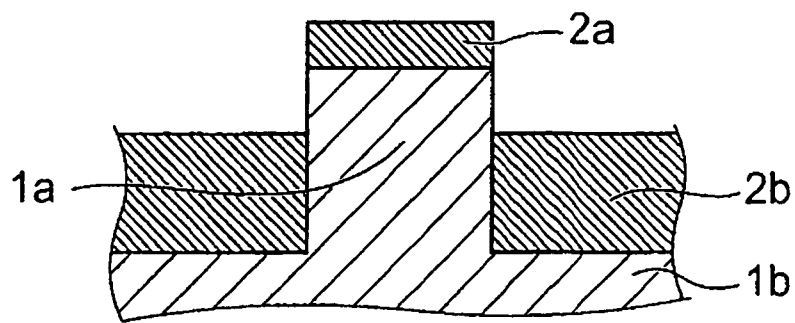


第6C圖

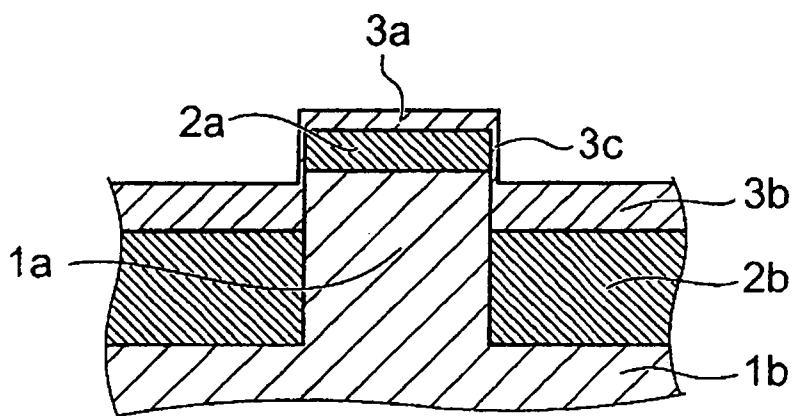


第6D圖

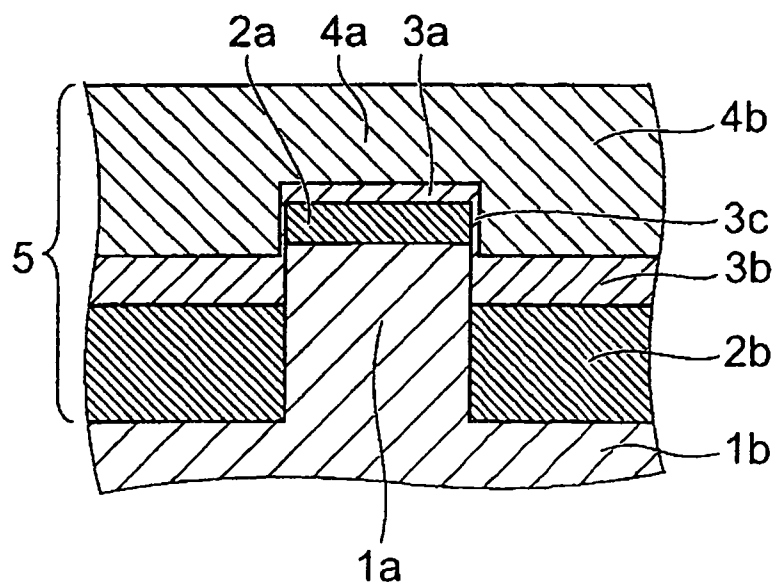




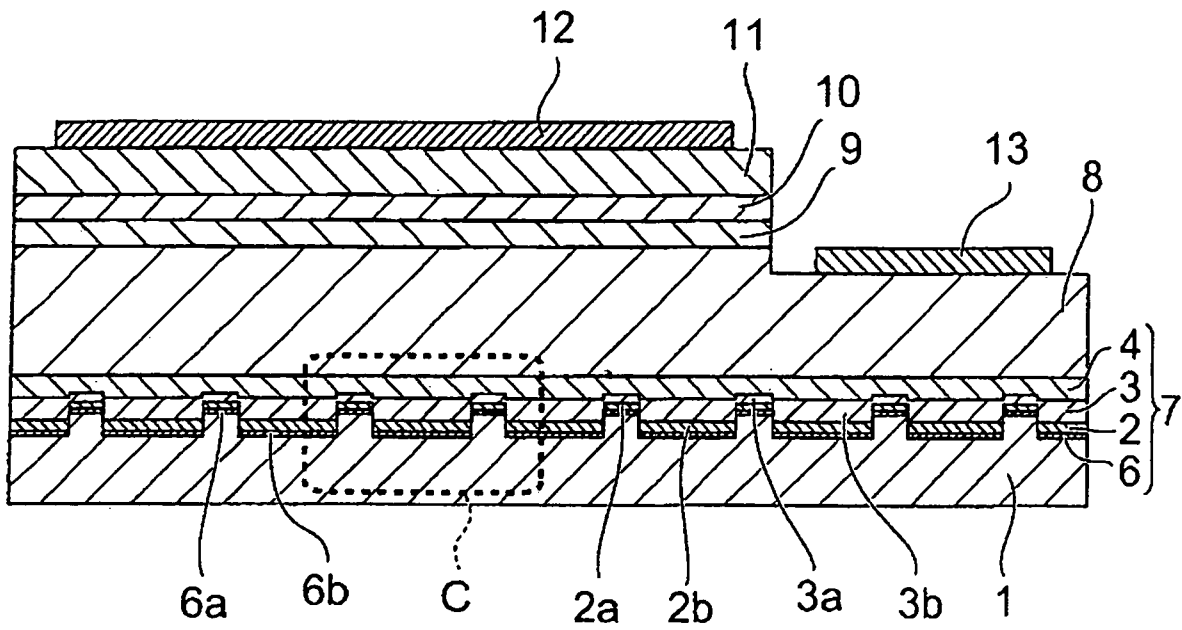
第7A圖



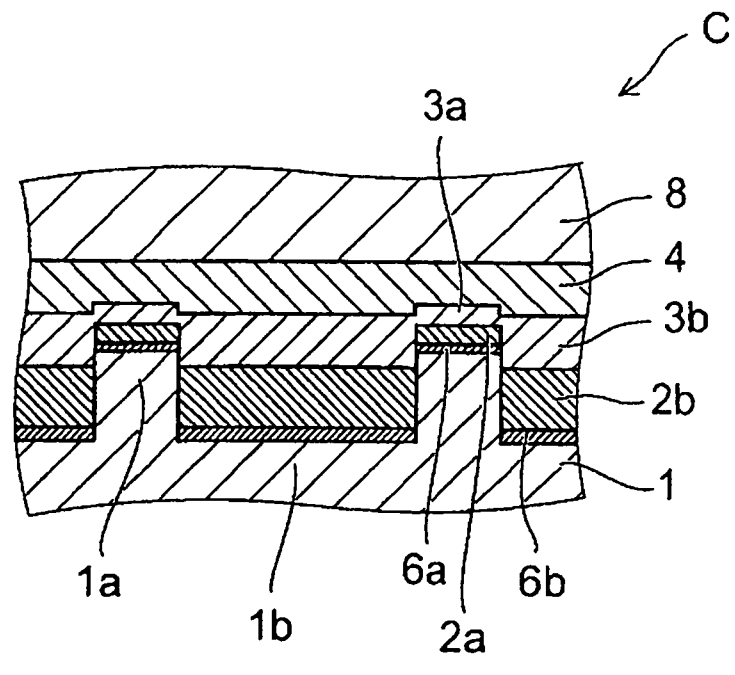
第7B圖



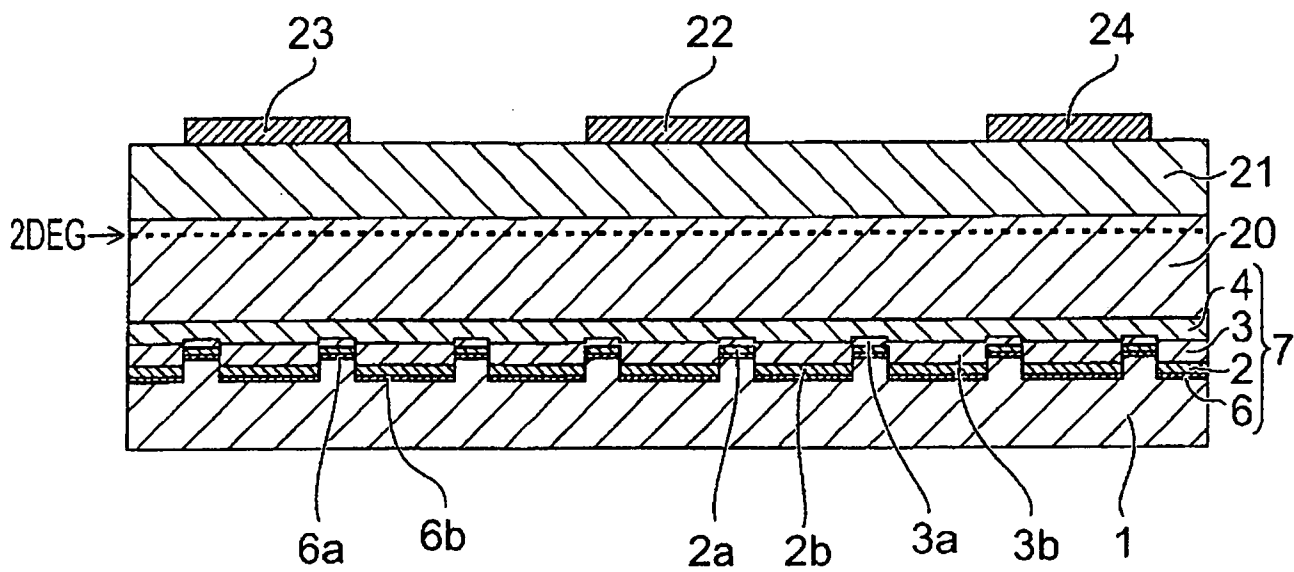
第7C圖



第8圖



第9圖



第10圖