



<p>(51) Internationale Patentklassifikation ⁷ : H03B 28/00</p>	<p>A1</p>	<p>(11) Internationale Veröffentlichungsnummer: WO 00/54401</p> <p>(43) Internationales Veröffentlichungsdatum: 14. September 2000 (14.09.00)</p>
<p>(21) Internationales Aktenzeichen: PCT/DE00/00573</p> <p>(22) Internationales Anmeldedatum: 29. Februar 2000 (29.02.00)</p> <p>(30) Prioritätsdaten: 199 10 887.0 11. März 1999 (11.03.99) DE</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).</p> <p>(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): LILLIE, Frank [DE/DE]; Schmellerstrasse 28, D-80337 München (DE). RICHTER, Raik [DE/DE]; Lockwitzgrund 123k, D-01731 Kreischa (DE). WILHELM, Hartmut [DE/DE]; Fürstenackerstrasse 38, D-81477 München (DE).</p> <p>(74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, D-80506 München (DE).</p>	<p>(81) Bestimmungsstaaten: CN, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Veröffentlicht <i>Mit internationalem Recherchenbericht.</i></p>	

(54) Title: METHOD FOR GENERATING A SIGNAL WITH ADJUSTABLE FREQUENCY USING A DITHER SIGNAL GENERATOR

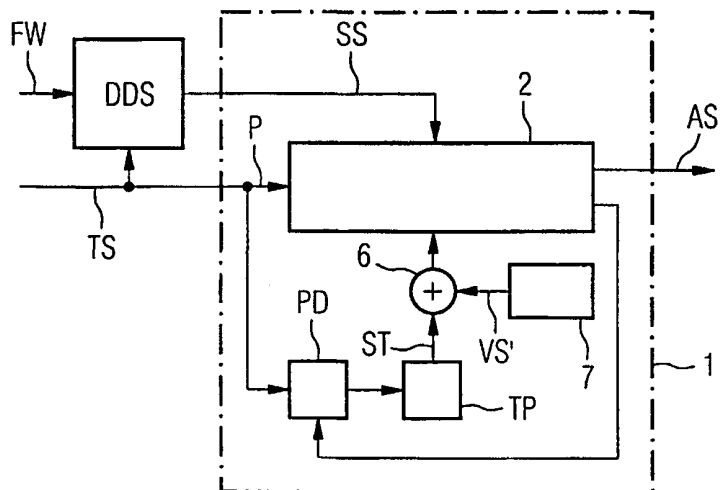
(54) Bezeichnung: VERFAHREN ZUM ERZEUGEN EINES SIGNALS MIT EINSTELLBARER FREQUENZ DURCH EINEN ZITERSIGNALGENERATOR

(57) Abstract

The invention relates to a method for generating a signal with adjustable frequency, wherein an accumulator status signal is generated when a given accumulated count value is exceeded in an accumulator through which a given count value passes in a clocked and cyclical manner. A control signal is generated depending on said accumulator status signal. The pulses passing through the time-delay device are measured in a tap that is chosen depending on the control signal in a time-delay device having several taps. The delay times of the pulses measured in a given tap while passing through the entire time-delay device are modified depending on a variation signal.

(57) Zusammenfassung

Beschrieben wird ein Verfahren zum Erzeugen eines Signals mit einstellbarer Frequenz, bei dem in einem Akkumulator, welcher getaktet einen vorgegebenen Zählbereich zyklisch durchläuft, bei Überschreiten eines bestimmten akkumulierten Zählwerts jeweils ein Akkumulatorstatussignal erzeugt wird. In Abhängigkeit von diesem Akkumulatorstatussignal wird ein Steuersignal erzeugt und in einer Verzögerungseinrichtung mit mehreren Anzapfungen werden jeweils durch die Verzögerungseinrichtung laufende Pulse an einer in Abhängigkeit von dem Steuersignal gewählten Anzapfung abgegriffen. Die beim Durchlaufen der gesamten Verzögerungseinrichtung auftretenden Verzögerungszeiten der an einer bestimmten Anzapfung abgegriffenen Pulse werden in Abhängigkeit von einem Variationssignal variiert.



LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidtschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Beschreibung

VERFAHREN ZUM ERZEUGEN EINES SIGNALS MIT EINSTELLBARER FREQUENZ DURCH EINEN ZITTERSIGNALGENERATOR

5

Die Erfindung betrifft ein Verfahren zum Erzeugen eines Signals mit einstellbarer Frequenz sowie eine Schaltung zur Durchführung dieses Verfahrens.

10

Insbesondere ist die Erfindung zum Erzeugen eines Hochfrequenzsignals vorgesehen, wie es beispielsweise bei Funkübertragungsgeräten, schnurlosen Telefonen, Mobiltelefonen und sonstigen Übertragungsgeräten und Systemen benötigt wird. Die durch die Erfindung bereitgestellte Möglichkeit, die Frequenz des erzeugten Signals einzustellen, kann beispielsweise zur Frequenz- und/oder Phasenmodulation bzw. Winkelmodulation des erzeugten Signals verwendet werden. Ferner kann das erzeugte Signal als (unmoduliertes) Trägersignal dienen, dessen Frequenz im Sinne einer automatischen Frequenzregelung (AFC = Automatic Frequency Control) unabhängig von sich ändernden Betriebsbedingungen, wie Versorgungsspannung, Temperatur etc., stabil gehalten wird.

15

20

Es ist bekannt, ein Signal mit einstellbarer Frequenz mittels einer sogenannten Digitalsynthese-Schaltung zu erzeugen. Eine solche Schaltung wird auch als DDS-Schaltung (= Direct Digital Synthesis) bezeichnet.

25

Eine derartige DDS-Schaltung weist einen Akkumulator, d. h. einen getakteten, rückgekoppelten, speichernden Summierer auf, dessen Zählbereich zyklisch durchlaufen wird. Die Zyklusdauer hängt zum einen von der Taktfrequenz, zum anderen von der Größe eines angelegten Summanden, d. h. dem Addierwert oder sogenannten „Frequenzwort“, und dem Zählbereich ab.

35 Es wird hierbei also ein digitaler Akkumulator mit einem in der Regel festen Systemtakt getaktet, der Ausgang auf den Eingang zurückgekoppelt und das sogenannte Frequenzwort ange-

legt. Der Akkumulator addiert nun mit jedem Takt das Frequenzwort bis zu einem Überlauf auf und beginnt dann wieder von vorn. Durch die Rückkopplung des Ausgangs auf den Eingang des Akkumulators wird automatisch der nach einem Überlauf des Akkumulators auftretende Rest beim nächsten Zyklus mit addiert. Es lassen sich folglich in Abhängigkeit der Taktfrequenz, der Breite des Akkumulators und des Frequenzwortes unterschiedliche Ausgangsfrequenzen erzeugen. Insbesondere kann mit dieser Methode auch ein moduliertes Signal erzeugt werden, indem während des Betriebs das Frequenzwort entsprechend gewechselt wird. Die Zusammenhänge sind allgemein bekannt.

Zur Erzeugung eines gewünschten sinusförmigen, analogen Ausgangssignals mittels einer solchen DDS-Schaltung bestehen verschiedene Möglichkeiten:

Bei einer sogenannten „analogen DDS“ wird jeweils der aktuelle Zählerstand des Akkumulators an eine Look-up-Tabelle ausgegeben, um aus dem sägezahnartig durchlaufenden Zählbereich Abtastwerte zu erzeugen, die eine Sinuskurve bilden. Diese mittels der Look-up-Tabelle erzeugten Abtastwerte werden von einem Digital-/Analog-Wandler und nachfolgendem Tiefpass in ein analoges, sinusförmiges Ausgangssignal der DDS-Schaltung umgewandelt. Jedoch ist ein hoher Bauteilaufwand für die Look-up-Tabelle und den Digital-/Analog-Wandler erforderlich, der umso höher ist, je höhere Anforderungen an die Signalqualität gestellt werden. Schließlich hat insbesondere der Digital-/Analog-Wandler einen relativ hohen Stromverbrauch und ist schlecht integrierbar, was für eine Verwendung in batteriebetriebenen Geräten wie beispielsweise in Mobiltelefonen nachteilig ist.

Bei der sogenannten „Pulse Output DDS“ wird lediglich ein Akkumulatorstatussignal, beispielsweise in Form eines Ausgangspulses, verwendet, das der Akkumulator jeweils nach Überschreiten eines bestimmten akkumulierten Zählwertes ausgibt. Das heißt, ein solches Akkumulatorstatussignal bzw. ein Aus-

gangspuls wird immer dann ausgegeben, wenn beispielsweise der Akkumulator halbvoll ist oder überläuft. Hierzu kann z. B. das höchstwertige Bit (MSB = Most Significant Bit) oder das Carry-Bit des Akkumulators als Akkumulatorstatussignal verwendet werden. Das Akkumulatorstatussignal kann beispielsweise auch dadurch erzeugt werden, dass bei einem Überlauf ein Statusbit gesetzt wird, welches beim Überlauf des nachfolgenden Zyklus wieder zurückgesetzt wird. Im Folgenden wird aber der Einfachheit halber beispielhaft von einem direkten Ausgangspuls als Akkumulatorstatussignal ausgegangen. Es wird an dieser Stelle darauf hingewiesen, dass der Begriff „Puls“ nicht nur regelmäßige Pulse, sondern auch einzelne Impulse umfaßt.

Um aus diesen Pulsen das gewünschte (analoge) Ausgangssignal zu erzeugen, wird in der Regel ein abstimmbarer Oszillator in einem Regelkreis direkt oder über Frequenzteiler bzw. -vervielfacher an die Frequenz der DDS angebunden. Das heißt, die aus der DDS kommenden Pulse werden einer entsprechenden Oszillatorschaltung mit einem abstimmbaren Oszillator zugeführt. Dabei wird die Erkenntnis genutzt, dass es in einem derartigen Oszillatorregelkreis genügt, die Phasenlage der gekoppelten Schwingungen zu vergleichen. Die Phasenvergleichseinrichtung ist typischerweise so aufgebaut, dass sie nur die Vorzeichen auswertet, sodass die zu vergleichenden Signale 2-wertig sein dürfen. Diese 2-wertige Phaseninformationen sind in dem Ausgangspuls der DDS, d. h. beispielsweise im MSB und/oder im Carry-Bit des Akkumulators der DDS, enthalten. Da nur das Vorzeichen der synthetisierten Schwingung benötigt wird, sind bei diesem Verfahren keine Look-up-Tabelle und keine aufwendigen Digital-/Analog-Umsetzer nötig.

Ein Problem, das sich bei dieser Art der Frequenzerzeugung ergibt, liegt in der unterschiedlichen Qualität der Ausgangssignale in Abhängigkeit von dem Frequenzwort und der Akkumulatorbreite, d. h. dem maximalen Wertebereich des Akkumula-

tors. Liegt ein ganzzahliges Verhältnis zwischen $2^{\text{Akkumulatorbreite}}$ (Akkumulatorbreite in Bit) und dem Frequenzwort vor, so ergeben sich symmetrische Ausgangssignale und somit im Frequenzspektrum ein qualitativ hochwertiges Signal. Die Bezeichnung „symmetrisch“ wird hier im Sinne von gleichmäßigen Abständen zwischen den Ausgangspulsen der DDS verwendet. Ergeben sich gebrochene Verhältnisse, so geht durch den nach einem Durchlauf jeweils unterschiedlich anstehenden Rest, mit dem beim nächsten Durchlauf wieder beim Hochzählen im Akkumulator begonnen wird, die Symmetrie des Ausgangssignals verloren. Das heißt, es tritt ein sogenannter „Jitter“ bei den Ausgangspulsen auf. Hierdurch entstehen unterschiedlichste diskrete Störlinien im Spektrum des gewünschten Ausgangssignals.

Als Abhilfe für diesen Sachverhalt gibt es verschiedene Verfahren, die sich mit der Zerstreung der diskreten Störlinien beschäftigen.

Eine Möglichkeit besteht darin, eine Zufallszahl am Eingang oder am Ausgang, hinter der Abzweigung für die Rückkopplung des Akkumulators hinzuzuaddieren, sodass die Periodizität des „Jitters“ aufgelöst wird. Man spricht in diesem Zusammenhang von „Dither“. Als Ausgangssignal erhält man dann die gewünschte Frequenz mit einem entsprechend angehobenen Rauschteppich, jedoch mit verringerter Störleistung der dominanten diskreten Nebenlinien.

Eine weitere Methode, die Qualität des DDS-Ausgangssignals zu erhöhen, ohne die eigentliche Taktfrequenz heraufzusetzen, ist eine passende Verzögerung des jeweils ausgegebenen Pulses, sodass die Pulse nach dem Verzögern in gleichmäßigen zeitlichen Abständen aufeinander folgen. Die erforderliche Verzögerungszeit berechnet sich aus dem Quotienten von Überlaufrest und Frequenzwort. Zur Verzögerung wird üblicherweise eine sogenannte angezapfte Verzögerungsleitung (delay-line) verwendet. Mit ihr lässt sich die Zeitauflösung erhöhen und

dadurch das „Jittern“ vermindern. Hierzu befinden sich mehrere Verzögerungsglieder in der Verzögerungsleitung hintereinander, die in der Summe den Takt um genau eine Periode verzögern.

5

Als Verzögerungsglieder können beispielsweise digitale Inverter-Ketten verwendet werden, deren Verzögerungszeiten mit Hilfe eines Steuerstroms eingestellt werden. Hinter jedem einzelnen Verzögerungsglied befindet sich eine Anzapfung, die
10 dann z. B. über einen Multiplexer auf den Ausgang geschaltet werden kann. Die hintereinander geschalteten einzelnen Verzögerungselemente sind dabei beispielsweise als Logikblöcke in einem ASIC integriert.

15 Mittels eines Steuersignals, welches unter Verwendung des oben genannten Divisionsergebnisses des von der DDS ausgegebenen Rests und dem Frequenzwort gebildet wird, kann dann die entsprechende Anzapfung der Verzögerungsleitung bestimmt werden. Die Anzapfung, an welcher der Impuls abgegriffen und zum
20 Ausgang der Schaltung geleitet wird, wird dabei so gewählt, dass der tatsächliche Zeitpunkt der Flanke dem idealen Zeitpunkt nahe kommt.

Der frequenzbestimmende Ausgangsimpuls einer solchen DDS mit
25 einer entsprechenden nachgeschalteten Verzögerungseinrichtung besitzt dann eine Zeitauflösung, die der eigentlichen Taktdauer, geteilt durch die Anzahl der Verzögerungsglieder, d. h. der Anzapfungen, entspricht. So wird das „Jittern“ vermindert. Eine Verbesserung lässt sich noch erreichen, in dem
30 beispielsweise durch geeignetes Dithern zwischen den dem idealen Zeitpunkt nächstliegenden Anzapfungen N , $N-1$ und z. B. $N+1$ variiert wird.

Das gesamte Verfahren setzt jedoch voraus, dass die Takt-
35 periode durch die Verzögerungselemente in exakt gleichartige Teile aufgeteilt wird. Damit dies annähernd gut gelingt, wird die Verzögerungsleitung in einer Realisierung so ausgelegt,

dass ein Impuls exakt eine Taktperiode benötigt, um sie ganz zu durchlaufen. Durch einen Steuerstrom lässt sich dabei die Gesamtverzögerungszeit vom Anfang bis zum Ende der angezapften Verzögerungsleitung innerhalb gewisser Grenzen regeln.

5 Diese Einstellung der Gesamtverzögerungszeit geschieht in der Regel mittels einer Regelschleife. Die Streuung der einzelnen Verzögerungselemente und der Signallaufzeiten zwischen ihnen und dem Multiplexer hingegen lässt sich jedoch dadurch nicht beeinflussen. Genau diese Streuung hat aber einen sehr starken Einfluss auf die Qualität des Ausgangssignals. Eine ungleichförmige Aufteilung der Taktperiode entspricht einer Nichtlinearität, welche wiederum diskrete Störlinien im Spektrum hervorrufen kann.

15 Des Weiteren ist bei diesem Verfahren die kleinste Zeiteinheit der Zeitunterschied zwischen zwei Anzapfungen der Verzögerungsleitung. Beim „Dithering“ gemäß diesem Stand der Technik wird lediglich beeinflusst, an welcher Anzapfung der Verzögerungsleitung der Abgriff der Taktflanke erfolgt. In Ausnahmefällen kann auch ein Übertrag auf einen benachbarten Takt erfolgen. Es kann jedoch keine kleinere Zeitauflösung gewählt werden. Durch dieses grobe Zeitraster und das Dithering wird ein Rauschteppich erzeugt, dessen Höhe je nach Anwendung auch störend sein kann.

25 Es ist Aufgabe der Erfindung, eine Alternative zu diesem Stand der Technik zu schaffen, welche die Erzeugung eines qualitativ guten Signals mit einstellbarer Frequenz ermöglicht. Insbesondere sollen die diskreten Störlinien im Spektrum abgesenkt werden und der durch das Dithering im Leistungsdichtespektrum erzeugte Rauschteppich niedrig gehalten werden.

30 Diese Aufgabe wird erfindungsgemäß durch ein Verfahren gemäß Anspruch 1 und eine Schaltung gemäß Anspruch 18 gelöst.

Erfindungsgemäß wird bei dem Verfahren bzw. bei der Vorrichtung durch geeignete Mittel ein Variationssignal erzeugt und die beim Durchlaufen der gesamten Verzögerungseinrichtung auftretenden Verzögerungszeiten der an einer bestimmten Anzapfung abgegriffenen Pulse werden in Abhängigkeit von dem Variationssignal variiert. Durch diese Variation der Verzögerungszeiten wird das feststehende Zeitraster der durch die Anzapfungen vorgegebenen diskreten Verzögerungsstufen aufgehoben und so eine kleinere Zeitauflösung erreicht, als die Verzögerung zwischen zwei aufeinanderfolgenden Anzapfungen.

Das Variationssignal kann hierbei zum einen dem Stellsignal, mit dem die Gesamtverzögerungszeit der Verzögerungseinrichtung über alle Anzapfungen eingestellt wird, überlagert werden. Das heißt, es wird beispielsweise bei der Einstellung der Gesamtverzögerungszeit der Verzögerungsleitung mit Hilfe eines Steuerstroms diesem Steuerstrom der angezapften Verzögerungsleitung das Variationssignal überlagert. Allerdings beeinflusst diese Variante nicht alle Anzapfungen der Verzögerungsleitung gleich stark.

Die variable Verzögerung kann zum ändern beispielsweise auch in Form eines von dem Variationssignal angesteuerten Verzögerungsgliedes am Beginn der Verzögerungseinrichtung beispielsweise als erstes Glied der angezapften Verzögerungsleitung oder als zusätzliches, dem ersten Glied vorausgehendes Glied, eingefügt werden. Ein Chip mit einer Verzögerungsregelschleife bietet in der Regel ohnehin die Möglichkeit, elektrisch einstellbare Verzögerungselemente zu integrieren. Ein solches variables Verzögerungselement ließe sich auch nutzen, um das Ausgangssignal variabel zu verzögern, d. h. das zusätzliche Verzögerungsglied wird am Ausgang der Verzögerungseinrichtung eingefügt. Ebenso kann die variable Verzögerung auch in die Taktversorgung einer angezapften Verzögerungsleitung eingefügt werden.

Wenn die Schwankungsbreite, die sich mit einem variablen Verzögerungsglied erreichen läßt, nicht ausreicht, können im Prinzip auch mehrere variable Verzögerungsglieder, z. B. in Reihenschaltung, verwendet werden.

5

Das Variationssignal kann ein Rauschsignal oder ein beliebiges anderes Signal sein, beispielsweise ein Signal, welches vom Quotienten aus Überlaufrest und Frequenzwort abgeleitet wird. Mit Hilfe einer Überlagerung mit einem Rauschsignal erreicht man, dass die Verzögerungszeiten der einzelnen Verzögerungsglieder nicht konstant sind, sondern eine beliebig einstellbare Variation erzielt wird. Man führt in diesem Fall eine Art Dither ein, welcher jedoch mit einer ideal unendlichen Zeitauflösung arbeitet, da er auf eine analoge Steuergröße angewendet wird. Diskrete Störlinien, die wie oben beschrieben auf die ungleichen Verzögerungszeiten der einzelnen Verzögerungselemente zurückzuführen sind, werden somit abgesenkt. Die Variation kann dabei viel feiner erfolgen als mit dem herkömmlichen Dithering. Dazu muss das einstellbare Verzögerungselement mit einem rauschartigen Signal geeigneten Spektrums und passender Verteilungsdichte des Rauschwerts angesteuert werden. Die Verwendung einer analogen Rauschquelle wäre hier möglich. Ebenso ist aber auch der Einsatz von Filtern und auf Pseudo-Zufallszahlen oder Zufallszahlen beruhender Quellen möglich.

10

15

20

25

Bei einer bevorzugten Ausführungsform wird für jede der Anzapfungen der Verzögerungseinrichtung getrennt die Abweichung der Verzögerungszeit von einem Sollwert ermittelt und unter Berücksichtigung dieser Abweichung für jede der Anzapfungen ein Variationssignal erzeugt, welches die Abweichung zumindest teilweise kompensiert. In diesem Fall wird die Quelle, die das Variationssignal liefert, auch von der DDS bzw. dem Steuersignal, z. B. dem Rest nach dem Überlauf, beeinflusst.

30

35

Selbstverständlich ist die Erfindung nicht auf Verzögerungseinrichtungen mit den bisher genannten Verzögerungs-

leitungen beschränkt, sondern kommt im Prinzip auch für jede andere Verzögerungseinrichtung mit diskreten Stufen, bzw. im Prinzip auch für Verzögerungseinrichtungen mit sehr feinen Stufen bis hin zu kontinuierlichen Verzögerungseinrichtungen, als zusätzliche Korrekturereinrichtung in Frage. In diesem Sinne ist der Begriff „Anzapfung“ auch allgemein als Ausgang einer Verzögerungseinrichtung zu verstehen, an der ein dort abgegriffener Puls eine bestimmte, definierte Verzögerungszeit zurückgelegt hat.

Vorzugsweise werden die verzögerten Pulse einer Oszillatorschaltung mit einem abstimmbaren Oszillator, besonders bevorzugt einem sogenannten Phasenregelkreis (PLL = Phase Locked Loop) zugeführt, wie das auch bei den bisherigen Verfahren nach dem Stand der Technik der Fall ist. Auf diese Weise werden störende spektrale Anteile abseits der gewünschten Frequenz unterdrückt. Die PLL dient hierbei als Filter für das Ausgangssignal der Pulse Output DDS und wirkt dabei als Bandpass, der sich auf die Frequenz der DDS einstellt. Bei der PLL kann es sich auch um eine Offset-PLL handeln. Selbstverständlich ist es aber auch möglich, die erfindungsgemäß erzeugten Pulse direkt als Signal zu verwenden und beispielsweise nur durch einen einfachen Filter laufen zu lassen.

Die Abweichung der Verzögerungszeit der einzelnen Anzapfungen von dem jeweiligen Sollwert werden vorzugsweise durch einen Vergleich der Pulse am Ausgang der Verzögerungseinrichtung mit einer Referenzschwingung gleicher Frequenz ermittelt. Es kann sich hierbei um eine beliebige Referenzschwingung handeln.

Vorzugsweise wird die Referenzschwingung aus den Pulsen am Ausgang der Verzögerungseinrichtung erzeugt, wobei es sich anbietet, das Ausgangssignal des nachgeschalteten Phasenregelkreises als Referenzschwingung zu verwenden. Die Abweichung der Verzögerungszeit wird dabei vorteilhafterweise dadurch ermittelt, dass mittels eines Phasenvergleichers der

Zeitunterschied zwischen dem verzögerten Puls, d. h. dem Ausgangssignal hinter der Verzögerungseinrichtung, und dem Ausgangssignal des Phasenregelkreises gemessen wird. Hierzu muss im Prinzip nur das Ausgangssignal des Phasenregelkreises, gegebenenfalls über Frequenzteiler/-vervielfacher oder nach einer Frequenzverschiebung, auf einen Referenzeingang des Phasenvergleichers geschaltet werden. Das Verfahren kommt folglich ohne eine separate Referenzschwingung aus und nutzt stattdessen den Effekt, dass das Ausgangssignal der nachgeschalteten Oszillatorschaltung reiner ist als das Eingangssignal, d. h. das Ausgangssignal der eigentlichen Pulse Output DDS.

Die erfindungsgemäße Schaltung weist vorteilhafterweise außerdem eine Speichereinrichtung mit mehreren den Anzapfungen zugeordneten Speicherstellen auf, in welchen das Variationssignal bzw. ein Parameter zur Erzeugung des Variationssignals für jede Anzapfung gespeichert wird. Bei dem Parameter zur Erzeugung des Variationssignals kann es sich beispielsweise um die Abweichung der Verzögerungszeit vom Sollwert handeln. Um über das Steuersignal jeweils die geeignete Anzapfung auszuwählen und das zugehörige Variationssignal anzulegen, weist die Schaltung eine geeignete Adresslogik auf.

Die Schaltung ist also vorzugsweise mit einem Regelkreis aufgebaut, wobei der Regelkreis im wesentlichen aus einem Phasenvergleichers zum Vergleichen der am Ausgang der Verzögerungseinrichtung anliegenden Pulse mit einer Referenzschwingung, einer Speichereinrichtung mit mehreren Speicherstellen und geeigneten Mitteln zur Veränderung der Verzögerungszeit, beispielsweise dem variabel einstellbaren Verzögerungsglied, besteht.

Hierbei kann es sich sowohl um einen analogen Regelkreis mit einem vor der Speichereinrichtung angeordneten Demultiplexer und einem der Speichereinrichtung nachgeordneten Multiplexer, als auch um einen digitalen Regelkreis mit einer digitalen

Speichereinrichtung und einem der Speichereinrichtung nachgeschalteten Digital-/Analog-Wandler handeln. Da dieser Digital-/Analog-Wandler ein Teil des Regelkreises ist und somit Fehler des Digital-/Analog-Wandlers automatisch mit kompensiert werden, kann hier, anders als bei der eingangs genannten „analogen DDS“, ein einfacher, kostengünstiger Digital-/Analog-Wandler verwendet werden. Selbstverständlich ist es auch möglich, für jede Speicherstelle ein eigenes Verzögerungsglied zu verwenden, sofern es auf die Anzahl der verschiedenen Bausteine nicht ankommt. In diesem Fall werden unter Umständen Multiplexer und/oder Demultiplexer nicht benötigt.

Die konkrete Ausgestaltung der Schaltung zur Durchführung des erfindungsgemäßen Verfahrens ist in weiten Bereichen beliebig.

Bei einem besonders bevorzugten Ausführungsbeispiel wird der Phasenvergleich der Verzögerungseinrichtung nachgeschalteten Phasenregelkreises gleichzeitig als Phasenvergleich für den Regelkreis zur Ermittlung der Variationssignale verwendet. Das heißt, es wird der ohnehin vorhandene Phasenkomparator des Phasenregelkreises mitbenutzt.

Die angezapfte Verzögerungsleitung kann bei dem erfindungsgemäßen Verfahren übrigens in ihrer Stufenzahl reduziert, z. B. halbiert werden, wenn die Adresslogik in der ursprünglichen Breite weiterhin am Speicher anliegt. Für den Regelkreis würde es bei einer Halbierung der Anzapfungszahl so aussehen, als wäre die Verzögerungsleitung sehr inhomogen; dementsprechend würde ein Variationssignal mit einer größeren Variationsbreite benötigt. Dies wäre beispielsweise durch ein nachfolgendes Verzögerungsglied mit einem größeren Stellbereich möglich.

35

Selbstverständlich kann auch umgekehrt bei gleicher Anzahl von Anzapfungen die Division verfeinert und die Anzahl der

Speicherstellen erhöht werden, um das „Jittern“ weiter zu vermindern und die Auflösung zu erhöhen. Bei einer solchen Version wird selbstverständlich für den Speicher auch eine Adresslogik mit einer höheren Auflösung benötigt, als für die Verzögerungsleitung selbst. Das lässt sich soweit steigern, dass eine Interpolation zwischen den abgespeicherten Werten für die analoge Verzögerung möglich wird, um das Anwachsen des Speicherbedarfs in Grenzen zu halten. Auf diese Weise kann über die Interpolation eine nahezu stufenlos einstellbare Verzögerung erreicht werden. Dies kann digitales Dithering und Noise-Shaping überflüssig machen.

Im Prinzip kann die Ermittlung der zu speichernden Variationssignale bzw. der Parameter zur Erzeugung der Variationssignale permanent während des Betriebes durchgeführt werden. Das heißt, es wird immer ein ständiger Abgleich der Variationssignale bzw. der Verzögerungszeiten an den jeweiligen Anzapfungen während des normalen Betriebs durchgeführt.

Dabei können sich jedoch Fehler dadurch ergeben, dass der Überlauf des Akkumulators nur mit einer begrenzten zeitlichen Auflösung auf eine Anzapfung abgebildet werden kann. Der verbleibende „Jitter“ beeinflusst die Regelschleife zum Abgleich der Speicherinhalte. Deshalb ist mit mehr oder weniger zufälligen Fehlern bei den Speicherinhalten und damit auch bei der analogen Verzögerung zu rechnen. Wenn die Fehler eher zufällig sind, ergibt sich ein etwas höherer Rauschteppich. Wenn sie mit einer gewissen Regelmäßigkeit oder Periodizität wiederkehren, entstehen spektrale Störlinien. Hinzu kommt, dass bei Verwendung einer solchen Schaltung in einem Mobiltelefon oder dergleichen beim Sendebetrieb die Winkelmodulation die Frequenz verstimmt und sich insbesondere die nachfolgende Oszillatorschaltung, beispielsweise die PLL, nicht ganz im stationären Zustand befindet und sich folglich nicht als Referenz eignen würde.

Bei einer Verwendung der eigenen Ausgangsfrequenz der Gesamtschaltung als Referenzfrequenz sollte ein solcher Selbstabgleich nur bei stationärer Frequenz freigegeben werden. Die Ermittlung der zu speichernden Variationssignale bzw. der Parameter zur Erzeugung der Variationssignale könnte daher am besten in einem speziellen Abgleichmodus erfolgen, welcher von dem normalen Betriebsmodus abweicht. Hierzu weist die Schaltung vorzugsweise Mittel zur Unterbrechung des Regelkreises zwischen dem Phasenvergleich und der Speichereinrichtung auf. Nur bei geschlossenem Schalter findet ein Abgleich statt und ansonsten werden die Signale des Phasenvergleichers nicht dazu genutzt, um die Speicherinhalte zu verändern. Auch eine variable Abgleichsgeschwindigkeit kann je nach Einsatz vorteilhaft sein. Dementsprechend sollte die Schaltung vorzugsweise Mittel zur Veränderung der Abgleichsgeschwindigkeit aufweisen.

Im Abgleichmodus wird die Verzögerungseinrichtung vorzugsweise mit einer vorgegebenen Steuersignalfolge betrieben, sodass die Abweichungen der Verzögerungszeit vom jeweiligen Sollwert für die verschiedenen Anzapfungen in einer bestimmten Häufigkeit und Abfolge während des Abgleichmodus ermittelt werden. Hierbei sollten der Inhalt des Akkumulators der DDS und das Frequenzwort so gewählt werden, dass alle Anzapfungen genutzt werden, und zwar möglichst gleich oft. Weiterhin sollte dafür gesorgt sein, dass mit jedem ausgegebenen Impuls die Anzapfung gewechselt wird und die gleiche erst wieder an die Reihe kommt, wenn zwischenzeitlich alle anderen Anzapfungen aktiv waren. Schließlich sollte der Divisionswert, der die Anzapfungen bestimmt, in der Mitte des Intervalls liegen, das der jeweiligen Anzapfung zugeordnet ist. Ein evtl. verwendetes Dithering und Noise-Shaping für den Normalbetrieb sollten für diesen Abgleichmodus deaktiviert werden.

Ein solcher Abgleichmodus bietet insbesondere auch bei einem burstweisen Betrieb, wie er beim sogenannten TDMA-Verfahren (Time Division Multiple Access) im Mobilfunk vorkommt, in

Kombination mit einem digitalen Speicher den Vorteil, dass sich nicht bei jedem Einschalten des Frequenzsynthesizers die Kompensationsschaltung selbst neu abgleichen muss, um die möglicherweise nicht mehr korrekt erhaltenen Speicherinhalte aufzufrischen. Vielmehr können die digitalen Werte auch zwischen den Bursts gut unverfälscht erhalten werden, und es gibt mit dem Abgleichmodus ein geeignetes Verfahren, um sie von Zeit zu Zeit sehr effizient zu aktualisieren.

5
10
15
20
25
30
35

Vorzugsweise wird der Abgleichmodus in regelmäßigen zeitlichen Abständen und/oder nach einer Veränderung der Betriebsbedingungen, wie beispielsweise der Betriebstemperatur von bestimmten Elementen der Schaltung oder der Versorgungsspannung, aktiviert. So werden die Werte für die Variationen den Veränderungen bestimmter Parameter, die die Verzögerungsleitungen beeinflussen, wie Temperatur und Versorgungsspannung, nachgeführt.

Da das System im Prinzip unterbestimmt ist, kann es vorkommen, dass der Speicherinhalt für einzelne Anzapfungen außerhalb des zulässigen Wertebereichs geschoben wird.

Um dies zu verhindern, ist es sinnvoll, bei einem Abgleich ein Variationssignal bzw. einen Parameter zur Erzeugung des Variationssignals einer bestimmten Anzapfung konstant zu halten und die gespeicherten Variationssignale bzw. die Parameter zur Erzeugung der Variationssignale der anderen Anzapfung relativ zu dieser bestimmten Anzapfung abzugleichen. Das heißt, es wird beispielsweise für die erste Anzapfung eine feste, z. B. eine mittlere Verzögerung vorgegeben und beim Abgleich der ersten Anzapfung nicht dieser Wert verändert, sondern alle anderen Werte um den entsprechenden Betrag in Gegenrichtung verschoben.

Bei einer alternativen Abgleichmethode werden, sobald bei irgendeiner Anzapfung der zulässige Wertebereich überschritten wird, entweder statt einer weiteren Verschiebung des Wertes

für die betreffende Anzapfung alle anderen Speicherinhalte in die Gegenrichtung verschoben. Alternativ kann auch, nach Aufteilung in einen Anteil innerhalb und einen Anteil außerhalb des Stellbereichs, der innerhalb liegende Anteil der betroffenen Anzapfung und der außerhalb liegende Anteil allen anderen Anzapfungen mit umgekehrten Vorzeichen zugewiesen werden. Die Verschiebung der Werte der anderen Anzapfungen kann entweder für alle gleichzeitig und sofort oder separat für jeden Wert jeweils dann erfolgen, wenn der betreffende Wert ohnehin aktualisiert wird.

Eine weitere Möglichkeit besteht darin, die Lage der Werte innerhalb des jeweiligen Stellbereichs (z. B. Minimum, Maximum, Mittelwert und/oder Median) bei jeder Speicheraktualisierung mit zu berücksichtigen.

Insbesondere in den beiden erstgenannten Fällen sollte der Selbstabgleich für eine kurze Zeit ausgesetzt oder die Abgleichgeschwindigkeit reduziert werden, bis die nachfolgende Oszillatorschaltung sich auf die neue mittlere Verzögerung eingeschwungen hat und wieder ein einwandfreies Referenzsignal liefert.

Die der Verzögerungseinrichtung nachgeschaltete Oszillatorschaltung bzw. PLL weist vorzugsweise eine veränderliche oder umschaltbare Bandbreite auf. Eine niedrige Bandbreite hat Vorteile bei dem Selbstabgleich im Abgleichmodus, da hier die Referenzfrequenz besonders gut ist. Sie hat ebenfalls Vorteile, wenn die Schaltung als Lokaloszillator zum Heruntersuchen beim Empfang verwendet werden soll. Eine hohe Bandbreite hat dagegen Vorteile, um ein schnelles Einschwingen der Schaltung zu erreichen oder aber für die Verwendung zum Senden mit Winkelmodulation. Der Vorteil einer PLL mit veränderlicher Bandbreite kann alternativ auch dadurch erreicht werden, dass parallel mehrere Oszillatorschaltungen bzw. PLL's mit unterschiedlichen Bandbreiten vorhanden sind.

Das erfindungsgemäße Verfahren arbeitet hierbei ohne eine äußere Referenz, da die Referenz vom Ausgangssignal der gesamten Frequenzsyntheseschaltung abgeleitet ist. Es wird einfach die spektral reinere Schwingung am Ende des Phasenregelkreises verwendet. Die Abgleichfehler im Verlauf des Abgleichs nehmen folglich auch dadurch ab, dass mit dem Ausgangssignal der gesamten Frequenzsyntheseschaltung die Referenz ebenfalls besser wird. Das heißt, es handelt sich hierbei letztendlich um ein Verfahren, was auf iterative Weise während des Abgleichverfahrens zu einem optimalen Wert gelangt.

Die Erfindung wird im folgenden unter Hinweis auf die beigefügten Zeichnungen anhand von Ausführungsbeispielen näher erläutert. Die dargestellten sowie die oben und nachfolgend beschriebenen Merkmale können nicht nur in den genannten Kombinationen, sondern auch einzeln oder in anderen Kombinationen erfindungswesentlich sein. Im Übrigen wird ausdrücklich darauf hingewiesen, dass auch Merkmale, die nur im Zusammenhang mit dem erfindungsgemäßen Verfahren dargestellt sind, bezüglich der Schaltung zur Durchführung des Verfahrens erfindungswesentlich sein können und umgekehrt. Es zeigen:

Figur 1 ein schematisches Schaltbild einer erfindungsgemäßen Schaltungsanordnung gemäß einem ersten Ausführungsbeispiel;

Figur 2 ein schematisches Schaltbild einer erfindungsgemäßen Schaltungsanordnung gemäß einem zweiten Ausführungsbeispiel;

Figur 3 ein schematisches Schaltbild einer erfindungsgemäßen Schaltungsanordnung gemäß einem dritten Ausführungsbeispiel;

Figur 4 ein schematisches Schaltbild einer Verzögerungseinrichtung mit einem nachfolgenden Phasenregelkreis und einem analogen Regelkreis zur Erzeugung eines Variationssignals für die einzelnen Anzapfungen;

Figur 5 ein schematisches Schaltbild einer Verzögerungseinrichtung mit einem nachfolgenden Phasenregelkreis und einem digitalen Regelkreis zur Erzeugung eines Variationssignals für die einzelnen Anzapfungen;

5

Figur 6 ein schematisches Schaltbild einer alternativen Speichereinrichtung für den Regelkreis einer Schaltung gemäß Figur 5.

10 In Figur 1 ist eine Verzögerungseinrichtung (1) dargestellt, welche im Wesentlichen aus einer üblichen Delay-Locked-Loop (DLL) mit einer Verzögerungsleitung 2 mit mehreren Abgriffen besteht. In dieser DLL wird die Summe der Einzelverzögerungen über eine Phasenregelschleife mit einem Phasendiskriminator
15 PD und einem Tiefpass TP durch eine Steuergröße ST justiert.

Der DLL wird eingangs ein Taktsignal mit aufeinanderfolgenden Pulsen P aufgegeben. Der geeignete Abgriff wird über die Steuersignale SS der Pulse Output DDS-Schaltung selektiert.

20 Die DDS-Schaltung ist in üblicher Weise mit einem Taktsignal TS und dem Frequenzwort FW beschaltet. Im vorliegenden Fall erhält die DDS das gleiche Taktsignal wie die DLL. Im Prinzip kann die DDS jedoch auch mit einem anderen Taktsignal gleicher Frequenz versorgt werden.

25 Bei dem Steuersignal SS handelt es sich im vorliegenden Fall um eine Adresse, die die jeweilige gewünschte Anzapfung der Verzögerungsleitung 2 bestimmt und die vom jeweils beim Überlauf am Akkumulator der DDS anstehenden Rest bzw. dem Quotienten von Rest und Frequenzwort bestimmt wird. Dieses Steuer-
30 signal wirkt gleichzeitig auch als Freigabesignal, d. h. es bestimmt, ob überhaupt ein Puls abgegriffen wird, oder nicht.

Das an der Verzögerungsleitung 2 anliegende Ausgangssignal AS wird üblicherweise zum Erhalt des gewünschten Ausgangssignals
35 durch einen Filter, vorzugsweise durch eine Oszillatorschaltung mit einem abstimmbaren Oszillator, beispielsweise eine sogenannte Phasenregelschleife (PLL) mit einem VCO, ge-

führt (in Fig. 1 nicht dargestellt). Eine aus Phasenvergleich, Loop-Filter und VCO bestehende Phasenregelschleife wirkt dabei wie ein schmalbandiges Filter mit variabler Mittelfrequenz, das im Spektrum Störungen unterdrückt.

5

Erfindungsgemäß wird dem Steuersignal ST, welches die Summe der Einzelverzögerungen der Verzögerungsleitung 2 justiert, in einem Signaleinkoppler 6 ein Signal VS' überlagert, sodass der Wert der einzelnen Verzögerungszeiten an den einzelnen Abgriffen variiert wird. Als Signalquelle 7 dient hier ein Rauschgenerator, welcher ein rauschartiges Signal mit einem geeigneten Spektrum und passender Verteilungsdichte des Rauschwertes liefert. Auf diese Weise wird erreicht, dass die Verzögerungszeiten der einzelnen Verzögerungsglieder nicht konstant sind, sondern eine dem Rauschen entsprechende Varianz aufweisen. Bei einer einstellbaren Signalquelle ist so eine beliebig einstellbare Varianz erzielbar.

10

15

Figur 2 zeigt ein weiteres Ausführungsbeispiel. Hier ist dem Eingang der Verzögerungsleitung 2 ein variables separates Verzögerungsglied 4 vorgeschaltet. Die Verzögerungszeit dieses Verzögerungsglieds 4 wird über das Variationssignal VS' mittels der Signalquelle 7 eingestellt, wobei es sich wiederum um einen Rauschgenerator oder dergleichen handelt.

20

25

In einer alternativen Ausführungsvariante liegt das Verzögerungsglied 4 am Takteingang der gesamten Verzögerungseinrichtung 1 an. Das heißt, es wird auch der Takt des Phasendiskriminators PD entsprechend verzögert. Im Prinzip kann sogar der Takteingang der DDS selbst ebenfalls verzögert werden.

30

Figur 3 zeigt eine weitere Variante mit einem Verzögerungsglied 5 und einer Signalquelle 7 zur Erzeugung eines Rauschsignals. Das Verzögerungsglied 5 befindet sich hier zwischen dem Ausgang der Verzögerungsleitung 2, d. h. am Ende der Verzögerungseinrichtung 1, und direkt vor einer nachgeschalteten

35

PLL 8. Die Verzögerungsleitung 2 bleibt dabei selbst von dem über das durch den Rauschgenerator 7 erzeugte Variations-signal VS' eingeführten Dither unberührt. Die Steuersignale SS für die Verzögerungsleitung 2 werden wiederum von der DDS
5 geliefert.

Die Figuren 4 und 5 zeigen spezielle Ausführungsbeispiele für die Erzeugung eines Variationssignals VS, welches separat für jede Anzapfung 3 der Verzögerungsleitung 2 erzeugt wird und
10 die Abweichungen der Verzögerungszeit jeder einzelnen Anzapfung 3 von ihrem idealen Sollwert berücksichtigt. Figur 4 zeigt hierbei eine analog aufgebaute Variante und Figur 5 eine digital aufgebaute Variante. Es ist dabei jeweils nur die Verzögerungseinrichtung 1, die nachfolgende PLL 8 und der Re-
15 gelkreis AR, DR zur Erzeugung und Speicherung der Variations-signale VS dargestellt. Die äußere Beschaltung der gesamten DDS und insbesondere der Regelkreis zur Einstellung der Gesamtverzögerungszeit der Verzögerungsleitung 2 entspricht im Wesentlichen der Figur 3. Ebenso ist das variable Verzöge-
20 rungsglied 5 an der gleichen Stelle wie in Figur 3 positioniert. Lediglich wird das Variationssignal VS nicht mittels eines Rauschgenerators 7, sondern über die dargestellten Regelkreise AR, DR erzeugt.

25 Das Steuersignal SS, welches unter Verwendung des Divisionsergebnisses des Quotienten von Überlaufrest und Frequenzwort gebildet wird, wird in einen Multiplexer 17 geführt, über den der Puls P an der gewünschten Anzapfung 3 abgegriffen und an das analoge Verzögerungsglied 5 weitergelei-
30 tet wird. Von diesem analogen Verzögerungsglied 5 gelangt der Puls weiter zu der Phasenregelschleife (PLL) 8. Diese Phasenregelschleife 8 besteht auch hier aus einem Phasenvergleichler 10, einem nachfolgenden Loop-Filter 11 und einem einstellbaren Oszillator 9, im vorliegenden Fall einem VCO 9. Der Aus-
35 gang des VCO 9 ist auf den Phasenvergleichler 10 zurückgekoppelt. Die Rückkopplung kann hierbei auch zur Erzeugung einer entsprechend höheren oder niedrigeren Frequenz über einen

Frequenzteiler FT (wie in Figur 3 dargestellt) oder einen Frequenzvervielfacher erfolgen.

Insbesondere wenn der Phasenregelkreis 8 ein schmalbandiges
5 Loop-Filter 11 hat, ist das Ausgangssignal AS reiner als das
Eingangssignal. Daher kann das Ausgangssignal AS des Phasen-
regelkreises 8 als Referenzsignal genutzt werden, um die Ab-
weichungen der von der Verzögerungseinrichtung 1 kommenden
10 Pulse P vom Sollwert zu bestimmen. Selbstverständlich lassen
sich hierbei nur die Teile der Abweichungen messen, die vom
Phasenregelkreis 8 ausgeregelt werden.

Zur Messung dieser Abweichungen wird der in dem Phasen-
regelkreis vorhandene Phasenvergleichler 10 mitbenutzt. Das
15 heißt, es wird einfach das am Ausgang des Phasenvergleichers
10 anliegende Signal als Maß für die Abweichungen der Verzö-
gerungszeit der Verzögerungseinrichtung 1 vom Sollwert genom-
men. Selbstverständlich sind diese Abweichungen für jede An-
zapfung 3 der Verzögerungsleitung 2 unterschiedlich. Das
20 heißt, es muss eine unterschiedliche Nachkorrektur durch das
Verzögerungsglied 5 für jede Anzapfung 3 der Verzögerungs-
leitung 2 erzeugt werden.

Bei dem analogen Regelkreis AR gemäß Figur 4 werden hierzu
25 die Signale am Ausgang des Phasenvergleichers 10 über einen
Demultiplexer 14 einer Speichereinrichtung 12 zugeführt, wel-
che im vorliegenden Ausführungsbeispiel genau so viele Spei-
cherstellen 13 bzw. Speicherelemente aufweist wie es An-
zapfungen 3 in der Verzögerungsleitung 2 gibt. Der Demulti-
30 plexer 14 ist an die gleiche Steuerleitung wie der Multiple-
xer 17 der Verzögerungsleitung 2 angeschlossen, sodass über
das Steuersignal SS entsprechend für die jeweilige gewählte
Anzapfung 3 die zugehörige Speicherstelle 13 der Speicherein-
richtung 12 ausgewählt wird. Symmetrisch hierzu wird über ei-
35 nen Multiplexer an der jeweiligen Speicherstelle 13 der Spei-
chereinrichtung 12 der gespeicherte Wert abgerufen und als
Variationssignal VS dem Verzögerungsglied 5 übergeben, sodass

hier die zu der jeweiligen Anzapfung 3 gehörige Verzögerung eingestellt wird.

Bei den Speicherstellen 13 kann es sich um Integratoren handeln, die beispielsweise entsprechend auf- und entladen werden, je nachdem, ob bei der gewählten Anzapfung 3 die Impuls-
5 ausgabe gegenüber dem Referenzsignal zu früh oder zu spät war. Die betreffende Speicherstelle 13 addiert dabei die Fläche des Fehlerimpulses durch ihr integrierendes Verhalten zum
10 zuvor gespeicherten Wert. Ebenso ist ein Tiefpassverhalten der Speicherstellen 13 möglich. Vorzugsweise wird, wie in Figur 4 dargestellt, das Verzögerungsglied 5 über einen Treiber 16, insbesondere mit einem hochohmigen Eingang, angesteuert, um die Speicherstellen 13 nicht zu belasten und dadurch zu
15 entladen.

Durch einen Schalter 18 im analogen Regelkreis AR ist jeweils festlegbar, ob die im Speicher 12 vorhandenen Speicherwerte neu abgeglichen werden oder nicht.

20

Figur 5 zeigt einen Aufbau mit einem digitalen Regelkreis DR. Die Verzögerungseinrichtung 1 mit der Verzögerungsleitung 2 und dem Verzögerungsglied 5 sowie die Phasenregelschleife 8 entsprechen wiederum dem Aufbau gemäß Figur 4.

25

Bei dem digitalen Regelkreis DR wird das Signal hinter dem Phasenvergleicher 10 zunächst in einer Integrate & Dump-Einheit 24 aufintegriert. Die Integrate & Dump-Einheit 24
sorgt dafür, dass aus verschiedenen breiten Pulsen Pulse gleicher Länge mit unterschiedlicher Höhe erzeugt werden. Sie ist
30 rein optional und kann bei einer entsprechend anders aufgebauten digitalen Schaltung auch weggelassen werden.

Das von der Integrate & Dump-Einheit 24 kommende Signal wird dann in einem Analog-/Digital-Wandler 22 umgewandelt. Der zu
35 der entsprechenden Anzapfung 3 gehörige digitale Verzögerungswert, welchen der digitale Speicher 19, hier ein RAM,

enthält, wird mittels eines Addierers 20 zu dem empfangenen Fehlersignal addiert und die Summe wird in die gleiche Speicherstelle des Speichers 19 eingeschrieben. Der vom RAM 19 ausgegebene Wert wird außerdem in einem Digital-/Analog-
5 Wandler 23 in das gewünschte Variationssignal VS umgewandelt, welches das Verzögerungsglied 5 ansteuert. Die jeweilige Speicherstelle im RAM 19 wird wiederum über das Steuersignal SS angesprochen, sodass die angesprochene Speicherstelle des Speichers 19 und die jeweilige Anzapfung 3 der Verzögerungs-
10 leitung 2 zueinander koordiniert sind.

Zwischen Phasenvergleichler 10 und Speicher 19 kann außerdem eine Sample & Hold-Schaltung angeordnet werden, um die Signale zwischenzuspeichern und/oder zu verzögern, sofern dies
15 notwendig ist. Eine solche Sample & Hold-Schaltung kann natürlich auch in einem analogen Regelkreis eingesetzt werden.

Im vorliegenden Ausführungsbeispiel werden sämtliche digitale Bauelemente vom Ausgangssignal AS der Schaltung getaktet.
20 Prinzipiell ist es aber auch möglich, einen geeigneten separaten Takt zu verwenden.

In einem nicht dargestellten Ausführungsbeispiel wird anstelle des Analog-/Digital-Wandlers 22 nur ein zweiwertiger
25 Schwellwertkomparator verwendet. Das heißt, es wird dann nur noch die Information weitergeleitet, ob der Puls von der Verzögerungseinrichtung 1 bzgl. des Referenzsignals zu früh oder zu spät angekommen ist, nicht aber die Höhe der Abweichung. Dementsprechend befinden sich hinter dem Schwellwertkomparator Mittel zum Inkrementieren und Dekrementieren des Speicherinhalts jeweils um 1. Bei dieser Version wird folglich der Speicher nur um eine Stufe erhöht oder erniedrigt, sodass der Abgleich insgesamt langsamer durchgeführt wird. Auch der digitale Regelkreis DR gemäß Figur 5 weist einen Schalter 21
30 zur Unterbrechung des Abgleichmodus auf. Dieser Schalter 21 befindet sich hier direkt vor dem Speicher 19.
35

Figur 6 weist eine weitere zusätzliche Variante für einen digitalen Regelkreis auf. Bei dieser besonders vorteilhaften Ausführungsform wird automatisch über einen saldierenden Speicher dafür gesorgt, dass sich alle Werte für das Variationssignal um einen Mittelwert herum bewegen, sodass automatisch verhindert wird, dass das Variationssignal VS für eine Anzapfung 3 aus dem Regelbereich des Verzögerungsglieds 5 hinauslaufen kann. Die Abweichungswerte werden dabei im Prinzip wie in der Schaltung gemäß Figur 5 über den Addierer 20 mit einem an der entsprechenden Speicherstelle des RAM 19 stehenden Wert addiert und an dieselbe Speicherstelle eingeschrieben. Ebenso wird auch hier der Wert über einen D/A-Wandler 23 in das Variationssignal für das Verzögerungsglied umgewandelt. Jedoch ist zum Start der RAM 19 mit mittleren Werten initialisiert. Zusätzlich werden die ins RAM 19 geschriebenen Abweichungen in einem saldierenden Speicher 25 mit summiert. Deshalb enthält der saldierende Speicher 25 stets die Summe der Abweichungen von den Initialisierungswerten im RAM 19. Der Mittelwert der Summe der Abweichungen wird bei 2^N -Anzapfungen sehr einfach dadurch gebildet, dass die N letzten Bits abgeschnitten werden. Es wird so durch 2^N geteilt. Dieser im saldierenden Speicher 25 gewonnene Mittelwert wird wiederum in einem Addierer 26 von dem vom Analog-/Digital-Wandler 22 kommenden Wert abgezogen, sodass als Abweichungswert in den Speicher 19 lediglich die Abweichung vom Mittelwert eingeschrieben wird. Der saldierende Speicher wird hierzu anfangs mit 0 initialisiert.

Bekanntere Verfahren wie z. B. das Dithering, die in einem festen Taktraster arbeiten, werden bei dem erfindungsgemäßen Prinzip so angewendet, dass es zu Korrekturen mit einer viel feineren Auflösung als nach dem Stand der Technik kommt. Speziell bei der Anwendung einer DDS mit einer Verzögerungsleitung zur virtuellen Takterhöhung werden die dabei auftretenden Probleme bezüglich der Genauigkeit der Verzögerungselemente reduziert. Das Ergebnis ist ein Ausgangssignal, welches günstigere spektrale Eigenschaften aufweist.

Mit der neuen Idee gelingt es folglich, eine Korrektur der Laufzeiten durchzuführen, die besser ist, als die Zeitauf-
lösung der Anzapfungen dies an sich zuläßt, wobei nur ein
5 oder mehrere Elemente mit variabler Verzögerung ähnlicher Art
benötigt werden, wie sie ohnehin auf dem Chip integriert wer-
den. Bei Einsatz der erfindungsgemäßen Verfahren zum Abgleich
unter Verwendung des eigenen Ausgangssignals als Referenzsi-
gnal gelangt man auf iterative Weise zu einem optimalen Aus-
10 gangssignal.

Es bietet sich an, die DDS, die Verzögerungseinrichtung und
den jeweiligen digitalen oder analogen Regelkreis einschließ-
lich des Phasenvergleichers der PLL auf einem Chip zu inte-
15 griieren. Dadurch wird die Anzahl der Schnittstellen mini-
miert, was die Qualität des Ausgangssignals verbessert. Au-
ßerdem ist diese kompakte Lösung in Geräten mit Platzbe-
schränkungen, wie beispielsweise Mobiltelefonen, sehr vor-
teilhaft.

Patentansprüche

1. Verfahren zum Erzeugen eines Signals (AS) mit einstellbarer Frequenz,
5 bei dem in einem Akkumulator, welcher getaktet einen vorgegebenen Zählbereich zyklisch durchläuft, bei Überschreiten eines bestimmten akkumulierten Zählwerts jeweils ein Akkumulatorstatussignal erzeugt wird,
10 und ausgelöst vom Akkumulatorstatussignal ein Steuersignal (SS) erzeugt wird,
und in einer Verzögerungseinrichtung (1) mit mehreren Anzapfungen (3), welche unterschiedliche Verzögerungszeiten aufweisen, jeweils durch die Verzögerungseinrichtung (1) laufende Pulse (P) an einer in Abhängigkeit von dem Steuersignal (SS) gewählten Anzapfung (3) abgegriffen werden,
15 dadurch gekennzeichnet,
dass die beim Durchlaufen der gesamten Verzögerungseinrichtung (1) auftretenden Verzögerungszeiten der an einer bestimmten Anzapfung (3) abgegriffenen Pulse (P) in Abhängigkeit von einem Variationssignal (VS, VS') variiert werden.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die verzögerten Pulse (P) einer Oszillatorschaltung (8) mit einem abstimmbaren Oszillator (9) zugeführt werden.
25
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass das Variationssignal (VS') einem Stellsignal (ST), mit dem die Gesamtverzögerungszeit der Verzögerungseinrichtung (1) über alle Anzapfungen (3) eingestellt wird, überlagert wird.
30
4. Verfahren nach Anspruch 1, 2 oder 3, dadurch gekennzeichnet, dass die Pulse (P) in einem den Anzapfungen (3) vor- und/oder nachgeschalteten, von dem Variationssignal (VS, VS') angesteuerten Verzögerungsglied (4, 5) zusätzlich verzögert werden.
35

5. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass das Variationssignal (VS') ein Rauschsignal ist.
- 5 6. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass für einzelne der Anzapfungen (3) der Verzögerungseinrichtung (1) die Abweichung der Verzögerungszeit von einem Sollwert ermittelt wird und unter Berücksichtigung dieser Abweichung für diese Anzapfungen (3) 10 ein Variationssignal (VS) erzeugt wird, welches die Abweichung zumindest teilweise kompensiert.
7. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass die Abweichung der Verzögerungszeit der einzelnen Anzapfungen (3) von dem jeweiligen 15 Sollwert durch einen Vergleich der Pulse (P) am Ausgang der Verzögerungseinrichtung (1) mit einer Referenzschwingung gleicher Frequenz ermittelt wird.
- 20 8. Verfahren nach Anspruch 7, dadurch gekennzeichnet, dass die Referenzschwingung aus den Pulsen (P) am Ausgang der Verzögerungseinrichtung (1) erzeugt wird.
9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, 25 dass die verzögerten Pulse (P) einem Phasenregelkreis (8) zugeführt werden und das Ausgangssignal (AS) des Phasenregelkreises (8) oder ein davon abgeleitetes Signal als Referenzschwingung verwendet wird.
- 30 10. Verfahren nach Anspruch 8, dadurch gekennzeichnet, dass zur Ermittlung der Abweichungen der Verzögerungszeit einer Anzapfung (3) von dem jeweiligen Sollwert mittels eines Phasenvergleichers (10) der Zeitunterschied zwischen dem verzögerten Puls (P) und dem Ausgangssignal (AS) des Phasenregelkreises (8) gemessen wird. 35

11. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass das für die einzelne Anzapfung (3) ermittelte Variationssignal (VS) oder ein Parameter zur Erzeugung des Variationssignals (VS) in einer Speichereinrichtung (12, 19) hinterlegt wird.

12. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass zwischen den Sollwerten der Verzögerungszeiten zweier Anzapfungen der Verzögerungseinrichtung ein zusätzlicher Verzögerungs-Sollwert festgelegt wird, und für diesen zusätzlichen Sollwert die Abweichung von der Verzögerungszeit einer der benachbarten Anzapfungen ermittelt wird und unter Berücksichtigung dieser Abweichung für die betreffende Anzapfung ein zusätzliches Variationssignal erzeugt wird und gegebenenfalls das zusätzliche Variationssignal oder ein Parameter zur Erzeugung dieses Variationssignals gespeichert wird.

13. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass zur Ermittlung der zu speichernden Variationssignale (VS) oder der Parameter zur Erzeugung der Variationssignale (VS) die Schaltung in einem Abgleichmodus betrieben wird.

14. Verfahren nach Anspruch 13, dadurch gekennzeichnet, dass im Abgleichmodus die Verzögerungseinrichtung (1) mit einer vorgegebenen Steuersignalfolge betrieben wird.

15. Verfahren nach Anspruch 13 oder 14, dadurch gekennzeichnet, dass der Abgleichmodus in regelmäßigen zeitlichen Abständen und/oder nach einer Veränderung der Betriebsbedingungen aktiviert wird.

16. Verfahren nach einem der Ansprüche 13 bis 15, dadurch gekennzeichnet, dass während eines Abgleichs der Variationssignale (VS) oder der Parameter zur Erzeugung der Varia-

tionssignale (VS) die Abgleichsgeschwindigkeit vorübergehend reduziert oder der Abgleich unterbrochen wird.

- 5 17. Verfahren nach einem der Ansprüche 13 bis 16, dadurch gekennzeichnet, dass bei einem Abgleich ein Variations-
signal (VS) oder ein Parameter zur Erzeugung des Variations-
signals (VS) einer bestimmten Anzapfung (3) konstant gehalten
wird und die gespeicherten Variationssignale (VS) oder die
10 Parameter zur Erzeugung der Variationssignale (VS) der ande-
ren Anzapfungen (3) relativ zu dieser bestimmten Anzapfung
(3) abgeglichen werden und/oder ein Maß für die Lage der Wer-
te innerhalb des Stellbereichs bei jeder Speicheraktualisie-
rung berücksichtigt wird.
- 15 18. Schaltung zum Erzeugen eines Signals mit einstellbarer
Frequenz nach einem Verfahren gemäß einem der vorstehenden
Ansprüche,
mit einem Akkumulator, welcher so beschaltet ist, dass er ge-
taktet einen vorgegebenen Zählbereich zyklisch durchläuft,
20 und welcher bei Überschreiten eines bestimmten akkumulierten
Zählwerts jeweils ein Akkumulatorstatussignal liefert,
mit einer Einrichtung zur Erzeugung eines Steuersignals (SS)
bei Auslösung durch das Akkumulatorstatussignal,
mit einer Verzögerungseinrichtung (1) mit mehreren Anzapfun-
25 gen (3), welche jeweils unterschiedliche Verzögerungszeiten
aufweisen, und einer Einrichtung (17) zum Abgriff von jeweils
durch die Verzögerungseinrichtung (1) laufenden Pulsen (P)
an einer in Abhängigkeit von dem Steuersignal (SS) gewählten
Anzapfung (3),
30 gekennzeichnet durch
Mittel (7, 8, 12, 14, 15, 16, 18 bis 25) zur Erzeugung eines
Variationssignals (VS, VS') und Mittel (4, 5, 6) zur Verände-
rung der beim Durchlaufen der gesamten Verzögerungseinrich-
tung (1) auftretenden Verzögerungszeiten der an einer be-
35 stimmten Anzapfung (3) abgegriffenen Pulse in Abhängigkeit
vom Variationssignal (VS, VS').

19. Schaltung nach Anspruch 18, gekennzeichnet durch eine der Verzögerungseinrichtung (1) nachgeschaltete Oszillatorschaltung (8) mit einem abstimmbaren Oszillator (9).
- 5 20. Schaltung nach Anspruch 18 oder 19, dadurch gekennzeichnet, dass die Oszillatorschaltung (8) einen Phasenregelkreis (8) umfasst.
- 10 21. Schaltung nach einem der Ansprüche 18 bis 20, dadurch gekennzeichnet, dass die Mittel zur Veränderung der Verzögerungszeit ein den Anzapfungen (3) vor- und/oder nachgeschaltetes einstellbares Verzögerungsglied (4, 5) umfassen.
- 15 22. Schaltung nach einem der Ansprüche 18 bis 21, dadurch gekennzeichnet, dass die Mittel zur Erzeugung des Variationssignals (VS') einen Rausch- oder Zufallsgenerator (7) umfassen.
- 20 23. Schaltung nach einem der Ansprüche 18 bis 22, gekennzeichnet durch eine Speichereinrichtung (12, 19) mit mehreren den Anzapfungen zugeordneten Speicherstellen (13), zur Speicherung eines Variationssignals (VS) oder eines Parameters zur Erzeugung des Variationssignals (VS) für die einzelnen Anzapfungen (3).
- 25 24. Schaltung nach Anspruch 23, gekennzeichnet durch eine Adresslogik (14, 15, 17) zur Auswahl einer Anzapfung (3) und einer zur jeweiligen Anzapfung gehörigen Speicherstelle (13) der Speichereinrichtung (12, 19) durch das Steuersignal (SS).
- 30 25. Schaltung nach Anspruch 23 oder 24, gekennzeichnet durch einen Regelkreis (AR, DR) mit einem Phasenvergleichler (10) zum Vergleichen der am Ausgang der Verzögerungseinrichtung (1) anliegenden Pulse (P) mit einer Referenzschwingung, 35 der Speichereinrichtung (12, 19) mit mehreren Speicherstellen

(13) und den Mitteln (5) zur Veränderung der Verzögerungszeit.

5 26. Schaltung nach Anspruch 25, dadurch gekennzeichnet, dass der Regelkreis einen analogen Regelkreis (AR) mit einer adressierbaren Speichereinrichtung (12) aufweist.

10 27. Schaltung nach Anspruch 25, dadurch gekennzeichnet, dass der Regelkreis einen digitalen Regelkreis (DR) mit einer digitalen Speichereinrichtung (19) und einem der Speichereinrichtung (19) nachgeschalteten Digital/Analog-Wandler (23) aufweist.

15 28. Schaltung nach einem der Ansprüche 25 bis 27, dadurch gekennzeichnet, dass der Ausgang der Oszillatorschaltung (8) mit einem Referenzeingang des Phasenvergleichers (10) des Regelkreises (AR, DR) direkt oder indirekt verbunden ist.

20 29. Schaltung nach einem der Ansprüche 25 bis 28, dadurch gekennzeichnet, dass der Phasenvergleich (10) des Regelkreises (AR, DR) der Phasenvergleich (10) des Phasenregelkreises (8) der Oszillatorschaltung (8) ist.

25 30. Schaltung nach einem der Ansprüche 18 bis 29, gekennzeichnet durch eine Oszillatorschaltung mit einer veränderlichen Bandbreite und/oder mehrere Oszillatorschaltungen mit unterschiedlichen Bandbreiten.

30 31. Schaltung nach einem der Ansprüche 25 bis 30, gekennzeichnet durch Mittel zur Veränderung der Abgleichgeschwindigkeit und/oder Mittel (18, 21) zur Unterbrechung des Regelkreises (AR, DR) zwischen dem Phasenvergleich (10) und der Speichereinrichtung (12, 19).

FIG 1

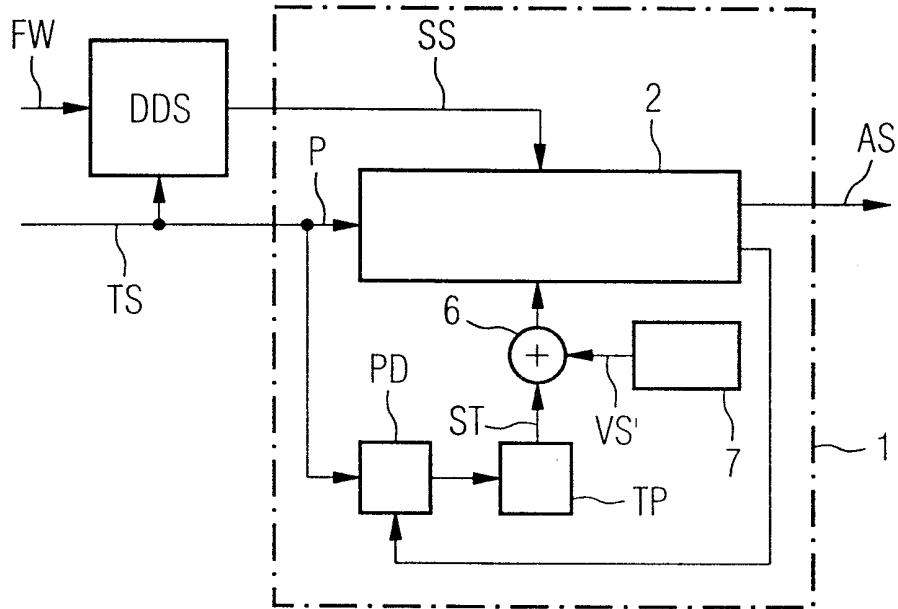


FIG 2

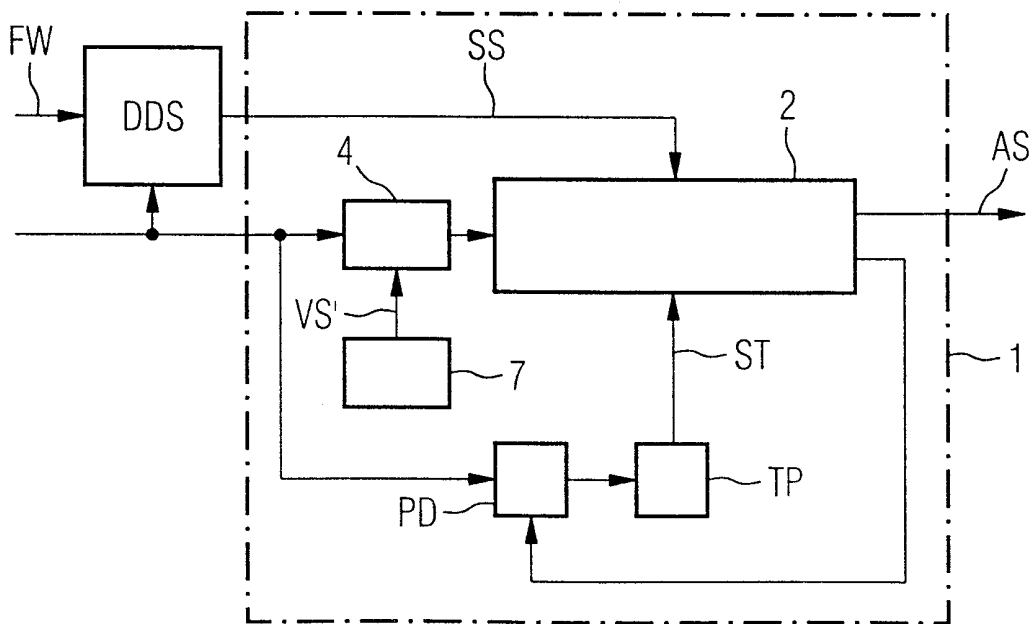


FIG 3

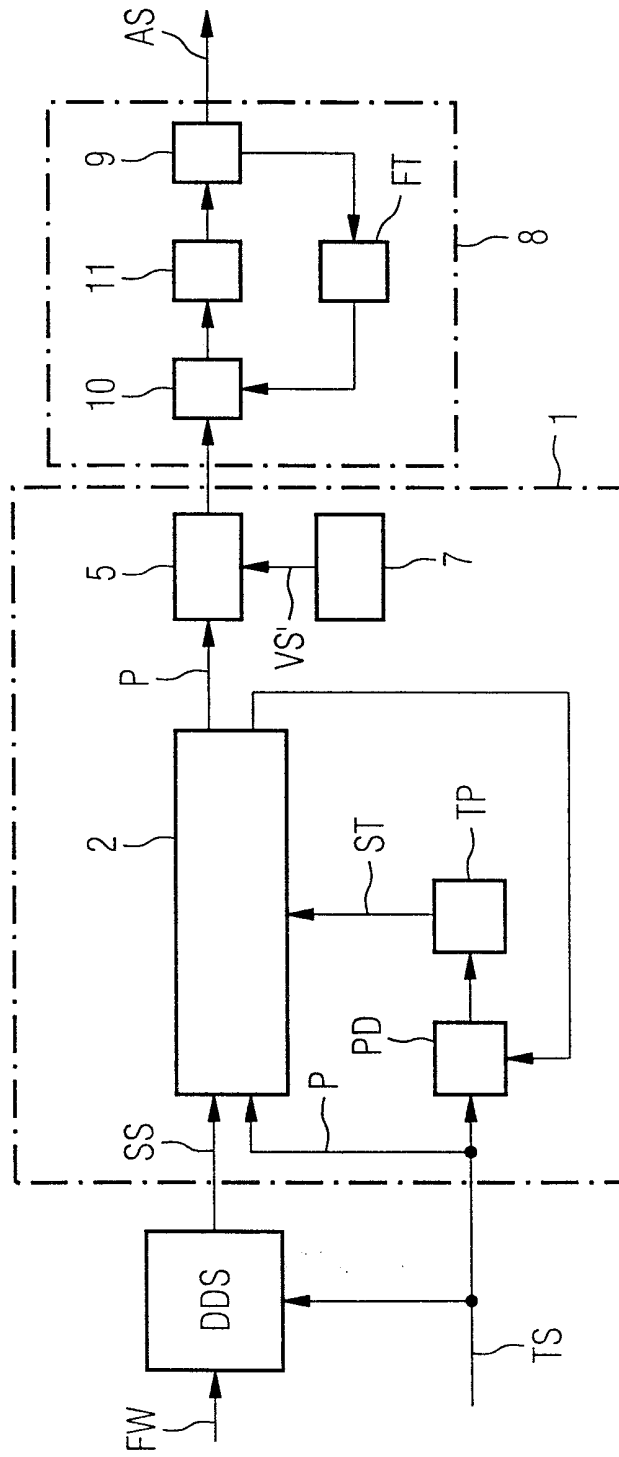


FIG 4

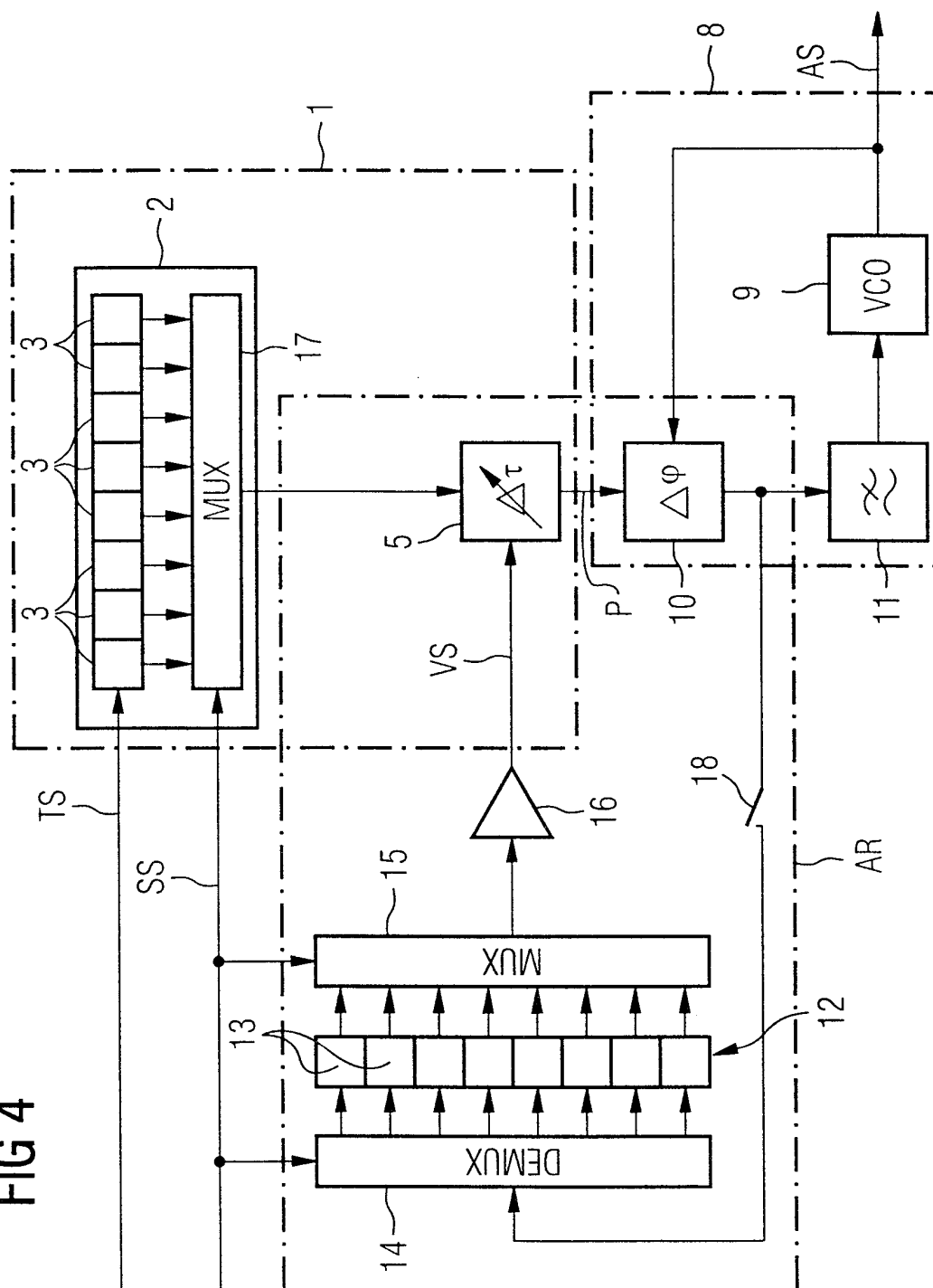
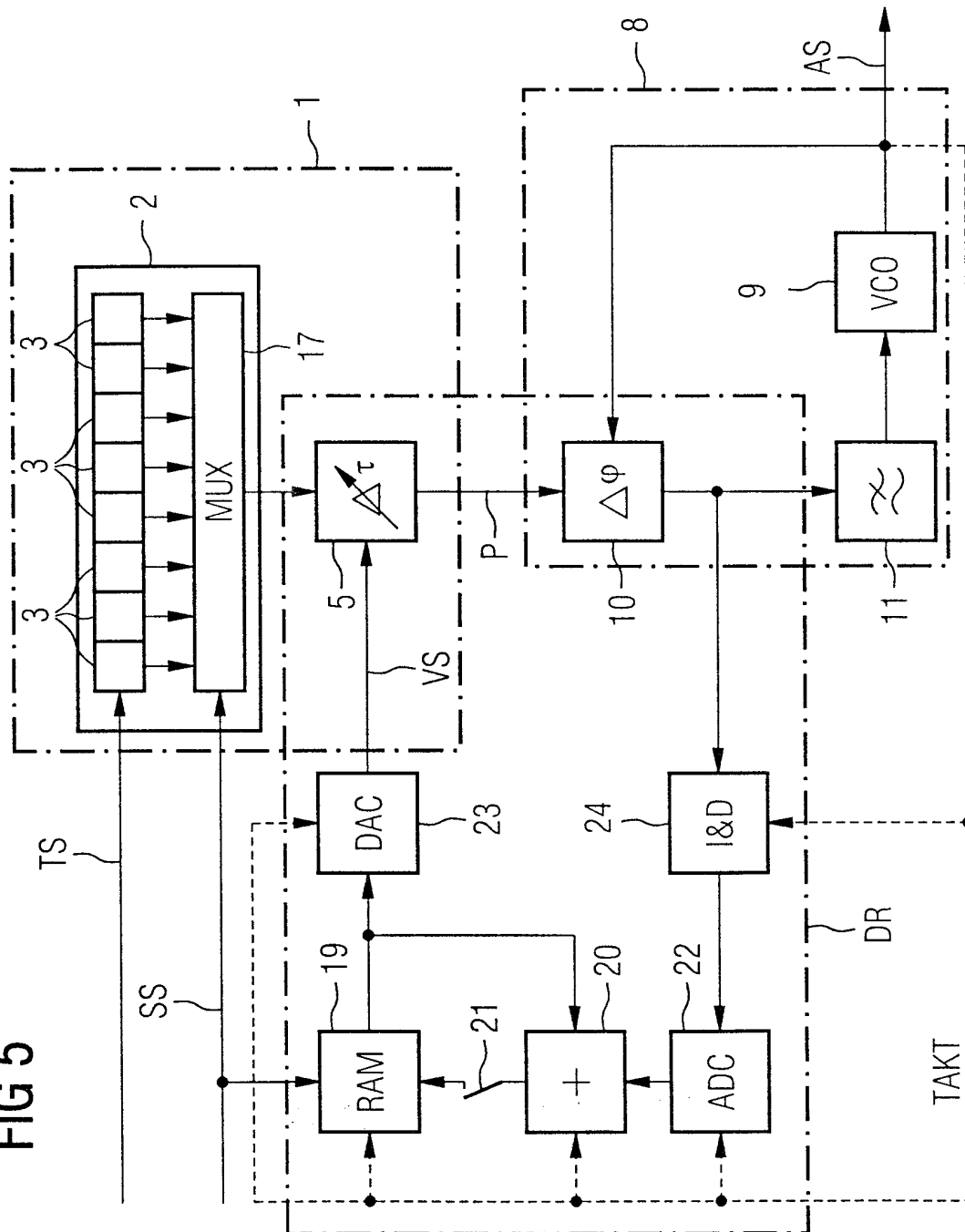


FIG 5



INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 00/00573

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H03B28/00		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 H03B H03K H03L G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	DE 38 43 262 A (ANT NACHRICHTENTECHNIK) 28 June 1990 (1990-06-28) column 2, line 22 -column 3, line 23; figure 2 ---	1, 18
A	US 4 652 832 A (S. JASPER) 24 March 1987 (1987-03-24) column 3, line 43 -column 6, line 26; figures 2,4 ---	1, 18
A	EP 0 338 742 A (HUGHES AIRCRAFT CO.) 25 October 1989 (1989-10-25) page 4, line 30 -page 7, line 6; figure 2 ---	1, 18
A	US 5 656 976 A (Y. JUNG) 12 August 1997 (1997-08-12) column 2, line 56 -column 3, line 26; figure 2 -----	1, 18
<input type="checkbox"/> Further documents are listed in the continuation of box C.		
<input checked="" type="checkbox"/> Patent family members are listed in annex.		
° Special categories of cited documents :		
"A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family
Date of the actual completion of the international search <p style="text-align: center; font-weight: bold;">17 May 2000</p>	Date of mailing of the international search report <p style="text-align: center; font-weight: bold;">24/05/2000</p>	
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Authorized officer <p style="text-align: center; font-weight: bold;">Butler, N</p>	

INTERNATIONAL SEARCH REPORT

Information on patent family members

Int. .tional Application No

PCT/DE 00/00573

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
DE 3843262 A	28-06-1990	NONE	
US 4652832 A	24-03-1987	NONE	
EP 338742 A	25-10-1989	US 4951237 A IL 89846 A JP 2063305 A JP 2659022 B	21-08-1990 15-07-1992 02-03-1990 30-09-1997
US 5656976 A	12-08-1997	KR 9616812 B	21-12-1996

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 00/00573

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H03B28/00

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H03B H03K H03L G06F

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	DE 38 43 262 A (ANT NACHRICHTENTECHNIK) 28. Juni 1990 (1990-06-28) Spalte 2, Zeile 22 -Spalte 3, Zeile 23; Abbildung 2	1,18
A	US 4 652 832 A (S. JASPER) 24. März 1987 (1987-03-24) Spalte 3, Zeile 43 -Spalte 6, Zeile 26; Abbildungen 2,4	1,18
A	EP 0 338 742 A (HUGHES AIRCRAFT CO.) 25. Oktober 1989 (1989-10-25) Seite 4, Zeile 30 -Seite 7, Zeile 6; Abbildung 2	1,18
	--- -/--	

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

17. Mai 2000

Absenddatum des internationalen Recherchenberichts

24/05/2000

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Butler, N

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 00/00573

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 5 656 976 A (Y. JUNG) 12. August 1997 (1997-08-12) Spalte 2, Zeile 56 -Spalte 3, Zeile 26; Abbildung 2 -----	1,18

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 00/00573

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
DE 3843262	A	28-06-1990	KEINE	
US 4652832	A	24-03-1987	KEINE	
EP 338742	A	25-10-1989	US 4951237 A	21-08-1990
			IL 89846 A	15-07-1992
			JP 2063305 A	02-03-1990
			JP 2659022 B	30-09-1997
US 5656976	A	12-08-1997	KR 9616812 B	21-12-1996