

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2012年10月4日(04.10.2012)



(10) 国際公開番号  
WO 2012/132221 A1

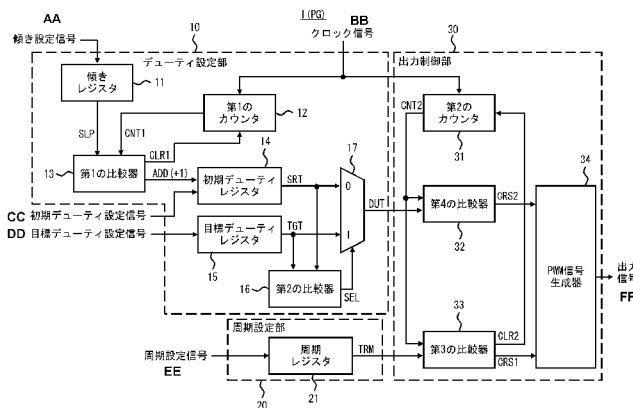
- (51) 国際特許分類:  
H02M 3/155 (2006.01)
- (21) 国際出願番号: PCT/JP2012/001287
- (22) 国際出願日: 2012年2月24日(24.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2011-070437 2011年3月28日(28.03.2011) JP
- (71) 出願人(米国を除く全ての指定国について): ルネサスエレクトロニクス株式会社(Renesas Electronics Corporation) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部1753番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 藤原 泰幸 (FUJIWARA, Yasuyuki) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP).
- (74) 代理人: 家入 健(IEIRI, Takeshi); 〒2210835 神奈川県横浜市神奈川区鶴屋町三丁目33番8 アサヒビルディング10階 響国際特許事務所 Kanagawa (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: PWM SIGNAL GENERATING CIRCUIT AND PROCESSOR SYSTEM

(54) 発明の名称: PWM信号生成回路及びプロセッサシステム

【図3】



- AA Slope setting signal
- BB Clock signal
- CC Initial duty setting signal
- DD Target duty setting signal
- EE Period setting signal
- FF Output signal
- 10 Duty setting unit
- 11 Slope register
- 12 First counter
- 13 First comparator
- 14 Initial duty register
- 15 Target duty register
- 16 Second comparator
- 20 Period setting unit
- 21 Period register
- 30 Output control unit
- 31 Second counter
- 32 Fourth comparator
- 33 Third comparator
- 34 PWM signal generator

(57) Abstract: A PWM signal generating circuit comprises: a duty setting unit (10) that generates a duty control signal, which designates a duty ratio per period of a PWM signal, on the basis of an initial duty value, a target duty value, a clock signal and a slope setting signal that designates a slope setting value designating a slope at which the initial duty value reaches the target duty value; a period setting unit (20) that outputs a period setting value indicating the length of one period of the PWM signal; and an output control unit (30) that generates, on the basis of the clock signal, the PWM signal the period of which is in accordance with the period setting value and the duty ratio of which is in accordance with the value of the duty control signal. The duty setting unit (10) increases the initial duty value up to the target duty value each time the number of times, at each of which the number of clocks of the clock signal reaches the period setting value, reaches the slope setting value.

(57) 要約:

[続葉有]

WO 2012/132221 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 国際調査報告 (条約第 21 条(3))

---

本発明のPWM信号生成回路は、初期デューティ値と、目標デューティ値と、初期デューティ値が目標デューティ値に至るまでの傾きを指定する傾き設定値を指定する傾き設定信号と、クロック信号と、に基づきPWM信号の1周期毎のデューティ比を指定するデューティ制御信号を生成するデューティ設定部(10)と、PWM信号の1周期の長さを示す周期設定値を出力する周期設定部(20)と、周期設定値に応じた周期とデューティ制御信号の値に応じたデューティ比のPWM信号をクロック信号に基づき生成する出力制御部(30)と、を有し、デューティ設定部(10)は、クロック信号のクロック数が周期設定値に達した回数が傾き設定値に達する毎に初期デューティ値を目標デューティ値まで増加させる。

## 明 細 書

発明の名称：PWM信号生成回路及びプロセッサシステム

### 技術分野

[0001] 本発明はPWM信号生成回路及びプロセッサシステムに関し、特にPWM信号のデューティを徐々に大きくするソフトスタート機能を有するPWM信号生成回路及びプロセッサシステムに関する。

### 背景技術

[0002] 近年、様々な回路でPWM (Pulse Width Modulation) 信号が多く用いられている。例えば、スイッチング電源回路では、PWM信号を用いてスイッチング動作を行う。このとき、PWM信号のパルス幅を可変することでスイッチング電源回路が生成する出力電圧の電圧レベルを制御することができる。ここで、スイッチング電源回路においてPWM信号を用いる場合に、PWM信号の開始時点のデューティ比を小さく設定し、時間の経過と共にデューティ比を大きくするソフトスタート制御を行うと、出力電圧の立ち上がり波形を整形する事ができる。

[0003] このようにソフトスタート制御を用いてPWM信号を生成するPWM信号生成回路について多くの提案がなされている。このようなPWM信号生成回路の一例が特許文献1に開示されている。特許文献1に開示されているスイッチング電源のソフトスタート方法では、スイッチング電源回路の出力電圧 $V_{OUT}$ の電圧レベルをモニタしながら生成するPWM信号のデューティ比を徐々に大きくする。しかしながら、特許文献1に記載のスイッチング電源のソフトスタート方法では、基準電圧 $V_{ref}$ と出力電圧 $V_{OUT}$ との差分を常時計算しなければならず、プロセッサの演算処理によりこの差分計算を行うとした場合、プロセッサに高い演算能力が必要になる問題がある。

[0004] そこで、スイッチング電源回路等の制御対象回路の出力電圧をモニタすることなくPWM信号のソフトスタート制御を実現するPWM信号生成回路が特許文献2、3に開示されている。

[0005] 特許文献2では、論理回路に対して各種設定信号を与えてPWM信号を生成する（特許文献2の図1～図3）。このとき、特許文献2では、特許文献2の図7に示す回路によりソフトスタート制御を実現する。特許文献2の図7に示す回路は、動作開始直後は、DF F 5の出力値を”0 H”とし信号E N 1を”L”とする。出力値”0 H”及び信号P M 1 O N Sの”L”によりゲート6 1 2の出力は”H”となり、DF F 5の出力値”0 H”を”1 H”に変更してC B 1 5に送り、装置内部でオン幅が”1 H”であるのと同様の演算を行う。信号P M 1は”L”から”H”に変化するが信号E N 1は”L”なのでゲート2 0 5により信号P W M 1は”L”を維持する。信号P M 1 O N Sの”H”、信号R D W N 1の”L”により、DF F 5の出力値は”0 H”のままC B 1 5に入力される。その後所定の演算を経てDF F 5のレジスタ値は”1 H”に更新され、オン幅出力制御部6 1の信号E N 1も”H”に変化しPWM信号が出力される。

[0006] また、特許文献3では、スイッチング電源のソフトスタート回路が開示されている。このソフトスタート回路は、三角波発生回路と誤差増幅器とPWMコンパレータを有し、通常時は該PWMコンパレータにより該三角波発生回路の三角波振幅出力と基準（比較）電圧としての該誤差増幅器の出力電圧を比較してPWMパルスを得るスイッチング電源において、電源起動時に前記三角波発生回路の三角波振幅の上／下限値を設定する抵抗網とスイッチから成る上／下限値設定部と同じ手段を用いた抵抗網群とスイッチ群のソフトスタート基準値設定部と、該スイッチ群の切り換えのための三角波発生回路の三角波周期を計数して複数の任意のソフトスタート時間を得る計数回路とを有する。

## 先行技術文献

### 特許文献

[0007] 特許文献1：特開2004-297985号公報

特許文献2：特開平9-74737号公報

特許文献3：特開2002-218737号公報

### 発明の概要

## 発明が解決しようとする課題

[0008] 上述したように、特許文献2、3では、スイッチング電源等の出力電圧をモニタすることなくPWM信号のソフトスタート制御を実現することができる。しかしながら、特許文献2の図11、あるいは、特許文献3の図6を参照すると、特許文献2、3では、いずれもPWM信号の生成処理を開始してから、実際にPWM信号が出力されるまでに所定の時間を要する（例えば、特許文献2の図11のタイミングt4までの期間、特許文献3の図6の期間tsoft1）。すなわち、特許文献2、3では、PWM信号の生成開始後に即座にPWM信号を出力することができず、PWM信号の供給先の回路を停止状態から動作状態への切り換えタイミングを最適制御できない問題（例えば、動作状態への移行タイミングが制限される等）がある。

## 課題を解決するための手段

[0009] 本発明にかかるPWM信号生成回路の一態様は、PWM信号を生成するPWM信号生成回路であって、前記PWM信号の生成開始時の初期デューティ比の値を指定する初期デューティ設定信号と、前記PWM信号の目標デューティ比の値を指定する目標デューティ設定信号と、前記初期デューティ比が前記目標デューティ比に至るまでのデューティ比の変化率を指定する傾き設定値を指定する傾き設定信号と、クロック信号と、に基づき前記PWM信号の1周期毎のデューティ比を指定するデューティ制御信号を生成するデューティ設定部と、周期設定信号に基づき前記PWM信号の1周期の長さを示す周期設定値を出力する周期設定部と、前記周期設定値に応じた周期と前記デューティ制御信号の値に応じたデューティ比の前記PWM信号を前記クロック信号に基づき生成する出力制御部と、を有し、前記デューティ設定部は、前記クロック信号のクロック数が前記周期設定値に達した回数が前記傾き設定値に達する毎に前記初期デューティの値を前記目標デューティ比の値まで増加させる。

[0010] 本発明にかかるプロセッサシステムの一態様は、外部に設けられた制御対象回路にPWM信号を出力するプロセッサシステムであって、前記プロセッサ

システムで用いられるプログラム及び設定値を格納するメモリと、PWM信号生成ユニットと、演算コアと、を有し、前記PWM信号生成ユニットは、前記PWM信号の生成開始時の初期デューティ比の値を指定する初期デューティ設定信号と、前記PWM信号の目標デューティ比の値を指定する目標デューティ設定信号と、前記初期デューティ比が前記目標デューティ比に至るまでのデューティ比の変化率を指定する傾き設定値を指定する傾き設定信号と、クロック信号と、に基づき前記PWM信号の1周期毎のデューティ比を指定するデューティ制御信号を生成するデューティ設定部と、周期設定信号に基づき前記PWM信号の1周期の長さを示す周期設定値を出力する周期設定部と、前記周期設定値に応じた周期と前記デューティ制御信号の値に応じたデューティ比の前記PWM信号を前記クロック信号に基づき生成する出力制御部と、を有し、前記デューティ設定部は、前記クロック信号のクロック数が前記周期設定値に達した回数が前記傾き設定値に達する毎に前記初期デューティ比の値を前記目標デューティ比の値まで増加させ、前記演算コアは、前記プログラム及び前記設定値を読み出して前記初期デューティ設定信号、前記目標デューティ設定信号、前記傾き設定信号及び前記周期設定信号を生成して、前記PWM信号生成ユニットに与える。

[0011] 本発明にかかるPWM信号生成回路及びプロセッサシステムでは、それぞれが固定的な値を示す初期デューティ設定信号、目標デューティ設定信号、傾き設定信号及び周期設定信号に基づき、PWM信号を生成する。これにより、本発明にかかる本発明にかかるPWM信号生成回路及びプロセッサシステムでは、PWM信号の生成を開始した直後からPWM信号を生成可能になる。また、本発明にかかるPWM信号生成回路及びプロセッサシステムでは、クロック信号に基づきPWM信号を生成する。このとき、本発明にかかるPWM信号生成回路及びプロセッサシステムでは、このクロック信号に基づき初期デューティ比の値を更新する。これにより、本発明にかかるPWM信号生成回路及びプロセッサシステムでは、PWM信号の生成開始後にデューティ比を時間と共に変化させ、ソフトスタート制御を行うことが可能になる。

## 発明の効果

[0012] 本発明にかかるPWM信号生成回路及びプロセッサシステムによれば、ソフトスタート制御されたPWM信号を生成処理の開始直後から出力することができる。

## 図面の簡単な説明

[0013] [図1]本発明が適用されるプロセッサシステムのブロック図である。

[図2A]図1に示したプロセッサシステムにより制御される電源回路の例を示す回路図である。

[図2B]図1に示したプロセッサシステムにより制御される電源回路の例を示す回路図である。

[図2C]図1に示したプロセッサシステムにより制御される電源回路の例を示す回路図である。

[図2D]図1に示したプロセッサシステムにより制御される電源回路の例を示す回路図である。

[図3]実施の形態1にかかるPWM信号生成回路のブロック図である。

[図4]実施の形態1にかかるPWM信号生成回路の動作を示すタイミングチャートである。

[図5]実施の形態1にかかるPWM信号生成回路で用いられる初期デューティ値及び目標デューティ値と、電源回路の出力電圧との関係を示す第1のタイミングチャートである。

[図6]実施の形態1にかかるPWM信号生成回路で用いられる初期デューティ値及び目標デューティ値と、電源回路の出力電圧との関係を示す第2のタイミングチャートである。

[図7]実施の形態1にかかるPWM信号生成回路で用いられる初期デューティ値及び目標デューティ値と、電源回路の出力電圧との関係を示す第3のタイミングチャートである。

[図8]実施の形態1にかかるPWM信号生成回路で用いられる傾き設定値と、電源回路の出力電圧との関係を示す第4のタイミングチャートである。

[図9]実施の形態1にかかるPWM信号生成回路で用いられる傾き設定値と、電源回路の出力電圧との関係を示す第5のタイミングチャートである。

[図10]実施の形態2にかかるPWM信号生成回路のブロック図である。

[図11]実施の形態2において用いられる出力モニタユニットの第1の例の詳細なブロック図である。

[図12]実施の形態2において用いられる出力モニタユニットの第2の例の詳細なブロック図である。

[図13]図11で示した出力モニタユニットを用いた出力電圧検出結果を示す第1のタイミングチャートである。

[図14]図11で示した出力モニタユニットを用いた出力電圧検出結果を示す第2のタイミングチャートである。

[図15]図11で示した出力モニタユニットを用いた出力電圧検出結果を示す第3のタイミングチャートである。

[図16]実施の形態2において説明するソフトスタート制御における設定の設定手順を示すフローチャートである。

[図17]実施の形態3にかかるPWM信号生成回路のブロック図である。

[図18]実施の形態3にかかるPWM信号生成回路により生成されるPWM信号及び当該PWM信号に基づき電源回路が生成する出力電圧を示すタイミングチャートである。

[図19]実施の形態4にかかるPWM信号生成回路のブロック図である。

## 発明を実施するための形態

### [0014] 実施の形態1

以下、図面を参照して本発明の実施の形態について説明する。

[0015] まず、本発明の詳細な実施の形態を説明する前に、本発明が適用されるプロセッサシステムの概要について説明する。なお、本発明は、以下で説明するプロセッサシステムに適用されるものではあるが、説明するプロセッサシステムは一例であり、他のプロセッサシステムに本発明を適用することも可能である。

[0016] 本発明が適用されるプロセッサシステムMCUの概略図を図1に示す。図1に示すように、本発明にかかるプロセッサシステムMCUは、メモリMEM、演算コアPE、クロック生成ユニットCG、PWM信号生成ユニットPG、出力モニタユニットMON、IOユニットIOU、周辺回路PERIを有する。なお、図1では、プロセッサシステムMCUにより制御される制御対象回路PWRを示した。この制御対象回路PWRは、例えば、電源回路であり、PWM信号生成ユニットPGにより生成されるPWM信号に基づき電源電圧を昇圧した昇圧電圧、あるいは、電源電圧を降圧した降圧電圧を生成し、生成した電圧を他の回路に供給する電源とする。

[0017] メモリMEMは、プロセッサシステムMCUにより用いられるプログラム及びプロセッサシステムMCUを動作させるために用いられる設定値等が格納される。演算コアPEは、メモリMEMに格納されたプログラム又は外部から読み込んだプログラムに基づくプロセッサシステムMCUに求められる具体的な処理を行う。クロック生成ユニットCGは、プロセッサシステムMCU内の各回路ブロックで利用されるクロック信号を生成する。また、クロック生成ユニットCGで生成されたクロック信号は、外部に出力されても良い。なお、プロセッサシステムMCU内で利用されるクロック信号は、外部の回路から供給することも可能である。

[0018] PWM信号生成ユニットPGは、外部に出力するPWM信号を生成する。このPWM信号生成ユニットPGは、例えば、プロセッサシステムMCUのタイマ機能を利用することで実現することもできる。また、PWM信号生成ユニットPGは、タイマ機能とは別の機能回路として実装されていても良い。

[0019] 出力モニタユニットMONは、外部回路のノードの電圧をモニタする。そして、出力モニタユニットMONは、アナログ値を有する電圧をデジタル値に変換する。出力モニタユニットMONは、プロセッサシステムMCU内に外部から得られた電圧値の電圧レベルをデジタル値として伝達する。図1の例では、外部に設けられた電源回路の出力電圧をモニタし、当該出力電圧レ

ベルに応じたデジタル値をプロセッサシステムMCUに取り込むことができる。この出力モニタユニットMONは、アナログデジタル変換器（例えば、ADC（Analog Digital Converter））、コンパレータ回路等のアナログ値をデジタル値に変換可能な回路により構成することができる。

[0020] IOユニットIOUは、外部に設けられた回路との間で通信を行い、プロセッサシステムMCUに対する制御信号等の受信、あるいは、プロセッサシステムMCUの処理結果の送信等を行う。IOユニットIOUの具体的な例としては、SPIユニット、UARTユニット等が考えられる。なお、SPIユニットは、3線又は4線のシリアル通信であるSPI（System Packet Interface）規格の通信を行う。また、UART（Universal Asynchronous Receiver Transmitter）ユニットは、調歩同期方式によるシリアル信号をパラレル信号に変換し、また、その逆方向の変換を行う。

[0021] 周辺回路PERIは、上述した回路ブロック以外の回路であって、演算コアPEにより利用される回路ブロックを含む。周辺回路PERIとしては、例えば、タイマユニット、ウォッチドッグタイマユニット、DMA（Direct Memory Access）ユニット、低電圧検出ユニット、パワーオンリセット（POR）ユニット等が考えられる。

[0022] なお、本発明が適用されるプロセッサシステムMCUでは、演算コアPE、メモリMEM、PWM信号生成ユニットPG、PWM信号生成ユニットPG、出力モニタユニットMON、IOユニットIOU、周辺回路PERIがバスにより相互により接続される構成となっている。また、図示してはいないが、プロセッサシステムMCUには、他の回路から電源が供給される。ここまで説明したプロセッサシステムMCUは、本発明が適用されるプロセッサシステムの一例を示したものであり、例えば、メモリMEMに格納するプログラム及びデータはシステムの仕様により適宜変更可能である。また、回路ブロック間の接続は、例えば、複数のバスを介して接続される構成であっても良く、バスを介さずに演算コアPEと、他の回路ブロックと、が直接接続される構成であっても良い。

[0023] プロセッサシステムMCUは、PWM信号を生成し、制御対象回路PWRに与えることができる。そして、プロセッサシステムMCUは、このPWM信号のデューティ、あるいは、PWM信号の生成タイミング等を制御対象回路中のノードの電圧、他の回路から与えられる制御信号等により制御することができる。そこで、プロセッサシステムMCUが生成するPWM信号の利用形態を明確にするために制御対象回路PWRの一例である電源回路について説明する。以下で説明する電源回路は、負荷回路としてLED (Light Emitting Diode) を駆動するが、負荷回路は、LEDに限らず、一般的な回路であても良い。

[0024] 図2A～図2DにLEDを駆動する電源回路の例を示す。なお、図2A～図2Dでは、電源回路にPWRの符号を付す。また、図2A～図2Dで示す電源回路PWRでは、スイッチング動作を行う出力トランジスタにNMOSトランジスタを用いるが、この出力トランジスタは、PMOSトランジスタで構成することもでき、また、PNPトランジスタ或いはNPNトランジスタで構成することもできる。

[0025] 図2Aに示す電源回路PWRは、降圧型の電源回路である。電源回路PWRは、NMOSトランジスタOM、インダクタL、ダイオードDi、コンデンサC、抵抗Rmを有する。NMOSトランジスタOMのドレインは入力電圧Vinが与えられる電源端子に接続され、ソースはダイオードDiのカソードに接続される。また、NMOSトランジスタOMのゲートにはPWM信号が与えられ、NMOSトランジスタOMはPWM信号の電圧レベルに応じてスイッチング動作を行う。ダイオードDiのアノードは、接地端子に接続される。NMOSトランジスタOMのソースとダイオードDiのカソードとの間のノードには、インダクタLの一端が接続される。インダクタLの他端と接地端子との間にはコンデンサCが接続される。そして、コンデンサCの一端とインダクタLの他端との間のノードにコンデンサCに蓄積された電荷量に応じた出力電圧VOUTが生成される。また、コンデンサCに蓄積された電荷は出力電流IOUTとしてLEDに供給される。また、LEDのカソ

ードと接地端子との間には、抵抗 $R_m$ が接続される。この抵抗 $R_m$ には、LEDに流れる出力電流 $I_{OUT}$ が流れる。つまり、抵抗 $R_m$ の両端には、出力電流 $I_{OUT}$ と抵抗 $R_m$ の抵抗値とに応じた電圧が生じる。この電圧は、出力電流モニタ電圧としてプロセッサシステムMCUの出力モニタユニットMONに与えられる。そして、プロセッサシステムMCUは、出力電流モニタ電圧の電圧レベルが一定になるようなデューティ比、あるいは、周波数を有するPWM信号を生成する。つまり、図2Aに示す電源回路PWRを用いた場合、プロセッサシステムMCUと電源回路PWRは、LEDを定電流で駆動する回路を構成する。

[0026] 図2Bに示す電源回路PWRは、昇圧型の電源回路である。電源回路PWRは、NMOSトランジスタOM、インダクタL、ダイオードDi、コンデンサC、抵抗 $R_m$ を有する。インダクタの一端は、入力電圧 $V_{in}$ が与えられる電源端子に接続される。NMOSトランジスタOMのドレインはインダクタLの他端に接続され、ソースは接地端子に接続される。また、NMOSトランジスタOMのゲートにはPWM信号が与えられ、NMOSトランジスタOMはPWM信号の電圧レベルに応じてスイッチング動作を行う。ダイオードDiのアノードは、インダクタLの他端とNMOSトランジスタOMのドレインとの間のノードに接続される。ダイオードDiのカソードと接地端子との間にはコンデンサCが接続される。そして、コンデンサCの一端とダイオードDiのカソードとの間のノードにコンデンサCに蓄積された電荷量に応じた出力電圧 $V_{OUT}$ が生成される。また、コンデンサCに蓄積された電荷は出力電流 $I_{OUT}$ としてLEDに供給される。また、LEDのカソードと接地端子との間には、抵抗 $R_m$ が接続される。この抵抗 $R_m$ には、LEDに流れる出力電流 $I_{OUT}$ が流れる。つまり、抵抗 $R_m$ の両端には、出力電流 $I_{OUT}$ と抵抗 $R_m$ の抵抗値とに応じた電圧が生じる。この電圧は、出力電流モニタ電圧としてプロセッサシステムMCUの出力モニタユニットMONに与えられる。そして、プロセッサシステムMCUは、出力電流モニタ電圧の電圧レベルが一定になるようなデューティ比、あるいは、周波数を有

するPWM信号を生成する。つまり、図2Bに示す電源回路PWRを用いた場合、プロセッサシステムMCUと電源回路PWRは、LEDを定電流で駆動する回路を構成する。

[0027] 図2Cに示す電源回路PWRは、降圧型の電源回路である。電源回路PWRは、NMOSトランジスタOM、インダクタL、ダイオードDi、コンデンサC、抵抗Rm1、Rm2を有する。NMOSトランジスタOMのドレインは入力電圧Vinが与えられる電源端子に接続され、ソースはダイオードDiのカソードに接続される。また、NMOSトランジスタOMのゲートにはPWM信号が与えられ、NMOSトランジスタOMはPWM信号の電圧レベルに応じてスイッチング動作を行う。ダイオードDiのアノードは、接地端子に接続される。NMOSトランジスタOMのソースとダイオードDiのカソードとの間のノードには、インダクタLの一端が接続される。インダクタLの他端と接地端子との間にはコンデンサCが接続される。そして、コンデンサCの一端とインダクタLの他端との間のノードにコンデンサCに蓄積された電荷量に応じた出力電圧VOUTが生成される。また、コンデンサCに蓄積された電荷は出力電流IOUTとしてLEDに供給される。また、LEDと並列するように、抵抗Rm1、Rm2が直列に接続される。つまり、抵抗Rm1、Rm2の両端には、LEDの両端に印加される出力電圧VOUTが与えられる。そして、出力電圧VOUTを2つの抵抗の抵抗比により分圧した出力電圧モニタ電圧を抵抗Rm1と抵抗Rm2の間のノードから出力する。この電圧は、出力電圧モニタ電圧としてプロセッサシステムMCUの出力モニタユニットMONに与えられる。そして、プロセッサシステムMCUは、出力電圧モニタ電圧の電圧レベルが一定になるようなデューティ比、あるいは、周波数を有するPWM信号を生成する。つまり、図2Cに示す電源回路PWRを用いた場合、プロセッサシステムMCUと電源回路PWRは、LEDを定電圧で駆動する回路を構成する。

[0028] 図2Dに示す電源回路PWRは、昇圧型の電源回路である。電源回路PWRは、NMOSトランジスタOM、インダクタL、ダイオードDi、コンデ

ンサC、抵抗 $R_{m1}$ 、 $R_{m2}$ を有する。インダクタの一端は、入力電圧 $V_{in}$ が与えられる電源端子に接続される。NMOSトランジスタOMのドレインはインダクタLの他端に接続され、ソースは接地端子に接続される。また、NMOSトランジスタOMのゲートにはPWM信号が与えられ、NMOSトランジスタOMはPWM信号の電圧レベルに応じてスイッチング動作を行う。ダイオード $D_i$ のアノードは、インダクタLの他端とNMOSトランジスタOMのドレインとの間のノードに接続される。ダイオード $D_i$ のカソードと接地端子との間にはコンデンサCが接続される。そして、コンデンサCの一端とダイオード $D_i$ のカソードとの間のノードにコンデンサCに蓄積された電荷量に応じた出力電圧 $V_{OUT}$ が生成される。また、コンデンサCに蓄積された電荷は出力電流 $I_{OUT}$ としてLEDに供給される。また、LEDと並列するように、抵抗 $R_{m1}$ 、 $R_{m2}$ が直列に接続される。つまり、抵抗 $R_{m1}$ 、 $R_{m2}$ の両端には、LEDの両端に印加される出力電圧 $V_{OUT}$ が与えられる。そして、出力電圧 $V_{OUT}$ を2つの抵抗の抵抗比により分圧した出力電圧モニタ電圧を抵抗 $R_{m1}$ と抵抗 $R_{m2}$ の間のノードから出力する。この電圧は、出力電圧モニタ電圧としてプロセッサシステムMCUの出力モニタユニットMONに与えられる。そして、プロセッサシステムMCUは、出力電圧モニタ電圧の電圧レベルが一定になるようなデューティ比、あるいは、周波数を有するPWM信号を生成する。つまり、図2Dに示す電源回路PWRを用いた場合、プロセッサシステムMCUと電源回路PWRは、LEDを定電圧で駆動する回路を構成する。

[0029] 上記したプロセッサシステムMCUの説明は、本発明が適用されるプロセッサシステムの全体的な構成を説明するためのものである。しかし、本発明の実施の形態の説明では、上記のプロセッサシステムMCUの説明において説明しなかった構成要素についても適宜追加する。また、追加した当該構成要素についての説明も加える。

[0030] 本発明は、プロセッサシステムMCUのPWM信号生成ユニットPGに特徴の一つを有する。そこで、図3にPWM信号生成ユニットPGに含まれる

PWM信号生成回路1のブロック図を示す。図3に示すように、PWM信号生成回路1は、デューティ設定部10、周期設定部20、出力制御部30を有する。また、PWM信号生成回路1には、クロック信号、初期デューティ設定信号、目標デューティ設定信号、傾き設定信号及び周期設定信号が入力される。初期デューティ設定信号、目標デューティ設定信号、傾き設定信号及び周期設定信号は、本実施の形態では、プロセッサシステムMCUの演算コアPEから与えられるものとするが、他の回路から与えられるものであっても良い。

[0031] 初期デューティ設定信号は、PWM信号の生成開始時の初期デューティ比の値を指定する。目標デューティ設定信号は、PWM信号の目標デューティ比の値を指定する。傾き設定信号は、初期デューティ比から前記目標デューティ比に至るまでのデューティ比の変化率を指定する傾き設定値を指定する。

[0032] デューティ設定部10は、初期デューティ設定信号、目標デューティ設定信号及び傾き設定信号に基づきPWM信号の1周期毎のPWM信号のデューティ比を指定するデューティ制御信号DUTを生成する。このとき、デューティ設定部10は、クロック信号のクロック数が周期設定信号の値に達した回数が傾き設定信号の値に達する毎に初期デューティ比の値を目標デューティ比の値まで増加させる。本実施の形態では、クロック信号のクロック数が周期設定信号の値に達した回数は、後述する周期開始信号CRS1のパルス数をカウントすることで得る。

[0033] より具体的には、デューティ設定部10は、第1のカウンタ12、第1の比較器13、第2の比較器16、選択回路17を有する。さらに、デューティ設定部10は、傾きレジスタ11、初期デューティレジスタ14、目標デューティレジスタ15を有する。傾きレジスタ11は、傾き設定信号により与えられる傾き設定値SLPを格納する。初期デューティレジスタ14は、初期デューティ設定信号により与えられる初期デューティ比の値（以下、初期デューティ値SRTと称す）を格納する。目標デューティレジスタ15は

、目標デューティ設定信号により与えられる目標デューティ比の値（以下、目標デューティ値TGTと称す）を格納する。

[0034] 第1のカウンタ12は、クロック信号のクロック数が周期設定信号の値に達した回数すなわち周期開始信号CRS1のパルス数をカウントして第1のカウント値CNT1を生成する。第1の比較器13は、第1のカウント値CNT1が傾き設定値に達したことに応じて、第1のカウント値CNT1をカウント開始値にリセットすると共に、初期デューティ比の値を増加させる。より具体的には、第1の比較器13は、第1のカウント値CNT1が傾き設定値に達したことに応じて、第1のカウンタ12に与える第1のリセット信号CLR1をアサートする。そして、第1のカウンタ12は、第1のリセット信号CLR1がアサートされたことに応じて第1のカウント値CNT1をカウント開始値（例えば、1）にリセットする。また、第1の比較器13は、第1のカウント値CNT1が傾き設定値SLPに達したことに応じて初期デューティ値SRTを増加させる加算指示信号ADDをアサートする。そして、初期デューティレジスタ14は、加算指示信号ADDがアサートされたことに応じて格納している初期デューティ値SRTを増加させる（例えば、格納されている初期デューティ値SRTに1を加算して、初期デューティ値SRTを更新する）。

[0035] 第2の比較器16は、初期デューティレジスタ14に格納された初期デューティ値SRTと目標デューティレジスタ15に格納された目標デューティ値TGTとの大小関係を示す選択信号SELを生成する。より具体的には、第2の比較器16は、初期デューティ値SRTより目標デューティ値の方が小さい場合、選択信号SELを第1の論理レベル（例えば、0）とする。また、第2の比較器16は、初期デューティ値SRTが目標デューティ値TGT以上である場合、選択信号SELを第2の論理レベル（例えば、1）とする。

[0036] 選択回路17は、選択信号SELの論理レベルに応じて初期デューティ値SRTと目標デューティ値TGTとのいずれか一方をデューティ制御信号D

U Tとして出力する。より具体的には、選択回路17は、選択信号SELが0を示す場合には初期デューティ値SRTをデューティ制御信号DUTとして出力する、選択回路17は、選択信号SELが1を示す場合には目標デューティ値TGTをデューティ制御信号DUTとして出力する。

[0037] 周期設定部20は、周期設定信号に基づきPWM信号の1周期の長さを示す周期設定値TRMを出力する。より具体的には、周期設定部20は、周期レジスタ21を有する。周期レジスタ21は、周期設定信号により示される周期設定値TRMを格納する。そして、周期設定部20は、周期レジスタ21に格納された周期設定値TRMを出力する。

[0038] 出力制御部30は、周期設定値に応じた周期とデューティ制御信号の値に応じたデューティ比のPWM信号をクロック信号に基づき生成する。出力制御部30は、第2のカウンタ31、第3の比較器32、第4の比較器33、PWM信号生成器34を有する。

[0039] 第2のカウンタ31は、クロック信号のクロック数をカウントして第2のカウント値CNT2を生成する。第3の比較器32は、周期設定値TRMと、第2のカウント値CNT2と、が入力される。そして、第3の比較器32は、第2のカウント値CNT2が周期設定値TRMに達したことに応じて、第2のカウント値CNT2をカウント開始値にリセットすると共に、周期開始を通知する周期開始信号CRS1を出力する。より具体的には、第2の比較器32は、第2のカウント値CNT2が周期設定値TRMに達したことに応じて、第2のカウンタ31に与える第2のリセット信号CLR2をアサートする。そして、第2のカウンタ31は、第2のリセット信号CLR2がアサートされたことに応じて第2のカウント値CNT2をカウント開始値（例えば、1）にリセットする。

[0040] 第4の比較器33は、デューティ制御信号DUTで示されるデューティ比を示す値に第2のカウント値CNT2が達したことに応じて、PWM信号の論理レベルの切り換えを指示する切り換え信号CRS2を出力する。

[0041] PWM信号生成器34は、周期開始信号CRS1に応じて出力信号（PW

M信号)の論理レベルを開始論理レベルとし、切り換え信号CRS2に応じてPWM信号の論理レベルを開始論理レベルとは逆の論理レベルとなる終了論理レベルとする。本実施の形態では、出力するPWM信号の1周期の開始時点での論理レベル(開始論理レベル)を1とし、PWM信号の1周期の終了時点での論理レベル(終了論理レベル)を0とする。

[0042] 続いて、実施の形態1にかかるPWM信号生成回路1の動作について説明する。PWM信号生成回路1は、初期デューティ設定信号、目標デューティ設定信号、傾き設定信号及び周期設定信号により、初期デューティ値SRT、目標デューティ値TGT、傾き設定値SLP、周期設定値TRMが対応するレジスタに格納されたことに応じてPWM信号の生成処理を開始する。このPWM信号生成回路が、これらの設定値に応じてPWM信号を生成する動作を示すタイミングチャートを図4に示す。図4に示すように、PWM信号生成回路1は、クロック信号に同期してPWM信号の生成処理を進める。

[0043] 図4に示すタイミングチャートでは、タイミングt1において、初期デューティ値SRT、目標デューティ値TGT、傾き設定値SLP、周期設定値TRMが対応するレジスタに格納される。図4に示す動作例では、タイミングt1において、初期デューティ値SRTとして1が設定され、目標デューティ値TGTとして3が設定され、傾き設定値SLPとして2が設定され、周期設定値TRMとして4が設定される。そして、これら設定値がレジスタに設定されたことに応じて第1のカウンタ12が周期開始信号CRS1のパルス数のカウントを開始し、第2のカウンタ31がクロック信号のクロック数のカウントを開始する。

[0044] タイミングt1では、初期デューティ値SRTが目標デューティ値TGTよりも小さいため、第2の比較器16は、選択信号SELを0とする。これにより、タイミングt1では、選択回路17は、デューティ制御信号DUTとして初期デューティ値SRT(図4に示す例では、1)を出力する。このデューティ制御信号DUTの値は、タイミングt1における第2のカウント値CNT2と同じであるため、次のクロック信号が入力されるまでの間、第

4の比較器33は、切り換え信号CRS2をハイレベルとする。そして、第2のカウント値CNT2が2に遷移したことに応じて、第4の比較器33は切り換え信号CRS2をロウレベルとする。切り換え信号CRS2の立ち下がりに応じて、PWM信号生成器34は、PWM信号をハイレベルからロウレベルに切り換える。続いて、第2のカウント値CNT2が周期設定値TRM（図4に示す例では、4）に達すると第3の比較器32は、第2のカウント値CNT2が4である期間、周期開始信号CRS1をハイレベルとする。また、第3の比較器32は、第2のカウント値CNT2が4である期間、第2のリセット信号CLR2をアサート（例えば、ハイレベル）とする。この第2のリセット信号CLR2に応じてタイミングt2で第2のカウント値CNT2がカウント初期値（例えば、1）にリセットされる。また、タイミングt2では、第2のカウント値CNT2が周期設定値TRMと一致しなくなるため、周期開始信号CRS1がロウレベルに切り替わる。そして、PWM信号生成器34は、周期開始信号CRS1の立ち下がりエッジに応じてPWM信号を初期論理レベル（例えば、ハイレベル）とする。

[0045] 続いて、タイミングt2～t3の期間において、第2のカウント値CNT2はクロック信号に応じてカウント値が1から4まで遷移する。この第2のカウント値CNT2の値の遷移に応じて、出力制御部30ではタイミングt1～t2の動作が繰り返される。

[0046] 一方、第1のカウント値CNT1は、タイミングt2でリセットされることなくタイミングt1～t3の期間において周期開始信号CRS1を継続してカウントする。つまり、第1のカウント値CNT1は、タイミングt1～t3の期間において値が1から2まで遷移する。そして、第1のカウント値CNT1が傾き設定値SLP（図4に示す例では、2）に達すると、第1のカウント値CNT1が2である期間に第1の比較器13は、第1のリセット信号CLR1及び加算指示信号ADDをアサートする（ハイレベルとする）。そして、第1のリセット信号CLR1がアサートされたことに応じて第1のカウント値CNT1がカウント初期値（例えば、1）にリセットされる。

また、タイミング  $t_3$  では、第1のカウンタ値  $CNT_1$  と傾き設定値  $SLP$  とが不一致となるため、第1の比較器13は、加算指示信号  $ADD$  をネゲートする。そして、加算指示信号  $ADD$  がネゲートされたことに応じて、初期デューティレジスタ14では初期デューティ値  $SRT$  を1つ加算した値で初期デューティ値  $SRT$  を更新する。

[0047] なお、タイミング  $t_1 \sim t_3$  において、第1のカウンタ値  $CNT_1$  が傾き設定値  $SLP$  に達するまでの期間は、加算指示信号  $ADD$  がネゲートされているため初期デューティ値  $SRT$  は同じ値を維持する。そのため、タイミング  $t_1 \sim t_3$  の期間は、デューティ制御信号  $DUT$  で示される値は同じ値を維持する。つまり、タイミング  $t_1 \sim t_3$  の期間は、PWM信号のデューティ比は同じである。

[0048] 続いて、タイミング  $t_3$  では、初期デューティ値  $SRT$  が目標デューティ値  $TGT$  よりも小さいため、第2の比較器16は、選択信号  $SEL$  を0とする。これにより、タイミング  $t_3$  では、選択回路17は、デューティ制御信号  $DUT$  として初期デューティ値  $SRT$  (図4に示す例では、2) を出力する。そして、第2のカウンタ値  $CNT_2$  が2に遷移して、第2のカウンタ値  $CNT_2$  とデューティ制御信号  $DUT$  の値とが一致すると、次のクロック信号が入力されるまでの間、第4の比較器33は、切り換え信号  $CRS_2$  をハイレベルとする。そして、第2のカウンタ値  $CNT_2$  が3に遷移したことに応じて、第4の比較器33は切り換え信号  $CRS_2$  をロウレベルとする。切り換え信号  $CRS_2$  の立ち下がりに応じて、PWM信号生成器34は、PWM信号をハイレベルからロウレベルに切り換える。続いて、第2のカウンタ値  $CNT_2$  が周期設定値  $TRM$  (図4に示す例では、4) に達すると第3の比較器32は、第2のカウンタ値  $CNT_2$  が4である期間、周期開始信号  $CRS_1$  をハイレベルとする。また、第3の比較器32は、第2のカウンタ値  $CNT_2$  が4である期間、第2のリセット信号  $CLR_2$  をアサート (例えば、ハイレベル) する。この第2のリセット信号  $CLR_2$  に応じてタイミング  $t_4$  で第2のカウンタ値  $CNT_2$  がカウンタ初期値 (例えば、1) にリセッ

トされる。また、タイミング  $t_4$  では、第2のカウンタ値  $CNT_2$  が周期設定値  $TRM$  と一致しなくなるため、周期開始信号  $CRS_1$  がロウレベルに切り替わる。そして、PWM信号生成器34は、周期開始信号  $CRS_1$  の立ち下がりエッジに応じてPWM信号を初期論理レベル（例えば、ハイレベル）とする。

[0049] 続いて、タイミング  $t_4 \sim t_5$  の期間において、第2のカウンタ値  $CNT_2$  はクロック信号に応じてカウンタ値が1から4まで遷移する。この第2のカウンタ値  $CNT_2$  の値の遷移に応じて、出力制御部30ではタイミング  $t_3 \sim t_4$  の動作が繰り返される。

[0050] 一方、第1のカウンタ値  $CNT_1$  は、タイミング  $t_4$  でリセットされることなくタイミング  $t_3 \sim t_5$  の期間において周期開始信号  $CRS_1$  を継続してカウントする。つまり、第1のカウンタ値  $CNT_1$  は、タイミング  $t_3 \sim t_5$  の期間において値が1から2まで遷移する。そして、第1のカウンタ値  $CNT_1$  が傾き設定値  $SLP$ （図4に示す例では、2）に達すると、第1のカウンタ値  $CNT_1$  が2である期間に第1の比較器13は、第1のリセット信号  $CLR_1$  及び加算指示信号  $ADD$  をアサートする（ハイレベルとする）。そして、第1のリセット信号  $CLR_1$  がアサートされたことに応じて第1のカウンタ値  $CNT_1$  がカウンタ初期値（例えば、1）にリセットされる。また、タイミング  $t_5$  では、第1のカウンタ値  $CNT_1$  と傾き設定値  $SLP$  とが不一致となるため、第1の比較器13は、加算指示信号  $ADD$  をネゲートする。そして、加算指示信号  $ADD$  がネゲートされたことに応じて、初期デューティレジスタ14では初期デューティ値  $SRT$  を1つ加算した値で初期デューティ値  $SRT$  を更新する。

[0051] なお、タイミング  $t_3 \sim t_5$  において、第1のカウンタ値  $CNT_1$  が傾き設定値  $SLP$  に達するまでの期間は、加算指示信号  $ADD$  がネゲートされているため初期デューティ値  $SRT$  は同じ値を維持する。そのため、タイミング  $t_3 \sim t_5$  の期間は、デューティ制御信号  $DUT$  で示される値は同じ値を維持する。つまり、タイミング  $t_3 \sim t_5$  の期間は、PWM信号のデューテ

ィ比は同じである。タイミング  $t_3 \sim t_5$  の期間では、デューティ制御信号 DUT の値がタイミング  $t_1 \sim t_3$  の期間よりも大きくなるため、PWM 信号のデューティ比は、タイミング  $t_1 \sim t_3$  で生成されるものよりタイミング  $t_3 \sim t_5$  で生成されるものの方が大きくなる。

[0052] 続いて、タイミング  $t_5$  では、初期デューティ値 SRT が目標デューティ値 TGT と一致するため、第 2 の比較器 16 は、選択信号 SEL を 1 とする。これにより、タイミング  $t_5$  では、選択回路 17 は、デューティ制御信号 DUT として目標デューティ値 TGT (図 4 に示す例では、3) を出力する。そして、第 2 のカウント値 CNT 2 が 3 に遷移して、第 2 のカウント値 CNT 2 とデューティ制御信号 DUT の値とが一致すると、次のクロック信号が入力されるまでの間、第 4 の比較器 33 は、切り換え信号 CRS 2 をハイレベルとする。そして、第 2 のカウント値 CNT 2 が 4 に遷移したことに応じて、第 4 の比較器 33 は切り換え信号 CRS 2 をロウレベルとする。切り換え信号 CRS 2 の立ち下がりに応じて、PWM 信号生成器 34 は、PWM 信号をハイレベルからロウレベルに切り換える。続いて、第 2 のカウント値 CNT 2 が周期設定値 TRM (図 4 に示す例では、4) に達すると第 3 の比較器 32 は、第 2 のカウント値 CNT 2 が 4 である期間、周期開始信号 CRS 1 をハイレベルとする。また、第 3 の比較器 32 は、第 2 のカウント値 CNT 2 が 4 である期間、第 2 のリセット信号 CLR 2 をアサート (例えば、ハイレベル) する。この第 2 のリセット信号 CLR 2 に応じてタイミング  $t_6$  で第 2 のカウント値 CNT 2 がカウント初期値 (例えば、1) にリセットされる。また、タイミング  $t_6$  では、第 2 のカウント値 CNT 2 が周期設定値 TRM と一致しなくなるため、周期開始信号 CRS 1 がロウレベルに切り替わる。そして、PWM 信号生成器 34 は、周期開始信号 CRS 1 の立ち下がりエッジに応じて PWM 信号を初期論理レベル (例えば、ハイレベル) とする。

[0053] 続いて、タイミング  $t_6 \sim t_7$  の期間において、第 2 のカウント値 CNT 2 はクロック信号に応じてカウント値が 1 から 4 まで遷移する。この第 2 の

カウント値CNT2の値の遷移に応じて、出力制御部30ではタイミングt5～t6の動作が繰り返される。

[0054] 一方、第1のカウント値CNT1は、タイミングt6でリセットされることなくタイミングt5～t7の期間において周期開始信号CRS1を継続してカウントする。つまり、第1のカウント値CNT1は、タイミングt5～t7の期間において値が1から2まで遷移する。そして、第1のカウント値CNT1が傾き設定値SLP（図4に示す例では、2）に達すると、第1のカウント値CNT1が2である期間に第1の比較器13は、第1のリセット信号CLR1及び加算指示信号ADDをアサートする（ハイレベルとする）。そして、第1のリセット信号CLR1がアサートされたことに応じて第1のカウント値CNT1がカウント初期値（例えば、1）にリセットされる。また、タイミングt5では、第1のカウント値CNT1と傾き設定値SLPとが不一致となるため、第1の比較器13は、加算指示信号ADDをネゲートする。そして、加算指示信号ADDがネゲートされたことに応じて、初期デューティレジスタ14では初期デューティ値SRTを1つ加算した値で初期デューティ値SRTを更新する。

[0055] なお、タイミングt5以降の期間では、初期デューティ値SRTが増加しても、目標デューティ値TGTが初期デューティ値SRT以下の値を維持する。そのため、タイミングt5以降の期間は、デューティ制御信号DUTで示される値は同じ値（目標デューティ値TGT）を維持する。つまり、タイミングt5以降の期間は、PWM信号のデューティ比は同じである。タイミングt5以降の期間では、デューティ制御信号DUTの値がタイミングt3～t5の期間よりも大きくなる。そのため、PWM信号のデューティ比は、タイミングt3～t5で生成されるものよりタイミングt5以降で生成されるものの方が大きくなる。

[0056] ここで、実施の形態1にかかるPWM信号生成回路1により生成されるPWM信号を電源回路（例えば、図2Bの電源回路PWR）に与えた場合におけるPWM信号のソフトスタート制御と出力電圧との関係を図5～図9に示

す。そして、図5～図9を参照して実施の形態1にかかるPWM信号生成回路1で利用される初期デューティ値SRT、目標デューティ値TGT及び傾き設定値SLPと出力電圧との関係について説明する。なお、図5～図7に示す例では、目標デューティ値TGT及び傾き設定値SLPを一定とし、図5、図8、図9に示す例では、初期デューティ値SRT及び目標デューティ値SRTを一定とした。

[0057] 図5に示す第1のタイミングチャートは、初期デューティ値SRT及び目標デューティ値TGTの値が適切に設定されている場合の出力電圧の立ち上がり波形を示すものである。図5に示す例では、PWM信号の生成開始から出力電圧が目標下限値VREF1に達するまでに時間TSS1を有する。そして、出力電圧は、目標下限値VREF1を超えた後に目標下限値VREF1と目標上限値VREF2との間の電圧レベルで安定する。

[0058] 図6に示す第2のタイミングチャートは、初期デューティ値SRTを第1のタイミングチャートで示す例よりも小さくしたものである。この場合、傾き設定値SLPが図5に示す例と同じであるため、出力電圧が目標下限値VREF1に達するまでにかかる時間TSS2は、図5のTSS1より長くなる。このとき、時間TSS2が規格値よりも長くなると問題が生じる。

[0059] 図7に示す第3のタイミングチャートは、初期デューティ値SRTを第1のタイミングチャートで示す例よりも大きくしたものである。この場合、傾き設定値SLPが図5に示す例と同じであるため、出力電圧が目標下限値VREF1に達するまでにかかる時間TSS2は、図5のTSS1より短くなる。しかし、この場合、図7に示すように、出力電圧が目標上限値VREF2を超える期間がある。つまり、図7に示す例では、出力電圧が立ち上がり時にオーバーシュートを起こす問題がある。

[0060] 図8に示す第4のタイミングチャートは、傾き設定値SLPを第1のタイミングチャートで示す例よりも小さくしたものである。この場合、傾き設定値SLPが図5に示す例とよりも小さいため、出力電圧が目標下限値VREF1に達するまでにかかる時間TSS4は、図5のTSS1より長くなる。

また、この場合、図8に示すように、出力電圧が目標下限値 $V_{REF1}$ を超えた後、再度、目標下限値 $V_{REF1}$ を下回る期間がある。つまり、図8に示す例では、出力電圧が立ち上がり時にアンダーシュートを起こす問題がある。

[0061] 図9に示す第5のタイミングチャートは、傾き設定値 $SLP$ を第1のタイミングチャートで示す例よりも大きくしたものである。この場合、傾き設定値 $SLP$ が図5に示す例とよりも大きいため、出力電圧が目標下限値 $V_{REF1}$ に達するまでにかかる時間 $TSS5$ は、図5の $TSS1$ より短くなる。しかし、この場合、図9に示すように、出力電圧が目標上限値 $V_{REF2}$ を超える期間がある。つまり、図9に示す例では、出力電圧が立ち上がり時にオーバーシュートを起こす問題がある。

[0062] 出力電圧を安定して立ち上げる場合、出力電圧が図5に示すような立ち上がり波形となるように、予めとなるように初期デューティ値 $SRT$ 、目標デューティ値 $TGT$ 及び傾き設定値 $SLP$ を設定する。これら設定値は、予めPWM信号生成回路1を用いて出力電圧を測定し、最適値を求めることで最適化が可能である。なお、目標デューティ値 $TGT$ を増減することで出力電圧の最終的な電圧レベルを増減することができる。

[0063] 上記説明より、実施の形態1にかかるPWM信号生成回路1は、初期デューティ値 $SRT$ 、目標デューティ値 $TGT$ 、傾き設定値 $SLP$ 、周期設定値 $TRM$ が設定されたことに応じてPWM信号の生成を開始する。このとき、実施の形態1にかかるPWM信号生成回路1では、これら設定値から直接PWM信号のデューティ比を決定する。つまり、PWM信号生成回路1は、PWM信号の生成開始に当たりPWM信号のデューティ比を計算によらず決定することができる。また、PWM信号生成回路1では、アナログ電圧として供給される基準電圧等を必要としたいため、これらの電圧の立ち上がりを待つことなくPWM信号の生成を開始することができる。このようなことから、PWM信号生成回路1では、PWM信号の生成開始直後よりPWM信号を生成することができる。

[0064] また、実施の形態 1 にかかる PWM 信号生成回路 1 は、クロック信号に同期して PWM 信号を生成すると共に、クロック信号のカウント数に応じて PWM 信号のデューティ比を可変する。ここで、PWM 信号生成回路 1 では、デューティ比を可変する場合に、クロック数のカウント値に応じて値を更新する処理を行うのみである。このようなことから、PWM 信号生成回路 1 では、演算にかかる処理を簡略化しながら、PWM 信号のソフトスタート制御が可能である。

[0065] また、実施の形態 1 にかかる PWM 信号生成回路 1 では、初期デューティ値  $SRT$ 、目標デューティ値  $TGT$ 、傾き設定値  $SLP$  の設定値を変更することで、電源回路等が出力する電圧の立ち上がり特性を最適化することができる。図 2 A ~ 図 2 D で示すように、電源回路が駆動する負荷回路が LED であった場合、出力電圧のオーバーシュートは LED の寿命を短くする問題がある。また、LED を駆動する出力電圧にアンダーシュートが発生した場合、ちらつき等の原因となる問題がある。しかしながら、実施の形態 1 にかかる PWM 信号生成回路 1 では、PWM 信号の立ち上がり波形を設定値により最適化することができるため、制御対象回路（電源回路及び負荷回路）における上記問題を容易に解決することができる。

[0066] また、実施の形態 1 にかかる PWM 信号生成回路 1 は、カウンタ、レジスタ、比較器、選択回路など回路規模の小さな回路により構成することができる。これにより、実施の形態 1 にかかる PWM 信号生成回路 1 は、回路規模及びチップ面積を削減することができる。

[0067] 実施の形態 2

実施の形態 2 では、実施の形態 1 にかかる PWM 信号生成動作で用いた初期デューティ値  $SRT$ 、目標デューティ値  $TGT$ 、傾き設定値  $SLP$  等を自動的に調節する方法について説明する。なお、実施の形態 2 にかかる設定値の調整方法では、図 1 に示した演算コア PE、出力モニタユニット MON、メモリ MEM、PWM 信号生成ユニット PG を利用する。また、実施の形態 2 では、PWM 信号生成ユニット PG として PWM 信号生成回路 2 を用いる

- 。
- [0068] 図10に実施の形態2にかかるPWM信号生成回路2のブロック図を示す。図10に示すように、PWM信号生成回路2は、実施の形態1にかかるPWM信号生成回路1にPWM信号生成開始信号に基づく動作制御機能を追加したものである。PWM信号生成回路2では、第1のカウンタ12に代えて第1のカウンタ12aが設けられ、第2のカウンタ31に代えて第2のカウンタ31aが設けられる。
- [0069] 第1のカウンタ12aは、クロック信号のクロック数が周期設定信号の値に達した回数すなわち周期開始信号CRS1のパルス数をカウントして第1のカウント値CNT1を生成する。また、第1のカウンタ12aは、第1のクリア信号CLR1がアサートされたことに応じて第1のカウント値CNT1をカウント開始値にリセットする。さらに、第1のカウンタ12aは、PWM信号生成開始信号がアサートされた場合、クロック信号のクロック数のカウント動作を行い、PWM信号生成開始信号がネゲートされた場合、クロック信号のクロック数のカウント動作を停止する。
- [0070] 第2のカウンタ31aは、クロック信号のクロック数をカウントして第2のカウント値CNT2を生成する。また、第2のカウンタ31aは、第2のクリア信号CLR2がアサートされたことに応じて第2のカウント値CNT2をカウント開始値にリセットする。さらに、第2のカウンタ31aは、PWM信号生成開始信号がアサートされた場合、クロック信号のクロック数のカウント動作を行い、PWM信号生成開始信号がネゲートされた場合、クロック信号のクロック数のカウント動作を停止する。
- [0071] PWM信号生成回路2は、第1のカウンタ12a及び第2のカウンタ31aが停止している場合、クロック信号のカウント動作が行われなためPWM信号の生成を停止する。一方、PWM信号生成回路2は、第1のカウンタ12a及び第2のカウンタ31aが動作している場合、クロック信号のカウント動作に応じてPWM信号を生成する。つまり、PWM信号生成開始信号は、PWM信号生成回路2のPWM信号の生成処理の開始と停止とを制御す

る信号である。なお、実施の形態2では、PWM信号生成開始信号は、演算コアPEがアサートとネゲートとを制御する信号であるものとする。

[0072] また、出力モニタユニットMONの詳細なブロック図を図11、図12に示す。図11は、出力モニタユニットMONの一例を示すものである。図11に示す出力モニタユニット40は、コンパレータCOMP1、COMP2、時系列情報格納レジスタ41を有する。

[0073] コンパレータCOMP1は、正転入力端子に制御対象回路（例えば、電源回路PWR）から得られるモニタ電圧が入力され、反転入力端子に目標下限値VREF1が入力される。そして、コンパレータCOMP1は、モニタ電圧が目標下限値VREF1よりも大きい場合に出力信号（例えば、下限検出信号）をハイレベルとする。

[0074] コンパレータCOMP2は、正転入力端子に電源回路PWRから得られるモニタ電圧が入力され、反転入力端子に目標上限値VREF2が入力される。そして、コンパレータCOMP2は、モニタ電圧が目標上限値VREF2よりも大きい場合に出力信号（例えば、上限検出信号）をハイレベルとする。

[0075] 時系列情報格納レジスタ41は、クロック信号（例えば、PWM信号生成回路2に与えられるクロック信号と同様の信号）と、PWM信号生成開始信号が入力される。そして、時系列情報格納レジスタ41は、PWM信号生成開始信号がアサートされている期間において、クロック信号をサンプリングクロックとして、下限検出信号及び上限検出信号の論理レベルを蓄積する。つまり、時系列情報格納レジスタ41には、PWM信号生成開始信号がアサートされた時点を開始時点とし、PWM信号生成開始信号がネゲートされた時点を終了時点とした計測値の時系列情報が生成される。この時系列情報は、演算コアPEにより参照される。

[0076] また、図12に出力モニタユニットMONの別の形態を示すブロック図を示す。図12に示す出力モニタユニット50は、A/Dコンバータ51、時系列情報格納レジスタ52を有する。

- [0077] A/Dコンバータ51は、電源回路PWRから得られたモニタ電圧の電圧レベルに対応したモニタ電圧値信号を出力する。このモニタ電圧値信号は、デジタル信号であり、モニタ電圧の電圧レベルを示す値を有する。
- [0078] 時系列情報格納レジスタ52は、クロック信号（例えば、PWM信号生成回路2に与えられるクロック信号と同様の信号）と、PWM信号生成開始信号が入力される。そして、時系列情報格納レジスタ41は、PWM信号生成開始信号がアサートされている期間において、クロック信号をサンプリングクロックとして、モニタ電圧値信号の値を蓄積する。つまり、時系列情報格納レジスタ52には、PWM信号生成開始信号がアサートされた時点を開始時点とし、PWM信号生成開始信号がネゲートされた時点を終了時点とした計測値の時系列情報が生成される。この時系列情報は、演算コアPEにより参照される。
- [0079] ここで、出力モニタユニットMONとして出力モニタユニット40を用いた場合のモニタ電圧の検出結果について説明する。図13～図15に電源回路に生成される出力電圧の立ち上がり波形と、当該出力電圧の立ち上がり波形をモニタした場合の上限検出信号と下限検出信号の変化と、の関係を示すタイミングチャートを示す。
- [0080] 図13に示す第1のタイミングチャートは、出力電圧のオーバーシュート及びアンダーシュートが目標下限値VREF1と目標上限値VREF2とで決まる所定の範囲内に収まっている場合のタイミングチャートを示す。図13に示す例では、PWM信号生成開始信号がアサートされてから時間TSSが経過した後に出力電圧が目標下限値VREF1を超える。そのため、PWM信号生成開始信号がアサートされてから時間TSSが経過した後に下限検出信号が立ち上がる。その後、下限検出信号は、ハイレベルを維持する。一方、出力電圧は目標上限値VREF2を上回ることがないため、上限検出信号はロウレベルを維持する。
- [0081] 図14に示す第2のタイミングチャートは、出力電圧のオーバーシュートが発生している場合のタイミングチャートを示す。図14に示す例では、P

WM信号生成開始信号がアサートされてから時間TSSが経過した後に出力電圧が目標下限値VREF1を超える。そのため、PWM信号生成開始信号がアサートされてから時間TSSが経過した後に下限検出信号が立ち上がる。その後、下限検出信号は、ハイレベルを維持する。一方、上限検出信号は、出力電圧が目標上限値VREF2を上回る期間に相当する期間においてハイレベルとなる。

[0082] 図15に示す第3のタイミングチャートは、出力電圧のアンダーシュートが発生している場合のタイミングチャートを示す。図15に示す例では、PWM信号生成開始信号がアサートされてから時間TSSが経過した後に出力電圧が目標下限値VREF1を超える。そのため、PWM信号生成開始信号がアサートされてから時間TSSが経過した後に下限検出信号が立ち上がる。その後、出力電圧が、目標下限値を下回る。そのため、下限検出信号は、出力電圧が目標下限値を下回る期間に相当する期間ロウレベルとなる。そして、再度、出力電圧が目標下限値VREF1を上回ると、下限検出信号はハイレベルとなる。一方、出力電圧は目標上限値VREF2を上回ることがないため、上限検出信号はロウレベルを維持する。

[0083] 図13～図15に示すように、出力モニタユニット40では、出力電圧の変動に応じて下限検出信号及び上限検出信号の論理レベルが変化する。そして、出力モニタユニット40は、時系列情報格納レジスタに下限検出信号及び上限検出信号の論理レベルを時系列に蓄積することで出力電圧の時間変化を記録する。そして、計測値の時系列情報を演算コアPEが参照することで、演算コアPEは、出力電圧の変動が適切なものであるか否か、また、設定値のうちどのパラメータを変更すべきかを判断することができる。

[0084] そこで、以下では、演算コアにおける設定値の調整処理について説明する。図16に、実施の形態2における調整方法の手順を示すフローチャートを示す。演算コアPEでは、図16に示すフローチャートに沿った処理を行う。図16に示す例では、演算コアPEがテストモードとなる期間において設定値の調整を行う。しかし、設定値の調整タイミングは、例えば、プロセッ

サシステムMCUの起動処理の一つとして行っても良く、常時行うとしても良い。

- [0085] 図16に示すように、テストモードが開始されると、演算コアPEは、PWM信号生成回路2を動作させるための設定値（例えば、初期デューティ値等）をメモリMEMから読み出し、読み出した値をPWM信号生成回路2のレジスタに格納する（ステップS1）。
- [0086] 続いて、演算コアPEは、PWM信号生成開始信号をアサートし、所定時間後にPWM信号生成開始信号をネゲートする（ステップS2）。これにより、所定時間の間、PWM信号生成回路2はPWM信号を生成する。また、出力モニタユニット40は、時系列情報格納レジスタ41に出力電圧を計測した計測値の時系列情報を生成する。その後、演算コアPEは、時系列情報格納レジスタ41から時系列情報を取得する（ステップS3）。
- [0087] 続いて、演算コアPEは、取得した時系列情報のうち最終期間の値を参照し、下限検出信号の最終期間の値がロウレベルであるか否かを判断する（ステップS4）。ステップS4において、下限検出信号の最終期間の値がロウレベルであった場合、目標デューティ値を増加させる（ステップS5）。そして、演算コアPEは、増加させた目標デューティ値にてメモリMEMに格納されている目標デューティ値を更新する（ステップS6）。その後、演算コアPEは、ステップS1～S3の処理を再度実行する。
- [0088] ステップS4で下限検出信号の最終期間の値がロウレベルであった場合、演算コアPEは、上限検出信号の最終期間の値がハイレベルであるか否かを判断する（ステップS7）。ステップS7において、上限検出信号の最終期間の値がハイレベルであった場合、目標デューティ値を減少させる（ステップS8）。そして、演算コアPEは、減少させた目標デューティ値にてメモリMEMに格納されている目標デューティ値を更新する（ステップS6）。その後、演算コアPEは、ステップS1～S3の処理を再度実行する。
- [0089] ステップS7で上限検出信号の最終期間の値がロウレベルであった場合、演算コアPEは、立ち上がり時間TSSが規定の範囲より長いかな否かを判断

する（ステップS9）。ステップS9において、立ち上がり時間TSSが規定の範囲より長い場合、初期デューティ値を増加させる（ステップS10）。そして、演算コアPEは、増加させた初期デューティ値にてメモリMEMに格納されている初期デューティ値を更新する（ステップS6）。その後、演算コアPEは、ステップS1～S3の処理を再度実行する。

[0090] ステップS9で立ち上がり時間TSSが規定の範囲よりも短かった場合、演算コアPEは、立ち上がり時間TSSが規定の範囲より短いかなかを判断する（ステップS11）。ステップS11において、立ち上がり時間TSSが規定の範囲より短い場合、初期デューティ値を減少させる（ステップS12）。そして、演算コアPEは、減少させた初期デューティ値にてメモリMEMに格納されている初期デューティ値を更新する（ステップS6）。その後、演算コアPEは、ステップS1～S3の処理を再度実行する。

[0091] ステップS11で立ち上がり時間TSSが規定の範囲より長かった場合、演算コアPEは、下限検出信号がハイレベルとなった後にロウレベルとなる期間の有無について判断する（ステップS13）。ステップS13において、下限検出信号がハイレベルとなった後にロウレベルとなる期間があった場合、傾き設定値を増加させる（ステップS14）。そして、演算コアPEは、増加させた傾き設定値にてメモリMEMに格納されている傾き設定値を更新する（ステップS6）。その後、演算コアPEは、ステップS1～S3の処理を再度実行する。

[0092] ステップS13で下限検出信号がハイレベルとなった後にロウレベルとなる期間がなかった場合、演算コアPEは、上限検出信号がハイレベルとなる期間の有無について判断する（ステップS15）。ステップS15において、上限検出信号がハイレベルとなる期間があった場合、傾き設定値を減少させる（ステップS16）。そして、演算コアPEは、減少させた傾き設定値にてメモリMEMに格納されている傾き設定値を更新する（ステップS6）。その後、演算コアPEは、ステップS1～S3の処理を再度実行する。

[0093] そして、ステップS4、S7、S9、S11、S13、S15の全てのス

トップをパスするとテストモードが終了する。このようにして、テストモードを終了した場合、調整後の設定値に基づき動作するPWM信号生成回路2により生成されたPWM信号を受けて生成された出力電圧は、オーバーシュート及びアンダーシュートを生じることなく、電圧値が目標下限値VREF1と目標上限値VREF2の範囲内となる。つまり、出力電圧は、図13に示す立ち上がり波形となる。

[0094] 上記説明より、実施の形態2にかかる調整方法を経て決定された設定値に基づき動作するPWM信号生成回路2は、制御対象回路の動作を理想の動作状態とするPWM信号を生成することができる。

[0095] また、実施の形態2にかかる調整方法を実行可能なプロセッサシステムMCUによって、LEDを駆動する電源回路を制御した場合、LEDの寿命を延ばすことができる。LEDは経年劣化により特性が変化する。そのため、LEDを固定的な設定値に基づき生成されたPWM信号に基づき制御した場合、輝度の低下等の劣化が生じる。しかし、実施の形態2にかかる調整方法を適宜実行しながらLEDを駆動するためのPWM信号を生成することで、LEDの特性劣化を補う出力電圧を生成することができる。このように、LEDの特性劣化を補う出力電圧を生成することで、LEDの寿命を実質的に延長することができる。

[0096] また、実施の形態2にかかる設定値の調整方法により更新された設定値は、メモリMEMに格納される。そのため、プロセッサシステムMCUを再起動したときに、このメモリMEMから設定値を読み出すことで、再起動後のプロセッサシステムMCUは、最適化されて設定値によりPWM信号生成回路2を設定値を調整することなく最適化された状態で動作を開始することができる。

[0097] 実施の形態3

実施の形態3にかかるPWM信号生成回路3のブロック図を図17に示す。図17に示すように、実施の形態3にかかるPWM信号生成回路3は、実施の形態1にかかるPWM信号生成回路1のPWM信号生成器34に代えて

PWM信号生成器34aが用いられる。図17では、このPWM信号生成器34aを有する出力制御部には30aの符号を付した。

[0098] PWM信号生成器34aには、周期設定信号CRS1、切り換え信号CRS2に加えてPWM出力ゲート信号が入力される。PWM信号生成器34aは、PWM出力ゲート信号がアサートされるとPWM信号生成器34と同じ動作を行う。一方、PWM出力ゲート信号がネゲートされるとPWM信号生成器34aは、PWM信号の生成を停止する。

[0099] PWM出力ゲート信号は、演算コアPEによりアサートとネゲートとが切り換えられる。また、演算コアPEは、PWM出力ゲート信号をアサートする時点で、PWM信号生成回路3の傾きレジスタ11に格納される傾き設定値と、初期デューティレジスタ14に格納される初期デューティ値と、目標デューティレジスタ15に格納される目標デューティ値と、周期レジスタ21に格納される周期設定値と、をメモリMEMから読み出した設定値により設定する。

[0100] 続いて、実施の形態3にかかるPWM信号生成回路3の動作について説明する。図18に実施の形態3にかかるPWM信号生成回路3の動作を示すタイミングチャートを示す。図18に示すように実施の形態3にかかるPWM信号生成回路3は、タイミングt11においてPWM出力ゲート信号がアサートされるとPWM信号の生成を開始する。このとき生成されるPWM信号はソフトスタート制御がなされている。また、ソフトスタート制御されたPWM信号に基づき生成される電源回路の出力電圧は、オーバーシュート及びアンダーシュートを生じることなく立ち上がる。

[0101] 続いて、タイミングt12においてPWM出力ゲート信号がネゲートされるとPWM信号生成回路3はPWM信号の出力を停止し、電源回路の出力電圧が低下する。

[0102] 続いて、タイミングt13において、再度、PWM出力ゲート信号がアサートされると、PWM信号生成回路3は、ソフトスタート制御されたPWM信号を生成する。そして、生成されたPWM信号に基づき電源回路の出力電

圧が立ち上がる。

[0103] 図18に示すように、PWM信号生成回路3は、PWM出力ゲート信号を間欠的にアサートすることでPWM信号を間欠的に生成する。この間欠間隔は、PWM出力ゲート信号のアサート期間 $T_H$ とネゲート期間 $T_L$ との比により決定することができる。また、PWM信号生成回路3では、PWM信号の生成が再開されるごとにソフトスタート制御によりPWM信号を生成する。

[0104] 電源回路が駆動する負荷回路がLEDであった場合、PWM出力ゲート信号のアサート期間 $T_H$ とネゲート期間 $T_L$ との比を制御することで、調光を行うことができる。LEDの輝度は、点灯時間の積分値で制御できるためである。

[0105] 上記説明より、実施の形態3にかかるPWM信号生成回路3を用いることで、LEDの調光制御が可能となる。このとき、実施の形態3にかかるPWM信号生成回路3は、PWM出力ゲート信号をアサートする毎にソフトスタート制御によるPWM信号を生成する。これにより、電源回路の出力信号は、いずれの立ち上がりタイミングにおいてもオーバーシュート及びアンダーシュートを生じることなく立ち上がる。このような制御を行うことで、LEDに過電圧が印加されることを防止し、LEDの劣化を防止することができる。

[0106] また、プロセッサシステムMCUのIOユニットIOUを介して外部に設けられた回路から制御信号（例えば、調光制御信号）を受信し、受信した調光制御信号に基づき演算コアPEがPWM出力ゲート信号のアサート期間 $T_H$ とネゲート期間 $T_L$ との比を制御することもできる。このような構成とすることで、実施の形態3にかかるPWM信号生成回路3を有するプロセッサシステムMCUでは、外部から指示に基づきLEDの調光を行うことが可能になる。

[0107] 実施の形態4

実施の形態4にかかるPWM信号生成回路4のブロック図を図19に示す

。図19に示すようにPWM信号生成回路4は、デューティ設定部10a、10b、周期設定部20、出力制御部30bを有する。周期設定部20は、実施の形態1の周期設定部と同じものであるため、ここでは説明を省略する。

[0108] デューティ設定部10a、10bは、実施の形態1のデューティ設定部10と同じ構成を有するものであるが、それぞれ独立した設定信号が入力される。図19に示す例では、デューティ設定部10aには、第1の傾き設定信号、第1の初期デューティ設定信号、第1の目標デューティ設定信号が入力される。デューティ設定部10bには、第2の傾き設定信号、第2の初期デューティ設定信号、第2の目標デューティ設定信号が入力される。そして、デューティ設定部10a、10bは、それぞれ独立した値を有する設定信号に基づき、独立した値を有するデューティ制御信号DUT1、DUT2を出力する。

[0109] 出力制御部30bは、実施の形態1の出力制御部30に第5の比較器35を追加し、PWM信号生成器34に代えてPWM信号生成器34bを有する。第5の比較器35は、デューティ制御信号DUT2で示されるデューティ比を示す値に第2のカウント値CNT2が達したことに応じて、PWM信号の論理レベルの切り換えを指示する切り換え信号CRS3を出力する。なお、第4の比較器33は、実施の形態1の第4の比較器33に相当するものであるが、デューティ制御信号DUTに相当する信号としてデューティ制御信号DUT1が入力される。

[0110] PWM信号生成器34bは、周期開始信号CRS1に応じて第1のPWM信号の論理レベルを開始論理レベルとし、切り換え信号CRS2に応じてPWM信号の論理レベルを開始論理レベルとは逆の論理レベルとなる終了論理レベルとする。また、PWM信号生成器34bは、周期開始信号CRS1に応じて第2のPWM信号の論理レベルを開始論理レベルとし、切り換え信号CRS3に応じてPWM信号の論理レベルを開始論理レベルとは逆の論理レベルとなる終了論理レベルとする。本実施の形態では、出力するPWM信号

の1周期の開始時点での論理レベル（開始論理レベル）を1とし、PWM信号の1周期の終了時点での論理レベル（終了論理レベル）を0とする。

[0111] つまり、出力制御部30bは、それぞれが、複数のデューティ設定部が出力するデューティ制御信号で示されるデューティ比の値に対応するデューティ比を有する複数のPWM信号を生成する。

[0112] 実施の形態4にかかるPWM信号生成回路4は、上記構成により、同じ周期を有し、互いに独立したデューティ比を有する第1、第2のPWM信号を生成する。このPWM信号生成回路4の動作は、出力される信号が2つに増加するのみであり実質的な動作は実施の形態1にかかるPWM信号生成回路1と同じであるため、ここでは説明を省略する。

[0113] 上記説明より、実施の形態4にかかるPWM信号生成回路4は、デューティ比の設定及びPWM信号のソフトスタート制御の設定を独立して行うことが可能である。また、上記説明では、出力するPWM信号の数を2つとしたが、PWM信号生成回路1からPWM信号生成回路4への変更と同じルールを適用して3つのPWM信号を生成することができる。近年、LEDを利用した照明装置では、3色のそれぞれに対応するLEDを用いることがある。このような場合に、複数のLEDの特性にばらつきが生じることがある。しかし、PWM信号生成回路4を用いることで複数のPWM信号の特性をそれぞれ独立して設定することができる。そのため、PWM信号生成回路4を利用することで、1組の発光素子として利用される複数のLEDの間のばらつきを補正して複数のLEDの特性を均一化することが可能である。

[0114] また、実施の形態4にかかるPWM信号生成回路4に対して、実施の形態2にかかるPWM信号生成回路の設定値の調整方法を適用することもできる。さらに、実施の形態4にかかるPWM信号生成回路3のPWM信号の間欠出力機能を追加することもできる。特に、PWM信号生成回路3のPWM信号の間欠出力機能を追加することで、3つのLEDの輝度をそれぞれ調整し、調光のみならず、調色を行うことも可能である。

[0115] なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しな

い範囲で適宜変更することが可能である。例えば、実施の形態2にかかる設定値の調整方法においていずれのパラメータから設定するかは、仕様により適宜変更することが可能である。

[0116] この出願は、2011年3月28日に提出された日本出願特願2011-070437を基礎とする優先権を主張し、その開示の全てをここに取り込む。

### 符号の説明

- [0117] 1～4 信号生成回路
- 10、10a、10b デューティ設定部
- 11 傾きレジスタ
- 12、12a、31、31a カウンタ
- 13、16、32、33、35 比較器
- 14 初期デューティレジスタ
- 15 目標デューティレジスタ
- 17 選択回路
- 20 周期設定部
- 21 周期レジスタ
- 30、30a、30b 出力制御部
- 34、34a、34b 信号生成器
- 40、50 出力モニタユニット
- 41、52 時系列情報格納レジスタ
- 51 A/Dコンバータ
- C コンデンサ
- L インダクタ
- Di ダイオード
- R 抵抗
- OM トランジスタ
- MCU プロセッサシステム

MEM   メモリ  
MON   出力モニタユニット  
PE    演算コア  
PER I    周辺回路  
PG    PWM信号生成ユニット  
CG    クロック生成ユニット

## 請求の範囲

### [請求項1]

PWM信号を生成するPWM信号生成回路であって、  
前記PWM信号の生成開始時の初期デューティ比の値を指定する初期デューティ設定信号と、前記PWM信号の目標デューティ比の値を指定する目標デューティ設定信号と、前記初期デューティ比が前記目標デューティ比に至るまでのデューティ比の変化率を指定する傾き設定値を指定する傾き設定信号と、クロック信号と、に基づき前記PWM信号の1周期毎のデューティ比を指定するデューティ制御信号を生成するデューティ設定部と、  
周期設定信号に基づき前記PWM信号の1周期の長さを示す周期設定値を出力する周期設定部と、  
前記周期設定値に応じた周期と前記デューティ制御信号の値に応じたデューティ比の前記PWM信号を前記クロック信号に基づき生成する出力制御部と、を有し、  
前記デューティ設定部は、前記クロック信号のクロック数が前記周期設定値に達した回数が前記傾き設定値に達する毎に前記初期デューティの値を前記目標デューティ比の値まで増加させるPWM信号生成回路。

### [請求項2]

前記デューティ設定部は、  
前記クロック信号のクロック数が前記周期設定値に達した回数をカウントして第1のカウント値を生成する第1のカウンタと、  
前記第1のカウント値が前記傾き設定値に達したことに応じて、前記第1のカウント値をカウント開始値にリセットすると共に、前記初期デューティ比の値を増加させる第1の比較器と、  
前記初期デューティ比の値と前記目標デューティ比の値との大小関係を示す選択信号を生成する第2の比較器と、  
前記初期デューティ比の値より前記目標デューティ比の値の方が小さいことを前記選択信号が示している場合に前記初期デューティ比の

値を出力し、前記初期デューティ比の値が前記目標デューティ比の値以上であること前記選択信号を示している場合に前記目標デューティ値を出力する選択回路と、

を有する請求項 1 に記載の P W M 信号生成回路。

[請求項3]

前記デューティ設定部は、

前記初期デューティ比の値を格納する初期デューティレジスタと、  
前記目標デューティ比の値を格納する目標デューティレジスタと、  
前記傾き設定値を格納する傾きレジスタと、を有し、

前記周期設定部は、

前記周期設定値を格納する周期レジスタを有する請求項 1 又は 2 に記載の P W M 信号生成回路。

[請求項4]

前記出力制御部は、

前記クロック信号のクロック数をカウントして第 2 のカウント値を生成する第 2 のカウンタと、

前記周期設定値と、前記第 2 のカウント値と、が入力され、前記第 2 のカウント値が前記周期設定値に達したことに応じて、前記第 2 のカウント値をカウント開始値にリセットすると共に、周期開始を通知する周期開始信号を出力する第 3 の比較器と、

前記デューティ制御信号で示されるデューティ比を示す値に前記第 2 のカウント値が達したことに応じて、前記 P W M 信号の論理レベルの切り換えを指示する切り換え信号を出力する第 4 の比較器と、

前記周期開始信号に応じて前記 P W M 信号の論理レベルを開始論理レベルとし、前記切り換え信号に応じて前記 P W M 信号の論理レベルを前記開始論理レベルとは逆の論理レベルとなる終了論理レベルとする P W M 信号生成器と、

を有する請求項 1 乃至 3 のいずれか 1 項に記載の P W M 信号生成回路。

[請求項5]

前記 P W M 信号生成器は、 P W M 出力ゲート信号が入力され、前記

PWM信号ゲート信号の論理レベルに応じて前記PWM信号を出力するか否かを切り換える請求項4に記載のPWM信号生成回路。

[請求項6]

前記PWM信号生成回路は、

前記デューティ設定部を複数個有し、

前記出力制御部は、それぞれが、複数のデューティ設定部が出力するデューティ制御信号で示されるデューティ比の値に対応するデューティ比を有する複数のPWM信号を生成する請求項1乃至5のいずれか1項に記載のPWM信号生成回路。

[請求項7]

外部に設けられた制御対象回路にPWM信号を出力するプロセッサシステムであって、

前記プロセッサシステムで用いられるプログラム及び設定値を格納するメモリと、

PWM信号生成ユニットと、

演算コアと、を有し、

前記PWM信号生成ユニットは、

前記PWM信号の生成開始時の初期デューティ比の値を指定する初期デューティ設定信号と、前記PWM信号の目標デューティ比の値を指定する目標デューティ設定信号と、前記初期デューティ比が前記目標デューティ比に至るまでのデューティ比の変化率を指定する傾き設定値を指定する傾き設定信号と、クロック信号と、に基づき前記PWM信号の1周期毎のデューティ比を指定するデューティ制御信号を生成するデューティ設定部と、

周期設定信号に基づき前記PWM信号の1周期の長さを示す周期設定値を出力する周期設定部と、

前記周期設定値に応じた周期と前記デューティ制御信号の値に応じたデューティ比の前記PWM信号を前記クロック信号に基づき生成する出力制御部と、を有し、

前記デューティ設定部は、前記クロック信号のクロック数が前記周

期設定値に達した回数が前記傾き設定値に達する毎に前記初期デューティ比の値を前記目標デューティ比の値まで増加させ、

前記演算コアは、

前記プログラム及び前記設定値を読み出して前記初期デューティ設定信号、前記目標デューティ設定信号、前記傾き設定信号及び前記周期設定信号を生成して、前記PWM信号生成ユニットに与えるプロセッサシステム。

[請求項8]

前記演算コアは、PWM信号生成開始信号を出力し、

前記PWM信号生成ユニットは、前記PWM信号生成開始信号に応じて前記PWM信号の生成を開始する請求項7に記載のプロセッサシステム。

[請求項9]

前記制御対象回路内のノードに生成される電圧のレベルを示す計測値の時系列情報を生成する出力モニタユニットを有し、

前記出力モニタユニットは、前記PWM信号生成開始信号に応じて前記計測値の時系列情報の生成を開始する請求項8に記載のプロセッサシステム。

[請求項10]

前記演算コアは、

前記計測値の時系列情報の最終値が予め設定された目標下限値を下回っている場合、前記目標デューティ比の値を増加させ、

前記計測値の時系列情報の最終値が予め設定された目標上限値を上回っている場合、前記目標デューティ比の値を減少させ、

前記計測値の時系列情報の開始時点から前記測定値が前記目標下限値を最初に上回るまでの時間が予め設定された立ち上がり時間より短い場合、前記初期デューティ比の値を増加させ、

前記計測値の時系列情報の開始時点から前記測定値が前記目標下限値を最初に上回るまでの時間が予め設定された立ち上がり時間より長い場合、前記初期デューティ比の値を減少させ、

前記計測値が前記目標下限値を最初に上回った後再度前記目標下限

値を下回った場合、前記傾き設定値を増加させ、

前記計測値が前記目標上限値を最初に上回った後再度前記目標上限値を下回った場合、前記傾き設定値を減少させ、

前記メモリに格納されている設定値に含まれる前記目標デューティ比の値、初期デューティ比の値及び前記傾き設定値を更新する請求項 9 に記載のプロセッサシステム。

[請求項11]

前記演算コアは、前記 PWM 信号生成開始信号を出力する毎に前記メモリから前記設定値を読み出して前記初期デューティ設定信号、前記目標デューティ設定信号、前記傾き設定信号及び前記周期設定信号を前記 PWM 信号生成ユニットに与える請求項 8 乃至 10 のいずれか 1 項に記載のプロセッサシステム。

[請求項12]

前記演算コアは、前記 PWM 信号生成開始信号により前記 PWM 信号生成ユニットが前記 PWM 信号を間欠的出力するように制御する請求項 8 乃至 11 のいずれか 1 項に記載のプロセッサシステム。

[請求項13]

外部に設けられた回路から与えられる制御信号を受信する I/O ユニットの有し、

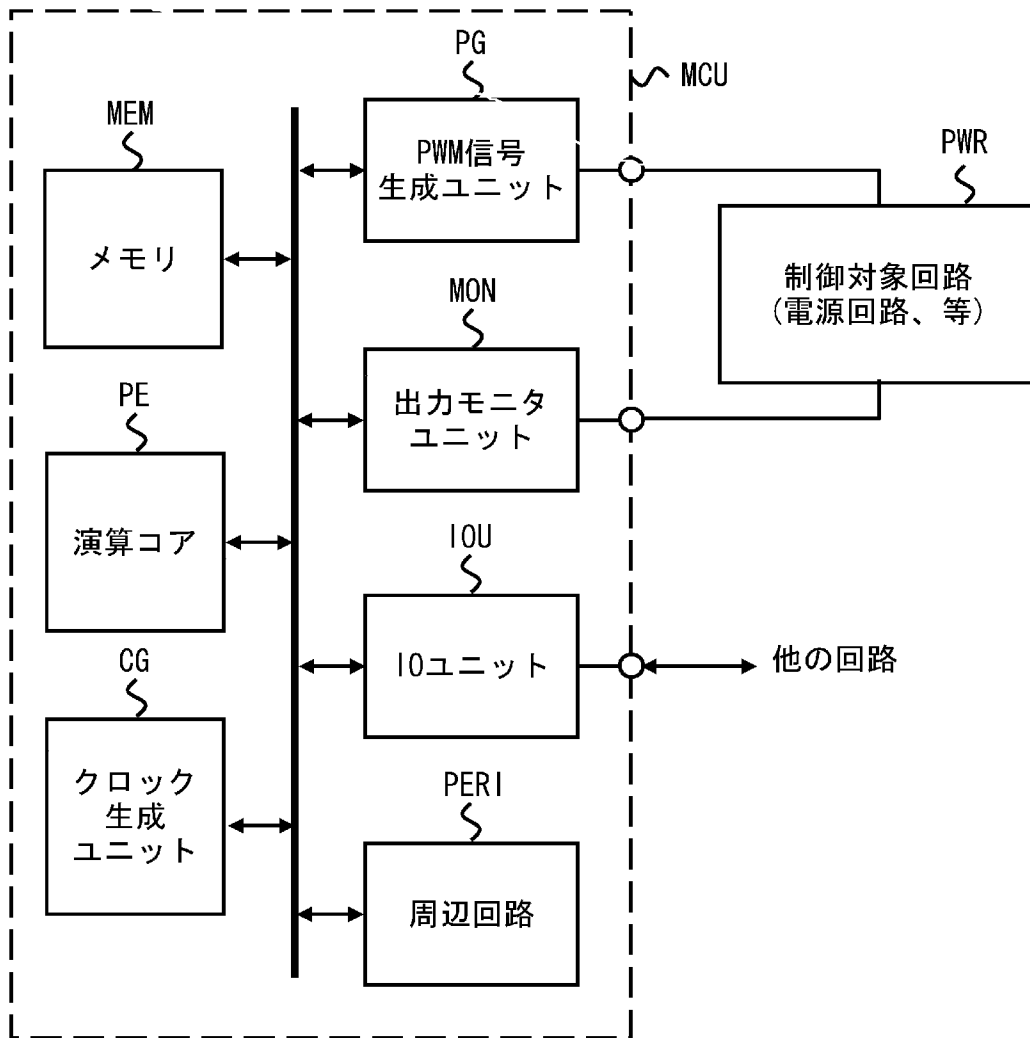
前記演算コアは、前記 I/O ユニットの介して得た前記制御信号に基づき前記 PWM 信号生成ユニットによる前記 PWM 信号の出力の開始及び停止を指示する PWM 出力ゲート信号を生成し、前記 PWM 出力ゲート信号により前記 PWM 信号生成ユニットが前記 PWM 信号を出力する間隔を制御し、前記 PWM 信号の出力の開始指示を行う毎に前記メモリから前記設定値を読み出して前記初期デューティ設定信号、前記目標デューティ設定信号、前記傾き設定信号及び前記周期設定信号を前記 PWM 信号生成ユニットに与える請求項 7 に記載のプロセッサシステム。

[請求項14]

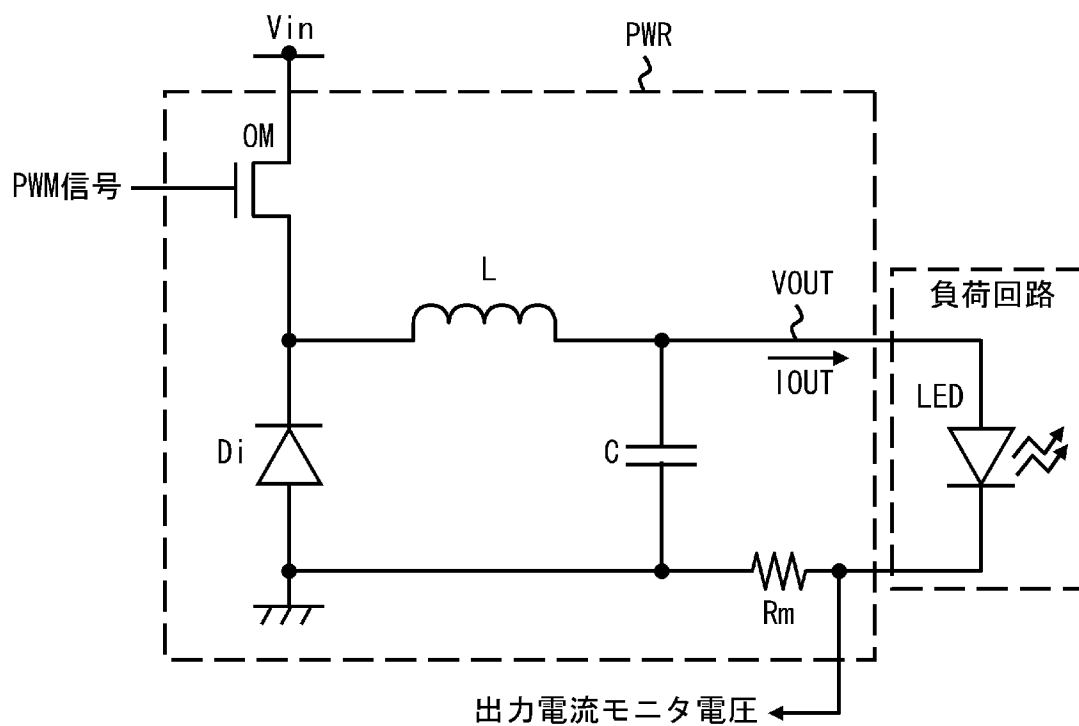
前記制御対象回路は、スイッチング動作により出力電圧の電圧レベルを制御する電源回路である請求項 7 乃至 13 のいずれか 1 項に記載のプロセッサシステム。

[請求項15] 前記電源回路は、LED素子を駆動する請求項14に記載のプロセッサシステム。

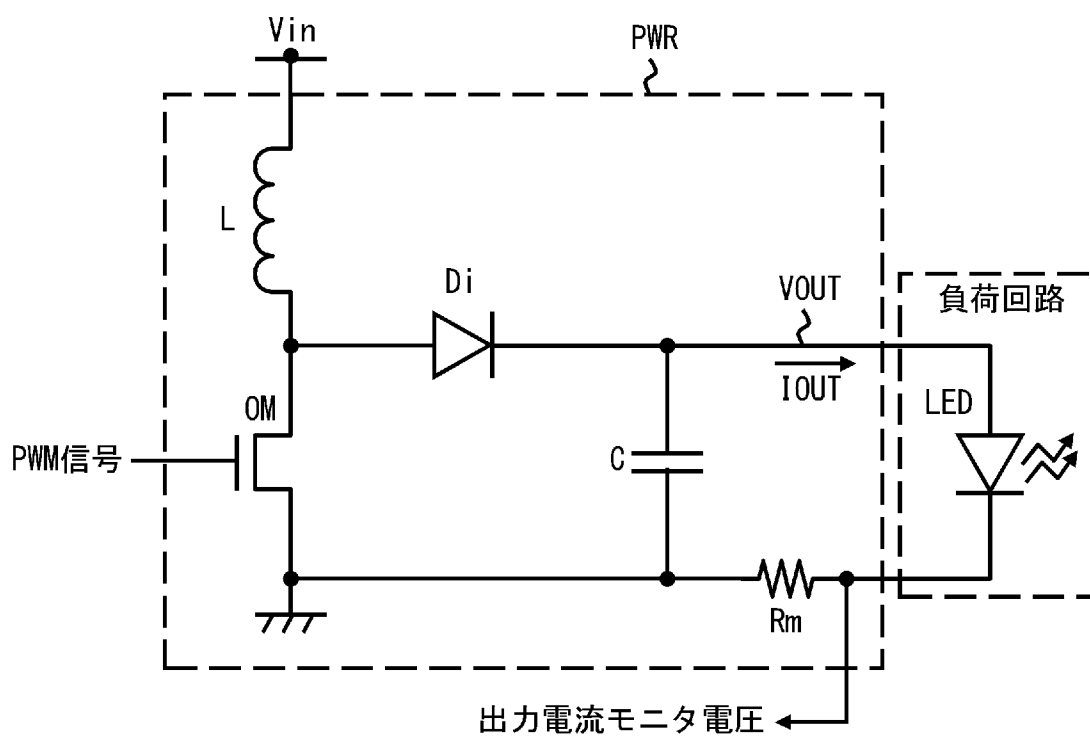
[図1]



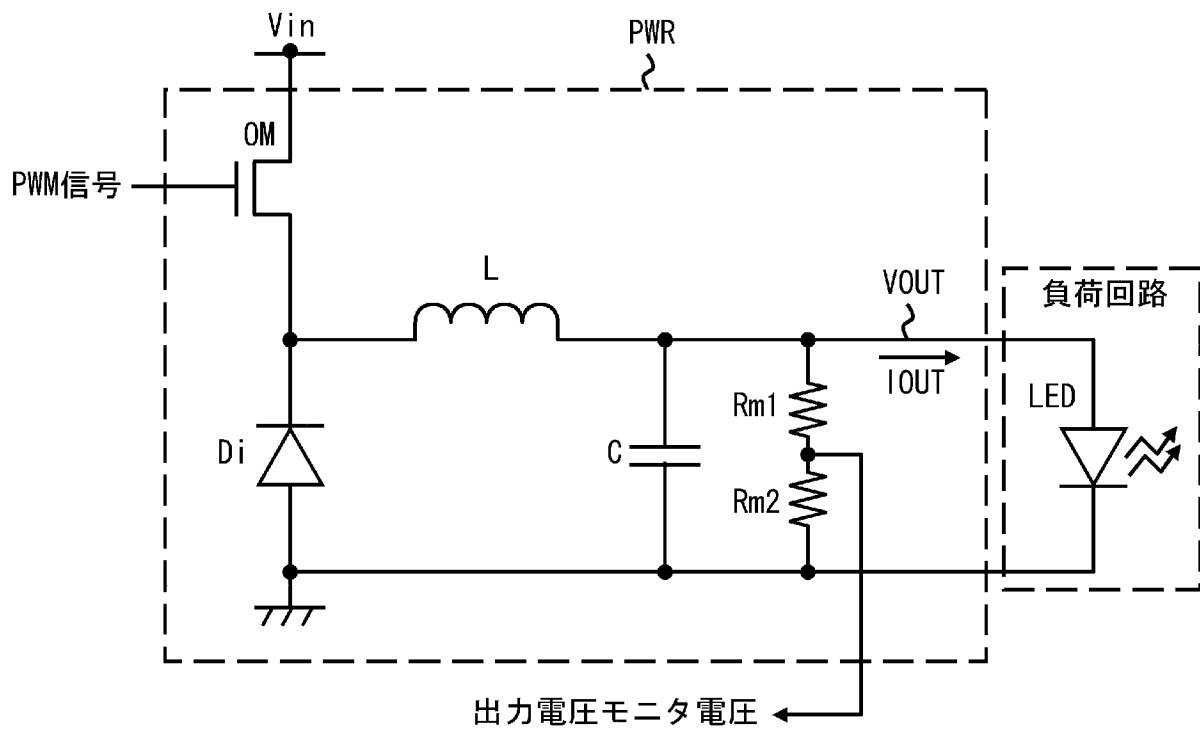
[図2A]



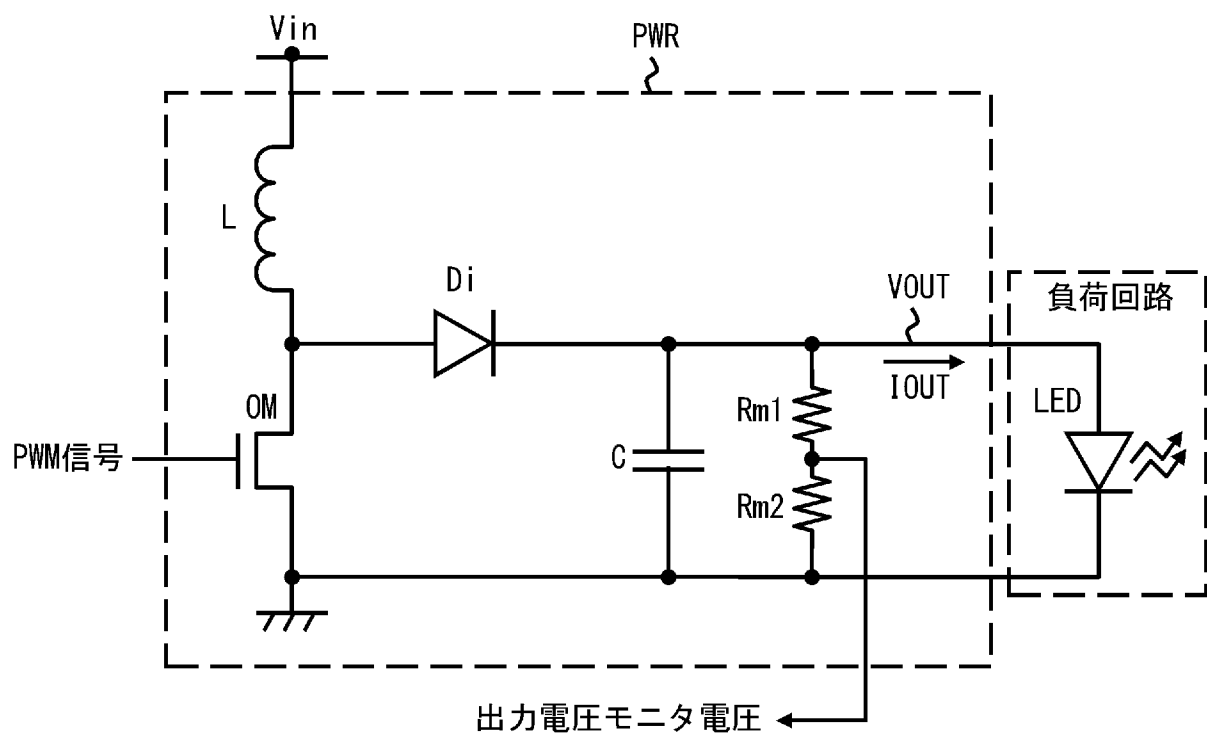
[図2B]



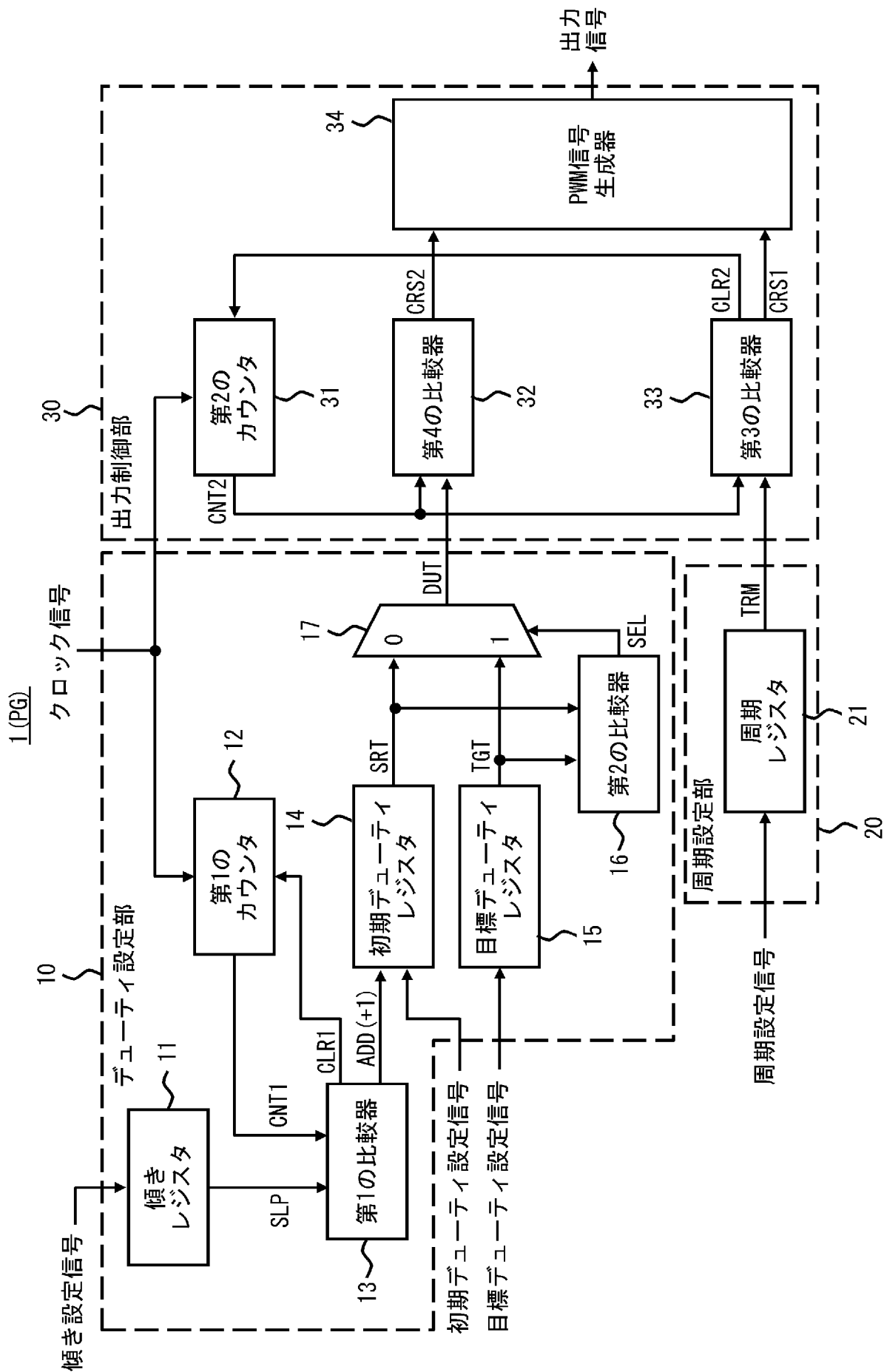
[図2C]



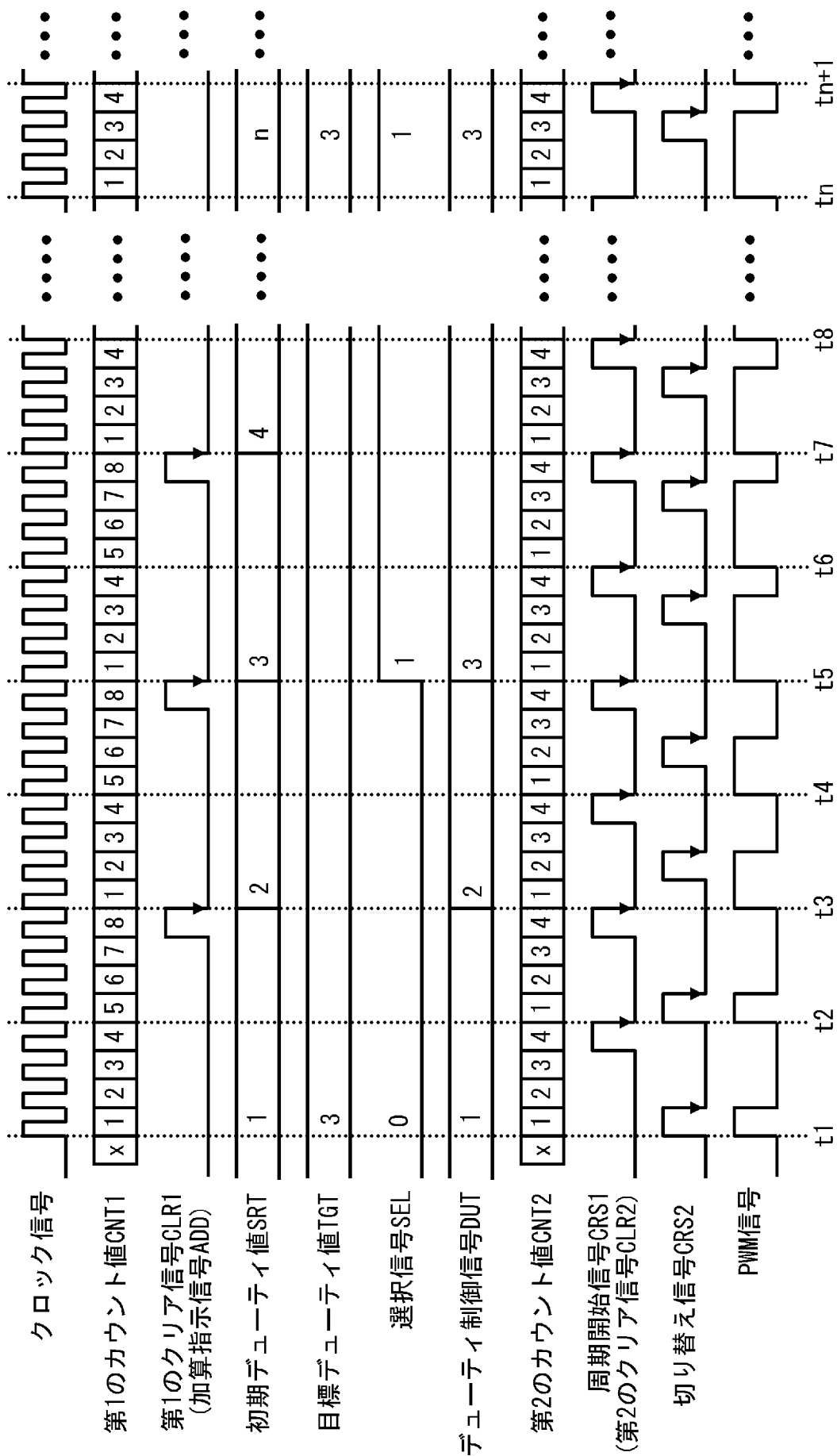
[図2D]



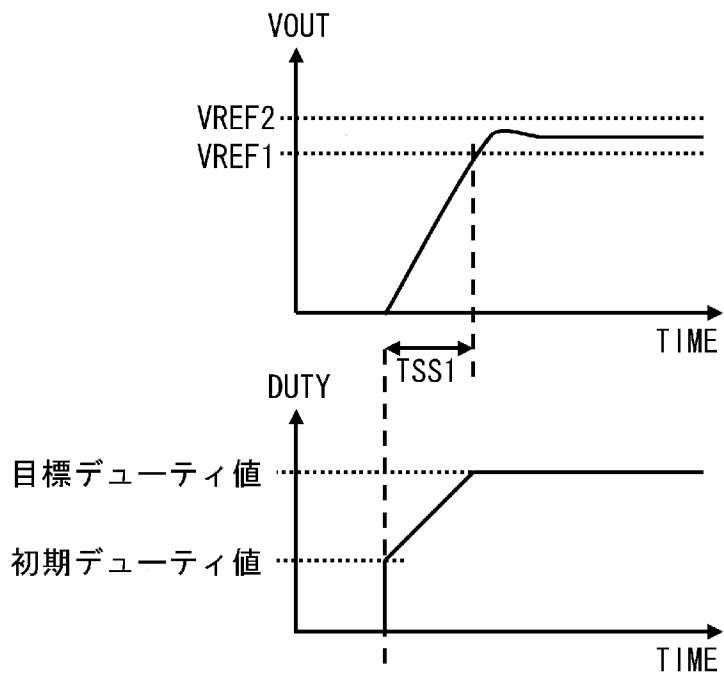
[図3]



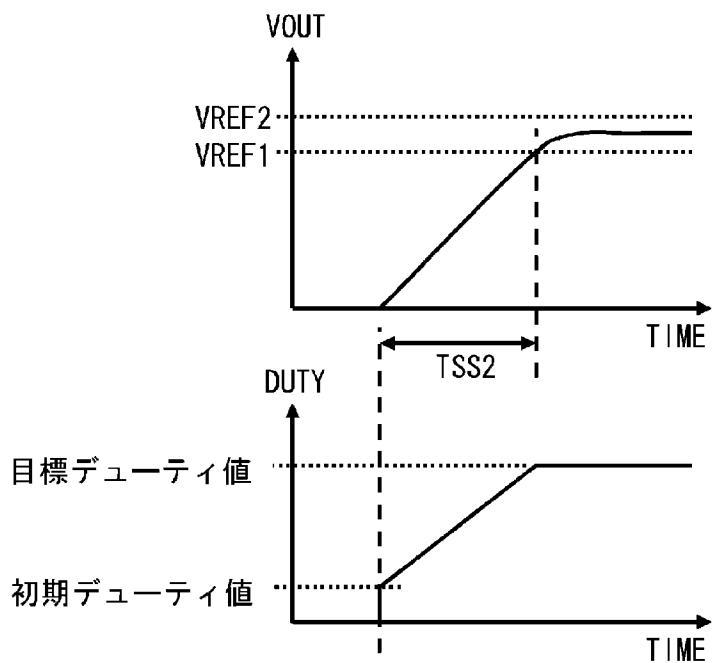
[図4]



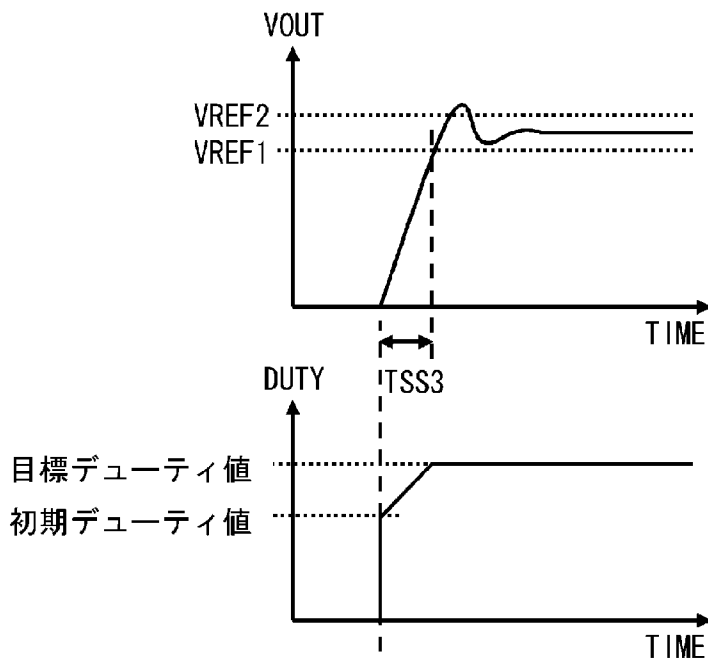
[図5]



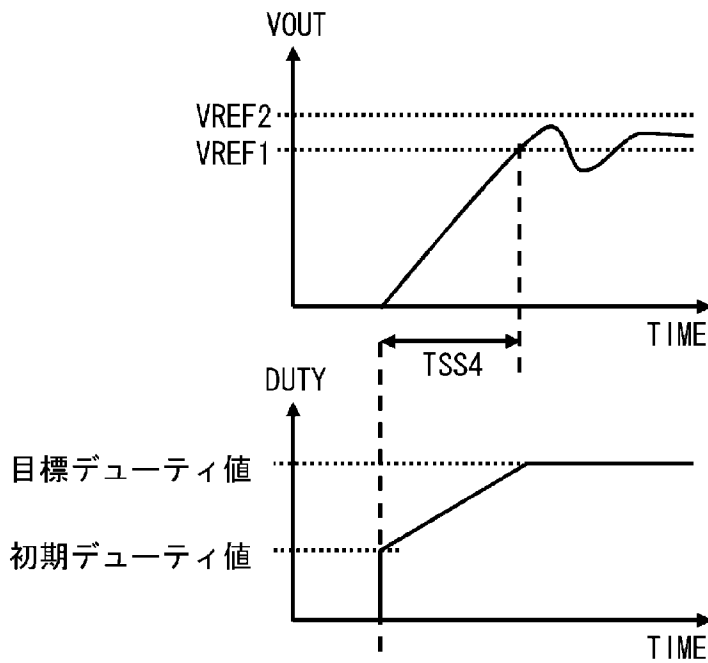
[図6]



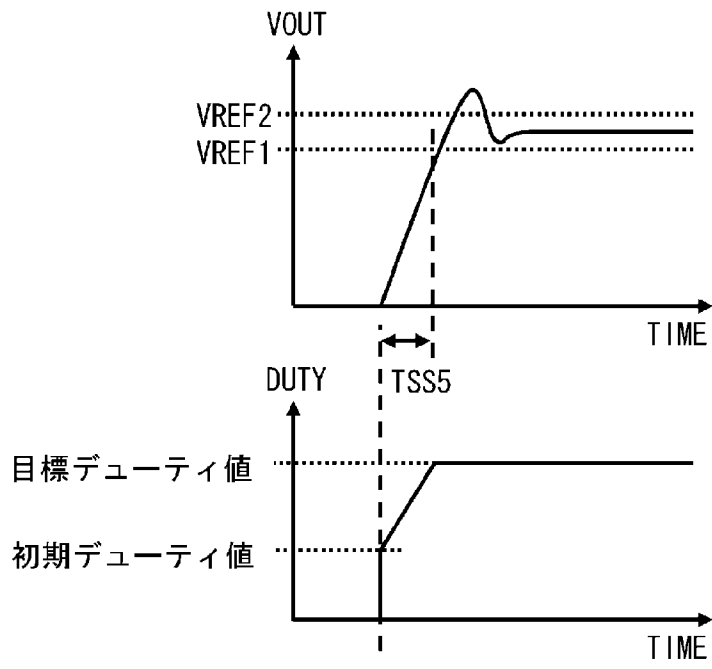
[図7]



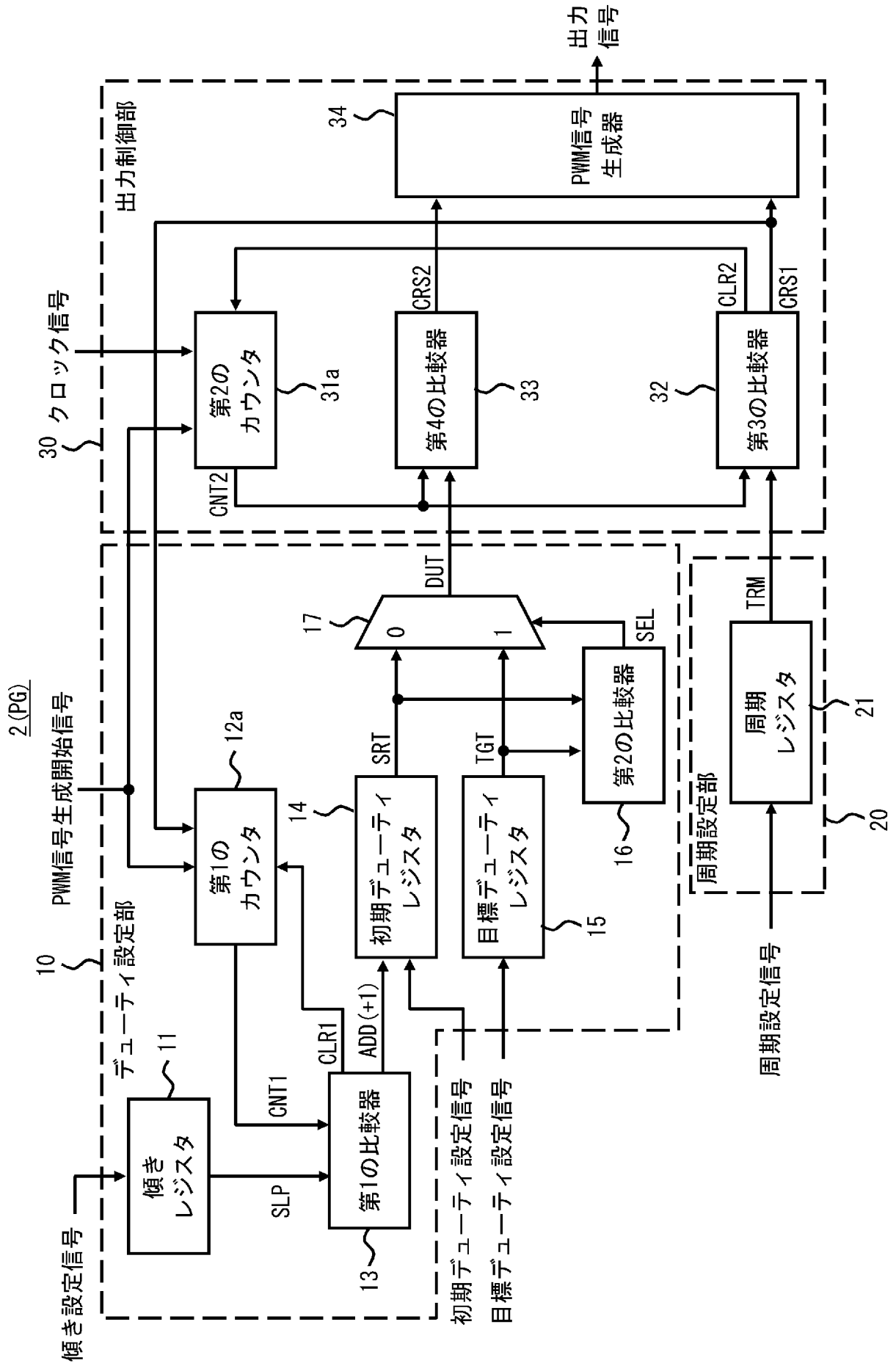
[図8]



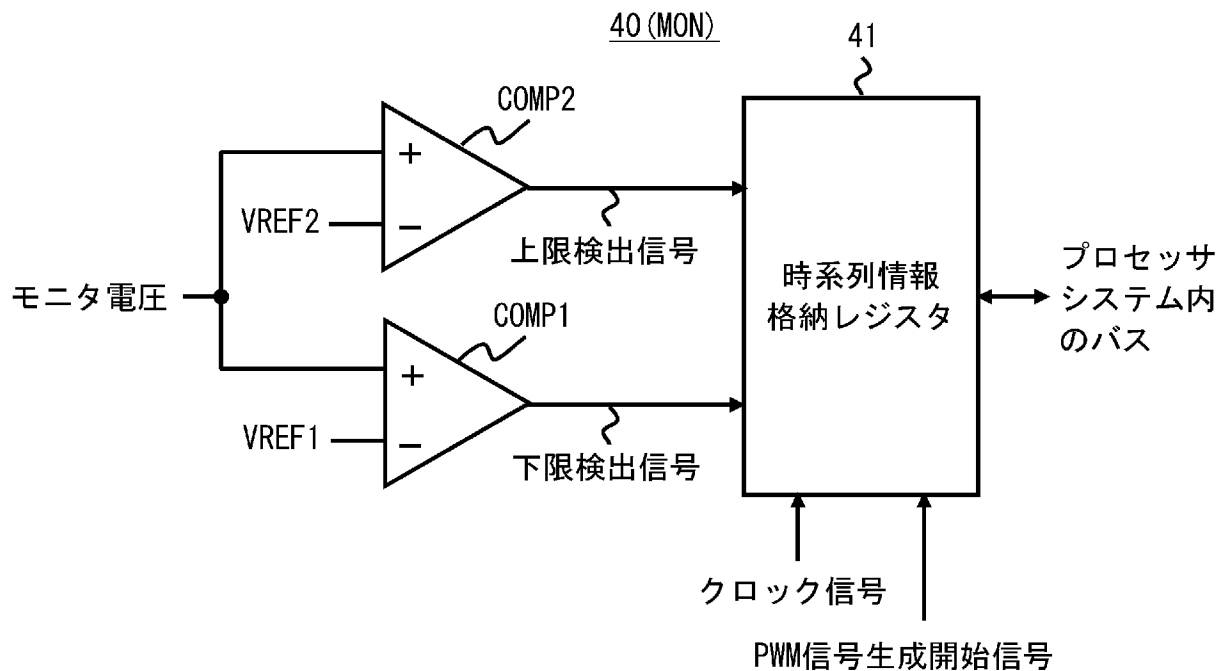
[図9]



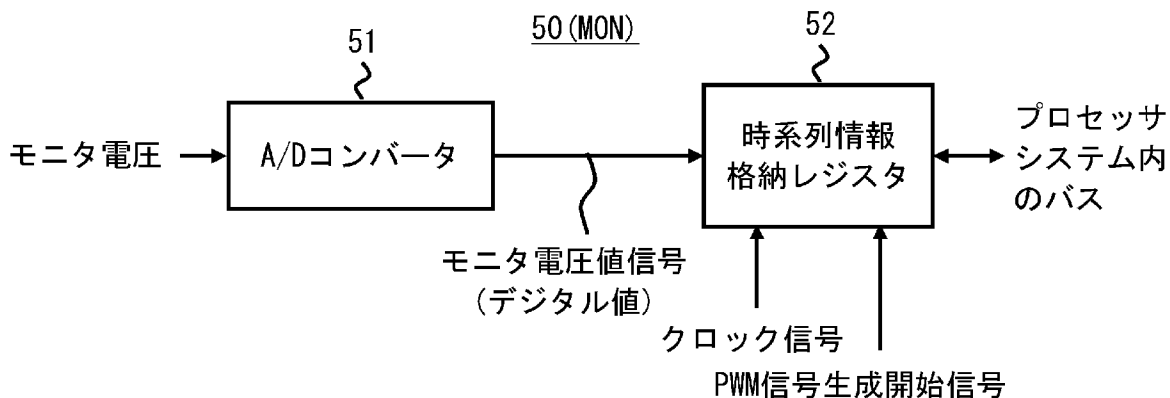
[図10]



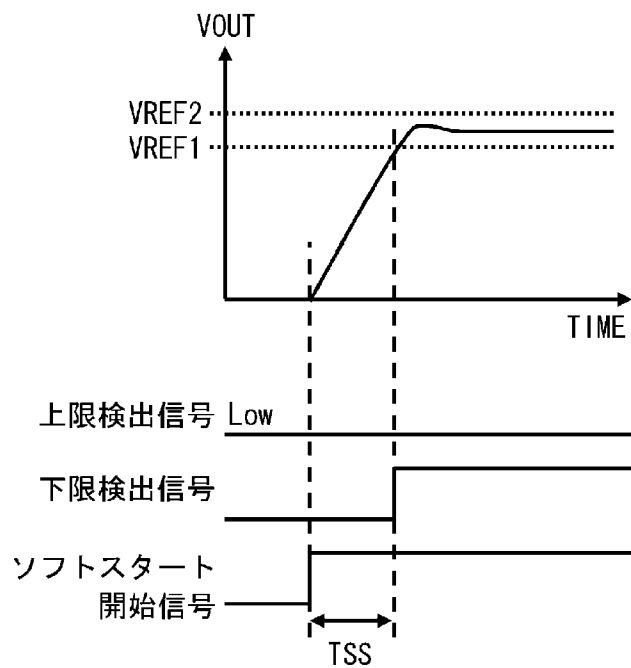
[図11]



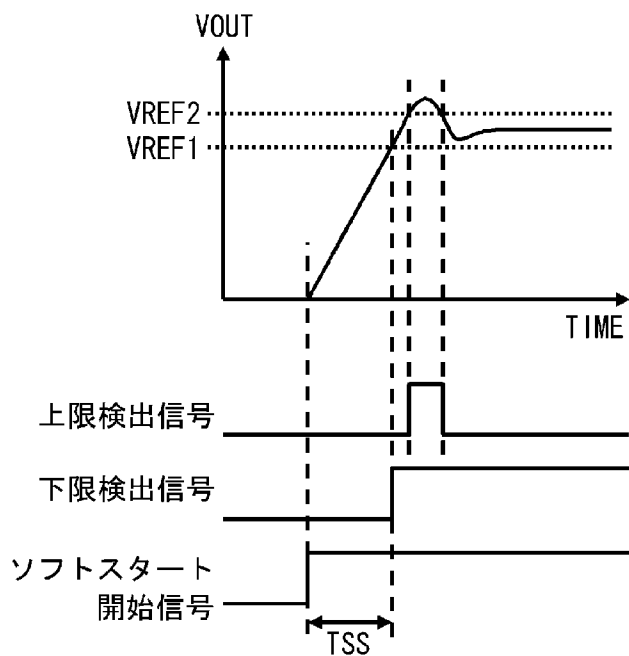
[図12]



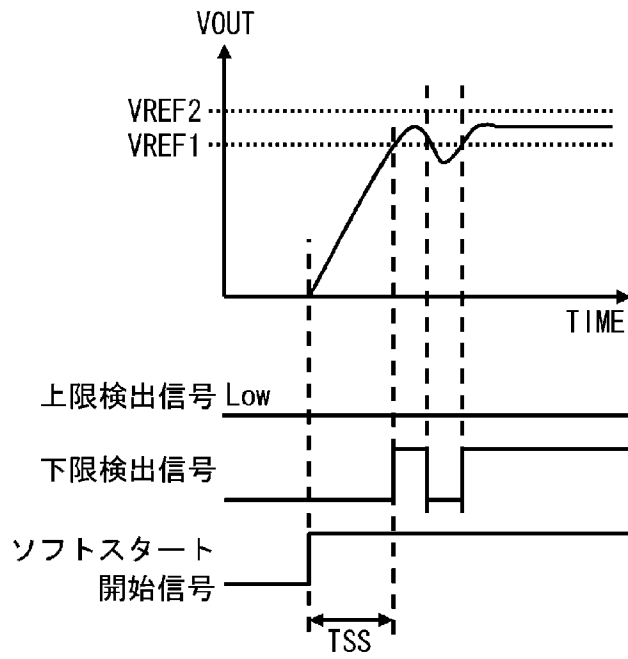
[図13]



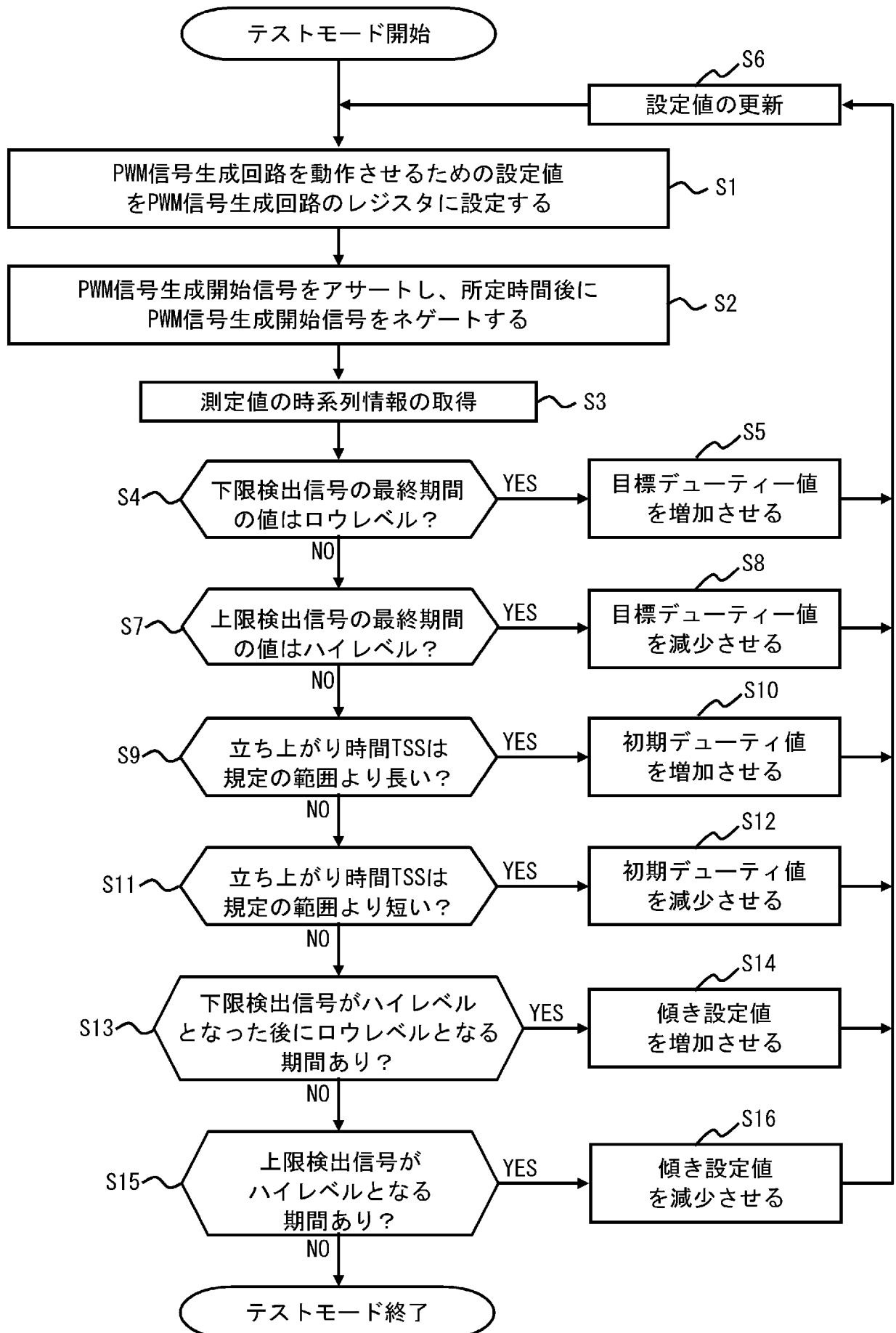
[図14]



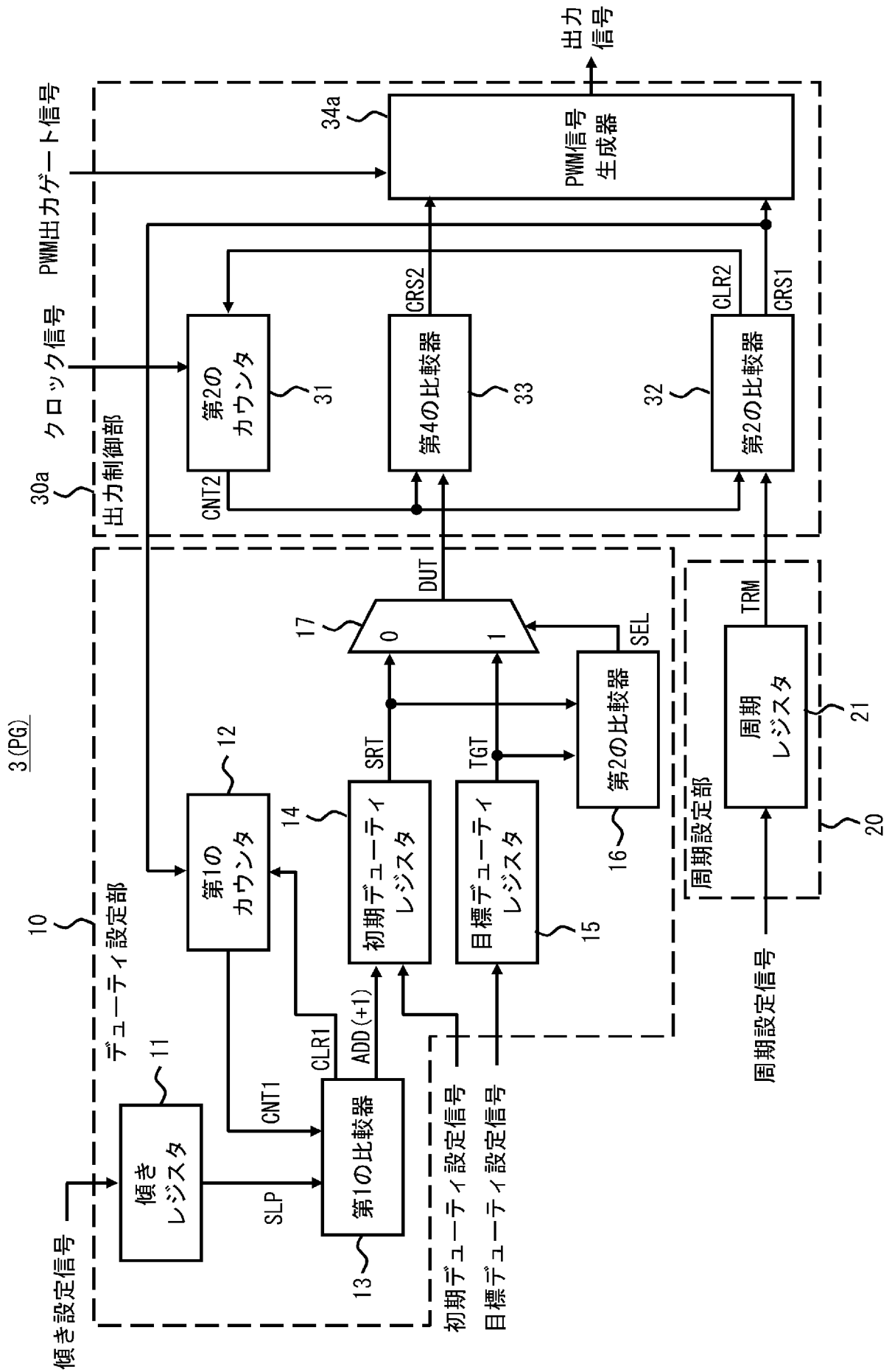
[図15]



[図16]

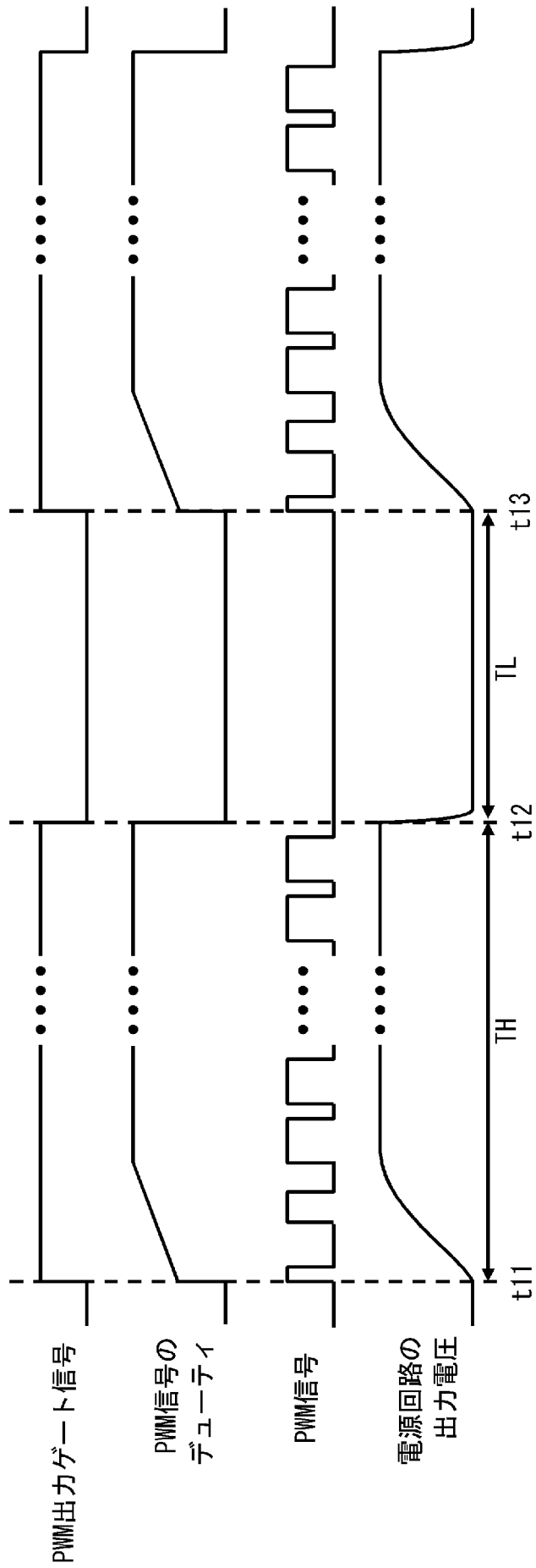


[図17]

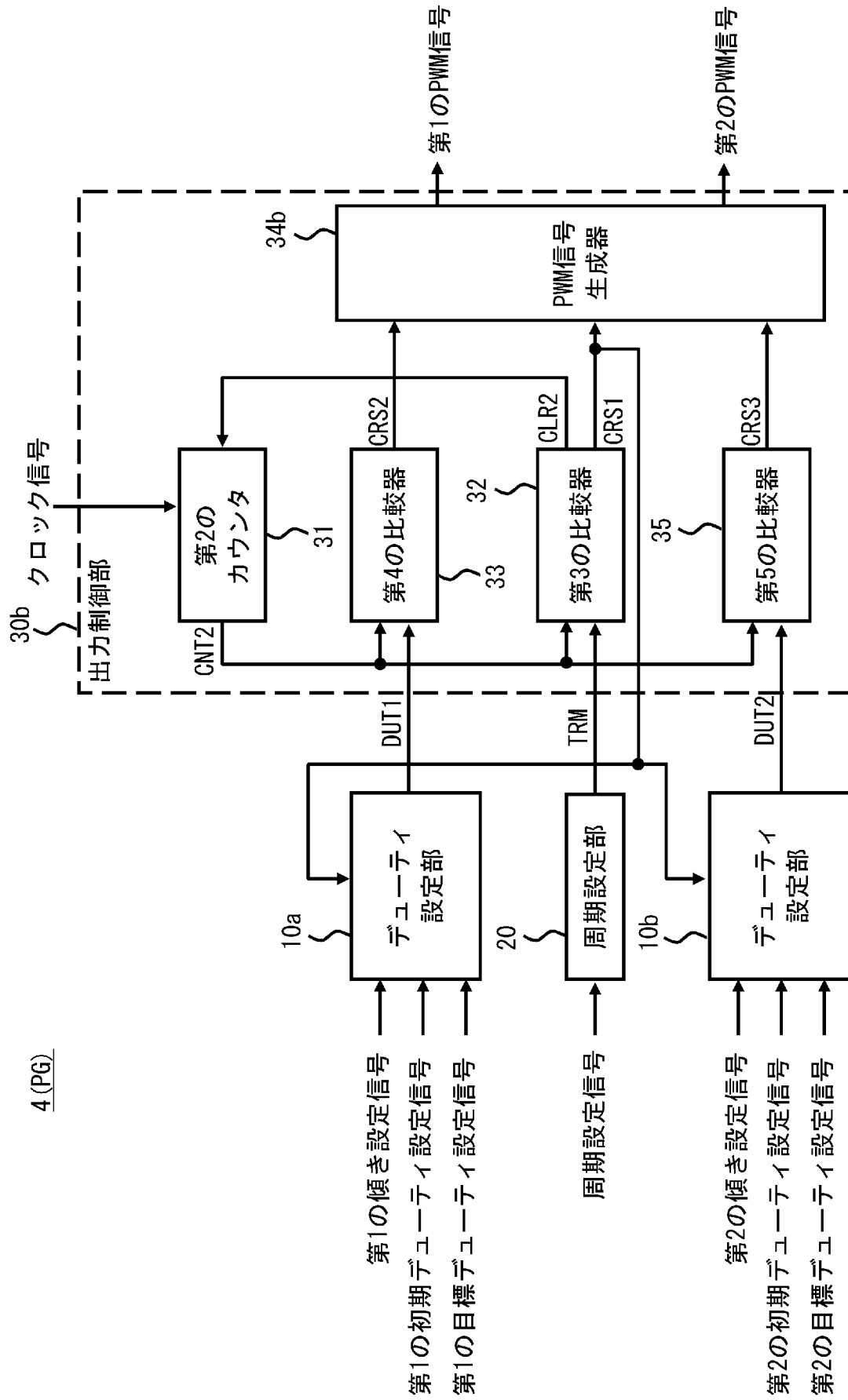


3 (PG)

[図18]



[図19]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2012/001287

**A. CLASSIFICATION OF SUBJECT MATTER**

H02M3/155 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

H02M3/155

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-161262 A (Oki Electric Industry Co., Ltd.), 25 June 1993 (25.06.1993), entire text; all drawings (Family: none)	1-15
A	WO 2008/041666 A1 (Panasonic Corp.), 10 April 2008 (10.04.2008), entire text; all drawings & US 2010/0091530 A1 & EP 2071714 A1	1-15
A	JP 2009-112168 A (Sharp Corp.), 21 May 2009 (21.05.2009), entire text; all drawings (Family: none)	1-15

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search  
10 April, 2012 (10.04.12)

Date of mailing of the international search report  
17 April, 2012 (17.04.12)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2012/001287

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-159473 A (Toyota Industries Corp.), 03 June 2004 (03.06.2004), entire text; all drawings (Family: none)	1-15

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H02M3/155(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H02M3/155

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2012年
日本国実用新案登録公報	1996-2012年
日本国登録実用新案公報	1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 5-161262 A (沖電気工業株式会社) 1993.06.25, 全文, 全図 (ファミリーなし)	1-15
A	WO 2008/041666 A1 (パナソニック株式会社) 2008.04.10, 全文, 全図 & US 2010/0091530 A1 & EP 2071714 A1	1-15
A	JP 2009-112168 A (シャープ株式会社) 2009.05.21, 全文, 全図 (ファミリーなし)	1-15

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日

10.04.2012

国際調査報告の発送日

17.04.2012

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

下原 浩嗣

電話番号 03-3581-1101 内線 3357

3V

9179

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-159473 A (株式会社豊田自動織機) 2004.06.03, 全文, 全 図 (ファミリーなし)	1-15