

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-335641

(P2004-335641A)

(43) 公開日 平成16年11月25日(2004.11.25)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H05K 3/46	H05K 3/46	5E346
H01L 23/12	H05K 3/46	
	H05K 3/46	
	H01L 23/12	

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号	特願2003-127990 (P2003-127990)	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成15年5月6日(2003.5.6)	(74) 代理人	100090538 弁理士 西山 恵三
		(74) 代理人	100096965 弁理士 内尾 裕一
		(72) 発明者	近藤 浩史 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		Fターム(参考)	5E346 AA12 AA38 CC04 CC09 CC32 EE08 EE09 FF45 GG08 GG15 GG28 HH32 HH33

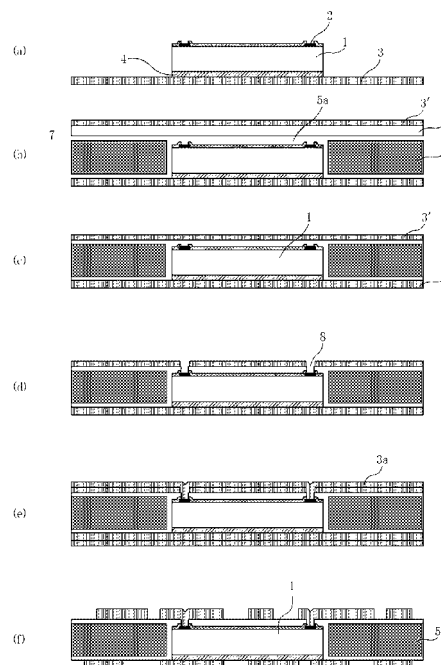
(54) 【発明の名称】 半導体素子内蔵基板の製造方法

(57) 【要約】

【課題】本発明は、半導体素子を回路基板中に埋設することにより小型化した半導体素子内蔵基板製造方法であって、より簡易かつ精度のよい基板の製造方法を提供することを目的とする。

【解決手段】本発明の半導体素子内蔵基板の製造方法は、第一のシートに半導体素子を接着し、その上に開口部を有する第二のシート載置し、さらにその上に導電性の第三のシート載置した後、第一乃至第三のシートを一括して熱圧着する事を特徴とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

回路基板中に半導体素子が埋設された半導体素子内蔵基板の製造方法において、第一のシートに前記半導体素子を接着する工程と、硬化反応途中の絶縁性樹脂からなり開口部を有する第二のシートを、前記開口部中に前記半導体素子が収容されるように前記第一のシート上に載置する工程と、導電体からなる第三のシートを前記第二のシート上に載置する工程と、前記第一、第二及び第三のシートを一括して熱圧着する工程と、前記第二及び第三のシートの、前記半導体素子の電極部直上に位置する部分を除去する工程と、
前記電極部と前記第三のシートとを電氣的に接続する工程と、
前記第三のシートをパターン状に加工し配線を形成する工程と、を有することを特徴とする半導体素子内蔵基板の製造方法。

10

【請求項 2】

第三のシートは第二のシートに面する側に硬化反応途中の絶縁性樹脂を有することを特徴とする請求項 1 記載の半導体素子内蔵基板の製造方法。

【請求項 3】

第一のシートに半導体素子を接着する工程の際、前記半導体素子の電極部を有する面側を前記第一のシートに接着することを特徴とする請求項 1 記載の半導体素子内蔵基板の製造方法。

20

【請求項 4】

第一のシートに半導体素子を接着する工程の際、接着部材として無機粒子を含有する絶縁性樹脂を用いることを特徴とする請求項 1 記載の半導体素子内蔵基板の製造方法。

【請求項 5】

第二のシートは熱圧着する工程における加熱温度では溶融あるいは流動しない材料を含んでいることを特徴とする請求項 1 記載の半導体素子内蔵基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、回路基板に電気回路部品を実装した半導体素子内蔵基板の製造方法に関するものである。

30

【0002】

【従来の技術】

近年電子機器製品の小型・軽量化のため、電子機器製品内に組み込まれる半導体素子内蔵基板の小型化が望まれている。

【0003】

従来の半導体素子内蔵基板の小型化の手段として、プリプレグからなり孔部を有する枠材を底板にプレス積層して凹部を有する基板を形成し、その後に半導体チップを凹部に貼り付けた後圧着し、さらにその上に絶縁層や配線層を形成し、さらにその上に電気回路部品を実装する方法が提案されている（例えば特許文献 1 参照。）

40

また、半導体チップを回路基板上に逐次積層していく方法が提案されている。（例えば特許文献 2 参照。）

さらには、半導体チップの電極部にバンプを形成して絶縁樹脂を塗布して埋め込み、研磨する方法が提案されている。（例えば特許文献 3 参照。）

【特許文献 1】

特開 2002 - 16173 号公報（第 4 頁）

【特許文献 2】

特開平 5 - 13967 号公報

【特許文献 3】

特開 2002 - 290006 号公報

50

【0004】

【発明が解決しようとする課題】

しかしながら、特開2002-16173号公報記載の発明には次のような課題があった。

【0005】

基板を積層する際のプレス工程においてプレス圧力が不均一となり密着不足を発生させたり、凹部の形状が不均一になる。特に、熱プレスを用いた場合、プリプレグ中の樹脂が熱プレス工程により軟化して凹部内に流れ込み、凹部の底に大きな凹凸をもったり、最悪の場合凹部が埋まってしまい、後に半導体チップを載置するために必要な凹部形状が保てない。

10

【0006】

また、半導体チップを埋め込むためには、回路基板凹部の底に半導体チップを保持できるようにするための保持面を形成しなければならず、この保持面のための絶縁層が必要になるが、このようにすると半導体チップを挟んだ導体層間の絶縁層の厚みは、半導体チップ厚に保持面上の絶縁層の厚みが加わったものとなり非常に厚くなってしまふ。そのため、複数の層からなる回路基板の複数の層間に半導体チップを埋め込んだ場合、回路基板の層厚がきわめて厚くなり小型化できなくなる。

【0007】

さらに、このように凹部を形成した後に半導体チップを組み込み、その後に埋め込む方式では、多層化していく際に各々の層毎に凹部を形成していかなければならず、極めて生産効率が悪い。

20

【0008】

また、このような凹部を基板に設けその中に半導体チップを搭載し、その後にこの半導体チップを覆うために液状絶縁性樹脂を用いる方法では、絶縁樹脂の硬化収縮時の樹脂量が面内で異なることから、硬化後の絶縁性樹脂表面の均一性・平坦性が得られ難く、そのため、露光・現像・エッチング工程にてレジスト像が乱れ、微細な配線パターンの形成をおこなうことができない。特に半導体チップ周辺は、チップ厚み分の樹脂が硬化収縮するため、表面が凹になりやすい。

【0009】

凹部を形成しないで埋め込む方式の場合には、基板の表面にあらかじめ形成された配線パターンの電極部と半導体チップの電極部とを接続する接合工程が必ず必要になる。

30

【0010】

この接続を行う方法として、フリップチップ接続をおこなう場合には、半導体チップの電極パッド部にはんだバンプあるいはボールを形成させる必要がある。

そして、この半導体チップのはんだバンプと基板の配線パターンの電極部とを位置合わせの後に半導体チップをパターン電極上に搭載し、加熱することで接合させる。そして、半導体チップ表面と基板表面との間のバンプによってできているギャップ間にアンダーフィル材と呼ばれる接続補強樹脂を注入し固着させるといった複雑な接合工程が必要となる。

【0011】

さらに、このようなフリップチップ接続を今後の多ピン化が進む半導体チップで行おうとするならば、半導体チップに形成されるバンプやハンダボールの微細化かつ高精度化が要求されるだけでなく、基板の配線ピッチも、より微細化を要求される。そのため、バンプ形成コストと基板コストが大幅に上昇する。さらに、搭載時の位置合わせ精度もより厳しいものが要求され、装置コストの上昇を招いてしまふ。

40

【0012】

逐次積層していく方式では、常に半導体チップの電極部は、同一面方向を向かざるを得ない。そのため、半導体チップと半導体チップとの間を接続するには、最短でも半導体Chip厚以上は必要になり配線長を短くすることが難しい。そのため、より高速な信号の伝送を行う際に信号波形の遅れや波形形状の乱れになり、高速な信号伝送が難しい。

【0013】

50

また、半導体チップ上に積層されかつ、各半導体チップの電極部より配線を接続するためには、必ず半導体チップ上に積層される半導体チップのサイズは、その下の半導体チップより小さくなくてはならず、積層する各半導体チップがそのサイズによって限定されるといった設計制約がある。

【0014】

半導体チップの電極部にバンプを形成して絶縁樹脂を塗布して埋め込み、研磨する方式では、バンプ上を覆っている絶縁樹脂を除去するためと、絶縁樹脂表面を平坦化させるために必ず研磨工程が必要になる。一方レーザーによってスタッドバンプを露出させるものに関しては、反射率の高い金からなり、かつネックカットした形状安定性の悪いスタッドバンプにレーザー光があたると、レーザー光が反射・散乱され加工穴形状が著しく悪くなる。そのため、通常100μm以下という極めて狭ピッチな半導体チップの電極部ピッチに対して、安定した接続用の穴加工を行うことができない。

10

【0015】

また、穴加工精度を緩和させるための半導体チップ電極面積より大きいバンプを半導体チップ上に設ける方式では、半導体チップの電極数の増加に伴う電極間ピッチの狭ピッチ化に対応できない。また、穴加工時の位置精度のためだけに、バンプ形成工程が必要となりコストアップとなる。

【0016】

【課題を解決するための手段】

本発明に係る第1の半導体素子内蔵基板の製造方法は、回路基板中に半導体素子が埋設された半導体素子内蔵基板の製造方法において、
第一のシートに前記半導体素子を接着する工程と、
硬化反応途中の絶縁性樹脂からなり開口部を有する第二のシートを、前記開口部中に前記半導体素子が収容されるように前記第一のシート上に載置する工程と、
導電体からなる第三のシートを前記第二のシート上に載置する工程と、
前記第一、第二及び第三のシートを一括して熱圧着する工程と、
前記第二及び第三のシートの、前記半導体素子の電極部直上に位置する部分を除去する工程と、
前記電極部と前記第三のシートとを電気的に接続する工程と、
前記第三のシートをパターン状に加工し配線を形成する工程と、を有することを特徴とするものである。

20

30

【0017】

本発明に係る第2の半導体素子内蔵基板の製造方法は、上記第1の製造方法において、第三のシートは第二のシートに面する側に硬化反応途中の絶縁性樹脂を有することを特徴とするものである。

【0018】

本発明に係る第3の半導体素子内蔵基板の製造方法は、上記第1の製造方法において、第一のシートに半導体素子を接着する工程の際、前記半導体素子の電極部を有する面側を前記第一のシートに接着することを特徴とするものである。

【0019】

本発明に係る第4の半導体素子内蔵基板の製造方法は、上記第1の製造方法において、第一のシートに半導体素子を接着する工程の際、接着部材として無機粒子を含有する絶縁性樹脂を用いることを特徴とするものである。

40

【0020】

本発明に係る第5の半導体素子内蔵基板の製造方法は、上記第1の製造方法において、第二のシートは熱圧着する工程における加熱温度では溶融あるいは流動しない材料を含んでいることを特徴とするものである。

【0021】

従来半導体素子内蔵基板の製造方法に比べ、以下のような様々な効果を得ることが可能となる。

50

【0022】

本発明では、完成あるいは、半完成の回路基板に凹部を設けるといった工程を必要とせず、複数の積層されたシートと半導体素子を一括して熱圧着して半導体素子を回路基板内に埋め込むことにより、大幅な工程の短縮とコスト削減が図られる。さらに半導体素子を搭載保持するための絶縁層部を設ける必要がないので、半導体素子の埋め込み後の厚みを薄くすることが可能である。

【0023】

また、従来生じていた、半導体ウェハー上への再配線を行う際に不良な半導体素子までも再配線を形成していた問題、半導体素子上にしか電極を拡張できず、多ピン化に対応できない問題は、容易に解決できる。

10

【0024】

さらに、複数の半導体素子を積層する場合のバーイン検査に関しても、半導体素子を内蔵し配線が形成されたものであれば、テスト治具の有する電極端子ピッチに十分対応することができコストアップせず容易に検査を行うことが可能となる。そこで、検査後の良品のものを組み合わせることが可能であり、かつ内蔵された半導体素子のサイズに関係なく基板上に接続用電極を設けることが可能であるので、組み合わせに関しての半導体素子のサイズ制約なく半導体素子を組み合わせることが可能となる。

【0025】

さらに、半導体素子が内蔵された両面回路基板の一面には、システム基板接続用の電極を設け、他面には汎用IC用の電極を設けておくことにより、パッケージ上に汎用ICを搭載することが可能となるので、製品毎の様々な仕様変更に対しても容易に対応が可能といった設計の自由度が大幅に大きくなる。

20

【0026】

また、熱圧着工程により、半導体素子を取り囲む第二のシートが均一な材料特性を有する絶縁層として形成されるため、半導体素子内蔵基板全体の反りやうねりの発生を抑えることになり、安定した微細配線パターンを形成することが可能である。

【0027】

さらに、半導体素子裏面直下にパターンを形成することも容易に行えるので、このパターンを放熱用のヒートスプレッダーにすることで放熱性を高めることができる。

【0028】

また、上記のような半導体素子を内蔵した両面基板をそれぞれ準備し、それらをさらに積層していくことで、様々な回路構成に対応することが、容易に可能となる。

30

【0029】

【発明の実施の形態】

(実施例1)

以下、本発明の実施例1にかかる半導体素子内蔵基板の製造方法について、図1を参照して説明する。図1は本発明の実施例1にかかる半導体素子内蔵基板の製造方法を示す断面図である。

【0030】

図1(a)に示すように、半導体素子としての半導体チップ1の裏面に絶縁性エポキシ樹脂4を設け、半導体チップ1を絶縁性エポキシ樹脂4を介して銅箔からなる第一のシート3の粗面化された面側に搭載する。

40

【0031】

第一のシートは導電性である事を有しないが、導電体である場合は公知のリソグラフィ技術を用いて第一のシートに配線パターンを容易に形成することが可能となる。

【0032】

その後、絶縁性エポキシ樹脂4を熱硬化させ、半導体チップ1を第一のシート3に接着させる。

【0033】

絶縁性エポキシ樹脂4の厚みは、接着に必要な強度を得ることが可能でなるならば、薄け

50

れば薄いほど好ましいが、一般的には10～30 μ mの範囲が良い。

【0034】

これよりも薄いと塗布時に均一な膜厚を確保することができず、気泡や未塗布の領域が発生してしまい、後の工程において剥離を発生させてしまう。

【0035】

また、これよりも厚いと半導体チップを固定する際に半導体チップが加圧力のばらつきにより傾斜して取り付くことになり、後の熱プレス工程において半導体チップの端部に高い応力が加わり半導体チップが破損してしまう。

【0036】

また、第一のシート3の厚みは8～35 μ mの範囲が良い。

10

【0037】

これよりも薄いとハンドリングの際にシートが破断してしまったり、よれ、うねりを発生させてしまい安定して生産することができない。

【0038】

また、これよりも厚いと、この第1のシートに後に形成する配線を形成する際にエッチングにより微細な配線を形成することができなくなる。

【0039】

次に図1(b)に示すように半導体チップ1の厚み(通常50～150 μ m程度)とほぼ同じ厚みをもち、半導体チップ1に対応する形状の開口部5aを打ち抜きプレスによって形成した第二のシート5をその開口部5aが半導体チップ1を収容する位置に配置する。

20

【0040】

第二のシート5は硬化反応途中の絶縁性樹脂であるエポキシ樹脂からなり、ガラスクロスが含まれたプリプレグ材を使用した。

【0041】

第二のシート5の上に、第三のシート7を載置する。

【0042】

第三のシート7として銅箔3'上に硬化反応途中の絶縁性樹脂としてのエポキシ樹脂6をコーティングしたRCC(レジンコートド銅箔)材を用いた。

【0043】

エポキシ樹脂6の厚みは10～60 μ mの範囲が良い。

30

【0044】

これよりも薄いと半導体チップ上面の微細な凹凸を埋め込みその上の導体層である銅箔3'との層間絶縁性が保たれなくなったり、未充填部が発生し、後にその未充填部から剥離を発生させてしまう。

【0045】

また、これよりも厚いと後の工程で半導体チップ電極との接続を行う際に電極部上に形成する穴のアスペクト比(穴径対深さ)が1以上となってしまう、非常に加工性が下がってしまう。

【0046】

なお、第三のシート7には硬化反応途中の絶縁性樹脂は必ずしも無くて良い。

40

【0047】

硬化反応性の樹脂を有する場合は、樹脂量を増やすことにより、銅箔との密着強度をより高く得ることができるとともに、未充填の発生頻度を抑えることができる。

【0048】

このように積み重ねて配置した上記のシートに真空雰囲気にて熱圧着をおこなう。このときの加熱温度は150～200の温度が好ましい。

【0049】

熱圧着により、第二のシート5中のエポキシ樹脂と第三のシート7のエポキシ樹脂6が溶融し、半導体チップ1を図1(c)にあるように両面が銅箔に覆われたエポキシ樹脂中に埋め込んでしまう。

50

【0050】

このとき、第二のシート5としてガラスクロス入りのプリプレグ材を使用するのは、熱圧着時の圧力により半導体チップ1が存在する場所と存在しない場所での圧力差によりプレス後の表面の平坦性が損なわれるのを防ぐためである。

【0051】

従って、ガラスクロスの厚みは半導体チップの厚みと等しいか若干厚い方が好ましい。

【0052】

次に、図1(d)にあるように半導体チップ1の電極部2の位置に該当する部分の銅箔3'を通常のエッチングで除去し、その後、この穴部に露出する絶縁樹脂をCO₂あるいは、YAG、エキシマといったレーザーにより除去し、半導体チップ1の電極部2が露出するようVia穴8を形成する。なお、半導体チップ1の電極部2は、Al上にTi/Niの拡散バリア層をあらかじめウェハー工程にて作りこんでおく。

10

【0053】

つぎに、Via穴8のクリーニングを過マンガン酸等により行い、図1(e)に示すようにメッキ工程にて全面に銅層3aを析出させる。これにより電極部2と銅箔3'とが接続される。

【0054】

次に、銅層3aとレジスト材を塗り、露光・現像工程によりパターンをエッチングで形成し、図1(f)のような半導体チップ1が内蔵された両面配線回路基板を得る。このような両面配線回路基板は、多層配線回路基板を製造する際の基本構成であることから、次に述べるような多層化が容易に行える。

20

【0055】

図2に示すように、このような両面配線回路基板を間にプリプレグ材を介し、再度熱圧着をおこない、ドリルによる穴あけとメッキによるスルーホール9を形成することで、容易に多層化は可能となる。

【0056】

また、積層させるものは、両面配線回路基板である必要はなく、プリプレグ材と銅箔とを本発明の両面配線回路基板の両面に配置し、熱圧着を行えば4層配線基板が形成される。

【0057】

このように形成された半導体チップ1内蔵の回路基板は従来の回路基板と同じ工程により製造されているので、従来と同様に電子回路部品を表面に実装が可能であり、半導体チップ1が埋め込まれた半導体素子内蔵基板が容易に製造される。

30

【0058】

(実施例2)

図3は本発明の実施例2にかかる回路基板の製造方法を示す断面図である。

【0059】

本実施例においては、図3(a)に示すように、配線21が形成された基板10上に半導体チップ1を実施例と同様に搭載し、接着させる。そして、第1の実施例と同様にプリプレグ材とRCC材を用い、半導体チップを熱圧着により回路基板中に埋め込む。

【0060】

次に、図3(d)に示すように従来のビルドアップ基板の製造方法と同様に、銅箔3'上のビア穴を形成する位置にウィンドを形成し、レーザー光により絶縁層部にビア穴8、11を形成する。その際、層間部22を形成する際と半導体チップ1の電極部2を形成する際のレーザー光のスポット径を変えることにより、それぞれに適した穴径サイズを形成する。

40

【0061】

次に、メッキ工程により、図3(e)にあるように層間、半導体チップ1の電極部2とを接続し、その後、露出している銅にエッチングによりパターンを形成させる。

【0062】

この工程を複数回繰り返せば、容易に多層化が図られることは、明らかである。

50

【0063】

本実施例によれば、ビルドアップ基板の製造プロセスを用いることにより、層間接続にスルーホールでなくビアを使用するので、より高密度な回路基板を製造することが可能である。そのため、より高密度な実装による製品の小型化が可能となる。

【0064】

(実施例3)

図4は、本発明の実施例3にかかる回路基板の製造方法を示す断面図である。

【0065】

本実施例においては、半導体チップ1の電極部2を有する面を先に銅箔3と絶縁性エポキシ樹脂12を用いて接着する。このエポキシ樹脂12には、シリカ粒子が分散されており、熱伝導性の向上と、水分吸収率の低減と、熱膨張係数がエポキシ樹脂単独の50ppmレベルから10~30ppmへと低減することで半導体チップ表面にかかる熱応力の緩和を図ることが可能となっている。さらに、一括の熱プレスでの接着ではなく、半導体チップ1を個別に接着させるため、半導体チップ表面と銅箔3との間隔の制御が容易に行える。そのため、レーザーによる穴加工時のアスペクト比のばらつきがなく、より微細な穴径での加工ができ、より狭ピッチ多ピンの半導体チップに対応することが可能となる。

10

【0066】

その他の製造方法は、実施例1と同様である。

【0067】

(実施例4)

図5は、本発明の第4の実施例を示す模式的断面図である。

20

【0068】

本実施例においては、保持用の絶縁性基材からなる基板13上に半導体チップ1を搭載し、プリレグ材5とRCC材7を介して一括熱プレスで半導体チップを埋設した後に、RCC材の銅箔3'を全面で剥離する。その後レーザーにて、半導体チップ1の電極部2上にVia穴を設け、クリーニングした後全面にメッキにより銅を設ける。

【0069】

その後、エッチングによりパターンを形成する。本実施例では、RCC材の銅箔厚みがなく、メッキのみの厚みとなることから、より微細な配線パターンの形成が可能となる。

【0070】

そして、パターン形成後、はんだレジスト層を設け、露出する銅パターンのランド部にはんだボール14を搭載することで、半導体チップ内蔵の極めて薄いパッケージを提供することが可能となる。

30

【0071】

さらに、スーパーCSP等のチップサイズ上だけしか接続用Padを設けることができないといった制約は、ないので、接続Pad数を満たした小型パッケージを容易に提供することが可能である。

【0072】

また、本実施例では、保持用に絶縁性基材からなる基板13を使用したか、熱伝導性の高い金属プレートを保持用に使用することも可能であり、この構成時には極めて放熱性の高いパッケージとなる。

40

【0073】

本実施例では、通常のCSPやBGAパッケージのインターポザー(中間基板)を別に製造するのではなく、インターポザー製造と半導体チップの接続・封止工程を一括しておこなってしまう。そのため、非常に多くの工程数を削減でき、タクト時間の短縮、製造コストの削減をすることが可能となる。

【0074】

(実施例5)

図6は、本発明の第5の実施例を示す模式的断面図である。

【0075】

50

本実施例においては、上記第4の実施例による半導体チップが埋設され、パターンが形成された基板パッケージ16の状態で行い、良品のチップが内蔵される基板パッケージ16を判別する。そして、半導体チップが埋設された別の基板パッケージ16'の一方の面に形成された配線ランド部にはんだペースト17を印刷により設け、その後このランド部の位置に対向する位置にランド部が設けられているバーンイン試験で良品と判定された基板パッケージ16を位置合わせの後搭載し、リフロー工程によりはんだペースト17を溶融させ、基板パッケージの各ランド部間を接続する。

【0076】

次に、この接続された基板パッケージの一方の面にあるランド部にはんだボール14を搭載し、再びリフローによりはんだボール14とランドとを接続し、パッケージ上にパッケージが実装された複合パッケージが正蔵される。

10

【0077】

なお、本実施例では、半導体チップ内蔵基板パッケージ同士の組み合わせであったが、複数個のものを同様に組み合わせてもかまわない。

【0078】

さらに、より汎用性の高い半導体チップと組み合わせる場合には、基板パッケージの接続用ランド部のデザインを汎用品のパッケージのランドデザインに合わせることで対応は、可能となる。

【0079】

本実施例では、試験後の良品チップ内蔵のパッケージ同士を組み合わせることが可能となるため、不良混入による歩留まり低下を排除でき、かつ基板内部に半導体チップが埋め込まれていることから、パッケージを組み合わせても実装後の厚みは、極めて薄い複合パッケージを提供することが可能となる。

20

【0080】

また、より薄い複合パッケージを求めるのであれば、図7に示すような不良率の高い半導体チップを基板内に埋め込み試験をおこない、その上で、良品と判断されたもののみ、通常の半導体パッケージを製造すると同様に半導体チップを搭載し、ワイヤーボンダーで接続しトランスファーマールドで封止をおこない、はんだボール14を接続後、ダイシングソーにて個々のパッケージに切断することも可能である。

【0081】

この方式では、通常のスタック構造より配線自由度、搭載チップサイズ自由度が大幅に高まるだけでなく、不良率の高い半導体チップに対しては中間検査を行えることか、より高い歩留まりを得ることができる。

30

【0082】

【発明の効果】

以上述べてきたように、本発明では、半導体素子を基板製造工程中に一括した熱圧着工程にて基板内部に埋め込み、配線形成と合わせて接続することにより、半導体素子を基板内に精度良く埋め込み配置する事ができるとともに、大幅な製造工程の短縮が可能となる。

【0083】

さらに、基板内部に埋め込まれ、パターンが形成されればバーンイン試験等の後工程試験は容易におこなうことが可能となることから、良品選別が可能であり、より複合化された場合であっても高い歩留まりを維持でき、低コスト化が可能となる。

40

【0084】

また、配線設計自由度が高いことから、様々な半導体チップあるいは、電気回路部品との組み合わせに柔軟に対応することが可能であり、より高機能かつ小型の製品をローコストで提供することが可能となる。

【図面の簡単な説明】

【図1】第1の実施例を示す模式的断面製造図

【図2】第1の実施例の多層化を示す模式的断面製造図

【図3】第2の実施例を示す模式的断面製造図

50

【図4】第3の実施例を示す模式的断面製造図

【図5】第4の実施例を示す模式的断面製造図

【図6】第5の実施例を示す模式的断面製造図

【図7】第5の実施例を示す模式的断面製造図

【図8】従来例を示す模式的断面製造図

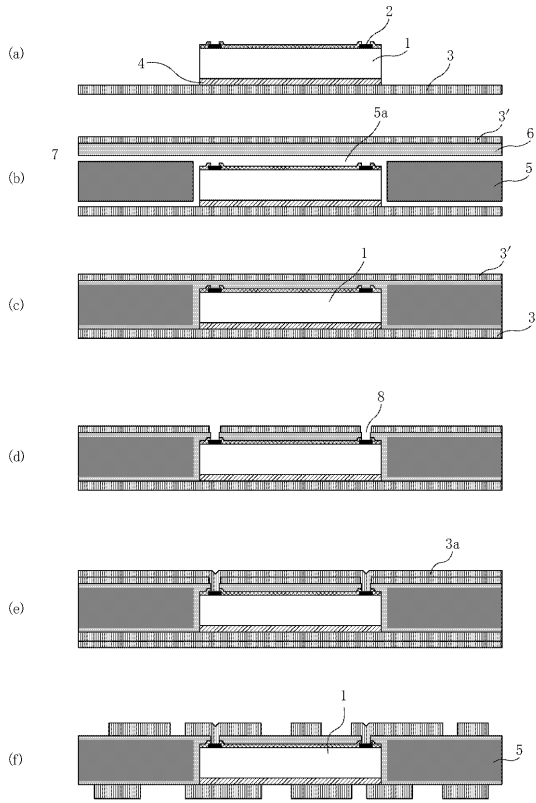
【符号の説明】

- 1 半導体チップ
- 2 半導体チップの電極部
- 3 銅箔
- 4 絶縁性接着剤
- 5 プリプレグ材
- 6 エポキシ樹脂（Bステージ状態）
- 7 R C C
- 8 ビア穴
- 9 スルーホール
- 10 配線基板
- 11 ビア穴（層間接続用）
- 12 フィラー含有エポキシ樹脂
- 13 保持用基板
- 14 はんだボール
- 15 基板パッケージ
- 16 ランド部
- 17 はんだペースト
- 18 金ワイヤー
- 19 封止モールド
- 20 凹部

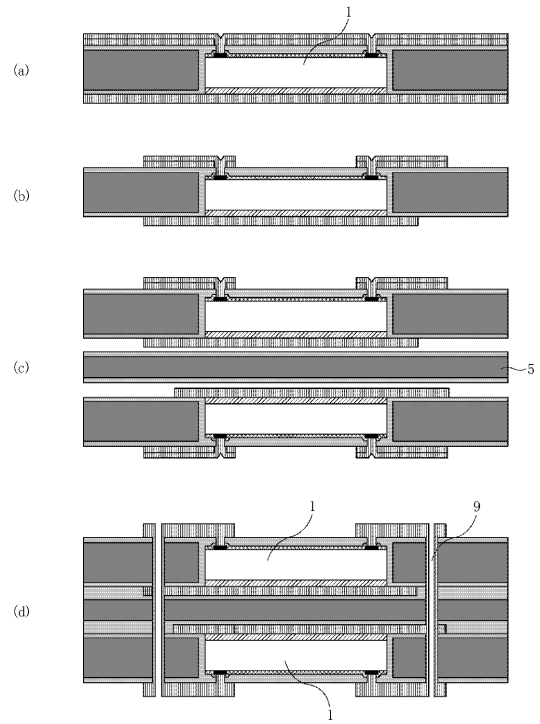
10

20

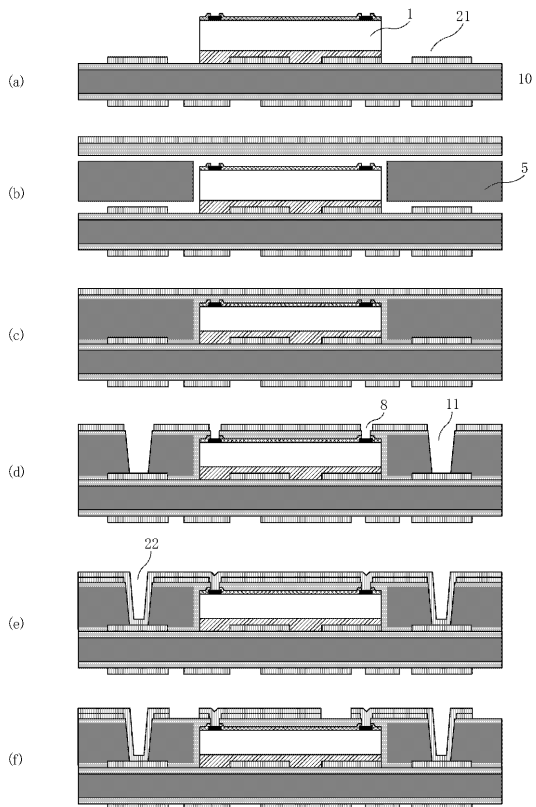
【 図 1 】



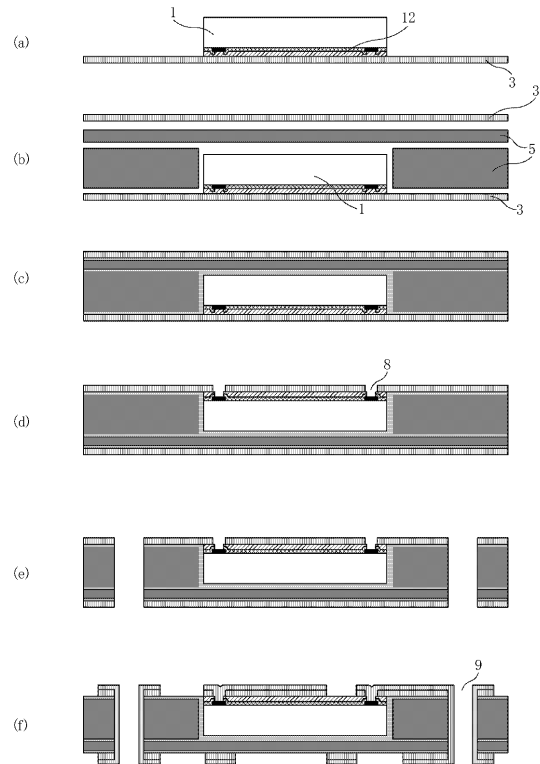
【 図 2 】



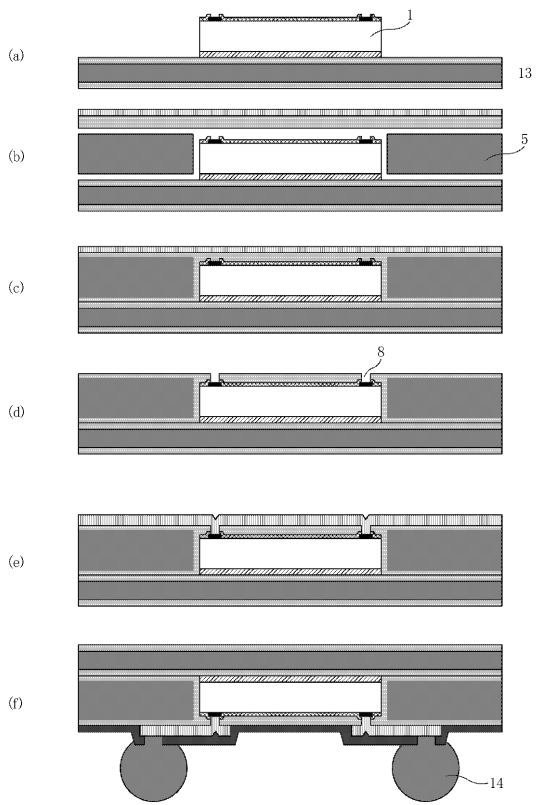
【 図 3 】



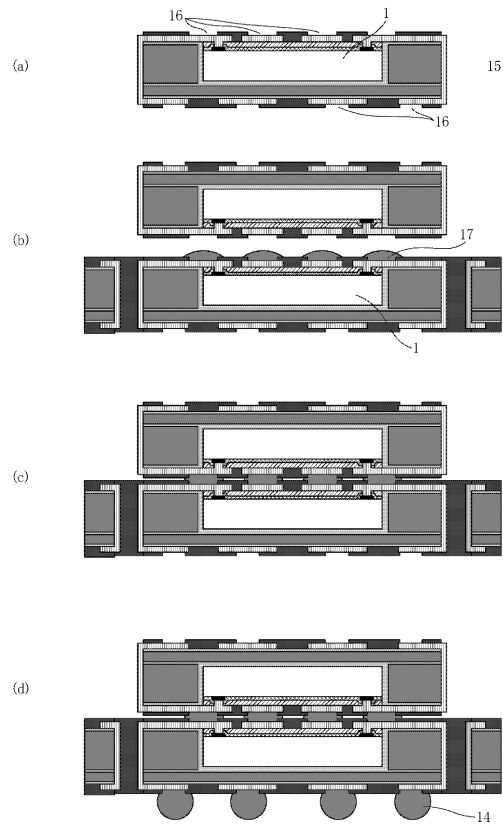
【 図 4 】



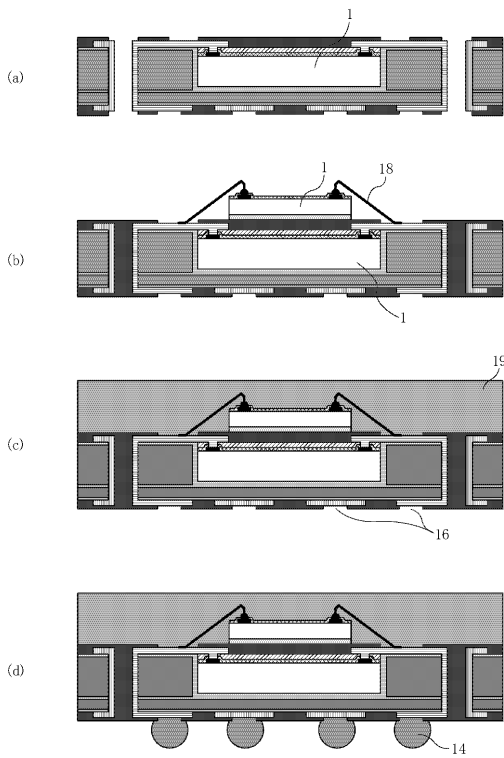
【 図 5 】



【 図 6 】



【 図 7 】



【 図 8 】

