

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6776205号
(P6776205)

(45) 発行日 令和2年10月28日(2020.10.28)

(24) 登録日 令和2年10月9日(2020.10.9)

(51) Int.Cl.

F 1

HO1L 29/78	(2006.01)	HO1L 29/78	652M
HO1L 21/336	(2006.01)	HO1L 29/78	653C
HO1L 21/28	(2006.01)	HO1L 29/78	658G
HO1L 29/417	(2006.01)	HO1L 21/28	L
HO1L 29/41	(2006.01)	HO1L 29/50	M

請求項の数 6 (全 16 頁) 最終頁に続く

(21) 出願番号	特願2017-180736 (P2017-180736)
(22) 出願日	平成29年9月20日 (2017.9.20)
(65) 公開番号	特開2019-57603 (P2019-57603A)
(43) 公開日	平成31年4月11日 (2019.4.11)
審査請求日	令和1年8月7日 (2019.8.7)

(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(73) 特許権者	317011920 東芝デバイス&ストレージ株式会社 東京都港区芝浦一丁目1番1号
(74) 代理人	100119035 弁理士 池上 徹真
(74) 代理人	100141036 弁理士 須藤 章
(74) 代理人	100088487 弁理士 松山 允之
(72) 発明者	河村 圭子 東京都港区芝浦一丁目1番1号 株式会社 東芝内

最終頁に続く

(54) 【発明の名称】半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

第1の面と、前記第1の面と対向する第2の面を有し、第1導電型の第1の半導体領域と、前記第1の半導体領域と前記第2の面との間に位置する第2導電型の第2の半導体領域と、前記第1の半導体領域と前記第1の面との間に位置する第2導電型の第3の半導体領域と、を有する半導体層の上に、第1の絶縁層を形成し、

前記第1の絶縁層に第1の開口部を形成し、

前記第1の開口部の内壁面に第1の側壁を形成し、

前記半導体層に、前記第1の絶縁層と前記第1の側壁をマスクに、前記第1の半導体領域よりも深い第1のトレンチを形成し、

前記第1のトレンチの中にゲート絶縁膜を形成し、

前記第1のトレンチの中の前記ゲート絶縁膜の上にゲート電極を形成し、

前記ゲート電極の上に第2の絶縁層を形成し、

前記第1の絶縁層の上の前記第2の絶縁層を除去し、

前記第1の絶縁層を除去して前記第2の絶縁層に第2の開口部を形成し、

前記第2の開口部の内壁面に逆テープ形状を有する第2の側壁を形成し、

前記半導体層に、前記第2の絶縁層と前記第2の側壁をマスクに、前記第3の半導体領域よりも深く前記第1の半導体領域よりも浅い第2のトレンチを形成し、

前記第2の側壁の少なくとも一部を除去し、

前記第2のトレンチの中に電極を形成する半導体装置の製造方法。

10

20

【請求項 2】

第1の面と、前記第1の面と対向する第2の面を有し、第1導電型の第1の半導体領域と、前記第1の半導体領域と前記第2の面との間に位置する第2導電型の第2の半導体領域と、前記第1の半導体領域と前記第1の面との間に位置する第2導電型の第3の半導体領域と、を有する半導体層の上に、第1の絶縁層を形成し、

前記第1の絶縁層に第1の開口部を形成し、

前記第1の開口部の内壁面に第1の側壁を形成し、

前記半導体層に、前記第1の絶縁層と前記第1の側壁をマスクに、前記第1の半導体領域よりも深い第1のトレンチを形成し、

前記第1のトレンチの中にゲート絶縁膜を形成し、

前記第1のトレンチの中の前記ゲート絶縁膜の上にゲート電極を形成し、

前記ゲート電極の上に第2の絶縁層を形成し、

前記第1の絶縁層の上の前記第2の絶縁層を除去し、

前記第1の絶縁層を除去して前記第2の絶縁層に逆テープ形状を有する第2の開口部を形成し、

前記第2の開口部の内壁面に第2の側壁を形成し、

前記半導体層に、前記第2の絶縁層と前記第2の側壁をマスクに、前記第3の半導体領域よりも深く前記第1の半導体領域よりも浅い第2のトレンチを形成し、

前記第2の側壁の少なくとも一部を除去し、

前記第2のトレンチの中に電極を形成する半導体装置の製造方法。

10

【請求項 3】

前記第2の側壁の少なくとも一部の除去は、ウェットエッチングによる請求項1又は請求項2記載の半導体装置の製造方法。

【請求項 4】

前記第1の開口部が順テープ形状を有する請求項1ないし請求項3いずれか一項記載の半導体装置の製造方法。

【請求項 5】

前記第2のトレンチを形成した後、前記第2のトレンチの底部の前記半導体層の中に前記第1の半導体領域の第1導電型の不純物濃度よりも第1導電型の不純物濃度の高い第1導電型の第4の半導体領域を、更に形成する請求項1ないし請求項4いずれか一項記載の半導体装置の製造方法。

30

【請求項 6】

前記第1の絶縁層は窒化シリコンを含み、前記第2の絶縁層は酸化シリコンを含む請求項1ないし請求項5いずれか一項記載の半導体装置の製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の実施形態は、半導体装置及びその製造方法に関する。

【背景技術】**【0002】**

電力用の半導体装置の一例として、半導体層に設けられたゲートトレンチ内にゲート電極を有するトレンチゲート構造のMOSFET (Metal Oxide Field Effect Transistor) やIGBT (Insulated Gate Bipolar Transistor) 等の縦型トランジスタがある。トレンチ内にゲート電極を設けることで、集積度が向上し、縦型トランジスタのオン抵抗を低減させることが可能となる。

40

【0003】

トレンチゲート構造の縦型トランジスタでは、隣接するゲートトレンチの間にソース電極とソース領域との間のコンタクトを取るためのコンタクト領域が形成される。トレンチゲート構造の縦型トランジスタの集積度を上げるために、ゲートトレンチのピッチを狭め

50

ていくと、ソース領域とソース電極のオーバーラップ量の確保が困難となる。ソース領域とソース電極のオーバーラップ量が小さくなるとコンタクト抵抗が増大し、縦型トランジスタのオン抵抗が増加するおそれがある。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2012-174989号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明が解決しようとする課題は、トレンチゲート構造の縦型トランジスタのオン抵抗の低減を可能とする半導体装置を提供することにある。

【課題を解決するための手段】

【0006】

実施形態の半導体装置は、第1の面と、前記第1の面と対向する第2の面を有し、第1導電型の第1の半導体領域と、前記第1の半導体領域と前記第2の面との間に位置する第2導電型の第2の半導体領域と、前記第1の半導体領域と前記第1の面との間に位置する第2導電型の第3の半導体領域と、を有する半導体層の上に、第1の絶縁層を形成し、前記第1の絶縁層に第1の開口部を形成し、前記第1の開口部の内壁面に第1の側壁を形成し、前記半導体層に、前記第1の絶縁層と前記第1の側壁をマスクに、前記第1の半導体領域よりも深い第1のトレンチを形成し、前記第1のトレンチの中にゲート絶縁膜を形成し、前記第1のトレンチの中の前記ゲート絶縁膜の上にゲート電極を形成し、前記ゲート電極の上に第2の絶縁層を形成し、前記第1の絶縁層の上の前記第2の絶縁層を除去し、前記第1の絶縁層を除去して前記第2の絶縁層に第2の開口部を形成し、前記第2の開口部の内壁面に逆テープ形状を有する第2の側壁を形成し、前記半導体層に、前記第2の絶縁層と前記第2の側壁をマスクに、前記第3の半導体領域よりも深く前記第1の半導体領域よりも浅い第2のトレンチを形成し、前記第2の側壁の少なくとも一部を除去し、前記第2のトレンチの中に電極を形成する。

【図面の簡単な説明】

【0007】

【図1】第1の実施形態の半導体装置の模式断面図。

【図2】第1の実施形態の半導体装置の一部の模式断面図。

【図3】第2の実施形態の半導体装置の製造方法を示す模式断面図。

【図4】第2の実施形態の半導体装置の製造方法を示す模式断面図。

【図5】第2の実施形態の半導体装置の製造方法を示す模式断面図。

【図6】第2の実施形態の半導体装置の製造方法を示す模式断面図。

【図7】第2の実施形態の半導体装置の製造方法を示す模式断面図。

【図8】第2の実施形態の半導体装置の製造方法を示す模式断面図。

【図9】第2の実施形態の半導体装置の製造方法を示す模式断面図。

【図10】第2の実施形態の半導体装置の製造方法を示す模式断面図。

【図11】第2の実施形態の半導体装置の製造方法を示す模式断面図。

【図12】第2の実施形態の半導体装置の製造方法を示す模式断面図。

【図13】第2の実施形態の半導体装置の製造方法を示す模式断面図。

【発明を実施するための形態】

【0008】

以下、図面を参照しつつ本発明の実施形態を説明する。なお、以下の説明では、同一又は類似の部材等には同一の符号を付し、一度説明した部材等については適宜その説明を省略する。

【0009】

本明細書中、 n^+ 型、 n 型、 n^- 型との表記がある場合、 n^+ 型、 n 型、 n^- 型の順で

10

20

30

40

50

*n*型の不純物濃度が低くなっていることを意味する。また、*p*⁺型、*p*型、*p*⁻型の表記がある場合、*p*⁺型、*p*型、*p*⁻型の順で、*p*型の不純物濃度が低くなっていることを意味する。

【0010】

(第1の実施形態)

本実施形態の半導体装置は、第1の面と、第1の面と対向する第2の面を有する半導体層と、第1の面に接する第1の電極と、第2の面に接する第2の電極と、半導体層の中に設けられた第1導電型の第1の半導体領域と、半導体層の中に設けられ、第1の半導体領域と第2の面との間に位置する第2導電型の第2の半導体領域と、半導体層の中に設けられ、第1の半導体領域と第1の面との間に位置する第2導電型の第3の半導体領域と、半導体層の中に設けられた第1のゲート電極と、半導体層の中に設けられ、第1のゲート電極との間に第1の半導体領域が位置する第2のゲート電極と、第1のゲート電極と第1の半導体領域との間に設けられた第1のゲート絶縁膜と、第2のゲート電極と第1の半導体領域との間に設けられた第2のゲート絶縁膜と、第1のゲート電極と第1の電極との間、及び、第2のゲート電極と第1の電極との間に設けられた絶縁層と、を備える。そして、第1の電極が第1の領域と第2の領域を有し、第1の領域は半導体層に接し、第1の領域は第2の領域と第1の半導体領域との間に位置し、第1の領域の一部は第1のゲート電極と第2のゲート電極との間に位置し、第1の領域の別の一部は絶縁層の第1の部分と第2の部分との間に挟まれ、第1の領域の別の一部は逆テーパ形状を有する。

10

20

【0011】

図1は、本実施形態の半導体装置の模式断面図である。図2は、本実施形態の半導体装置の一部の模式断面図である。

【0012】

本実施形態の半導体装置は、半導体層に形成されたゲートトレンチの中にゲート電極を備えるトレンチゲート構造の縦型MOSFET100である。本実施形態の縦型MOSFET100は、電子をキャリアとする*n*チャネル型トランジスタである。

【0013】

本実施形態の縦型MOSFET100は、半導体層10、第1のゲートトレンチGT1(第1のトレンチ)、第2のゲートトレンチGT2(第2のトレンチ)、コンタクトトレンチCT(第3のトレンチ)、ソース電極12(第1の電極)、ドレイン電極14(第2の電極)、ドレイン領域16、ドリフト領域18(第2の半導体領域)、ベース領域20(第1の半導体領域)、ソース領域22(第3の半導体領域)、ベースコンタクト領域24(第4の半導体領域)、第1のゲート電極30a、第2のゲート電極30b、第1のゲート絶縁膜32a、第2のゲート絶縁膜32b、層間絶縁層40(絶縁層)を備える。ソース電極12は、コンタクト領域12a(第1の領域)、配線領域12b(第2の領域)を有する。層間絶縁層40は、第1の部分40aと第2の部分40bを有する。

30

【0014】

半導体層10は、第1の面P1(以下、表面とも称する)と、第1の面P1に対向する第2の面P2(以下裏面とも称する)とを有する。半導体層10は、例えば、単結晶シリコンである。

40

【0015】

第1のゲートトレンチGT1及び第2のゲートトレンチGT2は、半導体層10内に設けられる。第1のゲートトレンチGT1及び第2のゲートトレンチGT2は、例えば、紙面の奥方向に伸長する。半導体層10内には、第1のゲートトレンチGT1及び第2のゲートトレンチGT2と同様のゲートトレンチが、一定のピッチで繰り返し配置される。

【0016】

ベース領域20は、半導体層10の中に設けられる。ベース領域20は、第1のゲートトレンチGT1と第2のゲートトレンチGT2との間に位置する。ベース領域20は、*p*型の半導体領域である。ベース領域20は、縦型MOSFET100のチャネル領域とし

50

て機能する。ベース領域 20 は、ソース電極 12 に電気的に接続される。

【0017】

ソース領域 22 は、半導体層 10 の中に設けられる。ソース領域 22 は、ベース領域 20 と半導体層 10 の表面との間に設けられる。ソース領域 22 は、ベース領域 20 とソース電極 12 との間に設けられる。ソース領域 22 は、n⁺ 型の半導体領域である。ソース領域 22 は、ソース電極 12 に電気的に接続される。

【0018】

ベースコンタクト領域 24 は、半導体層 10 の中に設けられる。ベースコンタクト領域 24 は、ベース領域 20 とソース電極 12 との間に設けられる。ベースコンタクト領域 24 は、ソース電極 12 のコンタクト領域 12a とベース領域 20 との間に設けられる。ベースコンタクト領域 24 は、ソース電極 12 とベース領域 20 との間のコンタクト抵抗を低減する。

10

【0019】

ベースコンタクト領域 24 は、p⁺ 型の半導体領域である。ベースコンタクト領域 24 は、ソース電極 12 に電気的に接続される。

【0020】

ドリフト領域 18 は、半導体層 10 の中に設けられる。ドリフト領域 18 は、ベース領域 20 と半導体層 10 の裏面との間に設けられる。ドリフト領域 18 は、n 型の半導体領域である。ドリフト領域 18 の n 型不純物濃度は、ソース領域 22 の n 型不純物濃度よりも低い。

20

【0021】

ドレイン領域 16 は、半導体層 10 の中に設けられる。ドレイン領域 16 は、ドリフト領域 18 と半導体層 10 の裏面との間に設けられる。ドレイン領域 16 は、n⁺ 型の半導体領域である。ドレイン領域 16 の n 型不純物濃度は、ドリフト領域 18 の n 型不純物濃度よりも高い。ドレイン領域 16 は、ドレイン電極 14 に電気的に接続される。

【0022】

第 1 のゲート電極 30a は、第 1 のゲートトレンチ GT1 の中に設けられる。第 1 のゲート電極 30a は、例えば、n 型不純物又は p 型不純物を含む多結晶シリコンである。

【0023】

第 1 のゲート電極 30a には、ゲート電圧が印加される。ゲート電圧を変化させることにより、縦型MOSFET 100 のオン・オフ動作が実現する。

30

【0024】

第 1 のゲート絶縁膜 32a は、第 1 のゲートトレンチ GT1 の中に設けられる。第 1 のゲート絶縁膜 32a は、第 1 のゲート電極 30a と半導体層 10 との間に位置する。第 1 のゲート絶縁膜 32a は、第 1 のゲート電極 30a とベース領域 20 との間に設けられる。第 1 のゲート絶縁膜 32a は、例えば、酸化シリコン膜である。

【0025】

第 2 のゲート電極 30b は、第 2 のゲートトレンチ GT2 の中に設けられる。第 1 のゲート電極 30a と第 2 のゲート電極 30b との間には、ベース領域 20 が位置する。第 2 のゲート電極 30b は、例えば、n 型不純物又は p 型不純物を含む多結晶シリコンである。

40

【0026】

第 2 のゲート電極 30b には、ゲート電圧が印加される。ゲート電圧を変化させることにより、縦型MOSFET 100 のオン・オフ動作が実現する。

【0027】

第 2 のゲート絶縁膜 32b は、第 2 のゲートトレンチ GT2 の中に設けられる。第 2 のゲート絶縁膜 32b は、第 2 のゲート電極 30b と半導体層 10 との間に位置する。第 2 のゲート絶縁膜 32b は、第 2 のゲート電極 30b とベース領域 20 との間に設けられる。第 2 のゲート絶縁膜 32b は、例えば、酸化シリコン膜である。

【0028】

50

層間絶縁層 4 0 は、第 1 のゲート電極 3 0 a とソース電極 1 2 との間、及び、第 2 のゲート電極 3 0 b とソース電極 1 2 との間に設けられる。層間絶縁層 4 0 は、第 1 のゲート電極 3 0 a 上の第 1 の部分 4 0 a と、第 2 のゲート電極 3 0 b 上の第 2 の部分 4 0 b を有する。層間絶縁層 4 0 は、例えば、酸化シリコン層である。

【 0 0 2 9 】

ソース電極 1 2 の少なくとも一部は半導体層 1 0 の第 1 の面 P 1 に接する。ソース電極 1 2 は、例えば、金属である。ソース電極 1 2 は、例えば、チタンとアルミニウムの積層膜である。ソース電極 1 2 には、ソース電圧が印加される。ソース電圧は、例えば、0 V である。

【 0 0 3 0 】

ソース電極 1 2 は、コンタクト領域 1 2 a と配線領域 1 2 b を有する。配線領域 1 2 b は、隣接するコンタクト領域 1 2 a を接続している。

【 0 0 3 1 】

コンタクトトレンチ C T は、半導体層 1 0 内に設けられる。コンタクトトレンチ C T は、第 1 のゲートトレンチ G T 1 と第 2 のゲートトレンチ G T 2 との間に設けられる。コンタクトトレンチ C T は、例えば、紙面の奥方向に伸長する。半導体層 1 0 内には、コンタクトトレンチ C T が、一定のピッチで繰り返し配置される。

【 0 0 3 2 】

コンタクト領域 1 2 a は半導体層 1 0 に接する。コンタクト領域 1 2 a は、半導体層 1 0 の表面（第 1 の面 P 1 ）、コンタクトトレンチ C T の底面及び側面で、半導体層 1 0 に接する。コンタクト領域 1 2 a は、半導体層 1 0 の表面で、ソース領域 2 2 に接する。コンタクト領域 1 2 a は、コンタクトトレンチ C T の底面でベースコンタクト領域 2 4 に接する。コンタクト領域 1 2 a により、ソース領域 2 2 とベース領域 2 0 への同時コンタクトが実現される。

【 0 0 3 3 】

コンタクト領域 1 2 a は、ベース領域 2 0 と配線領域 1 2 b との間に位置する。コンタクト領域 1 2 a の一部、すなわち、コンタクト領域 1 2 a の下部は、半導体層 1 0 内に位置する。コンタクト領域 1 2 a の下部は、第 1 のゲート電極 3 0 a と第 2 のゲート電極 3 0 b との間に位置する。

【 0 0 3 4 】

コンタクト領域 1 2 a の別の一部、すなわち、コンタクト領域 1 2 a の上部は、層間絶縁層 4 0 の第 1 の部分 4 0 a と第 2 の部分 4 0 b との間に挟まれる。層間絶縁層 4 0 の第 1 の部分 4 0 a と第 2 の部分 4 0 b との間に挟まれたコンタクト領域 1 2 a は、逆テープ形状を有する。

【 0 0 3 5 】

コンタクト領域 1 2 a が逆テープ形状を有するとは、言い換えれば、コンタクト領域 1 2 a の半導体層 1 0 から遠い部分の幅よりも、コンタクト領域 1 2 a の半導体層 1 0 から近い部分の幅が広くなっていることを意味する。例えば、図 2 に示すように、コンタクト領域 1 2 a の第 1 の面 P 1 における幅 W 1 は、コンタクト領域 1 2 a の層間絶縁層 4 0 の上面における幅 W 2 よりも広くなっている。

【 0 0 3 6 】

層間絶縁層 4 0 の第 1 の部分 4 0 a とコンタクト領域 1 2 a との境界と、第 1 の面 P 1 との間の角度（図 2 中の 1）は 90 度未満であり、層間絶縁層 4 0 の第 2 の部分 4 0 b とコンタクト領域 1 2 a との境界と、第 1 の面 P 1 との間の角度（図 2 中の 2）は 90 度未満である。例えば、層間絶縁層 4 0 の第 1 の部分 4 0 a とコンタクト領域 1 2 a との境界と、第 1 の面 P 1 との間の角度（図 2 中の 1）が 85 度以上 90 度未満であり、層間絶縁層 4 0 の第 2 の部分 4 0 b とコンタクト領域 1 2 a との境界と、第 1 の面 P 1 との間の角度（図 2 中の 2）が 85 度以上 90 度未満である。

【 0 0 3 7 】

ドレイン電極 1 4 の少なくとも一部は半導体層 1 0 の第 2 の面 P 2 に接する。ドレイン

10

20

30

40

50

電極 14 は、例えば、金属である。ドレイン電極 14 には、ドレイン電圧が印加される。ドレイン電圧は、例えば、8V 以上 1500V 以下である。

【0038】

以下、本実施形態の半導体装置の作用及び効果について説明する。

【0039】

トレンチゲート構造の縦型トランジスタでは、隣接するゲートトレンチの間にソース電極とソース領域とのコンタクトを取るためのコンタクト領域が形成される。トレンチゲート構造の縦型トランジスタの集積度を上げるために、ゲートトレンチのピッチを狭めていくと、ソース領域とソース電極の接触面積の確保が困難となる。ソース領域とソース電極の接触面積が小さくなるとコンタクト抵抗が増大し、オン抵抗が増加するおそれがある。

10

【0040】

本実施形態の縦型MOSFET 100 では、ソース電極 12 のコンタクト領域 12a が逆テーパ形状を有する。このため、ソース電極 12 とソース領域 22 との半導体層 10 の表面（第 1 の面 P1）における接触面積が増大する。したがって、ソース電極 12 とソース領域 22 との間のコンタクト抵抗が低減する。よって、縦型MOSFET 100 のオン抵抗が低減する。

【0041】

さらに、ソース電極 12 のコンタクト領域 12a が逆テーパ形状を有することで、第 1 のゲート電極 30a とコンタクト領域 12a の側面との距離、及び、第 2 のゲート電極 30b とコンタクト領域 12a の側面との距離を、長く保つことができる。したがって、第 1 のゲート電極 30a とソース電極 12 との間の耐圧、及び、第 2 のゲート電極 30b とソース電極 12 との間の耐圧が向上する。よって、縦型MOSFET 100 の信頼性が向上する。

20

【0042】

層間絶縁層 40 の第 1 の部分 40a とコンタクト領域 12a との境界と、第 1 の面 P1 との間の角度（図 2 中の 1）は 85 度以上 90 度未満であることが好ましく、85 度以上 89 度以下であることがより好ましい。層間絶縁層 40 の第 2 の部分 40b とコンタクト領域 12a との境界と、第 1 の面 P1 との間の角度（図 2 中の 2）は 85 度以上 90 度未満であることが好ましい、85 度以上 89 度以下であることがより好ましい。上記範囲を上回るとオン抵抗が十分に低減できないおそれがある。上記範囲を下回ると、第 1 のゲート電極 30a とソース電極 12 との間の耐圧、及び、第 2 のゲート電極 30b とソース電極 12 との間の耐圧が低下するおそれがある。

30

【0043】

以上、本実施形態の縦型MOSFET によれば、ソース電極 12 のコンタクト領域 12a が逆テーパ形状を有することで、縦型MOSFET 100 のオン抵抗の低減が可能となる。また、縦型MOSFET 100 の信頼性の向上が可能となる。

【0044】

本実施形態の半導体装置の製造方法は、第 1 の面と、第 1 の面と対向する第 2 の面を有し、第 1 導電型の第 1 の半導体領域と、第 1 の半導体領域と第 2 の面との間に位置する第 2 導電型の第 2 の半導体領域と、第 1 の半導体領域と第 1 の面との間に位置する第 2 導電型の第 3 の半導体領域と、を有する半導体層の上に、第 1 の絶縁層を形成し、第 1 の絶縁層に第 1 の開口部を形成し、第 1 の開口部の内壁面に第 1 の側壁を形成し、半導体層に、第 1 の絶縁層と第 1 の側壁をマスクに、第 1 の半導体領域よりも深い第 1 のトレンチを形成し、第 1 のトレンチの中にゲート絶縁膜を形成し、第 1 のトレンチの中のゲート絶縁膜の上にゲート電極を形成し、ゲート電極の上に第 2 の絶縁層を形成し、第 1 の絶縁層の上の第 2 の絶縁層を除去し、第 1 の絶縁層を除去して第 2 の絶縁層に第 2 の開口部を形成し、第 2 の開口部の内壁面に第 2 の側壁を形成し、半導体層に、第 2 の絶縁層と第 2 の側壁をマスクに、第 3 の半導体領域よりも深く第 1 の半導体領域よりも浅い第 2 のトレンチを形成し、第 2 の側壁の少なくとも一部を除去し、第 2 のトレンチの中に電極を形成する。第 2 の側壁が逆テーパ形状を有する。

40

50

【0045】

本実施形態の半導体装置の製造方法は、第1の実施形態の図1、2に示す縦型MOSFET100の製造方法の一例である。第1の実施形態と重複する内容については、一部記述を省略する。

【0046】

最初に、第1の面P1（以下、表面とも称する）と対向する第2の面P2（以下、裏面とも称する）を有する半導体層10を準備する。半導体層10は、例えば、単結晶シリコンである。半導体層10は、n⁺型のドレイン領域16、n⁻型のドリフト領域18（第2の半導体領域）、p型のベース領域20（第1の半導体領域）、n⁺型のソース領域22（第3の半導体領域）を有する。ドリフト領域18は、ベース領域20と第2の面との間に位置する。ソース領域22は、ベース領域20と第1の面との間に位置する。
10

【0047】

次に、半導体層10の表面上に、第1のマスク材102（第1の絶縁層）を形成する。第1のマスク材102は、例えば、窒化シリコン膜である。第1のマスク材102は、例えば、CVD（Chemical Vapor Deposition）法により堆積する。

【0048】

次に、第1のマスク材102に第1の開口部104を形成する（図3）。第1の開口部104は、例えば、リソグラフィ法、及び、RIE（Reactive Ion Etching）法を用いて形成する。
20

【0049】

第1の開口部104を形成する際、第1の開口部104が順テーパ形状を有するように加工を行う。すなわち、第1の開口部104の幅が半導体層10の表面に向かって狭くなるように形成する。例えば、RIE法のエッチング条件を制御することにより、順テーパ形状を形成する。

【0050】

第1の開口部104の内壁面と半導体層10の表面との間の角度（図3中のa）、すなわち、第1のマスク材102の底部の角度は、90度未満である。第1の開口部104の内壁面と半導体層10の表面との間の角度（図3中のa）は、例えば、85度以上90度未満である。
30

【0051】

次に、第1の開口部104の内壁面に第1の側壁106を形成する（図4）。第1の側壁106は、例えば、酸化シリコン膜である。

【0052】

第1の側壁106の形成は、例えば、まず、第1の側壁106を形成するための膜をCVD法により堆積する。そして堆積した膜を、RIE法による異方性エッチングによりエッチングする。エッチングにより、第1の開口部104の内壁面のみに膜を残して第1の側壁106とする。第1の側壁106も、第1の開口部104の内壁面の形状を反映して、順テーパ形状になる。
40

【0053】

次に、ゲートトレンチGT（第1のトレンチ）を半導体層10に形成する（図5）。ゲートトレンチGTは、第1のマスク材102と第1の側壁106をマスクに、例えば、RIE法により形成する。ゲートトレンチGTは、ベース領域20よりも深くなるよう形成する。

【0054】

次に、ゲートトレンチGT内にゲート絶縁膜32を形成する。ゲート絶縁膜32は、例えば、熱酸化法もしくは熱酸化法とCVD法により形成する。ゲート絶縁膜32は、例えば、酸化シリコン膜である。

【0055】

次に、ゲートトレンチG T内のゲート絶縁膜3 2の上にゲート電極3 0を形成する(図6)。ゲート電極3 0は、例えばn型不純物又はp型不純物を含む多結晶シリコンである。

ゲート電極3 0は、例えば、CVD法による膜堆積と、等方性のドライエッチング法によるエッチバックにより形成する。

【0056】

次に、ゲート電極3 0の上に層間絶縁層4 0(第2の絶縁層)を形成する(図7)。層間絶縁層4 0は、例えば、酸化シリコン層である。層間絶縁層4 0は、例えば、CVD法により堆積する。

【0057】

次に、第1のマスク材1 0 2の上の層間絶縁層4 0を除去する(図8)。層間絶縁層4 0は、例えば、RIE法により除去する。

【0058】

次に、第1のマスク材1 0 2を除去して層間絶縁層4 0に第2の開口部1 0 8を形成する(図9)。第1のマスク材1 0 2の除去は、層間絶縁層4 0に対して選択的に行う。第1のマスク材1 0 2の除去は、例えば、リン酸溶液を用いて行う。

【0059】

第2の開口部1 0 8を形成する際、第2の開口部1 0 8が逆テーパ形状を有するように加工を行う。すなわち、第2の開口部1 0 8の幅が半導体層1 0の表面に向かって広くなるように形成する。第1のマスク材1 0 2に設けられた第1の開口部1 0 4の順テーパ形状が転写されることにより、第2の開口部1 0 8は逆テーパ形状となる。第2の開口部1 0 8の内壁面と半導体層1 0の表面との間の角度(図9中のb)は、90度未満である。第2の開口部1 0 8の内壁面と半導体層1 0の表面との間の角度(図9中のb')は、例えば、85度以上90度未満である

【0060】

次に、第2の開口部1 0 8の内壁面に第2の側壁1 1 0を形成する(図10)。第2の側壁1 1 0は、例えば、酸化シリコン膜である。

【0061】

第2の側壁1 1 0の形成は、例えば、第2の側壁1 1 0を形成するための膜をCVD法により堆積する。そして、堆積した膜をRIE法による異方性エッチングによりエッティングする。そして、エッティングにより、第2の側壁1 1 0の内壁面のみに膜を残して第2の側壁1 1 0とする。第2の側壁1 1 0も、第2の開口部1 0 8の形状を反映して、逆テーパ形状になる。

【0062】

次に、コンタクトトレンチC T(第2のトレンチ)を半導体層1 0に形成する(図11)。コンタクトトレンチC Tは、層間絶縁層4 0と第2の側壁1 1 0をマスクに、例えば、RIE法により形成する。コンタクトトレンチC Tは、ソース領域2 2より深く、ベース領域2 0よりも浅くなるよう形成する。

【0063】

次に、コンタクトトレンチC Tの底部の半導体層1 0にp⁺型のベースコンタクト領域2 4を形成する(図12)。ベースコンタクト領域2 4は、例えば、イオン注入法により形成する。ベースコンタクト領域2 4は、例えば、フッ化ボロンイオンの注入により形成する。

【0064】

次に、第2の側壁1 1 0の少なくとも一部を除去する(図13)。第2の側壁1 1 0の少なくとも一部を、例えば、ウェットエッチングにより除去して、第2の側壁1 1 0の内壁面を後退させる。第2の側壁1 1 0の内壁面は、逆テーパ形状となる。後退後の第2の側壁1 1 0の内壁面と半導体層1 0の表面との間の角度(図13中のc)は、90度未満である。後退後の第2の側壁1 1 0の内壁面と半導体層1 0の表面との間の角度(図13中のc')は、85度以上90度未満である。なお、第2の側壁1 1 0の全部

10

20

30

40

50

を除去することも可能である。

【0065】

その後、ソース電極12とドレイン電極14を形成する。ソース電極12及びドレイン電極の形成は、例えば、金属膜のスパッタ法により行われる。

【0066】

以上の製造方法により、図1及び図2に示す第1の実施形態の縦型MOSFET100が製造される。

【0067】

以下、本実施形態の半導体装置の製造方法の作用及び効果について説明する。

【0068】

トレンチゲート構造の縦型トランジスタでは、隣接するゲートトレンチの間にソース電極から、ソース領域及びベース領域へのコンタクトを取るためのコンタクト領域が形成される。隣接するゲートトレンチの間にコンタクトトレンチを設けることで、小さいスペースでソース領域とベース領域へ同時にソース電極のコンタクトを取ることができる。

【0069】

しかし、トレンチゲート構造の縦型トランジスタの集積度を上げるために、ゲートトレンチのピッチを狭めていくと、ゲートトレンチとコンタクトトレンチとの間の距離の確保が難しくなる。ゲートトレンチとコンタクトトレンチとの間の距離が短くなると、例えば、コンタクトトレンチの底部に設けられるベースコンタクト領域のp型拡散層の影響で、ゲートトレンチの側面に形成されるトランジスタの閾値電圧が変動して問題となる。

【0070】

本実施形態の半導体装置の製造方法では、ゲートトレンチGTの形成用の第1の開口部104に対し、セルファーラインでコンタクトトレンチCTの形成用の第2の開口部108が形成される。このため、ゲートトレンチGTに対して、コンタクトトレンチCTをセルファーラインで形成できる。言い換えれば、ゲートトレンチGTとコンタクトトレンチCTの位置が、リソグラフィの位置合わせ精度と無関係に形成できる。

【0071】

このため、ゲートトレンチGTとコンタクトトレンチCTとの間の距離の確保が容易となる。したがって、ゲートトレンチのピッチを狭めることができるとなる。よって、集積度の向上した縦型MOSFET100の製造が可能となる。

【0072】

さらに、本実施形態の半導体装置の製造方法では、第2の開口部108に第2の側壁110を形成することで、コンタクトトレンチCTの幅を狭くすることができる。このため、ゲートトレンチGTとコンタクトトレンチCTとの間の距離の確保が更に容易となる。したがって、更にゲートトレンチのピッチを狭めることができるとなる。よって、更に、集積度の向上した縦型MOSFET100の製造が可能となる。

【0073】

また、本実施形態の半導体装置の製造方法では、コンタクトトレンチCT形成後に、第2の側壁110を後退させることでソース電極12とソース領域22とのコンタクト面積を大きくする。したがって、ソース電極12とソース領域22とのコンタクト抵抗が低減する。よって、オン抵抗が低減した縦型MOSFET100の製造が可能となる。

【0074】

本実施形態の半導体装置の製造方法では、第2の開口部108に第2の側壁110を形成することで、コンタクトトレンチCTの幅を狭くすることができる。コンタクトトレンチCTの幅を狭くすることで確保された半導体層10の表面を利用して、ソース電極12とソース領域22とのコンタクト面積を大きくすることができる。

【0075】

また、本実施形態の製造方法によれば、ソース電極12のコンタクト領域12aが逆テープ形状を有することで、オン抵抗が更に低減した縦型MOSFET100の製造が可能となる。また、ゲート電極30とコンタクト領域12aの側面との距離を長く保つことで

10

20

30

40

50

、信頼性の向上した縦型MOSFET100の製造が可能となる。

【0076】

以上、本実施形態の縦型MOSFETによれば、集積度の向上した縦型MOSFET100の製造が可能となる。また、オン抵抗が低減した縦型MOSFET100の製造が可能となる。また、信頼性の向上した縦型MOSFET100の製造が可能となる。

【0077】

第2の実施形態の半導体装置の製造方法では、ソース電極12のコンタクト領域12aが逆テープ形状を有する縦型MOSFET100を製造する場合を例に説明した。しかし、ソース電極12のコンタクト領域12aが垂直形状、あるいは、順テープ形状を有する縦型MOSFETの製造に第2の実施形態を応用することも可能である。この場合、例えば、第1の開口部104を形成する際、第1の開口部104が垂直形状あるいは逆テープ形状を有するように加工すれば良い。10

【0078】

第1および第2の実施形態においては、半導体層が単結晶シリコンである場合を例に説明したが、半導体層は単結晶シリコンに限られることはない。例えば、単結晶炭化珪素等、その他の単結晶半導体であっても構わない。

【0079】

第1および第2の実施形態においては、第1導電型がp型、第2導電型がn型のnチャネル型トランジスタを例に説明したが、第1導電型がn型、第2導電型がp型のpチャネル型トランジスタであっても構わない。20

【0080】

第1および第2の実施形態においては、縦型トランジスタが縦型MOSFETである場合を例に説明したが、縦型トランジスタが縦型IGBTであっても構わない。

【0081】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。例えば、一実施形態の構成要素を他の実施形態の構成要素と置き換え又は変更してもよい。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。30

【符号の説明】

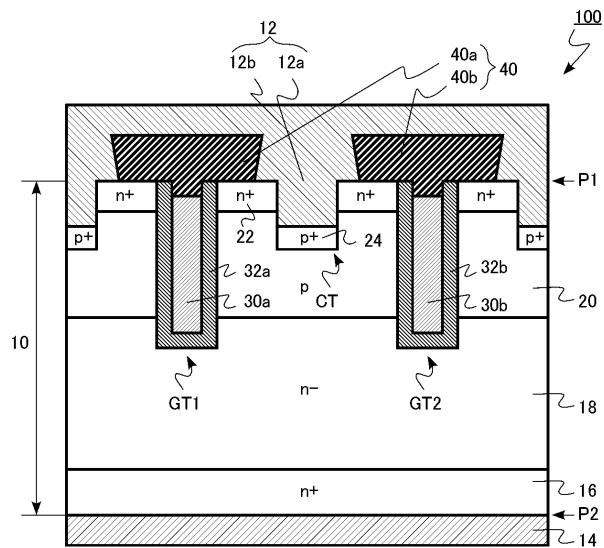
【0082】

10	半導体層
12	ソース電極（第1の電極、電極）
12a	コンタクト領域（第1の領域）
12b	配線領域（第2の領域）
14	ドレイン電極（第2の電極）
16	ドレイン領域
18	ドリフト領域（第2の半導体領域）
20	ベース領域（第1の半導体領域）
22	ソース領域（第3の半導体領域）
24	ベースコンタクト領域（第4の半導体領域）
30	ゲート電極
30a	第1のゲート電極
30b	第2のゲート電極
32	ゲート絶縁膜
32a	第1のゲート絶縁膜
32b	第2のゲート絶縁膜
40	層間絶縁層（絶縁層、第2の絶縁層）

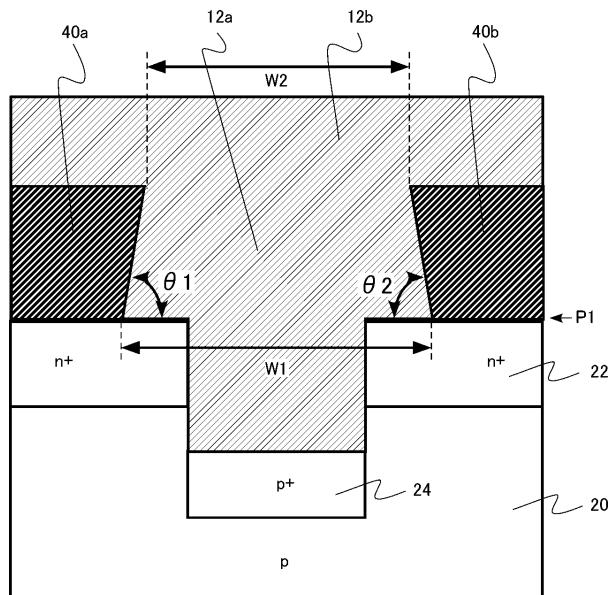
1020304050

4 0 a	第 1 の部分	
4 0 b	第 2 の部分	
1 0 0	縦型 M O S F E T (半導体装置)	
1 0 2	第 1 のマスク材 (第 1 の絶縁層)	
1 0 4	第 1 の開口部	
1 0 6	第 1 の側壁	
1 0 8	第 2 の開口部	
1 1 0	第 2 の側壁	
G T	ゲートトレーニチ (第 1 のトレーニチ)	
G T 1	第 1 のゲートトレーニチ (第 1 のトレーニチ)	10
G T 2	第 2 のゲートトレーニチ (第 2 のトレーニチ)	
C T	コンタクトトレーニチ (第 3 のトレーニチ、第 2 のトレーニチ)	
P 1	第 1 の面	
P 2	第 2 の面	

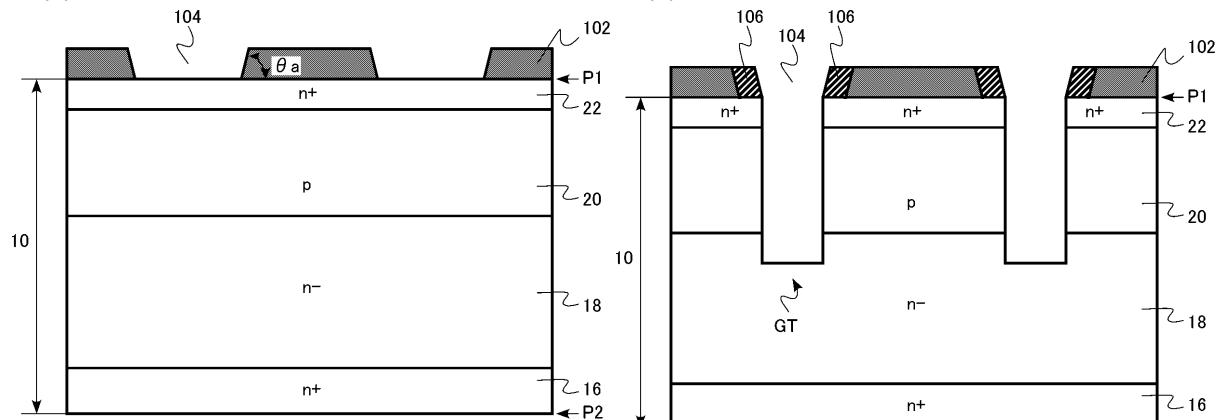
【図 1】



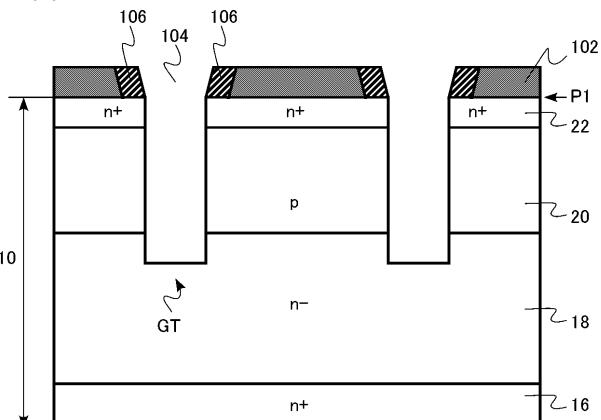
【図 2】



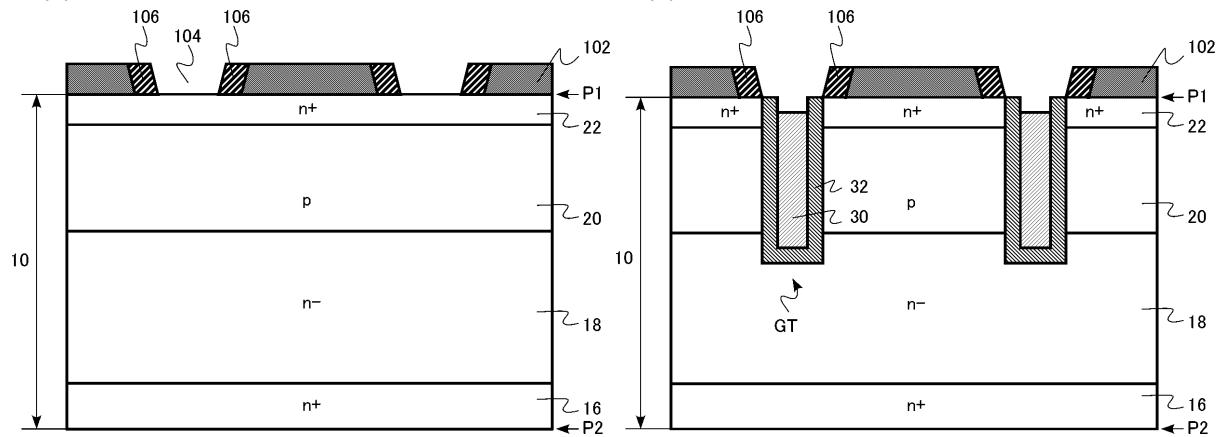
【図3】



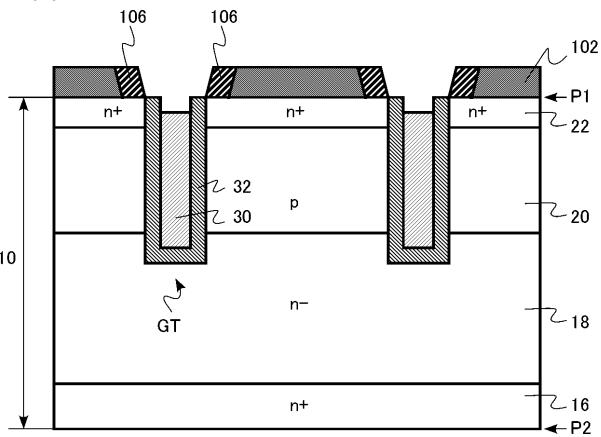
【図5】



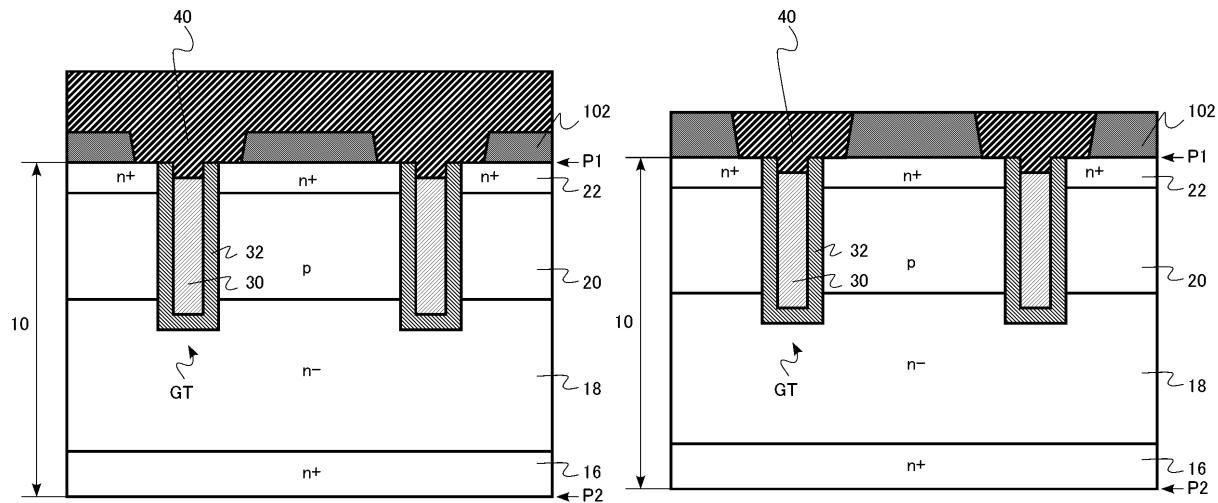
【図4】



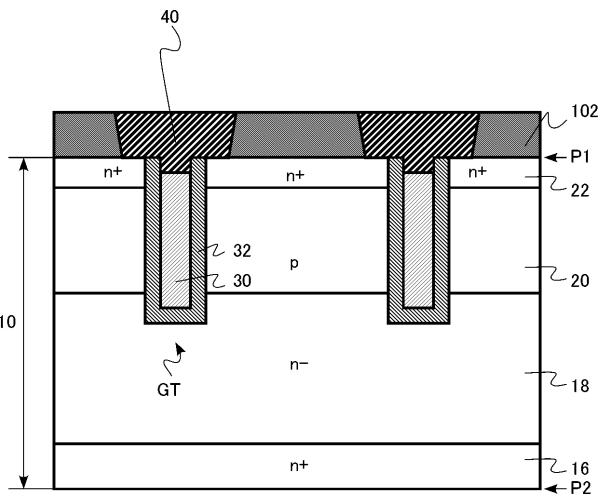
【図6】



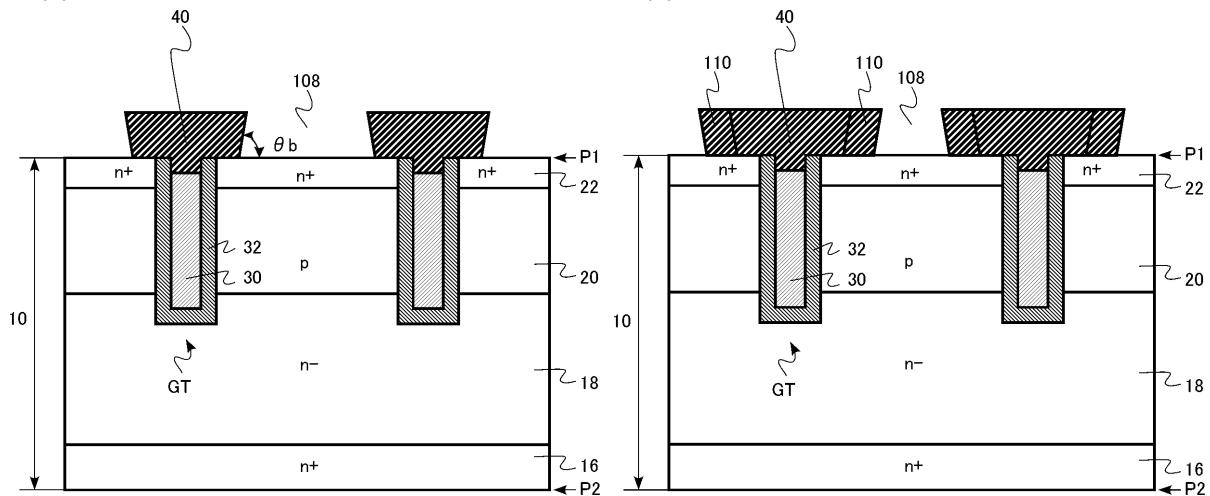
【図7】



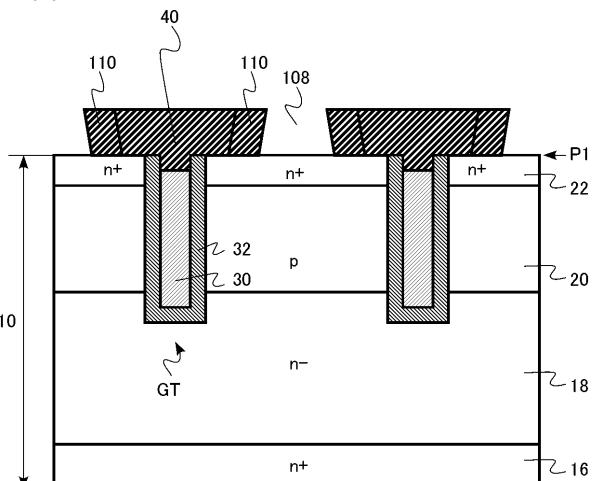
【図8】



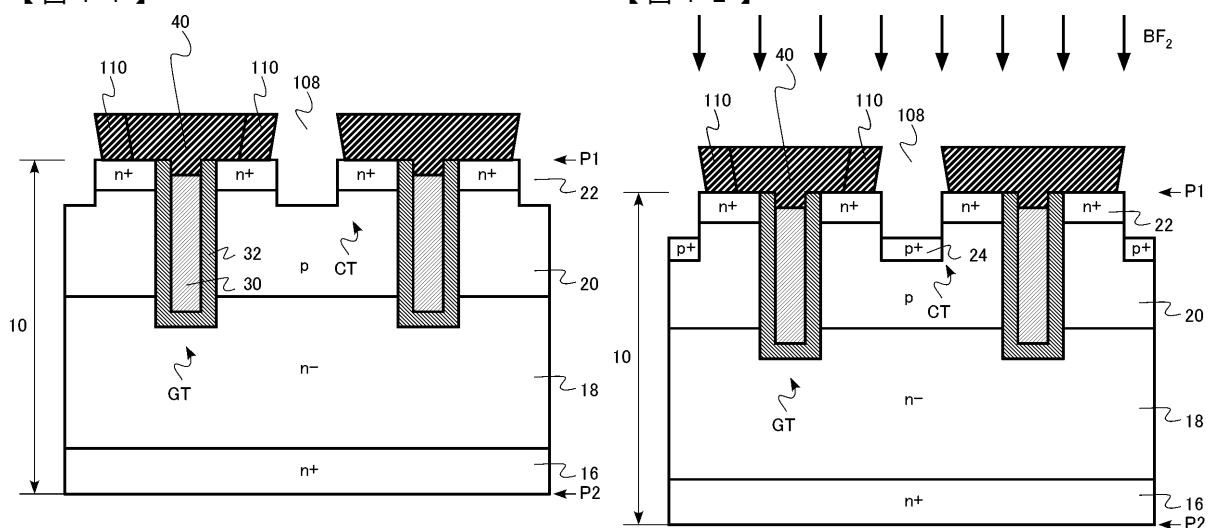
【図9】



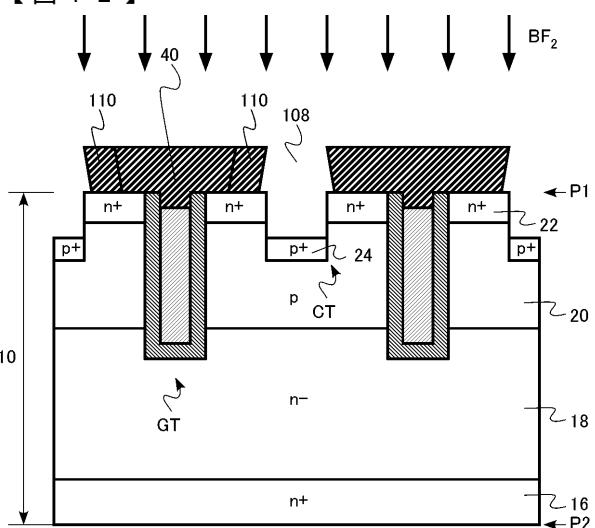
【図10】



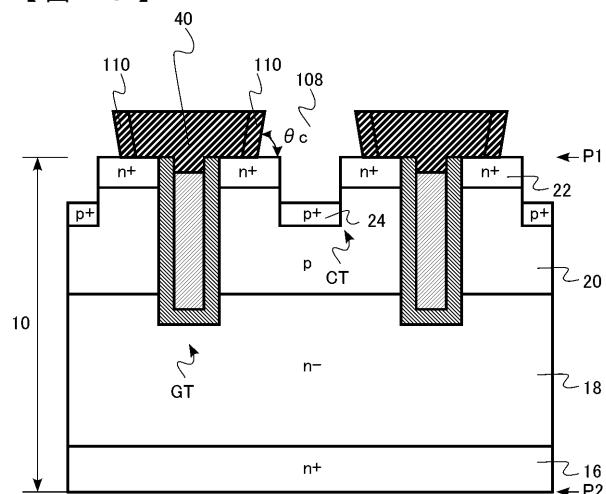
【図11】



【図12】



【図13】



フロントページの続き

(51)Int.Cl.

F I

H 01L 29/44

S

審査官 恩田 和彦

(56)参考文献 特開2013-058575(JP,A)

米国特許出願公開第2005/0208724(US,A1)

特開2012-199468(JP,A)

特開2014-090202(JP,A)

特開2013-201361(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 01L 29/78

H 01L 21/28

H 01L 21/336

H 01L 29/41

H 01L 29/417