

公告本

90年 8月31日 修正
補充

申請日期	89. 4. 17
案 號	89107200
類 別	H01L 27/08

A4
C4

(以上各欄由本局填註)

第 89107200 號專利案 90 年 8 月修正

發明專利說明書 466752

一、發明 名稱	中 文	動態隨機存取記憶體晶片中第一層金屬內連線的形成方法
	英 文	A METHOD OF FORMING THE FIRST LEVEL OF METALLIZATION IN DRAM CHIPS
二、發明 人	姓 名	1. 克里斯多夫奇拉德 2. 蘭洛馬卡南恩 3. 史黛芬席歐利爾
	國 籍	1. 法國 2. 法國 3. 法國
	住、居所	1. 法國阿奇里斯拉法瑞漢莫米恩-基明戴拉恰皮爾 14 號 2. 法國維拉貝基明戴斯維奈斯 11 號 3. 法國巴黎露耶珍奈 39 號
三、申請人	姓 名 (名稱)	美商·萬國商業機器公司
	國 籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市新果園路
	代 表 人 姓 名	傑拉德羅森瑟爾

裝

訂

線

五、發明說明()

發明領域：

本發明是有關於一種半導體積體電路(ICs)的製造方法，且特別有關於一種在第一層金屬內連線形成接觸窗及金屬著陸墊(metal lands)之新的形成方法，可以顯著地改善元件效能。

發明背景：

在半導體積體電路的製造中，且特別是有關於動態隨機存取記憶體(DRAM)晶片中，第一層金屬內連線(此後稱為 M0 層)，一般係用在定址(address)晶片中的記憶胞(memory cell)。基本上，M0 層用來連接所有由相同位元線(BL)驅動之絕緣閘場效電晶體(IGFETs)中的擴散區(源極/汲極區)，以及連接所有由相同字元線(WL)驅動的 IGFET 的閘極導電體，到晶片週邊區域中其個別的驅動 IGFET。每條位元線包括有一形成在 M0 微影層之金屬著陸墊。

請參照第 1 圖及第 2A-2I 圖，接著將對傳統接觸窗及金屬著陸墊之製作過程中的必要步驟進行簡單介紹。在這些步驟完成之後，接著製作 DRAM 晶片之第一層金屬內連線層(M0 內連線層)之接觸窗與金屬著陸墊以及位元線。

第 1 圖繪示者為現狀(state-of-the-art)半導體結構 10，其為晶圓的一部份，係在形成製程之起始階段。結構 10 基本上包括一矽基底 11，其內分別形成有 N+擴散區 12A 與 P+擴散區 12B(一般參照為 12)，並且有複數個閘極

五、發明說明()

導體堆疊層 13，如同一般製程，係形成在作為 IGFETs 之閘極介電層的二氧化矽(SiO_2)層上。閘極導體(GC)堆疊層包括摻雜複晶矽/矽化鎢(WSix)/頂層 Si_3N_4 之複合結構。如第 1 圖所示，頂層 Si_3N_4 延伸並覆蓋 GC 堆疊層的側壁，以達到保護的目的，稱為 GC 間隙壁。在晶片表面，可分為二個不同區域。首先，在"陣列區"製作記憶胞。每個初步的記憶胞包括一個 IGFET，以及對應的儲存電容，如同一般製程，其形成在深溝渠中。在其他區域參照為"支援區"，可找到定址及驅動電路。結構 10 上覆蓋有一層硼磷矽玻璃(BPSG)層 14，以及一層蓋在 BPSG 層 14 上之四乙烷基矽甲烷(TEOS)15。如同一般製程，這些層藉由使用 LPCVD 共形沉積在結構 10 上。如第 1 圖所示，結構 10 具有一大致平坦的表面。

現在，依照在結構 10 表面位置，製作兩種接觸窗開口。首先，蝕刻穿過在"陣列區"之層 14 與 15，形成第 2A 圖中編號 16 之接觸窗開口，參照為 CB 開口。現在請參照第 2B 圖，在結構 10 上共形沉積摻雜複晶矽層 17，藉以填滿並超過接觸窗開口 16。接著，使用電漿乾蝕刻摻雜複晶矽層 17，直到達 TEOS 層表面。如第 2C 圖中所示，持續蝕刻藉以在殘留的複晶矽填充 17 中產生凹口(CB 凹口)。接著將金屬填入 CB 凹口中，藉以形成著陸墊，作為記憶胞之位元線。此一過度蝕刻步驟係由蝕刻時間決定且非常的關鍵(critical)，因為其對蝕刻時間以及晶圓上不一致的厚度非常敏感。此過度蝕刻步驟必須小心執行，以避

五、發明說明()

免暴露出閘極導體堆疊層 13 的側壁。由於 CB 凹口的蝕刻氣體對於形成 GC 間隙壁之 Si_3N_4 以及摻雜複晶矽層 17 之間具有很低的選擇性，倘若 CB 凹口太深，會移除部分 GC 間隙壁，而暴露出 WSi_x 材質。在此情況，於製作過程的尾端，位元線與字元線之間會形成電性短路。這些步驟的目的在製造導電性鑲嵌(conductive studs)17，其可以使位元線之金屬著陸墊與 N+型擴散區 12A(如第 2C 圖之基底 11 中所示，即一般鄰接於 IGFETs 之汲極區)之間電性連接。

現在，請參照第 2D 圖，首先在結構 10 上覆蓋一層厚的抗反射(ARC)層 18，抗反射層 18 位於複晶矽鑲嵌 17 上，且填入 CB 凹口 16，接著覆蓋一層 850 nm 厚的光阻材質 19。合適的化學組成例如可以使用 shipley, Malborough, MA, USA 提供之 AR3 及 UV2HS。在沉積之後，烘烤光阻層 19，如同一般製程，進行曝光及顯影，藉以形成圖案化層，在此之後稱為 CS(Support Contact)罩幕。CS 罩幕 19 之目的在定義接觸窗的位置，接觸窗位於第一層金屬內連線層(M0)之金屬著陸墊以及支援區中結構 10 表面之擴散區 12B 之間。

使用 CS 罩幕 19，蝕刻穿過在支援區所需位置之層 18、15、14，以及 GC 堆疊層 13 之頂層 Si_3N_4 ，形成接觸窗開口，藉以暴露出 IGFETs 之 GC 堆疊層的 WSi_x 材質層，以及基底 11 之 P+擴散區 12B。這些接觸窗開口此後稱為閘極導體接觸窗(GC)開口及擴散接觸窗(CD)開口，分別為

五、發明說明()

第 2E 圖中的標號 20 及 21。上述 CS 蝕刻製程的氣體對矽具有低的選擇性，因此，如第 2E 圖所示，明顯地對 P+擴散區 12B(位於接觸窗開口 21 之底部)產生不適當的蝕刻而降低其主動區域。在過度蝕刻期間，在此 P+擴散區之摻質劑量明顯地減少，因而消耗其中的摻質濃度。這兩個缺點分別對擴散區 12B 具有很大的影響，並且因而影響 IGFET 源極/汲極區的飽和電流。亦可在接觸窗開口 20 底部看到相似的影響，不過其較不關鍵，因為並未完全移除 WSi_x 材質。

現在，請參照第 2F 圖，再次在結構 10 上覆蓋一層 90 nm 厚的抗反射(ARC)層 22，抗反射層 22 填入接觸窗開口 16、20 及 21，然後再覆蓋一層 850nm 厚的光阻材質 23。使用如同前述 CS 罩幕微影步驟之化學組成及製程。在沉積之後，烘烤光阻層 23，如同一般製程，進行曝光及顯影，藉以形成圖案化層，此後稱為 M0 罩幕 23。此 M0 罩幕 23 的目的在定義位在結構 10 表面之第一層金屬內連線之金屬著陸墊的位置。如第 2F 圖所見，由於 ARC 材質層 22 並非是良好的平坦化介質，因此不會完全填滿接觸窗開口 21。其他接觸窗開口 20 並非關鍵部分，如第 2F 圖所示，接觸窗開口的頂部可能會閉合，而形成大的孔洞(void)。

在定義 M0 罩幕之後，在兩階段製程步驟中，進行 M0 蝕刻製程，藉以移除 270 nm 未被該 M0 罩幕 23 保護的 TEOS 層 15。

第一步驟稱為"抗反射層開口(ARC OPEN)"，蝕刻 ARC

五、發明說明()

層 22，向下直到 TEOS 層 15 表面。在此金屬著陸墊形成製程階段中，結構 10 如第 2G 圖所示。如第 2G 圖所見，在 M0 罩幕 23 中的開口具有細薄的側壁，因此降低前述微影步驟的製程裕度(process window)。另外，在接觸窗開口 21 底部之層 22 的 ARC 材質完全被移除，再次暴露出 P+擴散區 12B 至下一個蝕刻步驟。

第二蝕刻步驟蝕刻約 270 nm 厚的 TEOS 層 15，藉以產生所需的凹口，凹口為金屬著陸墊接著要形成的位置。所形成的結構如第 2H 圖所示，其中凹口依照其位在陣列區或支援區，參照為標號 24 及 25。此後其將參照為著陸墊凹口 24/25。

不幸地，上述的二步驟蝕刻製程並不令人滿意。如前所述，在第一步驟產生的細薄接觸窗開口，係因 CF₄ 化學組成對 ARC 層 22 的厚度改變(在晶圓上其厚度可有 70-110 nm 的改變)非常敏感，因此在相同的晶圓中，著陸墊凹口 24/25 的尺寸會明顯地隨中心至邊緣而改變。雖然藉由使用非常長的蝕刻時間可以避免此問題，但是會有降低接觸窗開口側壁輪廓的危險。微小的著陸墊凹口 24/25 會是導致相鄰的兩 M0 金屬著陸墊電性短路的可能來源，而造成大量的失敗記憶胞。相反地，倘若為了避免這些短路，該凹口在蝕刻之後，可能會產生過大電阻之 M0 著陸墊。此外，由於第二步驟的化學組成對於 ARC、複晶矽及 TEOS 材質之間具有不同的蝕刻速率，在著陸墊凹口 24 中，部分類似的電阻問題可能會擴大。

五、發明說明()

現在請參照第 2H 圖的右邊部分，在支援區中，CD 與 CG 接觸窗開口 20 與 21 依舊覆蓋有一層 ARC 材質層 22。在第二步驟期間，當 $\text{CHF}_3/\text{CF}_4/\text{Ar}$ 的化學組成蝕刻 TEOS SiO_2 的速率快過 ARC 材質時，且由於接觸窗開口 20 及 21 相當細小，ARC 材質如同罩幕，遮蓋在其附近層 15 的 TEOS SiO_2 材質。結果，如第 2H 圖所示，TEOS SiO_2 圍牆 (fences) 26 殘留在 ARC 填入的接觸窗開口 20 與 21 處，並且在這些地方亦造成凹陷 27。相同的情形亦發生在陣列區，如第 2H 圖左側部分所示。值得注意的是，由於此第二步驟的化學組成不能蝕刻複晶矽鑲嵌 17，其尾端會高於著陸墊凹口 24 (M0 層) 的底部。

重要的是，CD 接觸窗開口 21 (其矽底部表面並未被保護) 部分會在第二步驟期間受到侵蝕，因此，如第 2H 圖所示，在這些位置中，P+擴散區 12B 的矽材質完全被移除。此對 IGFET 元件功能具有極大的影響。

在此製程階段，使用傳統的剝除製程移除層 22 與 23 殘留的 ARC 與光阻材質。然後，請參照第 2I 圖，使用濺鍍技術，在晶圓上沉積一層 25nm 厚之鈦/氮化鈦 (Ti/TiN) 之雙層附著層 28，以作為襯裡層。接著使用化學氣相沉積 (CVD) 技術，形成一層鎢 (W) 層 29 的毯覆式沉積。之後，使用足夠的研漿，對晶圓進行化學機械研磨，藉以移除超過的鎢及鈦/氮化鈦。最後，如第 2I 圖所示，製成具有 M0 鎢著陸墊 29 之平坦的矽結構 10。如第 2I 圖所見，在陣列區中，複晶矽鑲嵌 17 導致 M0 鎢著陸墊 29 的縮小 (並不在

五、發明說明()

支援區)，因而惡化其電性阻抗。

圍繞在接觸窗開口 16、20 與 21 之圍牆 26 與凹陷 27，會導致 25 nm 厚的 Ti/TiN 襯裡層 28 形成不連續。因此，使 Ti 矽化製程不完全，因而造成複晶矽鑲嵌 17 與金屬著陸墊 29 之間的電阻改變。此外，圍牆 26 在 CG 與 CD 接觸窗開口 20 與 21 的 M0 鎢著陸墊 29 造成應力，因而導致穩定性衰退。

發明目的及概述：

本發明之主要目的在提供一種於第一層金屬內連線層形成接觸窗及金屬著陸墊的方法，其中執行 M0 微影及蝕刻步驟先於 CS 微影及蝕刻步驟。

本發明之另一目的在提供一種於第一層金屬內連線層(M0)形成接觸窗及金屬著陸墊的方法，可改善金屬接觸窗與著陸墊/擴散區的界面。

本發明之另一目的在提供一種於第一層金屬內連線層(M0)形成接觸窗及金屬著陸墊的方法，在 M0 蝕刻之前，對 ARC 平坦化不敏感。

本發明之再一目的在提供一種於第一層金屬內連線層(M0)形成接觸窗及金屬著陸墊的方法，避免在 M0 蝕刻製程期間，發生對 CS 接觸窗電阻不利之 P+擴散區的腐蝕。

本發明之再一目的在提供一種於第一層金屬內連線層(M0)形成接觸窗及金屬著陸墊的方法，避免在 M0 蝕刻

五、發明說明()

製程期間，發生對 CG 接觸窗電阻不利之 WSi_x 腐蝕。

本發明之另一目的在提供一種於第一層金屬內連線層(M0)形成接觸窗及金屬著陸墊的方法，避免在 M0 蝕刻製程期間，硼從 P+擴散區向外擴散，而不利於其電阻率。

本發明之又一目的在提供一種使用非選擇性化學組成，在第一層金屬內連線層(M0)形成接觸窗及金屬著陸墊的方法。

本發明之又一目的在提供一種使用非選擇性化學組成，在第一層金屬內連線層(M0)形成接觸窗及金屬著陸墊的方法，其中 CB 凹口之過度蝕刻步驟不會長過所需時間。

本發明之又一目的在提供一種使用非選擇性化學組成，在第一層金屬內連線層(M0)形成接觸窗及金屬著陸墊的方法，可去除在 M0 著陸墊凹口周圍的 SiO_2 圍牆及凹陷，用以增進穩定性。

本發明之又一目的在提供一種使用非選擇性化學組成，在第一層金屬內連線層(M0)形成接觸窗及金屬著陸墊的方法，產生具有均勻深度與尺寸之 M0 著陸墊凹口，藉以確保較佳的襯裡層連續性，改善 M0 金屬著陸墊的電性阻抗。

本發明之再一目的在提供一種使用非選擇性化學組成，在第一層金屬內連線層(M0)形成接觸窗及金屬著陸墊的方法，以大致相同的速率蝕刻摻雜複晶矽、ARC 與 TEOS 材質。

五、發明說明()

本發明之再一目的在提供一種使用非選擇性化學組成，在第一層金屬內連線層(M0)形成接觸窗及金屬著陸墊的方法，加寬在 M0 微影階段的製程裕度(process window)，並且改善生產率。

本發明之方法可達成這些及其他相關的目的，免去前述的缺點。

根據本發明所提供之一種在第一層金屬內連線(M0)形成接觸窗及金屬著陸墊的方法，包括下列步驟：

- a) 提供一矽基底，此矽基底具有擴散區形成於其中，且具有複數個閘極導體堆疊層形成於其上，閘極導體堆疊層包括由摻雜複晶矽/耐熱金屬/氮化矽(Si_3N_4)層組成，此結構受一絕緣層保護；
- b) 於絕緣層中形成第一型接觸窗開口，參照為 CB 接觸窗開口，藉以暴露出部分基底之擴散區；
- c) 使用摻雜複晶矽填滿暴露出擴散區之 CB 接觸窗開口，藉以在其中形成跟絕緣層表面共平面之導電性鑲嵌；
- d) 在此結構之表面形成第一罩幕，參照為 M0 罩幕，藉以暴露出包含導電性鑲嵌之 M0 著陸墊凹口的位置；
- e) 非等向性乾蝕刻此罩幕結構，藉以在絕緣層中形成 M0 著陸墊凹口；
- f) 移除 M0 罩幕；
- g) 在此結構之表面形成一第二罩幕，參照為 CS 罩幕，藉以在部分 M0 著陸墊凹口中，暴露出所需的第二型接

五、發明說明()

觸窗開口的位置，這些接觸窗開口依照其位於閘極導體堆疊層或擴散區上分別參照為 CG 與 CD 接觸窗開口；

h) 非等向性乾蝕刻此罩幕結構，藉以形成 CD 與 CG 接觸窗開口，CD 與 CG 接觸窗開口分別暴露部分擴散區以及部分閘極導體堆疊層之耐熱金屬層；

i) 移除 CS 罩幕；以及

j) 使用一導電性材質例如金屬，填滿 M0 著陸墊凹口及 CD/CG 接觸窗開口，而使金屬與絕緣層頂部表面近乎共平面。

本發明之方法可以對 M0 金屬著陸墊的尺寸與電阻率，以及 CS 接觸窗的尺寸與電阻有較佳的控制。

本發明之方法在晶圓上產生具有高度的深度及尺寸均勻性之 M0 著陸墊凹口，因此 M0 金屬著陸墊不會有電阻率的問題。此外，由於改換 M0 與支援接觸(CS)微影及蝕刻步驟，CS 接觸窗開口不會暴露而過度蝕刻，因此 CS 接觸窗不會有電阻的問題。

認定為本發明特徵之新穎特色在後附申請專利範圍中提出。然而，發明本身不但具有這些及其他的目的與優點於其中，並且將在下列詳細的敘述中，以相關的較佳實施例並配合附加圖示做說明。

圖式簡單說明：

第 1 圖為現狀(state-of-the-art)矽結構之剖面圖，包括擴散區(源極/汲極區)及形成在其上之閘極導體堆疊

五、發明說明 ()

層，在平坦化之後並覆蓋有雙層材質層(上層為 BPSG 層，下層為 TEOS 層)。

第 2A-2I 圖為第 1 圖之結構在經過一連串的传统製程步驟之後，在第一層金屬內連線形成接觸窗及金屬著陸墊。

第 3A-3F 圖為第 1 圖之結構，依據本發明之方法，在經過一連串製程步驟之後，在第一層金屬內連線形成接觸窗及金屬著陸墊。

圖號對照說明：

10 半導體結構	11 矽基底
12A N+擴散區	12B P+擴散區
13 閘極導體堆疊層	14 硼磷矽玻璃(BPSG)
15 四乙烷基矽甲烷(TEOS)	
16 CB 接觸窗開口	
17 摻雜複晶矽層	18 抗反射層(ARC)
19 光阻層	20 GC 接觸窗開口
21 CD 接觸窗開口	22 抗反射層
23 光阻層	24 著陸墊凹口
25 著陸墊凹口	26 圍牆
27 凹陷	28 附著層
29 鎢層	18' 抗反射層
19' M0 光阻罩幕層	20' 接觸窗開口
21' 接觸窗開口	22' 抗反射層

五、發明說明()

23' 光阻層

29' 著陸墊

30 M0 著陸墊凹口

31 M0 著陸墊凹口

發明詳細說明：

申請發明者發現傳統接觸窗及金屬著陸墊的製造方法(請參照第 1 圖及第 2A-2I 圖且如前所述)可以顯著地被改善。依照本發明，基本的創新觀點在於改換 M0 及支援接觸(CS)的光罩(微影)及蝕刻步驟，以及在 M0 蝕刻步驟使用非選擇性化學組成。結果，可減除一道製程步驟，且可去除前述的穩定性問題(尺寸、電阻率等等)。

注意在許多的圖示中，使用相同的標號(原先的)標示相同的(對應的)部分。

不同於傳統的製作過程(請參照第 2A-2I 圖且如前所述)，本發明之改善製程開始於 M0 光罩及蝕刻步驟。

請參照第 3A-3F 圖，本發明之接觸窗及金屬著陸墊之製造方法將敘述如後。起始結構依舊為第 1 圖的結構 10，基本上包括矽基底 11，具有擴散區 12 形成於其中以及閘極導體堆疊層 13 形成於其上。如同一般製程，藉由層 14/15(BPSG/TEOS 雙層)保護結構 10。請參照第 2A 與 2B 圖，除了不再過度蝕刻複晶矽鑲嵌 17 外，相同的製程步驟順序如前所述，因此如第 3A 圖所見，複晶矽鑲嵌 17 的頂部與 TEOS 層 15 的表面大致是共平面。

現在請參照第 3B 圖，形成 ARC 層 18' 與 M0 光阻罩幕層 19'。接著圖案化光阻層 19'，藉以暴露出在 M0 著陸

五、發明說明()

墊位置的 ARC 材質。

然後，形成 M0 著陸墊凹口。依據本發明，改善的 M0 蝕刻步驟使用非選擇性化學蝕刻摻雜複晶矽。

此步驟在 RIE 蝕刻機中執行，例如是在 AME5200 之 MxP+反應室，此工具由 Applied Materials Inc.，Santa Clara, CA, USA.製造。在此一步驟中，用在 ARC、TEOS 及摻雜複晶矽材質的製程參數如下。在所有關聯製程中，NF₃/CHF₃ 混合物(23/77 比例)皆為適量。此特定的比例提供最低的選擇性。事實上，其大約以 160 nm/min 蝕刻上述的材質。適當的操作條件列舉如下：

NF₃ 流率 : 30 sccm

CHF₃ 流率 : 100 sccm

壓力 : 140 mT

RF 功率 : 600 W

磁場 : 0 Gauss

壁溫 : 15 °C

陰極溫度 : 15 °C

提供於晶圓背部之 He 冷卻氣流 : 14 torr

蝕刻時間 : 120 sec

最後，如同一般製程，剝除 M0 罩幕 20 的光阻。實驗證明為了改善蝕刻 ARC 層 22 與 TEOS 層 15(如第 2G 圖所示者)的製程(藉以產生具有一致結果之所需的 M0 著陸

五、發明說明()

墊凹口)，化學組成必須不是選擇性的，亦即其必須能夠以相同速率蝕刻 ARC、TEOS 與摻雜複晶矽材質。因此，使用此化學組成，不再需要如第 2C 圖所描述之蝕刻複晶矽鑲嵌 17 的步驟，並且在 M0 罩幕 23 的開口不會細小。

此化學組成造成 CB 複晶矽凹口具有高精確度。請參照第 3C 圖，M0 著陸墊凹口分別依照其位於陣列區或支援區參照為 30 及 31。如第 3C 圖所見，在陣列區中，複晶矽鑲嵌 17 頂部表面跟在 M0 著陸墊凹口底部的 TEOS 材質共平面。

製作過程接著是 CS 微影及蝕刻步驟。請參照第 3D 圖，在結構 10 上共形沉積一層抗反射(ARC)層 22'及一層 850 nm 厚的光阻層 23'，覆蓋著陸墊凹口 30 與 31。在沉積之後，烘烤光阻層 23'，如同一般製程，進行曝光及顯影，藉以形成一圖案化層，仍然參照為 CS 罩幕 23'。值得注意的是，CS 罩幕 23'開口只位在支援區之 M0 著陸墊凹口上。

現在請參照第 3E 圖，在支援區所需位置，接觸窗開口 20'與 21'蝕穿層 22'、15、14 及 13，藉以分別暴露出 IGFETs 之閘極導體堆疊層以及基底 11 的擴散區 12B。因為 TEOS 層 15 的厚度已經在 M0 蝕刻步驟期間降低，接觸窗開口可蝕穿較厚的堆疊層。此導致底部尺寸相同於頂部尺寸。此外，由於已經進行 M0 蝕刻，不會有新的製程步驟影響 P+擴散區 12B，將可維持擴散區的完整(以及其電阻率)，並且更進一步改善 CD 接觸窗/擴散區 12B 的介面

五、發明說明()

電阻，因而增進 IGFETs 的開關速度。

然後，使用濺鍍技術，在晶圓上形成一層 25 nm 厚的鈦/氮化鈦(Ti/TiN)雙層附著層以作為襯裡層。接著使用化學氣相沉積技術(CVD)，形成一層毯覆式沉積之鎢(W)層。然後，使用適量的研漿對晶圓進行化學機械研磨，藉以移除超過的鎢及鈦/氮化鈦。請參照傳統的製作過程，執行如前所述的這些步驟。最後的結果，如第 3F 圖所示，產生具有 M0 鎢接觸窗以及著陸墊 29'之平坦的矽結構。

因此新的 M0 蝕刻步驟可以提供具有完全平坦底部表面之 M0 著陸墊凹口 30 與 31。所以，如第 3F 圖所述，在使用鎢填滿 M0 凹口之後，在製作過程的尾端，M0 鎢著陸墊的電性阻抗明顯地降低，因而改善 IGFETs 的開關速度。而且可除去圍牆與凹陷，並且複晶矽鑲嵌 17 是在整個晶圓之 M0 著陸墊凹口 30 具有良好深度均勻性的條件下蝕刻。由於改換 M0 與 CS 光罩及蝕刻步驟，CS 接觸窗開口不再容易有過度蝕刻，且跟擴散區 12B 連接的 CD 接觸窗不再有關於電阻的問題。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

約

四、中文發明摘要(發明之名稱：)

動態隨機存取記憶體晶片中

第一層金屬內連線的形成方法

一種在半導體結構之第一層內連線(M0)形成接觸窗與金屬著陸墊的方法。起始結構為矽基底，具有擴散區形成於其中，以及複數個閘極導體堆疊層形成於其上。接著使用絕緣層保護此結構。在絕緣層中形成第一型接觸窗開口，藉以暴露出一些擴散區，然後填入摻雜複晶矽藉以形成跟絕緣層表面共平面之導電性鑲嵌。之後在該結構表面形成第一罩幕(M0)，暴露出 M0 著陸墊凹口的位置，該 M0 著陸墊包含上述之鑲嵌。非等向性蝕刻該罩幕結構以形成 M0 著陸墊凹口。然後，移除 M0 罩幕。在該結構表面形成

英文發明摘要(發明之名稱：)

A METHOD OF FORMING THE FIRST LEVEL OF METALLIZATION
IN DRAM CHIPS

There is disclosed a method of forming contacts and metal lands onto a semiconductor structure at the first level of metallization (M0). The initial structure is a silicon substrate having diffusion regions formed therein and a plurality of gate conductor stacks formed thereon. The structure is passivated by an insulating layer. Contact holes of a first type are etched in the insulating layer to expose some diffusion regions, then filled with doped polysilicon to form conductive studs coplanar with the insulating layer surface. A first mask (M0) is formed at the surface of the structure to expose M0 land recess locations including above said studs. The masked structure is

第1頁

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、中文發明摘要(發明之名稱：)

第二罩幕(支援接觸(CS))，以暴露所需之第二型接觸窗開口的位置。再次非等向性蝕刻該罩幕結構，藉以暴露出擴散區與閘極導體堆疊層的頂部。然後移除CS罩幕。最後，以金屬填滿該M0著陸墊凹口與接觸窗開口，因而金屬與絕緣材質的頂部表面近乎共平面。

英文發明摘要(發明之名稱：)

anisotropically dry etched to create M0 land recesses. Next, the M0 mask is removed. A second mask (CS) is formed at the surface of the structure to expose desired contact hole locations of a second type. The masked structure is again anisotropically dry etched to expose the diffusion regions and the top of gate conductor stacks. The CS mask is removed. Finally, said M0 land recesses and contact holes are filled with a metal, so that the metal and the insulating material top surface are substantially coplanar.

六、申請專利範圍

1. 一種在半導體結構之第一層金屬內連線(M0)形成接觸窗及金屬著陸墊的方法，該方法至少包括下列步驟：

a) 提供一矽基底，該矽基底具有擴散區形成於其中，且具有複數個閘極導體堆疊層形成於其上，該些閘極導體堆疊層包括由摻雜複晶矽/耐熱金屬/氮化矽(Si_3N_4)層組成，該結構受一絕緣層保護；

b) 於該絕緣層中形成第一型接觸窗開口，參照為 CB 接觸窗開口，藉以暴露出一些該基底之擴散區；

c) 使用摻雜複晶矽填滿暴露出該擴散區之該 CB 接觸窗開口，藉以在其中形成跟該絕緣層表面共平面之導電性鑲嵌；

d) 在該結構之表面形成一第一罩幕，參照為 M0 罩幕，藉以暴露出包括該導電性鑲嵌之 M0 著陸墊凹口位置；

e) 非等向性乾蝕刻該罩幕結構，藉以在該絕緣層中形成 M0 著陸墊凹口；

f) 移除該 M0 罩幕；

g) 在該結構之表面形成一第二罩幕，參照為支援接觸(CS)罩幕，藉以在一些該 M0 著陸墊凹口中暴露出第二型所需接觸窗開口的位置，該接觸窗開口分別依照其位於閘極導體堆疊層或擴散區上參照為 CG 與 CD 接觸窗開口；

h) 非等向性乾蝕刻該罩幕結構，藉以形成 CD 與 CG 接觸窗開口，該 CD 與 CG 接觸窗開口分別暴露一些擴

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

散區以及一些間極導體堆疊層之耐熱金屬層；

i) 移除該 CS 罩幕；以及

j) 使用一導電性材質例如金屬，填滿該 M0 著陸墊凹口及 CD/CG 接觸窗開口，因而該金屬與該絕緣層頂部表面近乎共平面。

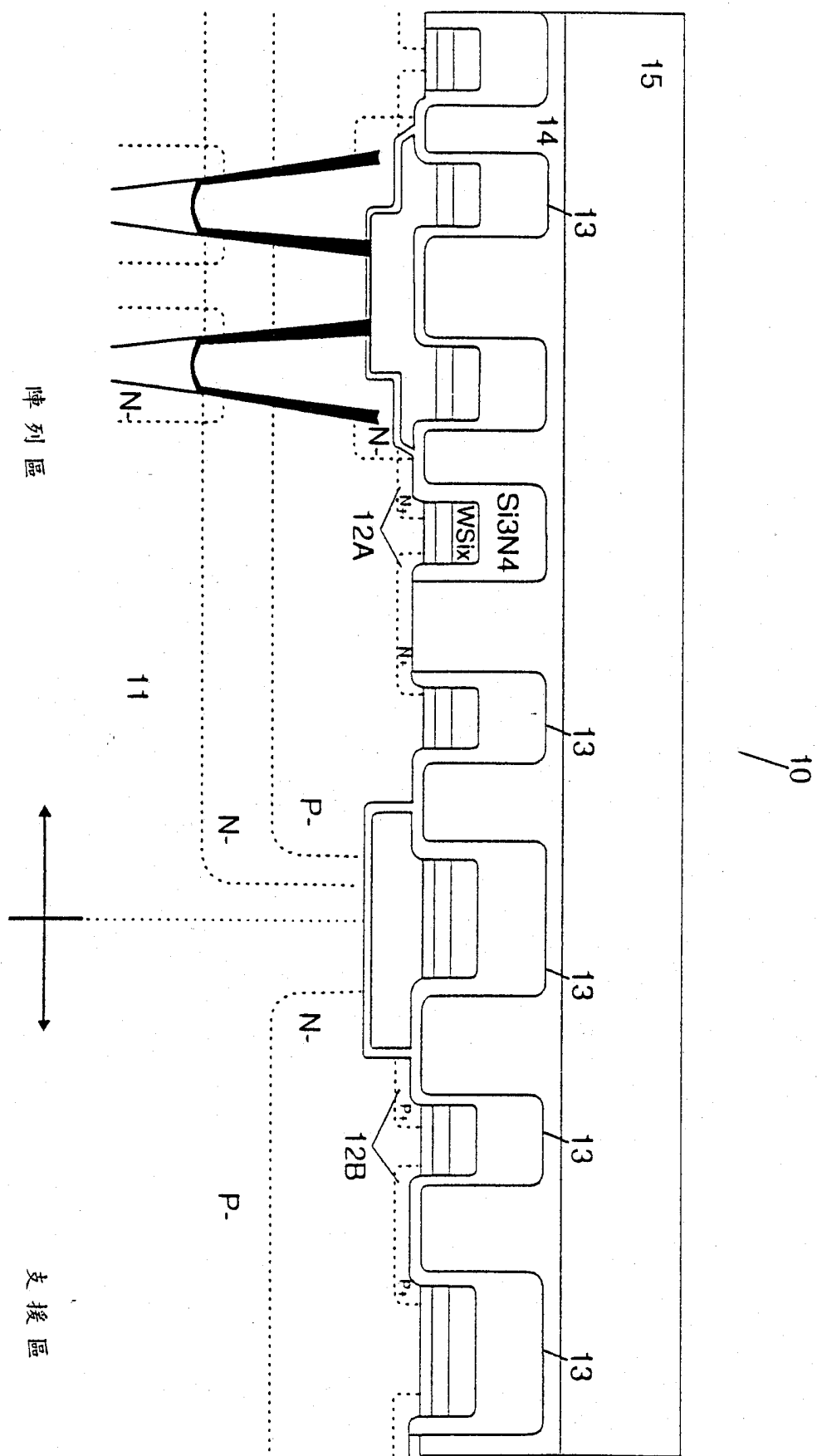
2. 如申請專利範圍第 1 項所述之方法，其中形成第一罩幕之該步驟包括在該結構上沉積一底層抗反射(ARC)材質/頂層光阻材質之雙層結構，並進行曝光及顯影，藉以形成該第一罩幕；並且非等向性乾蝕刻該罩幕結構之該步驟包括使用一非選擇性化學組成，以大致相同的速率蝕刻摻雜複晶矽、ARC 與絕緣材質。

3. 如申請專利範圍第 1 項所述之方法，其中該絕緣層為一硼磷矽玻璃(BPSG)與四乙烷基矽甲烷(TEOS)之雙層結構。

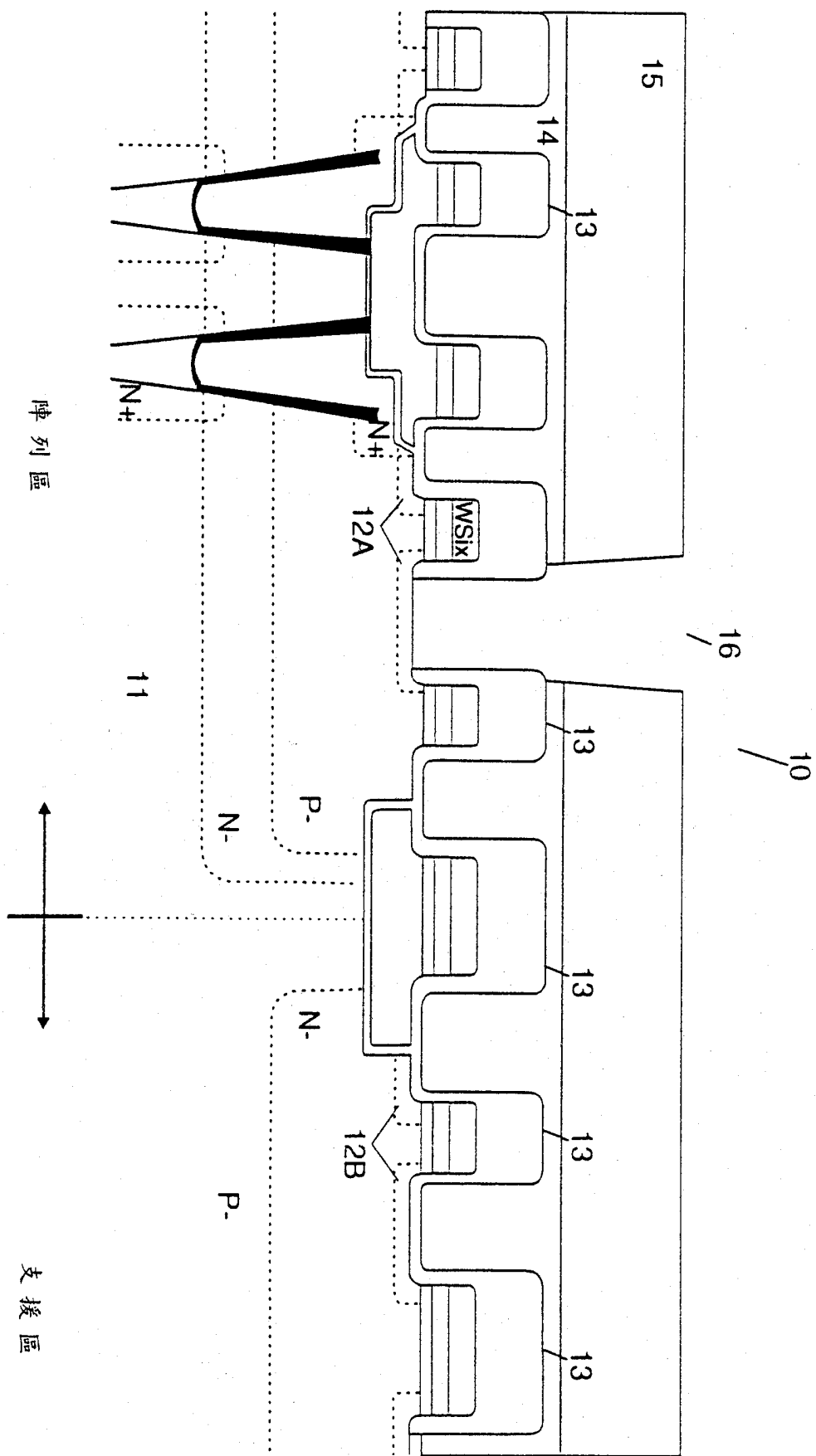
4. 如申請專利範圍第 2 項所述之方法，其中該非選擇性化學成分包括一 NF_3/CHF_3 混合物。

5. 如申請專利範圍第 4 項所述之方法，其中該 NF_3/CHF_3 比例為 23/77。

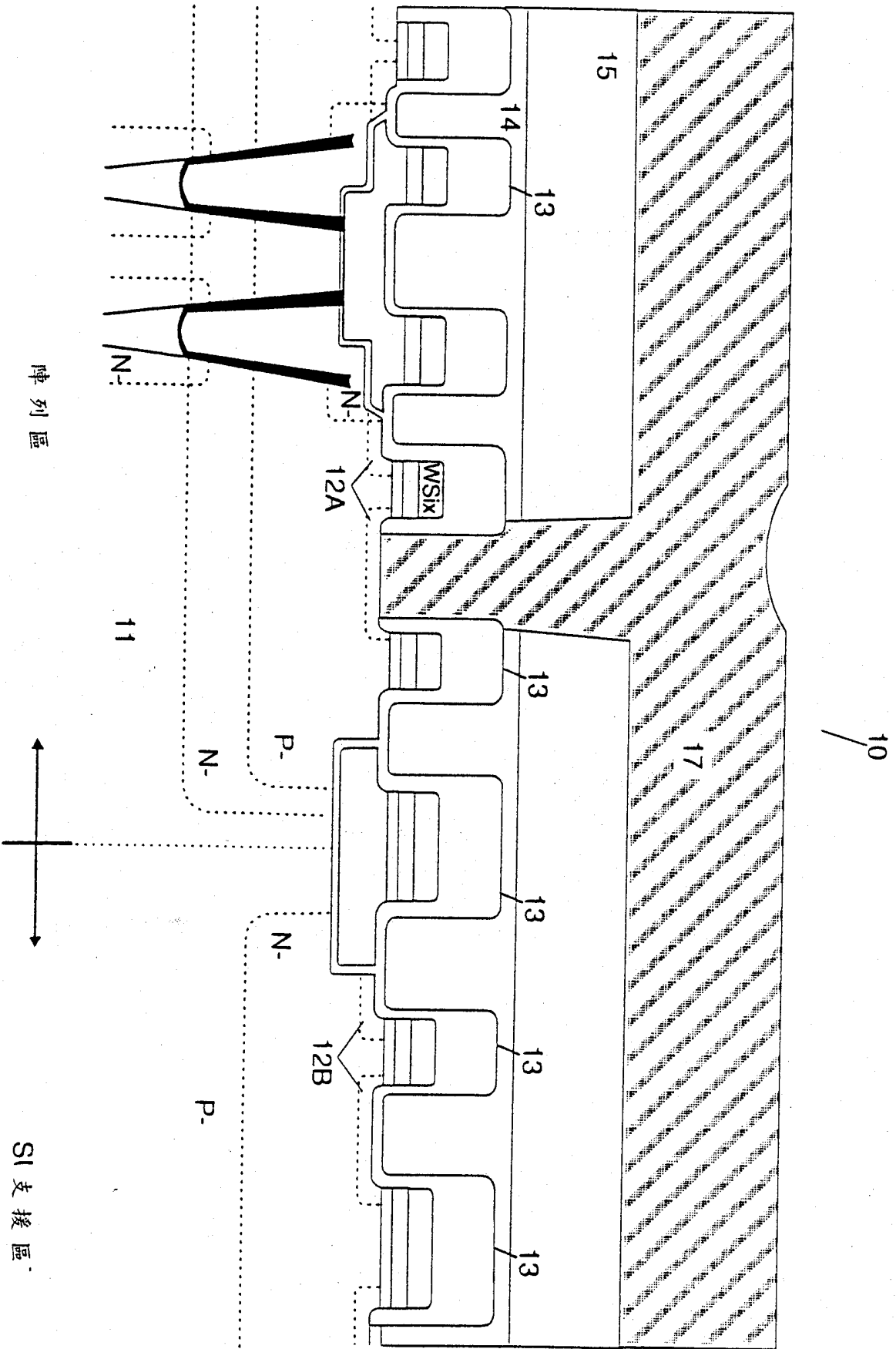
第一圖



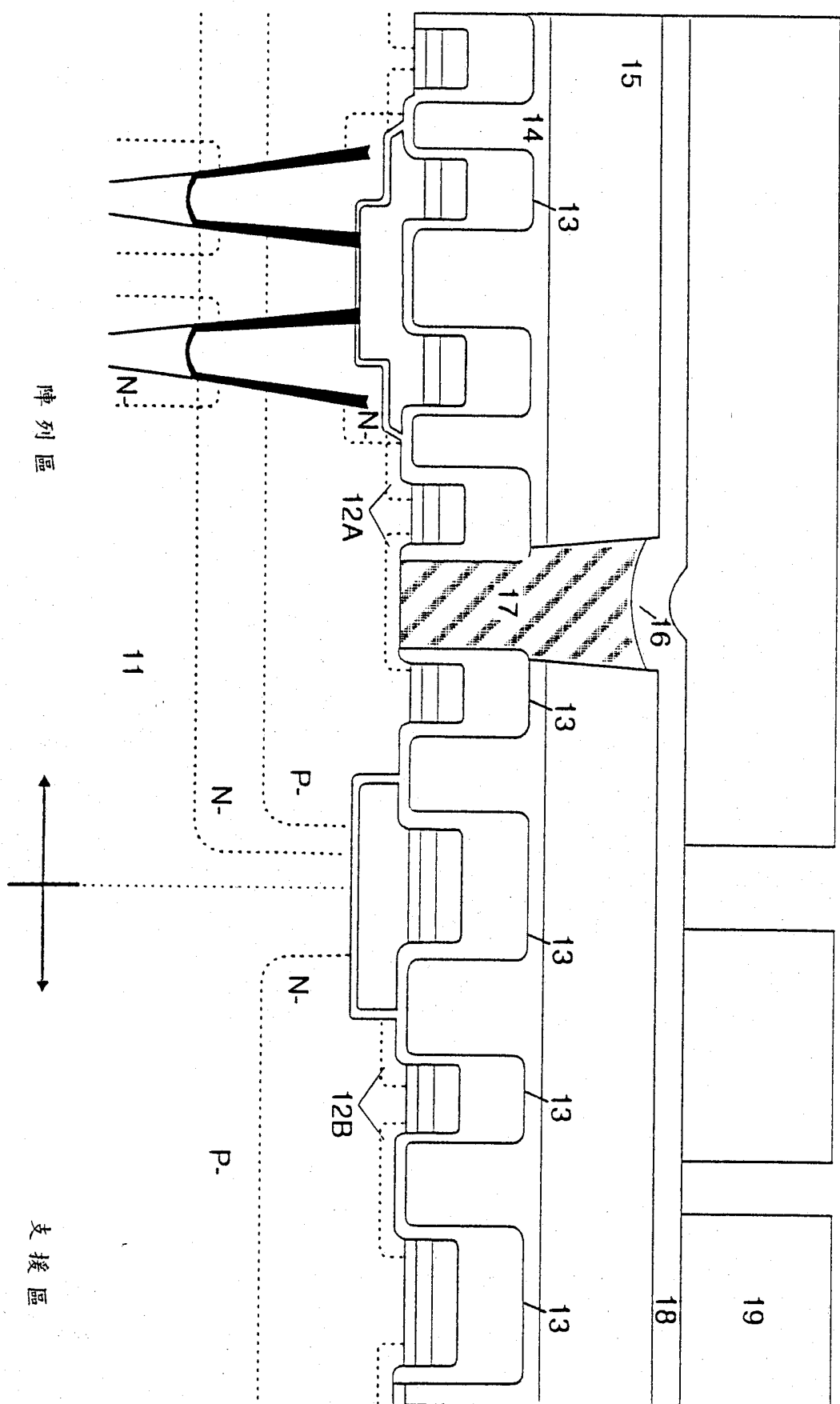
第 2A 圖



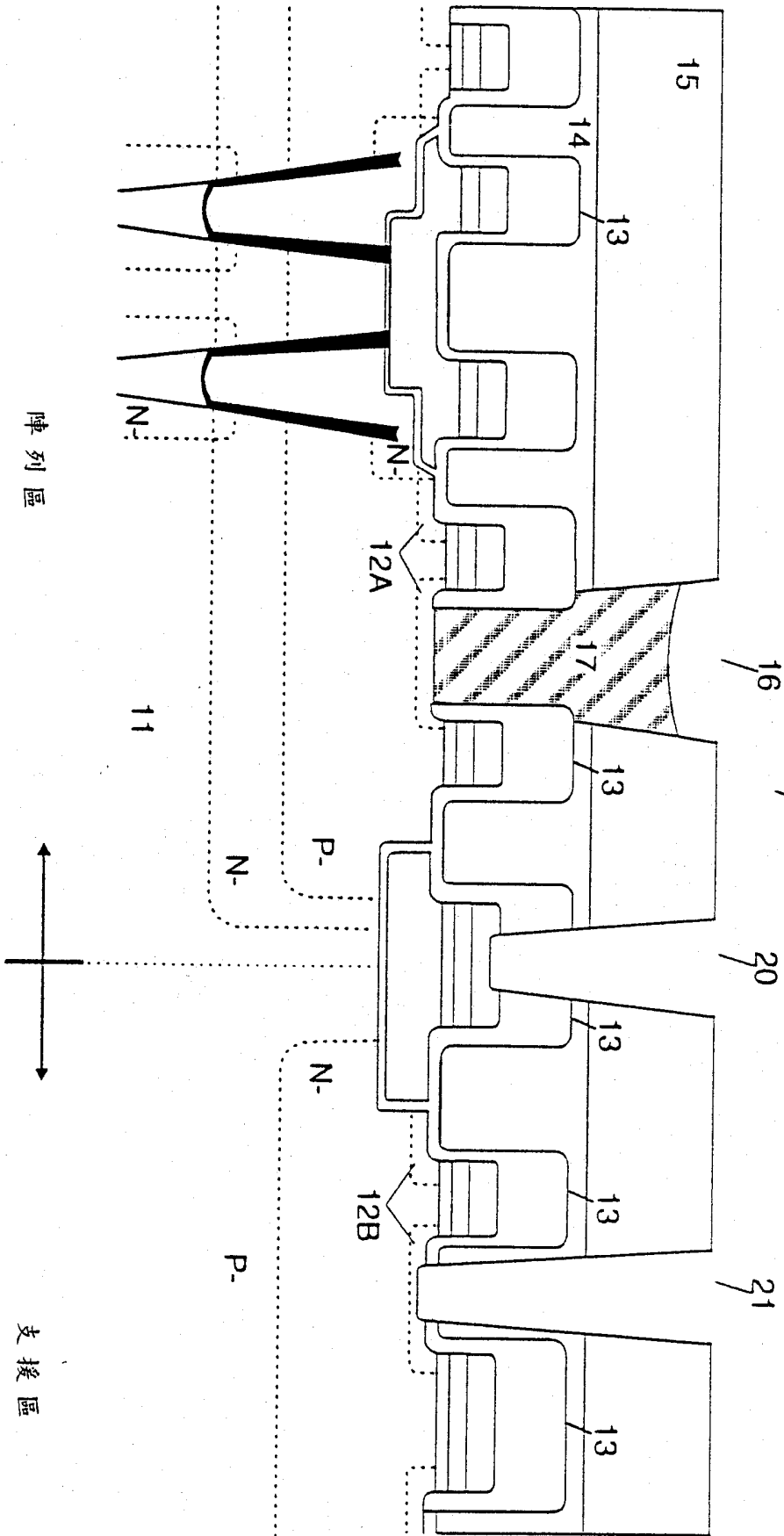
第 2B 圖



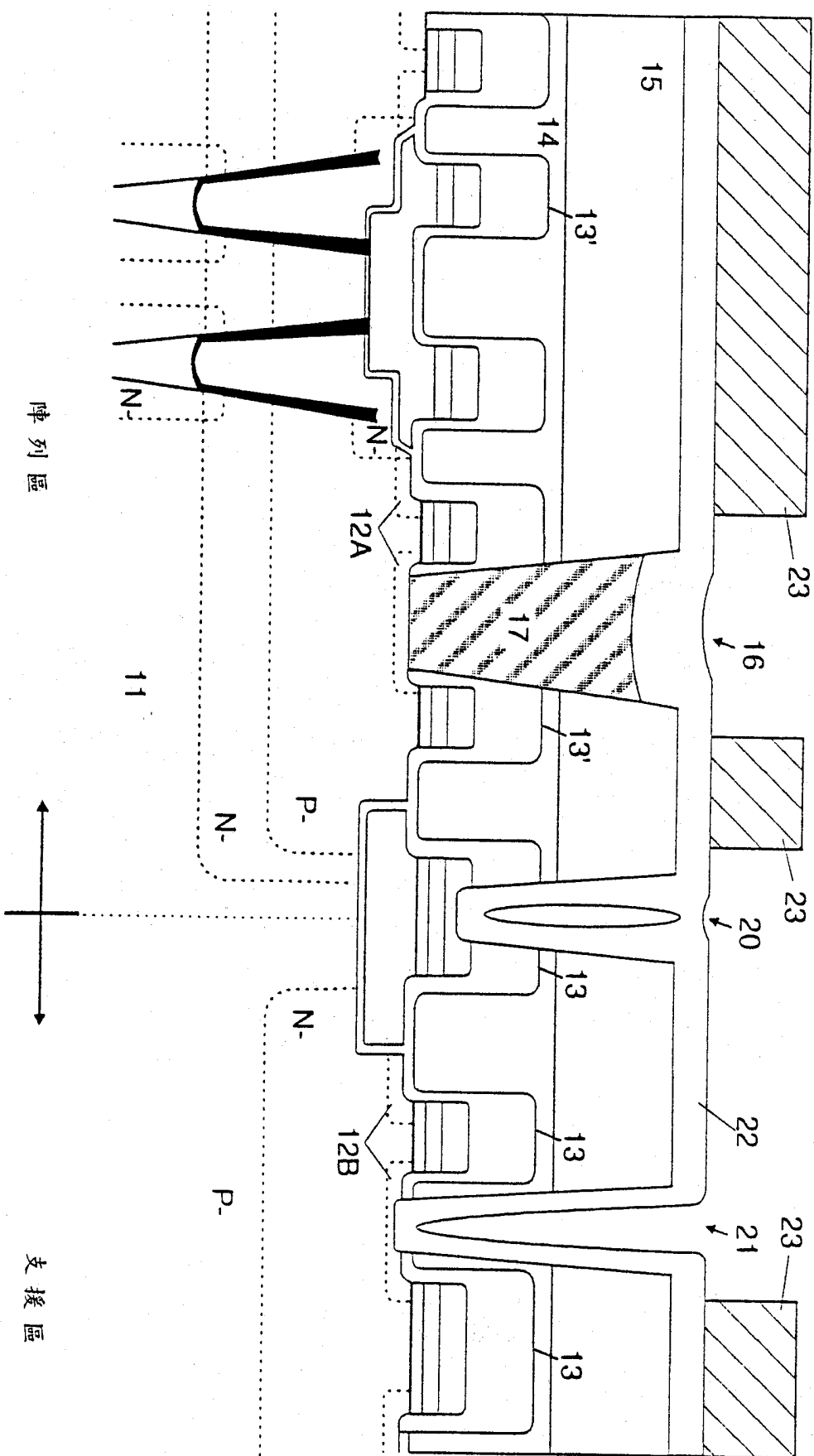
第 2D 圖 10 /



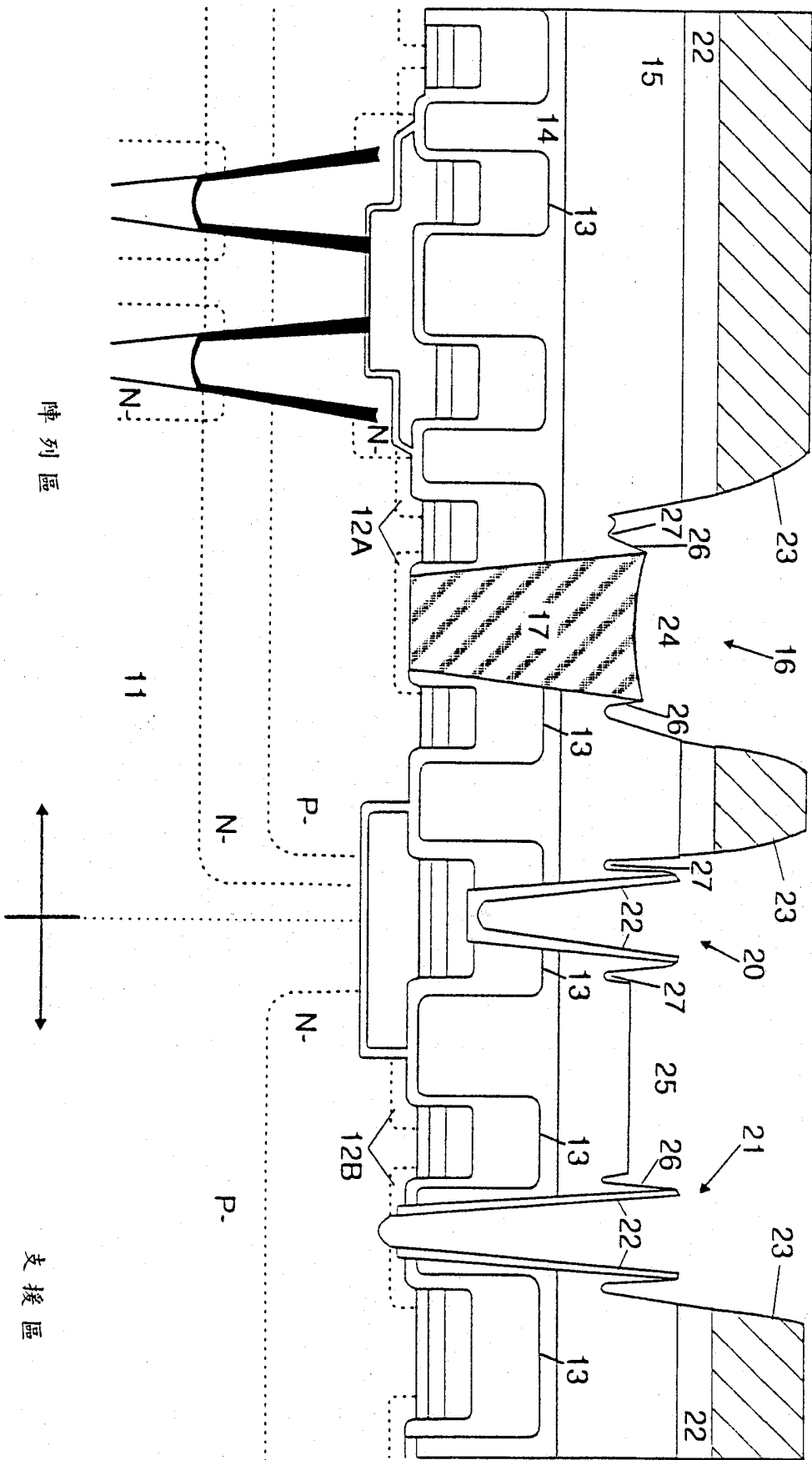
第 2E 圖



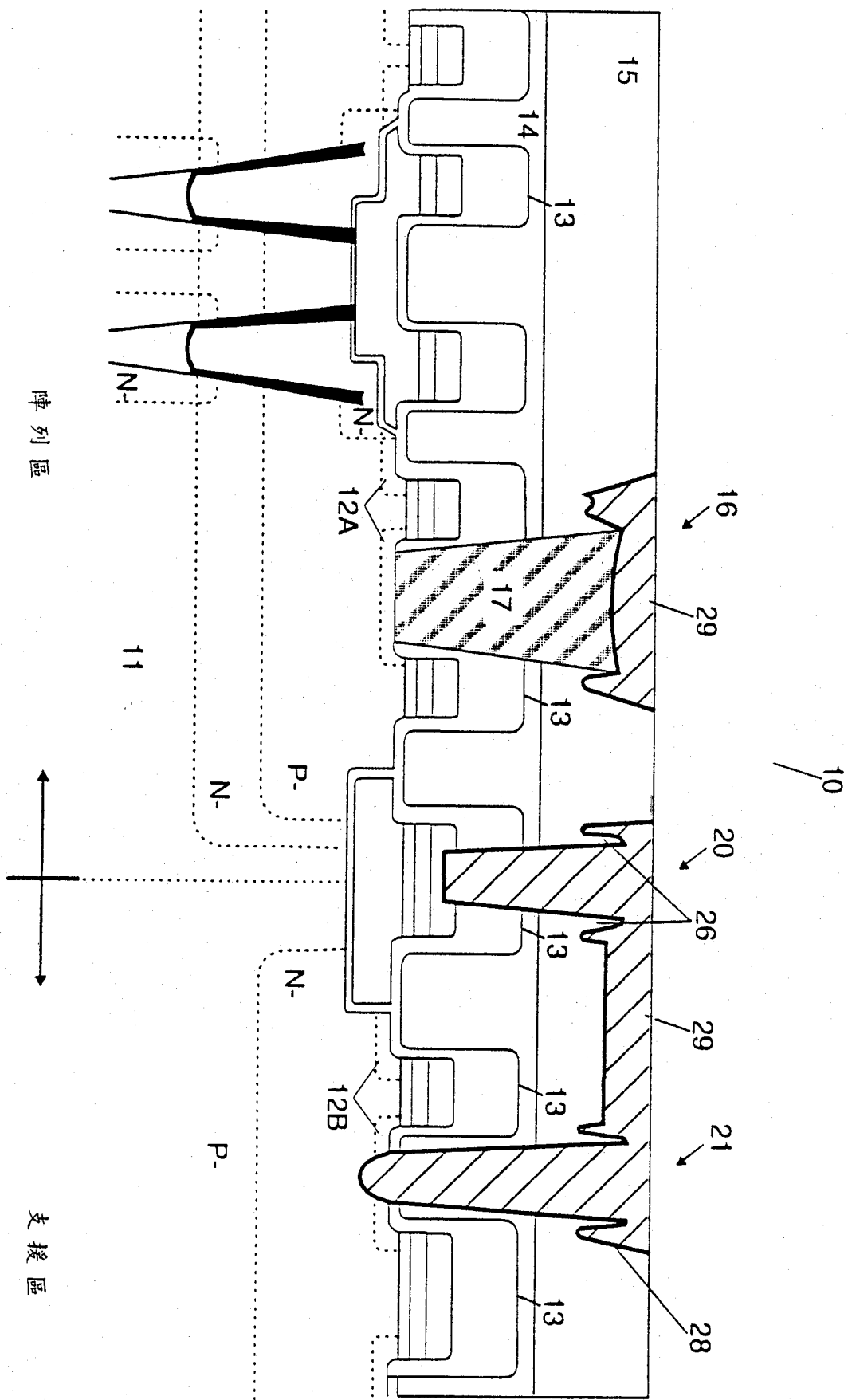
第 2F 圖



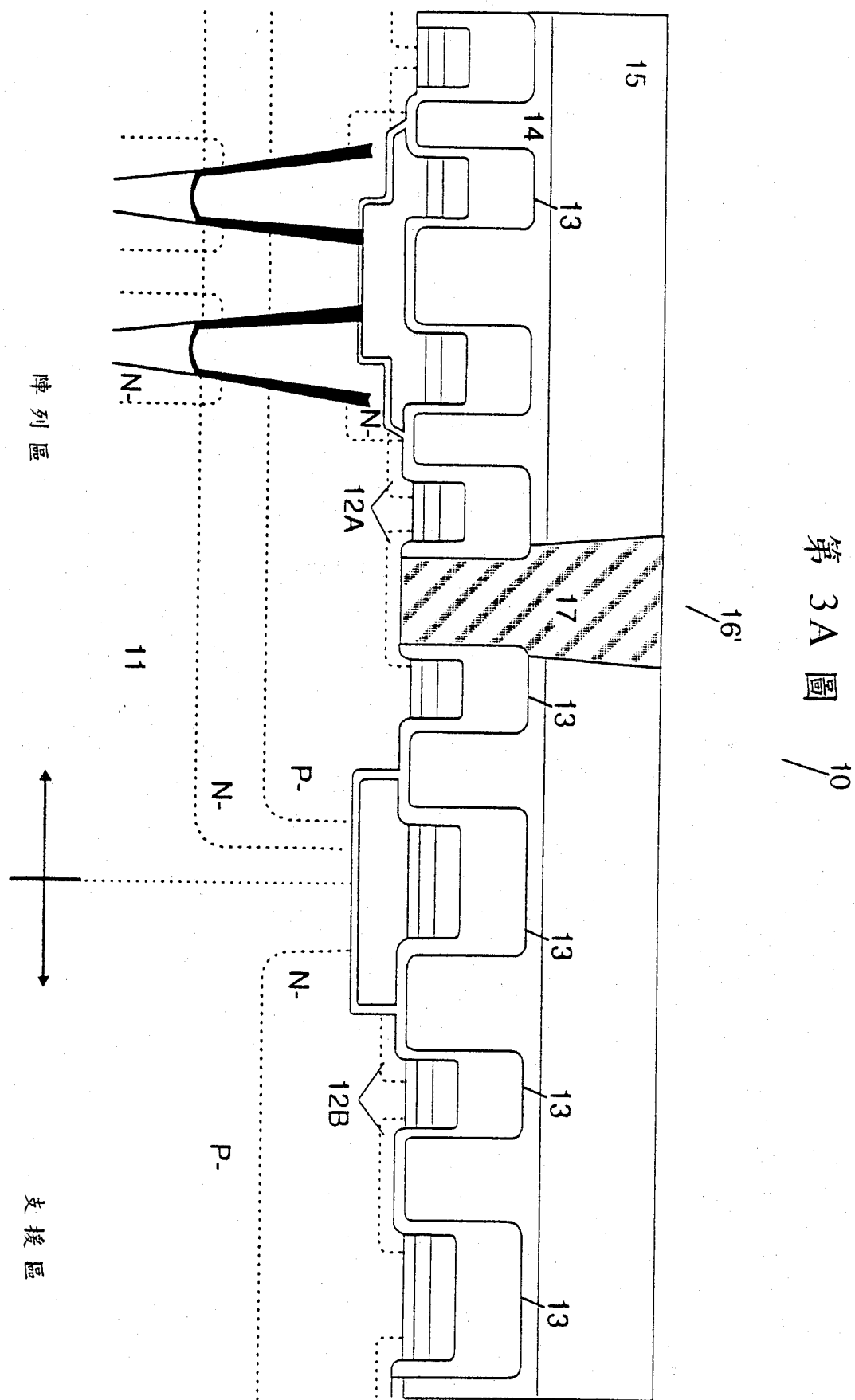
第 2H 圖



第 21 圖



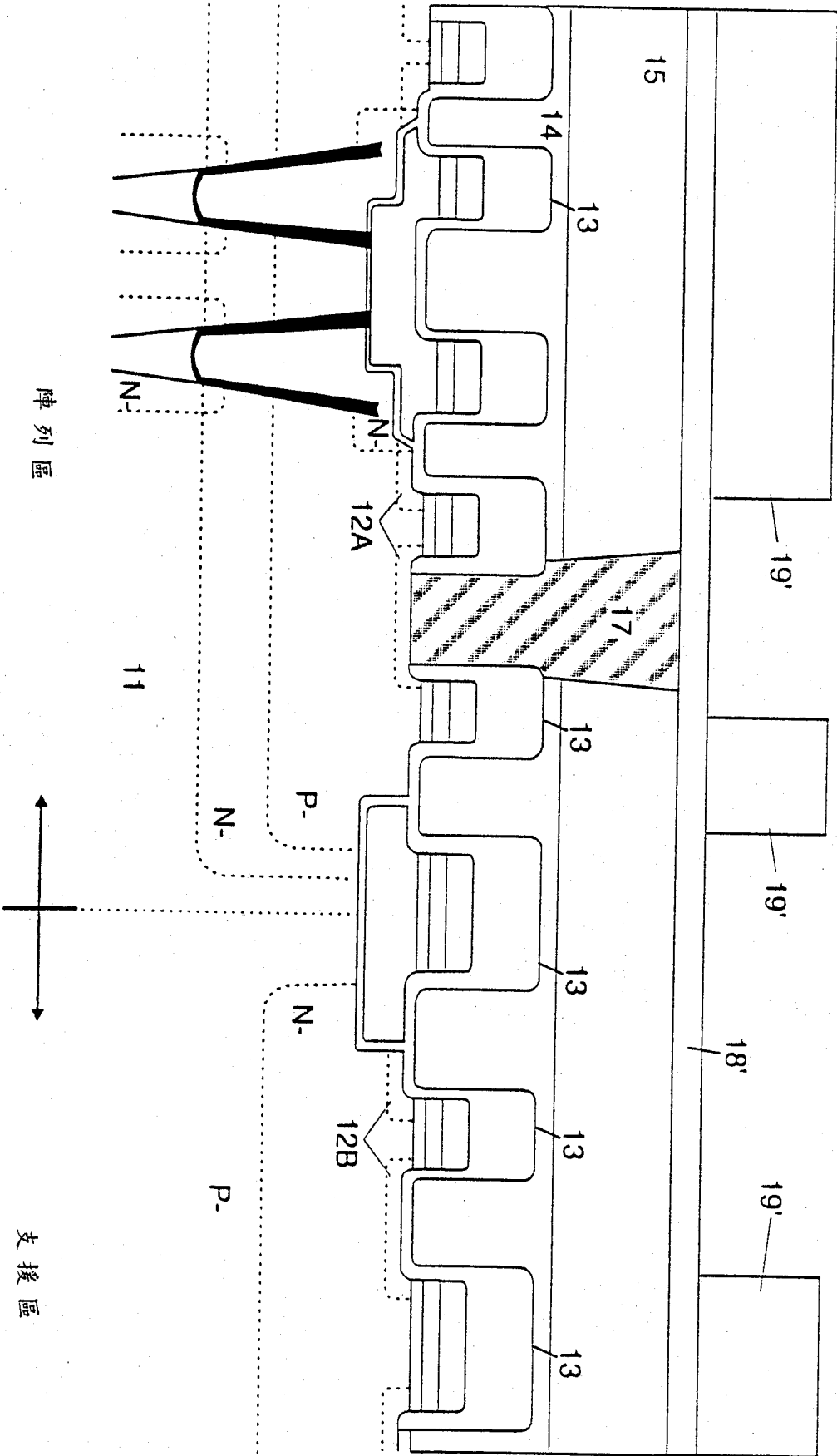
第 3A 圖



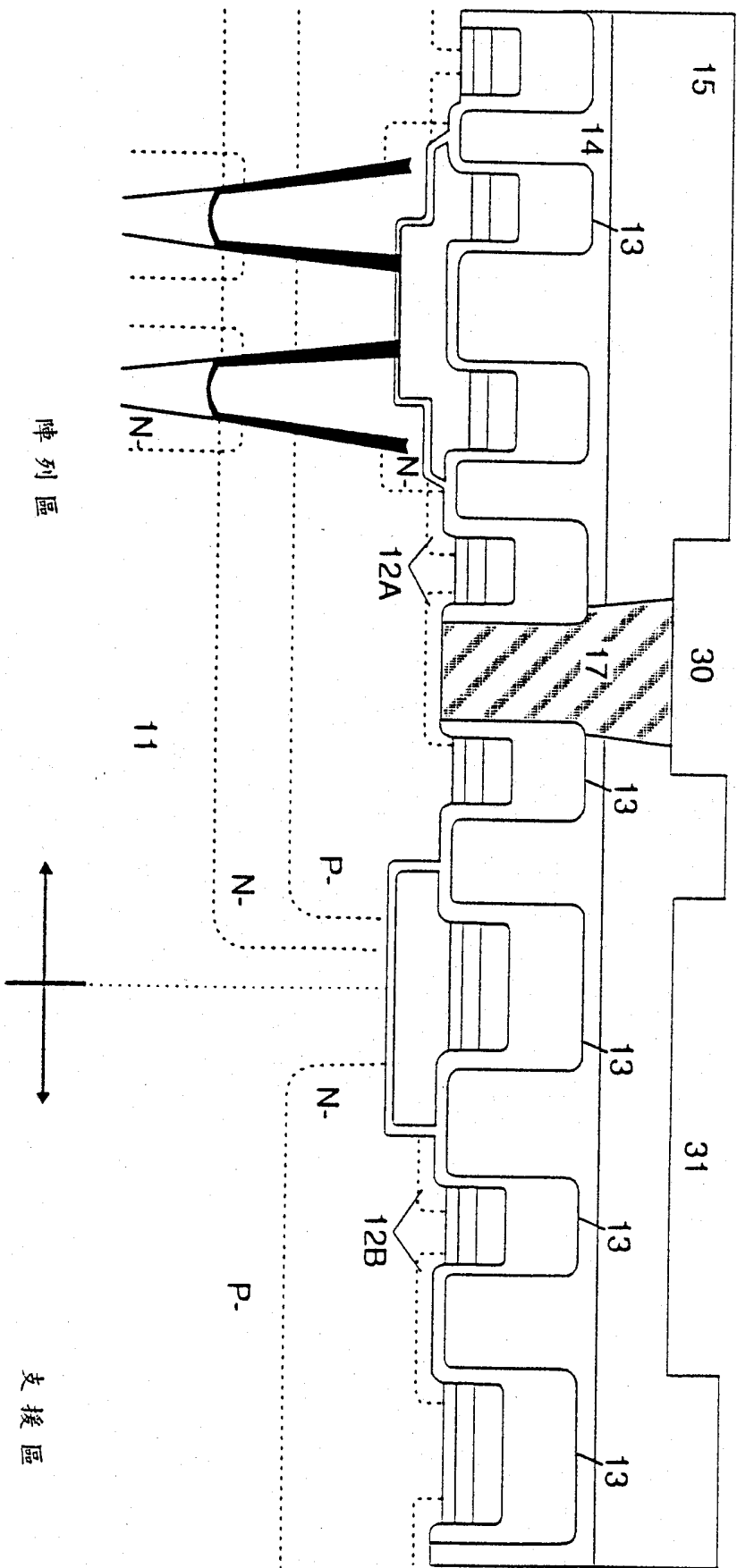
陣列區

支援區

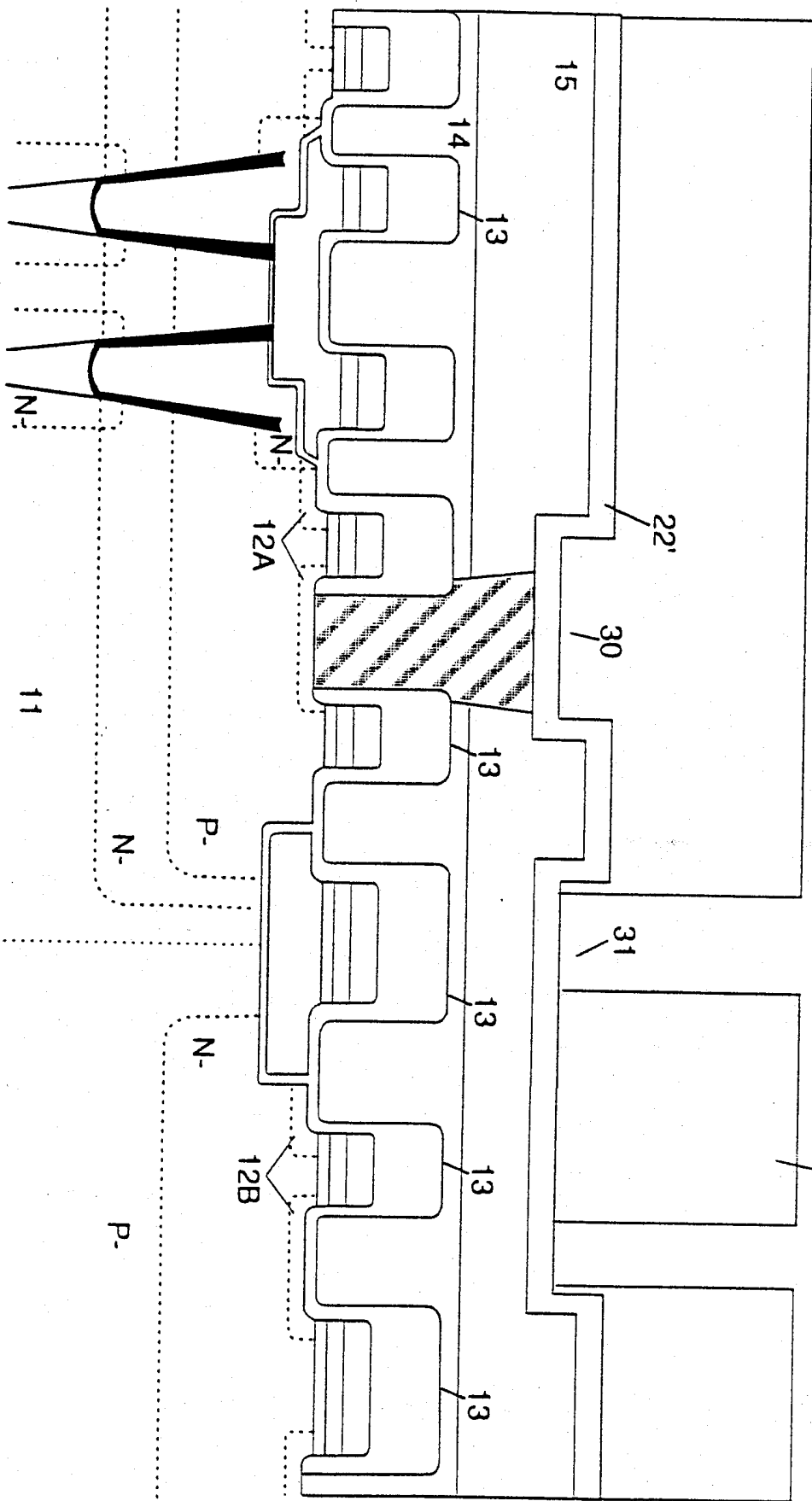
第 3B 圖 10



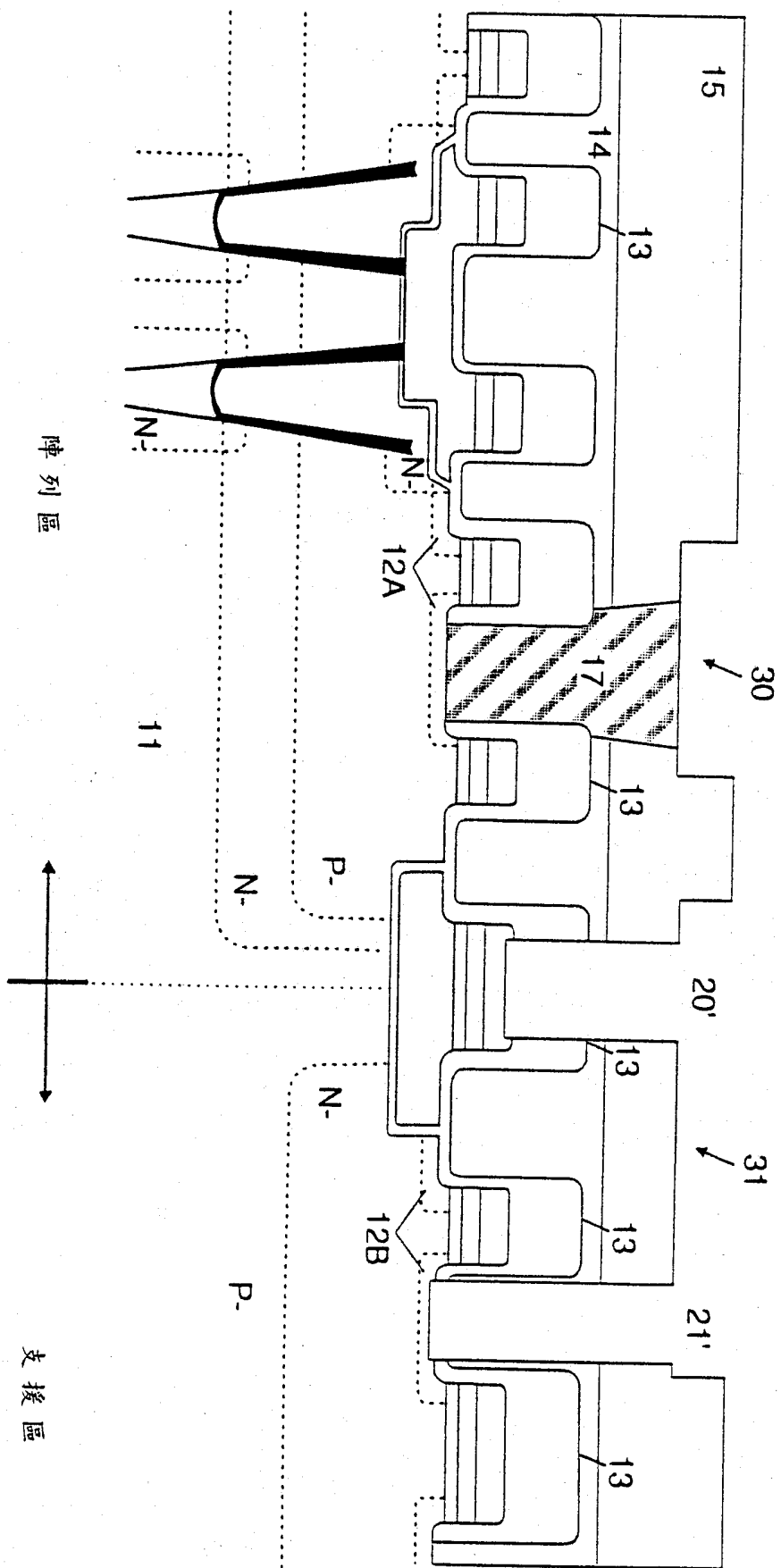
第 3C 圖 / 10



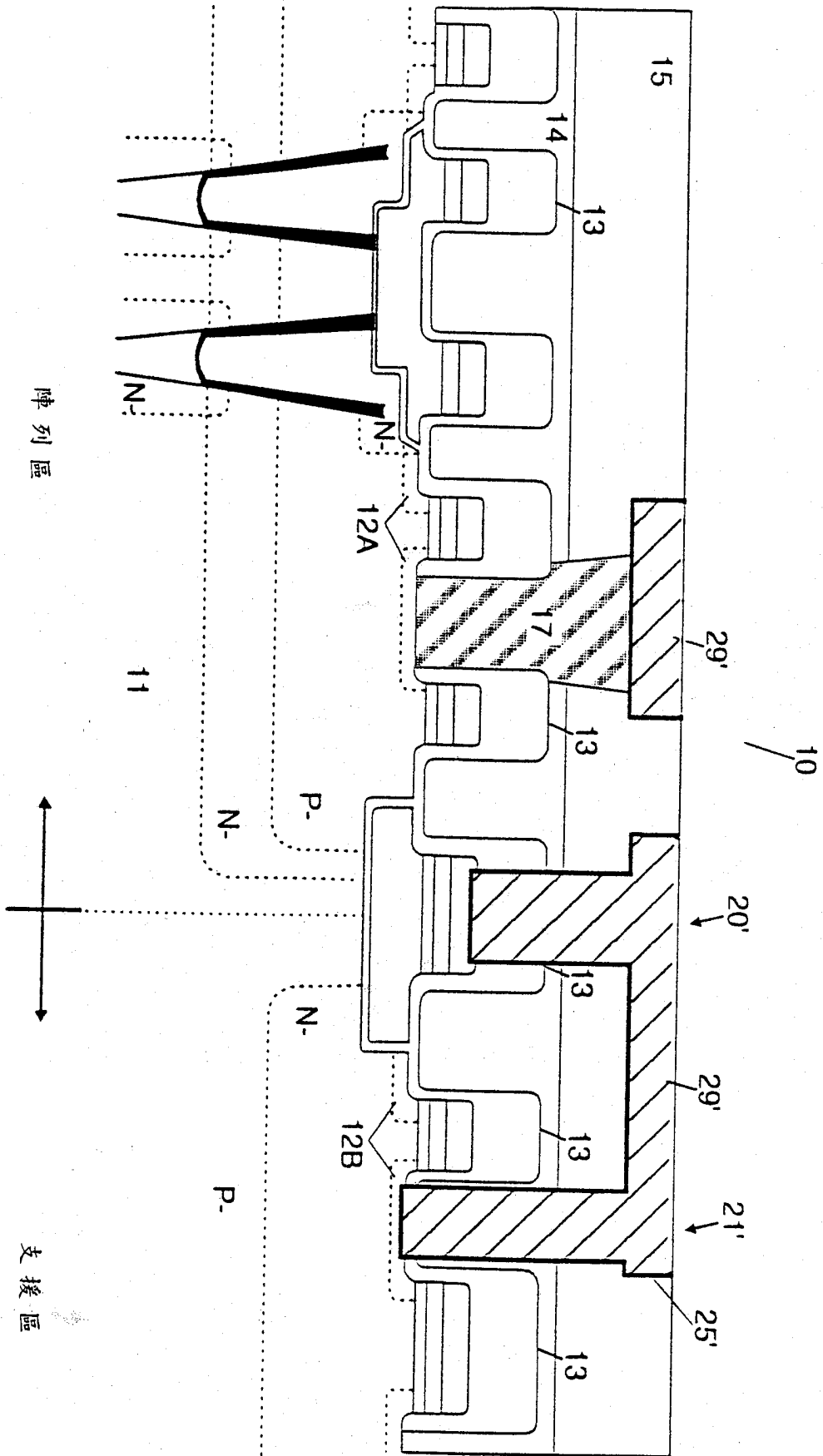
第 3D 圖 / 10



第 3E 圖



第 3F 圖



公告本

90年 8月31日 修正
補充

申請日期	89. 4. 17
案 號	89107200
類 別	H01L 27/08

A4
C4

(以上各欄由本局填註)

第 89107200 號專利案 90 年 8 月修正

發明專利說明書 466752

一、發明 名稱	中 文	動態隨機存取記憶體晶片中第一層金屬內連線的形成方法
	英 文	A METHOD OF FORMING THE FIRST LEVEL OF METALLIZATION IN DRAM CHIPS
二、發明 人	姓 名	1. 克里斯多夫奇拉德 2. 蘭洛馬卡南恩 3. 史黛芬席歐利爾
	國 籍	1. 法國 2. 法國 3. 法國
	住、居所	1. 法國阿奇里斯拉法瑞漢莫米恩-基明戴拉恰皮爾 14 號 2. 法國維拉貝基明戴斯維奈斯 11 號 3. 法國巴黎露耶珍奈 39 號
三、申請人	姓 名 (名稱)	美商·萬國商業機器公司
	國 籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市新果園路
	代 表 人 姓 名	傑拉德羅森瑟爾

裝

訂

線