

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第6087672号
(P6087672)

(45) 発行日 平成29年3月1日(2017.3.1)

(24) 登録日 平成29年2月10日(2017.2.10)

(51) Int.Cl.	F I
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 7 J
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B
HO 1 L 21/8242 (2006.01)	HO 1 L 29/78 6 1 6 T
HO 1 L 27/108 (2006.01)	HO 1 L 29/78 6 1 8 C
HO 1 L 27/115 (2017.01)	HO 1 L 27/10 3 2 1
請求項の数 8 (全 34 頁) 最終頁に続く	

(21) 出願番号	特願2013-49985 (P2013-49985)	(73) 特許権者	000153878
(22) 出願日	平成25年3月13日 (2013.3.13)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2013-219345 (P2013-219345A)		神奈川県厚木市長谷398番地
(43) 公開日	平成25年10月24日 (2013.10.24)	(72) 発明者	笹川 慎也
審査請求日	平成28年2月23日 (2016.2.23)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2012-60444 (P2012-60444)		半導体エネルギー研究所内
(32) 優先日	平成24年3月16日 (2012.3.16)	(72) 発明者	倉田 求
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	小堺 行彦
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

酸化物半導体層と、
前記酸化物半導体層上のゲート絶縁層と、
前記ゲート絶縁層を介して前記酸化物半導体層と重畳する領域を有するゲート電極層と、
前記ゲート絶縁層の上面と接する領域及び前記ゲート電極層の側面と接する領域を有する第1の絶縁層と、
前記第1の絶縁層を介して、前記ゲート電極層の側面に設けられた第2の絶縁層と、
前記酸化物半導体層と電氣的に接続されたソース電極層及びドレイン電極層と、を有し、
前記第1の絶縁層は、前記ゲート絶縁層よりも酸素に対する透過性が低く、且つ、前記第1の絶縁層において、前記ゲート絶縁層の上面と接する領域の膜厚は、前記ゲート電極層の側面と接する領域の膜厚よりも大きい半導体装置。

【請求項2】

酸化物半導体層と、
前記酸化物半導体層上のゲート絶縁層と、
前記ゲート絶縁層を介して前記酸化物半導体層と重畳する領域を有するゲート電極層と、
前記ゲート絶縁層の上面と接する領域及び前記ゲート電極層の側面と接する領域を有する

る第 1 の絶縁層と、

前記第 1 の絶縁層を介して、前記ゲート電極層の側面に設けられた第 2 の絶縁層と、
前記ゲート電極層上に接して設けられ、側面において前記第 1 の絶縁層と接する領域を有する第 3 の絶縁層と、

前記酸化物半導体層と電氣的に接続されたソース電極層及びドレイン電極層と、を有し、

前記第 1 の絶縁層は、前記ゲート絶縁層よりも酸素に対する透過性が低く、且つ、前記第 1 の絶縁層において、前記ゲート絶縁層の上面と接する領域の膜厚は、前記ゲート電極層の側面と接する領域の膜厚よりも大きい半導体装置。

【請求項 3】

請求項 1 又は 2 において、

前記ソース電極層及び前記ドレイン電極層は、前記第 1 の絶縁層及び前記第 2 の絶縁層と接する領域を有する半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれかーにおいて、

前記ゲート絶縁層の端部と、前記第 1 の絶縁層の端部とは、概略一致する半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれかーにおいて、

前記第 1 の絶縁層の端部と、前記第 2 の絶縁層の端部とは、概略一致する半導体装置。

【請求項 6】

請求項 1 乃至 5 のいずれかーにおいて、

前記酸化物半導体層において、前記ソース電極層又は前記ドレイン電極層と接する領域の膜厚は、前記ゲート絶縁層と接する領域の膜厚よりも小さい半導体装置。

【請求項 7】

請求項 1 乃至 6 のいずれかーにおいて、

前記第 1 の絶縁層は、前記ゲート絶縁層よりも水素に対する透過性が低い半導体装置。

【請求項 8】

請求項 1 乃至 7 のいずれかーにおいて、

前記第 1 の絶縁層として、酸化アルミニウム膜を含む半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

開示する発明の一態様は、半導体装置及び半導体装置の作製方法に関する。

【0002】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、発光表示装置、半導体回路及び電子機器は全て半導体装置である。

【背景技術】

【0003】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する）のような半導体電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体材料が注目されている。

【0004】

例えば、酸化物半導体として、酸化亜鉛、又は In - Ga - Zn 系酸化物半導体を用いてトランジスタを作製する技術が開示されている（特許文献 1 及び特許文献 2 参照）。

【先行技術文献】

【特許文献】

【0005】

10

20

30

40

50

【特許文献１】特開２００７－１２３８６１号公報

【特許文献２】特開２００７－９６０５５号公報

【発明の概要】

【発明が解決しようとする課題】

【０００６】

ところで、トランジスタの動作の高速化、トランジスタの低消費電力化、低価格化などを達成するためには、トランジスタの微細化を図ることが重要である。

【０００７】

また、酸化物半導体を用いてトランジスタを作製する場合、酸化物半導体のキャリアの供給源として、酸素欠損が挙げられる。トランジスタのチャネル形成領域を含む酸化物半導体に酸素欠損が多く存在すると、チャネル形成領域中に電子を生じさせてしまい、トランジスタのしきい値電圧をマイナス方向に変動させる要因となる。そのため、酸化物半導体を用いた半導体装置においては、該酸化物半導体中から酸素欠損を低減する措置を講じることが求められる。

【０００８】

上述した問題に鑑み、本発明の一態様では、酸化物半導体を用いた半導体装置であって、良好な電気的特性を維持しつつ微細化を達成した半導体装置を提供することを目的の一とする。また、本発明の一態様では、酸化物半導体層を用いた半導体装置であって、信頼性の高い半導体装置を提供することを目的の一とする。また、該半導体装置の作製方法を提供することを目的の一とする。

【課題を解決するための手段】

【０００９】

本明細書等で開示する発明の一態様は、酸化物半導体層、酸化物半導体層と接するゲート絶縁層、及びゲート絶縁層を介して酸化物半導体層と重畳するゲート電極層を含むトランジスタにおいて、ゲート絶縁層の上面及びゲート電極層の側面に接して、ゲート絶縁層よりも酸素に対する透過性の低い（酸素に対するバリア性を有する）絶縁層を設けた構成とする。また、該絶縁層において、ゲート絶縁層の上面と接する領域の膜厚は、ゲート電極層の側面と接する領域の膜厚よりも大きい構成とする。

【００１０】

該ゲート絶縁層に接して酸素に対するバリア性を有する絶縁層を設けることで、ゲート絶縁層からの酸素の脱離を抑制することができる。ゲート絶縁層は酸化物半導体層のチャネル形成領域と接する絶縁層であるため、該ゲート絶縁層からの酸素の脱離を抑制することで、ゲート絶縁層に含まれる酸素欠損に起因する酸化物半導体層からの酸素の引き抜きを抑制することができ、結果として酸化物半導体層の酸素欠損を抑制することができる。

【００１１】

また、ゲート絶縁層は、化学量論的組成よりも過剰に酸素を含む領域（以下、酸素過剰領域とも表記する）を有することが好ましい。酸化物半導体層と接するゲート絶縁層が酸素過剰領域を有することで、酸化物半導体層へ酸素を供給することが可能となるため、酸化物半導体層からの酸素の脱離を防止し、膜中の酸素欠損を補填することが可能となる。

【００１２】

また、上記において、ゲート絶縁層の上面及びゲート電極層の側面と接する絶縁層は、ゲート電極層の側壁絶縁層の一部として機能する。ここで、絶縁層におけるゲート絶縁層の上面と接する領域の膜厚が、ゲート電極層の側面と接する領域の膜厚よりも大きい構成とすることで、ゲート絶縁層への酸素に対するバリア性を維持しつつ、側壁絶縁層の幅を減少させることが可能となる。よって、トランジスタの信頼性の向上及び微細化を図ることができる。

【００１３】

本発明の一態様は、酸化物半導体層と、酸化物半導体層上のゲート絶縁層と、ゲート絶縁層を介して酸化物半導体層と重畳するゲート電極層と、ゲート絶縁層の上面及びゲート電極層の側面と接する第１の絶縁層と、第１の絶縁層を介して、ゲート電極層の側面に設け

10

20

30

40

50

られた第2の絶縁層と、酸化物半導体層と電氣的に接続するソース電極層及びドレイン電極層と、を有し、第1の絶縁層は、ゲート絶縁層よりも酸素に対する透過性が低く、且つ、第1の絶縁層において、ゲート絶縁層の上面と接する領域の膜厚は、ゲート電極層の側面と接する領域の膜厚よりも大きい半導体装置である。

【0014】

また、本発明の他の一態様は、酸化物半導体層と、酸化物半導体層上のゲート絶縁層と、ゲート絶縁層を介して酸化物半導体層と重畳するゲート電極層と、ゲート絶縁層の上面及びゲート電極層の側面と接する第1の絶縁層と、第1の絶縁層を介して、ゲート電極層の側面に設けられた第2の絶縁層と、ゲート電極層上に接して設けられ、側面において第1の絶縁層と接する第3の絶縁層と、酸化物半導体層と電氣的に接続するソース電極層及びドレイン電極層と、を有し、第1の絶縁層は、ゲート絶縁層よりも酸素に対する透過性が低く、且つ、第1の絶縁層において、ゲート絶縁層の上面と接する領域の膜厚は、ゲート電極層の側面と接する領域の膜厚よりも大きい半導体装置である。

10

【0015】

上記の半導体装置において、ソース電極層及びドレイン電極層は、第1の絶縁層及び第2の絶縁層と接していてもよい。

【0016】

また、上記の半導体装置において、ゲート絶縁層の端部と第1の絶縁層の端部、及び/又は、第1の絶縁層の端部と第2の絶縁層の端部は、概略一致する。

【0017】

20

また、上記の半導体装置において、酸化物半導体層において、ソース電極層又はドレイン電極層と接する領域の膜厚は、ゲート絶縁層と接する領域の膜厚よりも小さい。

【0018】

なお、酸化物半導体においては、酸素欠損に加えて水素がキャリアの供給源となる。酸化物半導体中に水素が含まれると、伝導帯から浅い準位にドナーが生成され低抵抗化(n型化)してしまう。よって、上記の半導体装置において、第1の絶縁層として、酸素に対する低い透過性に加えて、ゲート絶縁層よりも水素に対する透過性が低い絶縁層を適用することが好ましい。このような絶縁層を適用することで、ゲート絶縁層及びそれに接する酸化物半導体層への水素又は水素化合物の混入を抑制することができるため、半導体装置の信頼性をより向上させることができる。

30

【0019】

また、酸素及び水素に対する透過性が低い絶縁層として、例えば酸化アルミニウム膜が挙げられる。よって、上記の半導体装置に含まれる第1の絶縁層として、例えば酸化アルミニウム膜を含む絶縁層を適用することができる。

【0020】

なお、本明細書等において、「概略一致」の用語は、厳密な一致を要しない意味で用いる。例えば、「概略一致」の表現は、複数の層を同一のマスクを用いてエッチングして得られた形状における一致の程度を包含する。

【発明の効果】

【0021】

40

本発明の一態様によって、酸化物半導体を用いた半導体装置であって、良好な電氣的特性を維持しつつ微細化を達成した半導体装置及びその作製方法を提供することができる。また、本発明の一態様によって、酸化物半導体層を用いた半導体装置であって、信頼性の高い半導体装置及びその作製方法を提供することができる。

【図面の簡単な説明】

【0022】

【図1】半導体装置の一態様を説明する平面図及び断面図。

【図2】半導体装置の一態様を説明する平面図及び断面図。

【図3】半導体装置の作製方法を説明する断面図。

【図4】半導体装置の作製方法を説明する断面図。

50

【図 5】半導体装置の一態様を説明する平面図及び断面図。

【図 6】半導体装置の一態様を示す平面図、断面図及び回路図。

【図 7】半導体装置の一態様を示す斜視図。

【図 8】半導体装置の一態様を示す断面図。

【図 9】半導体装置の一形態を示す回路図。

【図 10】半導体装置の一形態を示すブロック図。

【図 11】半導体装置の一形態を示すブロック図。

【図 12】半導体装置の一形態を示すブロック図。

【図 13】実施例で作製した試料の断面 TEM 像。

【発明を実施するための形態】

10

【0023】

以下では、本発明に開示する発明の実施の形態について図面を用いて詳細に説明する。但し、本明細書に開示する発明は以下の説明に限定されず、その形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本明細書に開示する発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に示す本発明の構成において、同一部分又は同様の機能を有する部分には、同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を有する部分を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【0024】

なお、本明細書等における「第 1」、「第 2」等の序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。

20

【0025】

(実施の形態 1)

本実施の形態では、半導体装置及び半導体装置の作製方法の一態様を図 1 乃至図 4 を用いて説明する。本実施の形態では、半導体装置の一例として酸化物半導体層を有するトランジスタを示す。

【0026】

図 1 にトランジスタ 420 の構成例を示す。図 1 (A) は、トランジスタ 420 の平面図であり、図 1 (B) は、図 1 (A) の X1 - Y1 における断面図であり、図 1 (C) は、図 1 (A) の V1 - W1 における断面図である。なお、図 1 (A) では、煩雑になることを避けるため、トランジスタ 420 の構成要素の一部 (例えば、絶縁層 407 等) を省略して図示している。

30

【0027】

図 1 に示すトランジスタ 420 は、基板 400 上に設けられた酸化物半導体層 403 と、酸化物半導体層 403 上のゲート絶縁層 402 と、ゲート絶縁層 402 を介して酸化物半導体層 403 と重畳するゲート電極層 401 と、ゲート絶縁層 402 の上面及びゲート電極層 401 の側面と接する絶縁層 411 と、絶縁層 411 を介してゲート電極層 401 の側面に設けられた絶縁層 412 と、酸化物半導体層 403 と電気的に接続するソース電極層 405a 及びドレイン電極層 405b と、を有する。

【0028】

トランジスタ 420 において、ゲート絶縁層 402 の上面及びゲート電極層 401 の側面と接する絶縁層 411 として、酸素に対するバリア性を有する絶縁層を用いる。より具体的には、絶縁層 411 としてゲート絶縁層 402 よりも酸素に対する透過性が低い絶縁層を用いる。絶縁層 411 として酸素に対するバリア性を有する絶縁層を設けることで、ゲート絶縁層 402 からの酸素の脱離を抑制することができる。ゲート絶縁層 402 は酸化物半導体層 403 のチャネル形成領域と接する絶縁層であるため、該絶縁層からの酸素の脱離を抑制することで、酸化物半導体層 403 からの酸素の引き抜きを防止することができる。酸化物半導体層 403 の酸素欠損を抑制することができる。

40

【0029】

また、絶縁層 411 において、ゲート絶縁層 402 の上面と接する領域の膜厚は、ゲート

50

電極層 401 の側面と接する領域の膜厚よりも大きい。絶縁層 411 は、絶縁層 412 とともにゲート電極層 401 の側壁絶縁層として機能する層である。よって、絶縁層 411 においてゲート電極層の側面と接する領域の膜厚を小さくすることで、側壁絶縁層の幅を縮小することができ、半導体装置の微細化を図ることが可能となる。一方で、絶縁層 411 においてゲート絶縁層 402 の上面と接する領域の膜厚をゲート電極層の側面と接する領域の膜厚よりも大きくすることで、ゲート絶縁層 402 からの酸素の脱離を抑制するバリア膜としての効果を得ることができる。

【0030】

絶縁層 411 としては、例えば、アルミニウム、マグネシウムを添加したアルミニウム、チタンを添加したアルミニウム、マグネシウム、又はチタン等の酸化物若しくは窒化物を単層で、又は積層で用いることができる。

10

【0031】

なお、絶縁層 411 として、酸素に対するバリア性に加えて、水素、水分などの不純物に対する透過性の低い膜（ゲート絶縁層 402 よりも水素に対する透過性の低い膜）を用いることがより好ましい。このような膜として、酸化アルミニウム膜を好適に用いることができる。絶縁層 411 として酸素及び水素に対する透過性の低い膜を用いることで、ゲート絶縁層 402 及び酸化物半導体層 403 からの酸素の脱離を防止するだけでなく、トランジスタの電気的特性の変動要因となる水素、水素化合物などの不純物のゲート絶縁層 402 及び酸化物半導体層 403 への混入を抑制することができる。

【0032】

20

また、基板 400 上の下地絶縁層 436、絶縁層 407、絶縁層 414、ソース配線層 415a、又はドレイン配線層 415b をトランジスタ 420 の構成要素に含めてもよい。

【0033】

トランジスタ 420 に含まれる酸化物半導体層 403 は、非単結晶を有していてもよい。非単結晶は、例えば、CAAC (C Axis Aligned Crystal)、多結晶（ポリクリスタルともいう）、微結晶または非晶部を有する。非晶質部は、微結晶、CAAC よりも欠陥準位密度が高い。また、微結晶は、CAAC よりも欠陥準位密度が高い。なお、CAAC を有する酸化物半導体を、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) と呼ぶ。

【0034】

30

酸化物半導体層 403 は、例えば CAAC-OS を有していてもよい。CAAC-OS は、例えば、c 軸配向し、a 軸及び / 又は b 軸はマクロに揃っていない。

【0035】

酸化物半導体層 403 は、例えば微結晶を有していてもよい。なお、微結晶を有する酸化物半導体を、微結晶酸化物半導体と呼ぶ。微結晶酸化物半導体層は、例えば、1 nm 以上 10 nm 未満のサイズの微結晶（ナノ結晶ともいう。）を膜中に含む。

【0036】

酸化物半導体層 403 は、例えば非晶質部を有していてもよい。なお、非晶質部を有する酸化物半導体を、非晶質酸化物半導体と呼ぶ。非晶質酸化物半導体層は、例えば原子配列が無秩序であり、結晶成分を有さない。または、非晶質酸化物半導体層は、例えば、完全な非晶質であり、結晶部を有さない。

40

【0037】

なお、酸化物半導体層 403 が、CAAC-OS、微結晶酸化物半導体、非晶質酸化物半導体の混合膜であってもよい。混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-OS の領域と、を有する。また、混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-OS の領域と、の積層構造を有していてもよい。

【0038】

なお、酸化物半導体層 403 は、例えば、単結晶を有していてもよい。

【0039】

50

酸化物半導体層 403 は、複数の結晶部を有し、当該結晶部の c 軸が被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃っていることが好ましい。なお、異なる結晶部間で、それぞれ a 軸及び b 軸の向きが異なってもよい。そのような酸化物半導体層の一例としては、CAAC-OS 膜がある。

【0040】

CAAC-OS 膜に含まれる結晶部は、一辺が 100 nm 未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡 (TEM: Transmission Electron Microscope) による観察像では、CAAC-OS 膜に含まれる結晶部と結晶部との境界は明確ではない。また、TEM によって CAAC-OS 膜には明確な粒界 (グレインバウンダリーともいう。) は確認できない。そのため、CAAC-OS 膜は、粒界に起因する電子移動度の低下が抑制される。

10

【0041】

CAAC-OS 膜に含まれる結晶部は、例えば、c 軸が CAAC-OS 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃い、且つ ab 面に垂直な方向から見て金属原子が三角形状または六角形状に配列し、c 軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれ a 軸および b 軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、80°以上100°以下、好ましくは85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-10°以上10°以下、好ましくは-5°以上5°以下の範囲も含まれることとする。

20

【0042】

なお、CAAC-OS 膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS 膜の形成過程において、酸化物半導体層の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、CAAC-OS 膜へ不純物を添加することにより、当該不純物添加領域において結晶部の結晶性が低下することもある。

【0043】

CAAC-OS 膜に含まれる結晶部の c 軸は、CAAC-OS 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAAC-OS 膜の形状 (被形成面の断面形状または表面の断面形状) によっては互いに異なる方向を向くことがある。また、結晶部は、成膜したとき、または成膜後に加熱処理などの結晶化処理を行ったときに形成される。従って、結晶部の c 軸は、CAAC-OS 膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃う。

30

【0044】

CAAC-OS 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0045】

図 2 に示すトランジスタ 422 は、トランジスタ 420 の変形例である。図 2 (A) は、トランジスタ 422 の平面図であり、図 2 (B) は、図 2 (A) の X2 - Y2 における断面図であり、図 2 (C) は、図 2 (A) の V2 - W2 における断面図である。なお、図 2 (A) では、煩雑になることを避けるため、トランジスタ 422 の構成要素の一部 (例えば、絶縁層 407 等) を省略して図示している。

40

【0046】

図 2 に示すトランジスタ 422 は、基板 400 上に設けられた酸化物半導体層 403 と、酸化物半導体層 403 上のゲート絶縁層 402 と、ゲート絶縁層 402 を介して酸化物半導体層 403 と重畳するゲート電極層 401 と、ゲート絶縁層 402 の上面及びゲート電極層 401 の側面と接する絶縁層 411 と、絶縁層 411 を介してゲート電極層 401 の側面に設けられた絶縁層 412 と、ゲート電極層 401 上に接して設けられ、側面において絶縁層 411 と接する絶縁層 416 と、酸化物半導体層 403 と電氣的に接続するソース電極層 405a 及びドレイン電極層 405b と、を有する。

50

【 0 0 4 7 】

トランジスタ 4 2 2 は、絶縁層 4 1 6 を有する点以外は、トランジスタ 4 2 0 と同様の構成とすることができる。また、トランジスタ 4 2 2 において、絶縁層 4 1 6 は、ゲート電極層 4 0 1 の形成時においてハードマスクとして機能し、ゲート電極層 4 0 1 の上面を保護することができる。絶縁層 4 1 6 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム等を用いることができ、積層構造又は単層構造で設ける。また、絶縁層 4 1 2 よりもエッチング速度の遅い絶縁層を選択することで、側壁絶縁層を作製するエッチング処理の際にゲート電極層 4 0 1 の膜減りを低減するエッチング保護膜として機能させることができる。

10

【 0 0 4 8 】

なお、絶縁層 4 1 6 は、絶縁層 4 1 1 と同じ材料を用いて作製してもよい。その場合には、絶縁層 4 1 1 と絶縁層 4 1 6 との界面が不明確（不明瞭）となる場合がある。

【 0 0 4 9 】

以下に、トランジスタ 4 2 0 の作製方法の一例を図 3 及び図 4 を用いて説明する。

【 0 0 5 0 】

絶縁表面を有する基板 4 0 0 上に下地絶縁層 4 3 6 を形成する。

【 0 0 5 1 】

絶縁表面を有する基板 4 0 0 に使用することができる基板に大きな制限はないが、少なくとも後の熱処理工程に耐えうる程度の耐熱性を有していることが必要となる。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI 基板などを適用することもでき、これらの基板上に半導体素子が設けられたものを、基板 4 0 0 として用いてもよい。

20

【 0 0 5 2 】

また、基板 4 0 0 として、可撓性基板を用いて半導体装置を作製してもよい。可撓性を有する半導体装置を作製するには、可撓性基板上に酸化物半導体層 4 0 3 を含むトランジスタ 4 2 0 を直接作製してもよいし、他の作製基板上に酸化物半導体層 4 0 3 を含むトランジスタ 4 2 0 を作製し、その後可撓性基板に剥離、転置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板と酸化物半導体層を含むトランジスタ 4 2 0 との間に剥離層を設けるとよい。

30

【 0 0 5 3 】

下地絶縁層 4 3 6 としては、プラズマ CVD 法又はスパッタリング法等により形成することができ、酸化シリコン膜、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ハフニウム、酸化ガリウム、又はこれらの混合材料を含む膜の単層又は積層構造とすることができる。但し、下地絶縁層 4 3 6 は、酸化物絶縁層を含む単層又は積層構造として、該酸化物絶縁層が後に形成される酸化物半導体層 4 0 3 と接する構造とすることが好ましい。なお、下地絶縁層 4 3 6 は、必ずしも設けなくともよい。

40

【 0 0 5 4 】

下地絶縁層 4 3 6 は酸素過剰領域を有すると、下地絶縁層 4 3 6 に含まれる過剰な酸素によって、後に形成される酸化物半導体層 4 0 3 の酸素欠損を補填することが可能であるため好ましい。下地絶縁層 4 3 6 が積層構造の場合は、少なくとも酸化物半導体層 4 0 3 と接する層（好ましくは酸化物絶縁層）において酸素過剰領域を有することが好ましい。下地絶縁層 4 3 6 に酸素過剰領域を設けるには、例えば、酸素雰囲気下にて下地絶縁層 4 3 6 を成膜すればよい。又は、成膜後の下地絶縁層 4 3 6 に、酸素（少なくとも、酸素ラジカル、酸素原子、酸素イオンのいずれかを含む）を導入して、酸素過剰領域を形成してもよい。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、プラズマ処理などを用いることができる。

50

【0055】

また、下地絶縁層436は、酸素過剰領域を有する層の下側に接して、窒化シリコン膜、窒化酸化シリコン膜又は酸化アルミニウム膜を有することが好ましい。下地絶縁層436が窒化シリコン膜、窒化酸化シリコン膜又は酸化アルミニウム膜を有することで、酸化物半導体層403への不純物の拡散を防止することができる。

【0056】

下地絶縁層436において酸化物半導体層403が接して形成される領域に、平坦化処理を行ってもよい。平坦化処理としては、特に限定されないが、研磨処理（例えば、化学的機械研磨法）、ドライエッチング処理、プラズマ処理を用いることができる。

【0057】

プラズマ処理としては、例えば、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行うことができる。逆スパッタリングとは、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。逆スパッタリングを行うと、下地絶縁層436の表面に付着している粉状物質（パーティクル、ごみともいう）を除去することができる。

【0058】

平坦化処理として、研磨処理、ドライエッチング処理、プラズマ処理は複数回行ってもよく、それらを組み合わせて行ってもよい。また、組み合わせて行う場合、工程順も特に限定されず、下地絶縁層436表面の凹凸状態に合わせて適宜設定すればよい。

【0059】

また、下地絶縁層436を水素（水や水酸基を含む）などの不純物が低減され、かつ酸素過剰な状態とするために、下地絶縁層436に水素（水や水酸基を含む）を除去（脱水化または脱水素化）するための加熱処理（脱水化または脱水素化処理）及び／又は酸素ドーブ処理を行ってもよい。脱水化または脱水素化処理と、酸素ドーブ処理は複数回行ってもよく、両方を繰り返し行ってもよい。

【0060】

次に、下地絶縁層436上に酸化物半導体層を成膜し、島状に加工して酸化物半導体層403を形成する。酸化物半導体層403の膜厚は、例えば、1nm乃至30nm、好ましくは5nm乃至10nmとする。

【0061】

酸化物半導体層は、単層構造であってもよいし、積層構造であってもよい。また、非晶質構造であってもよいし、結晶性であってもよい。酸化物半導体層を非晶質構造とする場合には、後の作製工程において、酸化物半導体層に熱処理を行うことによって、結晶性酸化物半導体層としてもよい。非晶質酸化物半導体層を結晶化させる熱処理の温度は、250以上700以下、好ましくは、400以上、より好ましくは500以上、さらに好ましくは550以上とする。なお、当該熱処理は、作製工程における他の熱処理を兼ねることも可能である。

【0062】

酸化物半導体層の成膜方法は、スパッタリング法、MBE（Molecular Beam Epitaxy）法、CVD法、パルスレーザ堆積法、ALD（Atomic Layer Deposition）法等を適宜用いることができる。

【0063】

酸化物半導体層を成膜する際、できる限り酸化物半導体層に含まれる水素濃度を低減させることが好ましい。水素濃度を低減させるには、例えば、スパッタリング法を用いて成膜を行う場合には、スパッタリング装置の処理室内に供給する雰囲気ガスとして、水素、水、水酸基又は水素化合物などの不純物が除去された高純度の希ガス（代表的にはアルゴン）、酸素、及び希ガスと酸素との混合ガスを適宜用いる。

【0064】

また、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し

10

20

30

40

50

て成膜を行うことで、成膜された酸化物半導体層の水素濃度を低減させることができる。成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリーションポンプを用いることが好ましい。また、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子、水 (H_2O) など水素原子を含む化合物 (より好ましくは炭素原子を含む化合物も) 等の排気能力が高いため、当該成膜室で成膜した酸化物半導体層に含まれる不純物の濃度を低減できる。

【0065】

また、酸化物半導体層をスパッタリング法で成膜する場合、成膜に用いる金属酸化物ターゲットの相対密度 (充填率) は90%以上100%以下、好ましくは95%以上99.9%以下とする。相対密度の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体層を緻密な膜とすることができる。

10

【0066】

また、基板400を高温に保持した状態で酸化物半導体層を形成することも、酸化物半導体層中に含まれる不純物濃度を低減するのに有効である。基板400を加熱する温度としては、150以上450以下とすればよく、好ましくは基板温度が200以上350以下とすればよい。また、成膜時に基板を高温で加熱することで、結晶性酸化物半導体層を形成することができる。

【0067】

酸化物半導体層403に用いる酸化物半導体としては、少なくともインジウム (In) を含む。特に、インジウムと亜鉛 (Zn) を含むことが好ましい。また、該酸化物を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム (Ga) を有することが好ましい。また、スタビライザーとしてスズ (Sn)、ハフニウム (Hf)、アルミニウム (Al)、ジルコニウム (Zr) のいずれか一種または複数種を有することが好ましい。

20

【0068】

また、他のスタビライザーとして、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジウム (Pr)、ネオジウム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) のいずれか一種または複数種を有してもよい。

30

【0069】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である $\text{In}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Mg}$ 系酸化物、 $\text{In}-\text{Ga}$ 系酸化物、三元系金属の酸化物である $\text{In}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Al}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Sn}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Hf}-\text{Zn}$ 系酸化物、 $\text{In}-\text{La}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Ce}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Pr}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Nd}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Sm}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Eu}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Gd}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Tb}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Dy}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Ho}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Er}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Tm}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Yb}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Lu}-\text{Zn}$ 系酸化物、四元系金属の酸化物である $\text{In}-\text{Sn}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Hf}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Al}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Sn}-\text{Al}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Sn}-\text{Hf}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Hf}-\text{Al}-\text{Zn}$ 系酸化物を用いることができる。

40

【0070】

例えば、 $\text{In}-\text{Ga}-\text{Zn}$ 系酸化物とは、 In と Ga と Zn を主成分として有する酸化物という意味であり、 In と Ga と Zn の比率は問わない。また、 In と Ga と Zn 以外の金属元素が入っていてもよい。

【0071】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、 M は、 Ga 、 Fe 、 Mn および Co から選ばれ

50

た一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 、且つ、 n は整数)で表記される材料を用いてもよい。

【0072】

例えば、 $\text{In}:\text{Ga}:\text{Zn} = 1:1:1$ ($= 1/3:1/3:1/3$)、 $\text{In}:\text{Ga}:\text{Zn} = 2:2:1$ ($= 2/5:2/5:1/5$)、あるいは $\text{In}:\text{Ga}:\text{Zn} = 3:1:2$ ($= 1/2:1/6:1/3$)の原子数比の $\text{In}-\text{Ga}-\text{Zn}$ 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $\text{In}:\text{Sn}:\text{Zn} = 1:1:1$ ($= 1/3:1/3:1/3$)、 $\text{In}:\text{Sn}:\text{Zn} = 2:1:3$ ($= 1/3:1/6:1/2$)あるいは $\text{In}:\text{Sn}:\text{Zn} = 2:1:5$ ($= 1/4:1/8:5/8$)の原子数比の $\text{In}-\text{Sn}-\text{Zn}$ 系酸化物やその組成の近傍の酸化物を用いるとよい。

10

【0073】

しかし、インジウムを含む酸化物半導体を用いたトランジスタは、これらに限られず、必要とする電気的特性(電界効果移動度、しきい値、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする電気的特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

【0074】

例えば、 $\text{In}-\text{Sn}-\text{Zn}$ 系酸化物半導体を用いたトランジスタでは比較的容易に高い電界効果移動度が得られる。しかしながら、 $\text{In}-\text{Ga}-\text{Zn}$ 系酸化物半導体を用いたトランジスタでも、バルク内欠陥密度を低くすることにより電界効果移動度を上げることができる。

20

【0075】

なお、例えば、 In 、 Ga 、 Zn の原子数比が $\text{In}:\text{Ga}:\text{Zn} = a:b:c$ ($a+b+c=1$)である酸化物の組成が、原子数比が $\text{In}:\text{Ga}:\text{Zn} = A:B:C$ ($A+B+C=1$)の酸化物の組成の近傍であるとは、 a 、 b 、 c が、 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ を満たすことをいう。 r としては、例えば、0.05とすればよい。他の酸化物でも同様である。

【0076】

酸化物半導体層403は、単層構造としてもよいし、複数の酸化物半導体層が積層された構造としてもよい。例えば、酸化物半導体層403を、第1の酸化物半導体層と第2の酸化物半導体層の積層として、第1の酸化物半導体層と第2の酸化物半導体層に、異なる組成の金属酸化物を用いてもよい。例えば、第1の酸化物半導体層に三元系金属の酸化物を用い、第2の酸化物半導体層に二元系金属の酸化物を用いてもよい。また、例えば、第1の酸化物半導体層と第2の酸化物半導体層を、どちらも三元系金属の酸化物としてもよい。

30

【0077】

また、第1の酸化物半導体層と第2の酸化物半導体層の構成元素を同一とし、両者の組成を異ならせてもよい。例えば、第1の酸化物半導体層の原子数比を $\text{In}:\text{Ga}:\text{Zn} = 1:1:1$ とし、第2の酸化物半導体層の原子数比を $\text{In}:\text{Ga}:\text{Zn} = 3:1:2$ としてもよい。また、第1の酸化物半導体層の原子数比を $\text{In}:\text{Ga}:\text{Zn} = 1:3:2$ とし、第2の酸化物半導体層の原子数比を $\text{In}:\text{Ga}:\text{Zn} = 2:1:3$ としてもよい。

40

【0078】

この時、第1の酸化物半導体層と第2の酸化物半導体層のうち、ゲート電極に近い側(チャネル側)の酸化物半導体層の In と Ga の含有率を $\text{In} > \text{Ga}$ とするとよい。またゲート電極から遠い側(バックチャネル側)の酸化物半導体層の In と Ga の含有率を $\text{In} < \text{Ga}$ とするとよい。

【0079】

酸化物半導体では主として重金属の s 軌道がキャリア伝導に寄与しており、 In の含有率を多くすることにより s 軌道のオーバーラップが多くなる傾向があるため、 $\text{In} > \text{Ga}$ の組成となる酸化物は $\text{In} < \text{Ga}$ の組成となる酸化物と比較して高い移動度を備える。また

50

、GaはInと比較して酸素欠損の形成エネルギーが大きく酸素欠損が生じにくいいため、In-Gaの組成となる酸化物はIn>Gaの組成となる酸化物と比較して安定した特性を備える。

【0080】

チャネル側にIn>Gaの組成となる酸化物半導体を適用し、バックチャネル側にIn-Gaの組成となる酸化物半導体を適用することで、トランジスタの移動度および信頼性をさらに高めることが可能となる。

【0081】

また、第1の酸化物半導体層と第2の酸化物半導体層に、結晶性の異なる酸化物半導体膜を適用してもよい。すなわち、単結晶酸化物半導体膜、多結晶酸化物半導体膜、微結晶酸化物半導体膜、非晶質酸化物半導体膜、またはCAAC-Os膜を適宜組み合わせた構成としてもよい。

10

【0082】

但し、非晶質酸化物半導体膜は水素などのドナーとなる不純物を吸収しやすく、また、酸素欠損が生じやすいためn型化されやすい。このため、チャネル側の酸化物半導体層は、CAAC-Os膜などの結晶性を有する酸化物半導体膜を適用することが好ましい。

【0083】

また、酸化物半導体層403に、当該酸化物半導体層403に含まれる過剰な水素（水や水酸基を含む）を除去（脱水化又は脱水素化）するための熱処理を行うことが好ましい。熱処理の温度は、300以上700以下、又は基板の歪み点未満とする。熱処理は減圧下又は窒素雰囲気下などで行うことができる。

20

【0084】

この熱処理によって、n型の導電性を付与する不純物である水素を酸化物半導体から除去することができる。例えば、脱水化又は脱水素化処理後の酸化物半導体層403に含まれる水素濃度を、 $5 \times 10^{19} \text{ cm}^{-3}$ 以下、好ましくは $5 \times 10^{18} \text{ cm}^{-3}$ 以下とすることができる。

【0085】

なお、脱水化又は脱水素化のための熱処理は、酸化物半導体層の成膜後であればトランジスタ420の作製工程においてどのタイミングで行ってもよい。また、脱水化又は脱水素化のための熱処理は、複数回行ってもよく、他の熱処理と兼ねてもよい。

30

【0086】

なお、下地絶縁層436として酸素を含む絶縁層を設ける場合、脱水化又は脱水素化のための熱処理を、酸化物半導体層を島状に加工する前に行うと、下地絶縁層436に含まれる酸素が熱処理によって放出されるのを防止することができるため好ましい。

【0087】

熱処理においては、窒素、又はヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。又は、熱処理装置に導入する窒素、又はヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上好ましくは7N（99.99999%）以上（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

40

【0088】

また、熱処理で酸化物半導体層403を加熱した後、加熱温度を維持、又はその加熱温度から徐冷しながら同じ炉に高純度の酸素ガス、高純度の一酸化二窒素ガス、又は超乾燥エア（CRDS（キャビティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が20ppm（露点換算で-55）以下、好ましくは1ppm以下、より好ましくは10ppb以下の空気）を導入してもよい。酸素ガス又は一酸化二窒素ガスに、水、水素などが含まれないことが好ましい。又は、熱処理装置に導入する酸素ガス又は一酸化二窒素ガスの純度を、6N以上好ましくは7N以上（即ち、酸素ガス又は一酸化二窒素ガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。酸素ガス又は一酸化二窒素ガスの作用により、脱水化又は脱水素化処理による不

50

純物の排除工程によって同時に減少してしまった酸化物半導体を構成する主成分材料である酸素を供給することによって、酸化物半導体層 403 を高純度化及び i 型（真性）化することができる。

【0089】

また、脱水化又は脱水素化処理によって、酸化物半導体を構成する主成分材料である酸素が同時に脱離して減少してしまうおそれがあるため、脱水化又は脱水素化処理を行った酸化物半導体層に、酸素（少なくとも、酸素ラジカル、酸素原子、酸素イオン、のいずれかを含む）を導入して膜中に酸素を供給してもよい。

【0090】

脱水化又は脱水素化処理を行った酸化物半導体層に、酸素を導入して膜中に酸素を供給することによって、酸化物半導体層を高純度化、及び i 型（真性）化することができる。高純度化し、i 型（真性）化した酸化物半導体を有するトランジスタは、電気特性変動が抑制されており、電氣的に安定である。

【0091】

酸化物半導体層に酸素導入する場合、酸化物半導体層に直接導入してもよいし、後に形成されるゲート絶縁層 402 や絶縁層 407 などの他の膜を通過して酸化物半導体層 403 へ導入してもよい。酸素を他の膜を通過して導入する場合は、イオン注入法、イオンドーピング法、プラズマイマージョンイオン注入法などを用いればよい。露出された酸化物半導体層 403 へ直接酸素を導入する場合は、上記の方法に加えてプラズマ処理なども用いることができる。

【0092】

酸素の供給ガスとしては、O を含有するガスを用いればよく、例えば、O₂ ガス、N₂O ガス、CO₂ ガス、CO ガス、NO₂ ガス等を用いることができる。なお、酸素の供給ガスに希ガス（例えば Ar）を含有させてもよい。

【0093】

例えば、イオン注入法で酸化物半導体層 403 へ酸素イオンの注入を行う場合、ドーズ量を $1 \times 10^{13} \text{ ions/cm}^2$ 以上 $5 \times 10^{16} \text{ ions/cm}^2$ 以下とすればよい。

【0094】

または、酸化物半導体層 403 と接する絶縁層を、酸素過剰領域を含む層とし、該絶縁層と酸化物半導体層 403 とが接した状態で熱処理を行うことにより、絶縁層に過剰に含まれる酸素を酸化物半導体層 403 へ拡散させ、酸化物半導体層 403 へ酸素を供給してもよい。該熱処理は、トランジスタ 420 の作製工程における他の熱処理と兼ねることもできる。

【0095】

酸化物半導体層への酸素の供給は酸化物半導体層の成膜後であれば、そのタイミングは特に限定されない。また、酸化物半導体層への酸素の導入は複数回行ってもよい。また、酸化物半導体層を複数層の積層構造とする場合には、脱水化又は脱水素化のための熱処理及び/又は酸素の供給は、各酸化物半導体層に対して別々に行ってもよいし、積層構造を形成した後の酸化物半導体層 403 に対して行ってもよい。

【0096】

下地絶縁層 436 と酸化物半導体層 403 とを大気に曝露せずに連続的に形成することが好ましい。下地絶縁層 436 と酸化物半導体層 403 とを大気に曝露せずに連続して形成すると、下地絶縁層 436 表面に水素や水分などの不純物が吸着することを防止することができる。

【0097】

次いで、酸化物半導体層 403 を覆うゲート絶縁膜 402a を形成する。ゲート絶縁膜 402a は、1 nm 以上 20 nm 以下の膜厚で、スパッタリング法、MBE 法、CVD 法、パルスレーザ堆積法、ALD 法等を適宜用いて形成することができる。なお、μ波（例えば、周波数 2.45 GHz）を用いた高密度プラズマ CVD は、緻密で絶縁耐压の高い高品質な絶縁層を形成することができるため、ゲート絶縁膜 402a の形成に用いると好ま

10

20

30

40

50

しい。

【0098】

ゲート絶縁膜402aの被覆性を向上させるために、酸化物半導体層403表面にも上記平坦化処理を行ってもよい。特にゲート絶縁膜402aとして膜厚の薄い絶縁層を用いる場合、酸化物半導体層403表面の平坦性が良好であることが好ましい。

【0099】

ゲート絶縁膜402aの材料としては、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜を用いることができる。ゲート絶縁膜402aは、酸化物半導体層403と接する部分において酸素を含むことが好ましい。特に、ゲート絶縁膜402aは、膜中（バルク中）に少なくとも化学量論比を超える量の酸素が存在することが好ましく、例えば、ゲート絶縁膜402aとして、酸化シリコン膜を用いる場合には、 $\text{SiO}_2 +$ （ただし、 >0 ）とする。さらに、ゲート絶縁膜402aは、作製するトランジスタのサイズやゲート絶縁膜402aの段差被覆性を考慮して形成することが好ましい。

【0100】

また、ゲート絶縁膜402aの材料として酸化ハフニウム、酸化イットリウム、ハフニウムシリケート（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、窒素が添加されたハフニウムシリケート、ハフニウムアルミネート（ HfAl_xO_y （ $x>0$ 、 $y>0$ ））、酸化ランタンなどの材料を用いてもよい。さらに、ゲート絶縁膜402aは、単層構造としても良いし、積層構造としてもよい。

【0101】

ゲート絶縁膜402aを水素（水や水酸基を含む）などの不純物が低減され、かつ酸素過剰な状態とするために、ゲート絶縁膜402aに水素（水や水酸基を含む）を除去（脱水化または脱水素化）するための加熱処理（脱水化または脱水素化処理）及び／又は酸素ドーピング処理を行ってもよい。脱水化または脱水素化処理と、酸素ドーピング処理は複数回行ってもよく、両方を繰り返し行ってもよい。

【0102】

次にゲート絶縁膜402a上に導電膜を形成し、該導電膜をエッチングして、ゲート電極層401を形成する（図3（A）参照）。

【0103】

ゲート電極層401の材料は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。また、ゲート電極層401としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜、ニッケルシリサイドなどのシリサイド膜を用いてもよい。ゲート電極層401は、単層構造としてもよいし、積層構造としてもよい。また、ゲート電極層401の膜厚は50nm以上300nm以下が好ましい。

【0104】

また、ゲート電極層401の材料は、酸化インジウム酸化スズ、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、酸化インジウム酸化亜鉛、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。また、上記導電性材料と、上記金属材料の積層構造とすることもできる。

【0105】

また、ゲート絶縁層402と接するゲート電極層401の一層として、窒素を含む金属酸化物、具体的には、窒素を含むIn-Ga-Zn-O膜や、窒素を含むIn-Sn-O膜や、窒素を含むIn-Ga-O膜や、窒素を含むIn-Zn-O膜や、窒素を含むSn-O膜や、窒素を含むIn-O膜や、金属窒化膜（InN、SnNなど）を用いることができる。これらの膜は5eV（電子ボルト）、好ましくは5.5eV（電子ボルト）以上の仕事関数を有し、ゲート電極層として用いた場合、トランジスタの電気特性のしきい値電

10

20

30

40

50

圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。

【0106】

次いで、ゲート電極層401を覆うように、ゲート絶縁膜402a上に絶縁膜411aを形成し、その後、絶縁膜411a上に絶縁膜412aを形成する(図3(B)参照)。

【0107】

絶縁膜411aは、後に選択的にエッチングされることで、トランジスタ420のバリア膜として機能する膜である。絶縁膜411aとしては、ゲート絶縁膜402aよりも酸素に対する透過性の低い膜を適用することができる。また、水素、水素化合物(例えば、水)などの不純物、及び酸素の両方に対して膜を透過させない遮断効果(ブロック効果)が高い膜を適用することがより好ましい。

10

【0108】

絶縁膜411aはスパッタリング法で形成することができる。また、絶縁膜411aは、ゲート絶縁膜402aの上面と接する領域の膜厚が、5nm以上20nm以下となるように形成することが好ましく、5nm以上10nm以下となるように形成することがより好ましい。ゲート絶縁膜402aの上面と接する領域の膜厚を5nm以上とすることで、十分なバリア効果を得ることができる。また、絶縁膜411aの膜厚を大きくしすぎると、成膜時間が長くなるうえ、加工のためのエッチング時間も長くなり、生産性が低下してしまうが、絶縁膜411aにおいてゲート絶縁膜402aの上面と接する領域の膜厚(即ち、絶縁膜411aにおいて膜厚が最大となりうる領域)を20nm以下とすることで、後の工程において容易にパターン形成を行うことができる。

20

【0109】

また、絶縁膜411aの成膜面のうち、成膜方向に対して垂直でない領域(具体的にはゲート電極層401の側面と接する領域)では、成膜方向に対して垂直な領域(具体的には、ゲート絶縁膜402aの上面及びゲート電極層401の上面と接する領域)と比較して成膜されにくく、膜厚が小さくなる。膜厚が小さくなる程度は、ゲート電極層401のテーパ角にもよるが、絶縁膜411aにおいて、ゲート絶縁膜402aの上面と接する領域では狙い膜厚と同等の膜厚が得られるのに対して、ゲート電極層401の側面と接する領域では、例えば、狙い膜厚の半分程度の膜厚となる。または、ゲート電極層の側面と接する領域では、絶縁膜411aが成膜されない場合もある。

【0110】

なお、ゲート電極層401を覆うようにゲート絶縁層402の上にスパッタリング法によって金属膜を成膜した後、該金属膜に酸素又は窒素を導入して、金属酸化物膜又は金属窒化物膜とすることで絶縁膜411aとしてもよい。

30

【0111】

絶縁膜412aとしては、例えば、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等を用いることができる。また、絶縁膜412aは、LPCVD法、プラズマCVD法等のCVD法を用いて形成することが好ましい。

【0112】

絶縁膜412a及び絶縁膜411aの積層構造は、後の工程においてエッチング処理を施されることによって、ゲート電極層401の側壁絶縁層となる絶縁膜である。上述のように、絶縁膜411aにおいてゲート電極層401の側面と接する領域では成膜がされにくいため、絶縁膜411aのみで側壁絶縁層を形成する場合には、ゲート電極層401とソース電極層及びドレイン電極層とのショートや、リーク電流等の電氣的不良が生じる恐れがある。

40

【0113】

本実施の形態では、絶縁膜411a上に絶縁膜412aを形成し、その積層構造を加工することで、ゲート電極層401の側面を被覆性の良好な側壁絶縁層で覆うことができる。

【0114】

次いで、絶縁膜412aを異方性エッチングして、絶縁膜411aを介してゲート電極層401の側面に絶縁層412を形成する(図3(C)参照)。

50

【0115】

その後、絶縁層412をマスクとして、絶縁膜411a及びゲート絶縁膜402aをエッチングして、絶縁層411及びゲート絶縁層402を形成する(図3(D)参照)。

【0116】

なお、エッチングの条件によっては、図3(D)に示すようにゲート絶縁膜402aのエッチングにより、酸化半導体層403も同時にエッチングされ、酸化半導体層403においてゲート絶縁層402と重畳しない領域の膜厚が小さくなることがある。また、絶縁層412をマスクとしたエッチングによって形成される絶縁層411及びゲート絶縁層402は、それぞれの端部が概略一致している。

【0117】

次いで、絶縁層411と絶縁層412とからなるゲート電極層401の側壁絶縁層、及びゲート電極層401を覆うように酸化半導体層403上に導電膜404を形成する(図3(E)参照)。

【0118】

導電膜404は、ソース電極層405a及びドレイン電極層405b(これと同じ層に形成される配線を含む)となる膜であり、その材料としては例えば、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)等を用いることができる。また、Al、Cuなどの金属膜の下側又は上側の一方または双方にTi、Mo、Wなどの高融点金属膜またはそれらの金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)を積層させた構成としてもよい。また、導電膜404としては、導電性の金属酸化物で形成してもよい。導電性の金属酸化物としては酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、酸化インジウム酸化スズ($\text{In}_2\text{O}_3 - \text{SnO}_2$)、酸化インジウム酸化亜鉛($\text{In}_2\text{O}_3 - \text{ZnO}$)またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

【0119】

その後、導電膜404をフォトリソグラフィ工程を用いたレジストマスクによって、選択的にエッチングしてパターン形成する。ここでのパターン形成においてはゲート電極層401と重畳する領域のエッチングは行わず、当該領域以外の領域を選択的にエッチングする。本実施の形態においては、ゲート電極層401及び側壁絶縁層(絶縁層411及び絶縁層412)と重畳する領域以外を選択的にエッチングして、導電層405を形成する(図4(A)参照)。

【0120】

その後、導電層405上に絶縁層407を形成する(図4(B)参照)。絶縁層407としては、プラズマCVD法、スパッタリング法、又は蒸着法等により成膜した、酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、酸化ガリウム膜、酸化ハフニウム膜、酸化マグネシウム膜、酸化ジルコニウム膜、酸化ランタン膜、酸化バリウム膜等の無機絶縁膜を単層で又は積層構造で用いることができる。または、絶縁層407として、トランジスタ起因の表面凹凸を低減するために平坦化絶縁膜を形成してもよく、無機絶縁膜と平坦化絶縁膜を積層させてもよい。平坦化絶縁膜としては、ポリイミド系樹脂、アクリル系樹脂、ベンゾシクロブテン系樹脂等の有機材料と用いることができる。又は、上記有機材料の他に、低誘電率材料(low-k材料)等を用いることができる。

【0121】

次いで、絶縁層407及び導電層405に研磨(切削、研削)処理を行い、ゲート電極層401と重畳する領域の導電層405を除去することによって、ソース電極層405a及びドレイン電極層405bを形成する(図4(C)参照)。研磨処理によってゲート電極層401と重畳する領域の導電層405を除去することで、導電層405のチャンネル長方向の分断を、レジストマスクを用いることなく行うことができるため、トランジスタ420が微細なチャンネル長を有する場合であっても精度よくソース電極層405a及びドレ

10

20

30

40

50

ン電極層 405b を形成することができる。

【0122】

研磨（切削、研削）方法としては化学的機械研磨（Chemical Mechanical Polishing：CMP）処理を好適に用いることができる。本実施の形態では、CMP 処理によってゲート電極層 401 と重畳する領域の導電層 405 を除去する。

【0123】

なお、CMP 処理は、1 回のみ行ってもよいし、複数回行ってもよい。複数回に分けて CMP 処理を行う場合は、高い研磨レートの一次研磨を行った後、低い研磨レートの仕上げ研磨を行うことが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、生産性及び表面の平坦性をより向上させることができる。

10

【0124】

なお、本実施の形態では、ゲート電極層 401 と重畳する領域の導電層 405 の除去に CMP 処理を用いたが、他の研磨（研削、切削）処理を用いてもよい。又は、CMP 処理等の研磨処理と、エッチング（ドライエッチング、ウェットエッチング）処理や、プラズマ処理などを組み合わせてもよい。例えば、CMP 処理後、ドライエッチング処理やプラズマ処理（逆スパッタリングなど）を行い、処理表面の平坦性向上を図ってもよい。研磨処理に、エッチング処理、プラズマ処理などを組み合わせて行う場合、工程順は特に限定されず、導電層 405 の材料、膜厚、及び表面の凹凸状態に合わせて適宜設定すればよい。

【0125】

なお、本実施の形態においては、ソース電極層 405a 及びドレイン電極層 405b の上端部は、ゲート電極層 401 の上端部と概略一致している。但し、ソース電極層 405a 及びドレイン電極層 405b の形状は導電層 405 の一部を除去するための研磨処理の条件によって異なる。例えば、ソース電極層 405a 又はドレイン電極層 405b は、ゲート電極層 401 の表面より膜厚方向に後退した形状となる場合がある。

20

【0126】

その後、絶縁層 407 上に絶縁層 414 を形成し、絶縁層 414 及び絶縁層 407 にソース電極層 405a 又はドレイン電極層 405b に達する開口を形成する。該開口にソース電極層 405a と電氣的に接続するソース配線層 415a、及びドレイン電極層 405b と電氣的に接続するドレイン配線層 415b を形成する（図 4（D）参照）。

【0127】

以上の工程で、本実施の形態で示すトランジスタ 420 を有する半導体装置を作製することができる。

30

【0128】

トランジスタ 420 において絶縁層 411 は、ゲート絶縁層 402 よりも酸素に対する透過性が低い膜であり、酸素に対するバリア膜として機能することができる。よって、絶縁層 411 を設けることでゲート絶縁層 402 及びそれに接する酸化物半導体層 403 の酸素欠損を抑制することが可能であるため、トランジスタ 420 の信頼性を向上させることができる。

【0129】

また、トランジスタ 420 においては、ソース電極層 405a と酸化物半導体層 403 が接する領域（ソース側コンタクト領域）と、ゲート電極層 401 との距離、及び、ドレイン電極層 405b と酸化物半導体層 403 が接する領域（ドレイン側コンタクト領域）とゲート電極層 401 との距離は、ゲート電極層 401 の側壁絶縁層のチャンネル長方向の幅によって決定される。また、絶縁層 411 のゲート電極層 401 と接する領域の膜厚が小さくなることで、該側壁絶縁層のチャンネル長方向の幅を縮小することができる。よって、ソース側コンタクト領域又はドレイン側コンタクト領域と、ゲート電極層 401 との間の距離を縮小することが可能であるため、該領域の抵抗を減少させることができ、トランジスタ 420 のオン特性を向上させることができる。

40

【0130】

なお、本実施の形態では、ソース電極層 405a 又はドレイン電極層 405b がゲート電

50

極層 401 の側壁絶縁層を覆うように設けられる例を示したが、本発明はこれに限られない。例えば、図 5 に示すトランジスタ 424 のように絶縁層 407 に酸化物半導体層 403 に達する開口を形成し、開口にソース電極層 405a、ドレイン電極層 405b を形成してもよい。図 5 で示すトランジスタ 424 では、ソース電極層 405a 及びドレイン電極層 405b の形成工程において、導電膜の研磨（切削、研削）処理を行わないため、トランジスタの作製工程の簡略化、及び歩留まりの向上を図ることができる。

【0131】

なお、図 5 (A) は、トランジスタ 424 の平面図であり、図 5 (B) は、図 5 (A) の X3 - Y3 における断面図であり、図 5 (C) は、図 5 (B) の V3 - W3 における断面図である。トランジスタ 424 は、ソース電極層 405a 及びドレイン電極層 405b の形状以外は、トランジスタ 420 と同様の構成とすることができる。

10

【0132】

本実施の形態で示すトランジスタは、ゲート絶縁層 402 の上面に接して、ゲート絶縁層 402 よりも酸素に対する透過性が低く、バリア性を有する絶縁層 411 を有するため、ゲート絶縁層 402 及び酸化物半導体層 403 からの酸素の脱離を抑制することができる。よって、本実施の形態で示すトランジスタでは寄生チャネルの影響を抑制することができる。電気特性変動が抑制され、電氣的に安定なトランジスタとすることができる。また、このようなトランジスタを用いることで信頼性の高い半導体装置を提供することが可能となる。

【0133】

20

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0134】

（実施の形態 2）

本実施の形態では、本明細書に示すトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置（記憶装置）の一例を、図面を用いて説明する。

【0135】

図 6 は、半導体装置の構成の一例である。図 6 (A) に、半導体装置の断面図を、図 6 (B) に半導体装置の平面図を、図 6 (C) に半導体装置の回路図をそれぞれ示す。ここで、図 6 (A) は、図 6 (B) の C1 - C2、及び D1 - D2 における断面に相当する。

30

【0136】

図 6 (A) 及び図 6 (B) に示す半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 160 を有し、上部に第 2 の半導体材料を用いたトランジスタ 162 を有するものである。トランジスタ 162 は、実施の形態 1 で示すトランジスタ 420 の構造を適用する例である。

【0137】

ここで、第 1 の半導体材料と第 2 の半導体材料は異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第 1 の半導体材料を酸化物半導体以外の半導体材料（シリコンなど）とし、第 2 の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

40

【0138】

なお、上記トランジスタは、いずれも n チャネル型トランジスタであるものとして説明するが、p チャネル型トランジスタを用いることができるのはいうまでもない。また、情報を保持するために酸化物半導体を用いた実施の形態 1 に示すようなトランジスタを用いること以外は、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0139】

図 6 (A) におけるトランジスタ 160 は、半導体材料（例えば、シリコンなど）を含む

50

基板 185 に設けられたチャネル形成領域 116 と、チャネル形成領域 116 を挟むように設けられた不純物領域 120 と、不純物領域 120 に接する金属間化合物領域 124 と、チャネル形成領域 116 上に設けられたゲート絶縁層 108 と、ゲート絶縁層 108 上に設けられたゲート電極層 110 と、を有する。なお、図において、明示的にはソース電極層やドレイン電極層を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極層やドレイン電極層と表現することがある。つまり、本明細書において、ソース電極層との記載には、ソース領域が含まれる。

【0140】

基板 185 上にはトランジスタ 160 を囲むように素子分離絶縁層 106 が設けられており、トランジスタ 160 を囲むように絶縁層 128、130 が設けられている。

10

【0141】

単結晶半導体基板を用いたトランジスタ 160 は、高速動作が可能である。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。トランジスタ 162 および容量素子 164 の形成前の処理として、トランジスタ 160 を覆う絶縁層に CMP 処理を施して、絶縁層 128、130 を平坦化すると同時にトランジスタ 160 のゲート電極層の上面を露出させる。

【0142】

図 6 (A) に示すトランジスタ 162 は、酸化物半導体をチャネル形成領域に用いたトップゲート型トランジスタである。ここで、トランジスタ 162 に含まれるゲート絶縁層 140 は、上面が酸素に対するバリア性を有する絶縁層 145 と接する。よって、ゲート絶縁層 140 及び酸化物半導体層 144 からの酸素の脱離を抑制することができ、トランジスタ 162 の信頼性を向上させることができる。また、絶縁層 145 として、酸素に加えて水素に対するバリア性を有する絶縁層を適用すると、酸素の脱離の抑制に加えてゲート絶縁層 140 及び酸化物半導体層 144 への水素の侵入を抑制することができる。よって、酸化物半導体層 144 を高純度化、及び i 型 (真性) 化することができる。高純度化し、i 型 (真性) 化した酸化物半導体を有するトランジスタ 162 は、極めて優れたオフ特性を有する。

20

【0143】

トランジスタ 162 は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

30

【0144】

トランジスタ 162 上には、絶縁層 150 が単層又は積層で設けられている。また、絶縁層 150 を介して、トランジスタ 162 の電極層 142a と重畳する領域には、導電層 148b が設けられており、電極層 142a と、絶縁層 150 と、導電層 148b とによって、容量素子 164 が構成される。すなわち、トランジスタ 162 の電極層 142a は、容量素子 164 の一方の電極として機能し、導電層 148b は、容量素子 164 の他方の電極として機能する。なお、容量が不要の場合には、容量素子 164 を設けない構成とすることもできる。また、容量素子 164 は、別途、トランジスタ 162 の上方に設けてもよい。

40

【0145】

トランジスタ 162 および容量素子 164 の上には絶縁層 152 が設けられている。そして、絶縁層 152 上にはトランジスタ 162 と、他のトランジスタを接続するための配線 156 が設けられている。図 6 (A) には図示しないが、配線 156 は、絶縁層 150、絶縁層 152 及び絶縁層 150 などに形成された開口に形成された電極層を介して電極層 142b と電氣的に接続される。

【0146】

図 6 (A) 及び図 6 (B) において、トランジスタ 160 と、トランジスタ 162 とは、

50

少なくとも一部が重畳するように設けられており、トランジスタ160のソース領域又はドレイン領域と酸化半導体層144の一部が重畳するように設けられているのが好ましい。また、トランジスタ162及び容量素子164が、トランジスタ160の少なくとも一部と重畳するように設けられている。例えば、容量素子164の導電層148bは、トランジスタ160のゲート電極層110と少なくとも一部が重畳して設けられている。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【0147】

次に、図6(A)及び図6(B)に対応する回路構成の一例を図6(C)に示す。

【0148】

図6(C)において、第1の配線(1st Line)とトランジスタ160のソース電極層とは、電氣的に接続され、第2の配線(2nd Line)とトランジスタ160のドレイン電極層とは、電氣的に接続されている。また、第3の配線(3rd Line)とトランジスタ162のソース電極層又はドレイン電極層の一方とは、電氣的に接続され、第4の配線(4th Line)と、トランジスタ162のゲート電極層とは、電氣的に接続されている。そして、トランジスタ160のゲート電極層と、トランジスタ162のソース電極層又はドレイン電極層の一方は、容量素子164の電極の他方と電氣的に接続され、第5の配線(5th Line)と、容量素子164の電極の他方は電氣的に接続されている。

【0149】

図6(C)に示す半導体装置では、トランジスタ160のゲート電極層の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0150】

情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位が、トランジスタ160のゲート電極層、および容量素子164に与えられる。すなわち、トランジスタ160のゲート電極層には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という)のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極層に与えられた電荷が保持される(保持)。

【0151】

トランジスタ162のオフ電流は極めて小さいため、トランジスタ160のゲート電極層の電荷は長時間にわたって保持される。

【0152】

次に情報の読み出しについて説明する。第1の配線に所定の電位(定電位)を与えた状態で、第5の配線に適切な電位(読み出し電位)を与えると、トランジスタ160のゲート電極層に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ160をnチャネル型とすると、トランジスタ160のゲート電極層にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ160のゲート電極層にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ160を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、トランジスタ160のゲート電極層に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が $V_0(>V_{th_H})$ となれば、トランジスタ160は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が $V_0(<V_{th_L})$ となっても、トランジスタ160は「オフ

10

20

30

40

50

状態」のままである。このため、第2の配線の電位を判別することで、保持されている情報を読み出すことができる。

【0153】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極層の状態にかかわらずトランジスタ160が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を第5の配線に与えればよい。又は、ゲート電極層の状態にかかわらずトランジスタ160が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線に与えればよい。

【0154】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、又は、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい。）であっても、長期にわたって記憶内容を保持することが可能である。

【0155】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

【0156】

以上のように、微細化及び高集積化を実現し、かつ高い電気的特性を付与された半導体装置、及び該半導体装置の作製方法を提供することができる。

【0157】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0158】

（実施の形態3）

本実施の形態では、実施の形態3とは異なる記憶装置の構造の一形態について説明する。

【0159】

図7は、記憶装置の斜視図である。図7に示す記憶装置は上部に記憶回路としてメモリセルを複数含む、メモリセルアレイを複数層（メモリセルアレイ3400（1）乃至メモリセルアレイ3400（n） nは2以上の整数）有し、下部にメモリセルアレイ3400（1）乃至メモリセルアレイ3400（n）を動作させるために必要な論理回路3004を有する。

【0160】

図7では、論理回路3004、メモリセルアレイ3400（1）及びメモリセルアレイ3400（2）を図示しており、メモリセルアレイ3400（1）又はメモリセルアレイ3400（2）に含まれる複数のメモリセルのうち、メモリセル3170aと、メモリセル3170bを代表で示す。メモリセル3170a及びメモリセル3170bとしては、例えば、上記実施の形態において説明した回路構成と同様の構成とすることもできる。

【0161】

なお、図8に、メモリセル3170aに含まれるトランジスタ3171aを代表で示す。また、メモリセル3170bに含まれるトランジスタ3171bを代表で示す。トランジスタ3171a及びトランジスタ3171bは、酸化物半導体層にチャネル形成領域を有する。酸化物半導体層にチャネル形成領域が形成されるトランジスタの構成については、

10

20

30

40

50

実施の形態 1 において説明した構成と同様であるため、説明は省略する。

【0162】

トランジスタ 3171a のソース電極層又はドレイン電極層と同じ層に形成された電極層 3501a は、電極層 3502a によって、電極層 3003a と電氣的に接続されている。トランジスタ 3171b のソース電極層又はドレイン電極層と同じ層に形成された電極層 3501c は、電極層 3502c によって、電極層 3003c と電氣的に接続されている。

【0163】

また、論理回路 3004 は、酸化物半導体以外の半導体材料をチャネル形成領域として用いたトランジスタ 3001 を有する。トランジスタ 3001 は、半導体材料（例えば、シリコンなど）を含む基板 3000 に素子分離絶縁層 3106 を設け、素子分離絶縁層 3106 に囲まれた領域にチャネル形成領域となる領域を形成することによって得られるトランジスタとすることができる。なお、トランジスタ 3001 は、絶縁表面上に形成された多結晶シリコン膜等の半導体膜や、SOI 基板のシリコン膜にチャネル形成領域が形成されるトランジスタであってもよい。トランジスタ 3001 の構成については、公知の構成を用いることが可能であるため、説明は省略する。

【0164】

トランジスタ 3171a が形成された層と、トランジスタ 3001 が形成された層との間には、配線 3100a 及び配線 3100b が形成されている。配線 3100a とトランジスタ 3001 が形成された層との間には、絶縁層 3140a が設けられ、配線 3100a と配線 3100b との間には、絶縁層 3141a が設けられ、配線 3100b とトランジスタ 3171a が形成された層との間には、絶縁層 3142a が設けられている。

【0165】

同様に、トランジスタ 3171b が形成された層と、トランジスタ 3171a が形成された層との間には、配線 3100c 及び配線 3100d が形成されている。配線 3100c とトランジスタ 3171a が形成された層との間には、絶縁層 3140b が設けられ、配線 3100c と配線 3100d との間には、絶縁層 3141b が設けられ、配線 3100d とトランジスタ 3171b が形成された層との間には、絶縁層 3142b が設けられている。

【0166】

絶縁層 3140a、絶縁層 3141a、絶縁層 3142a、絶縁層 3140b、絶縁層 3141b、絶縁層 3142b は、層間絶縁層として機能し、その表面は平坦化された構成とすることができる。

【0167】

配線 3100a、配線 3100b、配線 3100c、配線 3100d によって、メモリセル間の電氣的接続や、論理回路 3004 とメモリセルとの電氣的接続等を行うことができる。

【0168】

論理回路 3004 に含まれる電極層 3303 は、上部に設けられた回路と電氣的に接続することができる。

【0169】

例えば、図 8 に示すように、電極層 3505 によって電極層 3303 は配線 3100a と電氣的に接続することができる。配線 3100a は、電極層 3503a によって、トランジスタ 3171a の電極層 3501b と電氣的に接続することができる。こうして、配線 3100a 及び電極層 3303 を、トランジスタ 3171a のソースまたはドレインと電氣的に接続することができる。また、トランジスタ 3171a のソースまたはドレインである電極層 3501b は、電極層 3502b によって電極層 3003b と電氣的に接続することができる。電極層 3003b は、電極層 3503b によって配線 3100c と電氣的に接続することができる。

【0170】

図 8 では、電極層 3 3 0 3 とトランジスタ 3 1 7 1 a との電氣的接続は、配線 3 1 0 0 a を介して行われる例を示したがこれに限定されない。電極層 3 3 0 3 とトランジスタ 3 1 7 1 a との電氣的接続は、配線 3 1 0 0 b を介して行われてもよいし、配線 3 1 0 0 a と配線 3 1 0 0 b の両方を介して行われてもよい。または、配線 3 1 0 0 a も配線 3 1 0 0 b も介さず、他の電極層を用いて行われてもよい。

【 0 1 7 1 】

また、図 8 では、トランジスタ 3 1 7 1 a が形成された層と、トランジスタ 3 0 0 1 が形成された層との間には、配線 3 1 0 0 a が形成された配線層と、配線 3 1 0 0 b が形成された配線層との、2つの配線層が設けられた構成を示したがこれに限定されない。トランジスタ 3 1 7 1 a が形成された層と、トランジスタ 3 0 0 1 が形成された層との間に、1つの配線層が設けられていてもよいし、3つ以上の配線層が設けられていてもよい。

10

【 0 1 7 2 】

また、図 8 では、トランジスタ 3 1 7 1 b が形成された層と、トランジスタ 3 1 7 1 a が形成された層との間には、配線 3 1 0 0 c が形成された配線層と、配線 3 1 0 0 d が形成された配線層との、2つの配線層が設けられた構成を示したがこれに限定されない。トランジスタ 3 1 7 1 b が形成された層と、トランジスタ 3 1 7 1 a が形成された層との間に、1つの配線層が設けられていてもよいし、3つ以上の配線層が設けられていてもよい。

【 0 1 7 3 】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

20

【 0 1 7 4 】

(実施の形態 4)

本実施の形態では、先の実施の形態で示した半導体装置を携帯電話、スマートフォン、電子書籍などの携帯機器に応用した場合の例を図 9 乃至図 1 2 を用いて説明する。

【 0 1 7 5 】

携帯電話、スマートフォン、電子書籍などの携帯機器においては、画像データの一時記憶などに S R A M または D R A M が使用されている。S R A M または D R A M が使用される理由としてはフラッシュメモリでは応答が遅く、画像処理では不向きであるためである。一方で、S R A M または D R A M を画像データの一時記憶に用いた場合、以下の特徴がある。

30

【 0 1 7 6 】

通常の S R A M は、図 9 (A) に示すように1つのメモリセルがトランジスタ 8 0 1 ~ 8 0 6 の6個のトランジスタで構成されており、それを X デコーダー 8 0 7、Y デコーダー 8 0 8 にて駆動している。トランジスタ 8 0 3 とトランジスタ 8 0 5、トランジスタ 8 0 4 とトランジスタ 8 0 6 はインバータを構成し、高速駆動を可能としている。しかし1つのメモリセルが6トランジスタで構成されているため、セル面積が大きいという欠点がある。デザインルールの最小寸法を F としたときに S R A M のメモリセル面積は通常 $100 \sim 150 F^2$ である。このため S R A M はビットあたりの単価が各種メモリの中で最も高い。

【 0 1 7 7 】

それに対して、D R A M はメモリセルが図 9 (B) に示すようにトランジスタ 8 1 1、保持容量 8 1 2 によって構成され、それを X デコーダー 8 1 3、Y デコーダー 8 1 4 にて駆動している。1つのセルが1トランジスタ1容量の構成になっており、面積が小さい。D R A M のメモリセル面積は通常 $10 F^2$ 以下である。ただし、D R A M は常にリフレッシュが必要であり、書き換えをおこなわない場合でも電力を消費する。

40

【 0 1 7 8 】

しかし、先の実施の形態で説明した半導体装置のメモリセル面積は、 $10 F^2$ 前後であり、且つ頻繁なりフレッシュは不要である。したがって、メモリセル面積が縮小され、且つ消費電力が低減することができる。

【 0 1 7 9 】

50

図10に携帯機器のブロック図を示す。図10に示す携帯機器はRF回路901、アナログベースバンド回路902、デジタルベースバンド回路903、バッテリー904、電源回路905、アプリケーションプロセッサ906、フラッシュメモリ910、ディスプレイコントローラ911、メモリ回路912、ディスプレイ913、タッチセンサ919、音声回路917、キーボード918などより構成されている。ディスプレイ913は表示部914、ソースドライバ915、ゲートドライバ916によって構成されている。アプリケーションプロセッサ906はCPU907、DSP908、インターフェイス(IF)909を有している。一般にメモリ回路912はSRAMまたはDRAMで構成されており、この部分に先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

10

【0180】

図11に、ディスプレイのメモリ回路950に先の実施の形態で説明した半導体装置を使用した例を示す。図11に示すメモリ回路950は、メモリ952、メモリ953、スイッチ954、スイッチ955およびメモリコントローラ951により構成されている。また、メモリ回路は、画像データ(入力画像データ)からの信号線、メモリ952、及びメモリ953に記憶されたデータ(記憶画像データ)を読み出し、及び制御を行うディスプレイコントローラ956と、ディスプレイコントローラ956からの信号により表示するディスプレイ957が接続されている。

【0181】

20

まず、ある画像データがアプリケーションプロセッサ(図示しない)によって、形成される(入力画像データA)。入力画像データAは、スイッチ954を介してメモリ952に記憶される。そしてメモリ952に記憶された画像データ(記憶画像データA)は、スイッチ955、及びディスプレイコントローラ956を介してディスプレイ957に送られ、表示される。

【0182】

入力画像データAに変更が無い場合、記憶画像データAは、通常30~60Hz程度の周期でメモリ952からスイッチ955を介して、ディスプレイコントローラ956から読み出される。

【0183】

30

次に、例えばユーザーが画面を書き換える操作をしたとき(すなわち、入力画像データAに変更が有る場合)、アプリケーションプロセッサは新たな画像データ(入力画像データB)を形成する。入力画像データBはスイッチ954を介してメモリ953に記憶される。この間も定期的にメモリ952からスイッチ955を介して記憶画像データAは読み出されている。メモリ953に新たな画像データ(記憶画像データB)が記憶し終わると、ディスプレイ957の次のフレームより、記憶画像データBは読み出され、スイッチ955、及びディスプレイコントローラ956を介して、ディスプレイ957に記憶画像データBが送られ、表示がおこなわれる。この読み出しはさらに次に新たな画像データがメモリ952に記憶されるまで継続される。

【0184】

40

このようにメモリ952及びメモリ953は交互に画像データの書き込みと、画像データの読み出しを行うことによって、ディスプレイ957の表示をおこなう。なお、メモリ952及びメモリ953はそれぞれ別のメモリには限定されず、1つのメモリを分割して使用してもよい。先の実施の形態で説明した半導体装置をメモリ952及びメモリ953に採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

【0185】

図12に電子書籍のブロック図を示す。図12はバッテリー1001、電源回路1002、マイクロプロセッサ1003、フラッシュメモリ1004、音声回路1005、キーボード1006、メモリ回路1007、タッチパネル1008、ディスプレイ1009、デ

50

ディスプレイコントローラ 1010 によって構成される。

【0186】

ここでは、図12のメモリ回路1007に先の実施の形態で説明した半導体装置を使用することができる。メモリ回路1007の役割は書籍の内容を一時的に保持する機能を持つ。機能の例としては、ユーザーがハイライト機能を使用する場合などがある。ユーザーが電子書籍を読んでいるときに、特定の箇所にマーキングをしたい場合がある。このマーキング機能をハイライト機能と言い、表示の色を変える、アンダーラインを引く、文字を太くする、文字の書体を変えるなどによって、周囲との違いを示すことである。ユーザーが指定した箇所の情報を記憶し、保持する機能である。この情報を長期に保存する場合にはフラッシュメモリ1004にコピーしても良い。このような場合においても、先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

10

【0187】

以上のように、本実施の形態に示す携帯機器には、先の実施の形態に係る半導体装置が搭載されている。このため、読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を低減した携帯機器が実現される。

【0188】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【実施例】

20

【0189】

本実施例では、実施の形態1で示した作製方法を用いて、ゲート電極層の側壁絶縁層を作製した例を示す。

【0190】

本実施例では、図3(A)乃至図3(D)で示した作製方法によって、ゲート絶縁層の上面及びゲート電極層の側面に接する絶縁層を含む側壁絶縁層を形成した。以下に作製方法を示す。

【0191】

はじめに、基板400として用いるシリコン基板上に下地絶縁層436として、CVD法によって酸化窒化シリコン膜を膜厚100nmで成膜した。

30

【0192】

次いで、下地絶縁層436上に酸化物半導体層403として、 $In:Ga:Zn=3:1:2$ [原子数比]の酸化物ターゲットを用いたスパッタリング法により、膜厚20nmのIGZO膜を形成した。成膜条件は、酸素雰囲気下(流量45sccm)、圧力0.4Pa、電源電力500W、基板温度200とし、基板400とターゲットとの距離を60mmとした。

【0193】

次いで、酸化物半導体層403をICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法により、エッチングし、島状に加工した。エッチング条件は、エッチングガスとして三塩化ホウ素と塩素の混合ガス($BCl_3:Cl_2=60sccm:20sccm$)を用い、電源電力450W、バイアス電力100W、圧力1.9Paとした。

40

【0194】

次いで、酸化物半導体層403上にゲート絶縁膜402aとしてCVD法によって酸化窒化シリコン膜を膜厚10nmで成膜した。

【0195】

ゲート絶縁膜402a上に、スパッタリング法により膜厚30nmの窒化タンタル膜と、膜厚200nmのタングステン膜の積層を成膜し、エッチング法により加工してゲート電極層401を形成した。窒化タンタル膜の成膜条件は、アルゴン及び窒素($Ar:N_2=50sccm:10sccm$)雰囲気下、圧力0.6Pa、電源電力1kWとし、基板4

50

00とターゲットとの距離を60mmとした。また、タングステン膜の成膜条件は、アルゴン雰囲気下（流量100sccm）、圧力2.0Pa、電源電力4kWとし、基板を加熱するために加熱したアルゴンガスを流量10sccmで流した。また、基板400とターゲットとの距離は、60mmとした。

【0196】

また、窒化タンタル膜とタングステン膜のエッチング条件は、第1エッチング条件として、エッチングガスとして塩素、四フッ化メタン及び酸素の混合ガス（ $\text{Cl}_2 : \text{CF}_4 : \text{O}_2 = 45 \text{ sccm} : 55 \text{ sccm} : 55 \text{ sccm}$ ）を用い、電源電力3kW、バイアス電力110W、圧力0.67Pa、基板温度40としてタングステン膜をエッチングした。その後、第2エッチング条件として、エッチングガスとして塩素ガス（ $\text{Cl}_2 = 100$ 10
sccm）を用い、電源電力2kW、圧力0.67Pa、バイアス電力50Wとして窒化タンタル膜をエッチングした。

【0197】

次いで、ゲート電極層401を覆うように、ゲート絶縁膜402a上に絶縁膜411aとして、酸化アルミニウム膜を成膜した。酸化アルミニウム膜の狙い膜厚は10nmとした。酸化アルミニウム膜の成膜条件は、アルゴン及び酸素（ $\text{Ar} : \text{O}_2 = 25 \text{ sccm} : 25 \text{ sccm}$ ）雰囲気下、圧力0.4Pa、電源電力2.5kW、基板温度250とし、基板400とターゲットとの距離を60mmとした。

【0198】

次いで、絶縁膜411a上に絶縁膜412aとして、CVD法によって酸化窒化シリコン 20
膜を膜厚40nmで成膜した。

【0199】

絶縁膜412aをエッチングして、絶縁膜411aを介してゲート電極層401の側面に絶縁層412を形成した。エッチング条件は、エッチングガスとして、三フッ化メタン及びヘリウムの混合ガス（ $\text{CHF}_3 : \text{He} = 30 \text{ sccm} : 120 \text{ sccm}$ ）を用い、電源電力3kW、バイアス電力200W、圧力2.0Pa、基板温度-10とした。

【0200】

次いで、絶縁層412をマスクとして絶縁膜411a及びゲート絶縁膜402aをエッチングして、絶縁層412及び絶縁層411からなる側壁絶縁層と、ゲート絶縁層402とを形成した。絶縁膜412a及びゲート絶縁膜402aのエッチング条件は、エッチングガスとしてエッチングガスとして三塩化ホウ素（ $\text{BCl}_3 = 80 \text{ sccm}$ ）を用い、電源電力550W、バイアス電力150W、基板温度70、圧力1.0Paとした。 30

【0201】

以上の工程で得られた本実施例の試料の、断面TEM（Transmission Electron Microscopy（透過型電子顕微鏡））写真を、図13に示す。

【0202】

図13より、ゲート電極層401の側壁絶縁層の一部である絶縁層411は、領域によって膜厚差を有しており、ゲート絶縁層402に接する領域の膜厚は、ゲート電極層401の側面と接する領域の膜厚よりも大きいことが確認できる。絶縁層411において、ゲート絶縁層402に接する領域の膜厚 d_1 は、9.4nmであり、ゲート電極層401の側面と接する領域の膜厚 d_2 は、4.3nmであった。 40

【0203】

また、図13において、ゲート電極層401の幅 L_1 は、105nmであり、側壁絶縁層の幅 L_2 は42.7nmであった。以上より、微細な構成が精度よく形成されたことが確認できた。

【0204】

なお、絶縁層411及びゲート絶縁層402を形成する際に、酸化物半導体層403も同時にエッチングされ、膜減りがみられた。絶縁層411は、バリア性を有する一方で、側壁絶縁層への加工の際にエッチングがされにくいため、該膜の下層に設けられた酸化物半導体層も同時にエッチングされてしまうことがある。しかしながら、本発明の一態様にお 50

いては、該バリア膜として機能する絶縁層を薄膜（例えば20nm以下）とすることで、酸化物半導体層の消失を防止することが可能である。図13に示す構成において、酸化物半導体層403において、ゲート絶縁層402と接する領域の膜厚 d_3 は、20nmであり、ゲート絶縁層402と重畳せず露出した領域の膜厚 d_4 は、12.3nmであった。
【0205】

以上示したように、本実施例の作製方法によって、バリア膜として機能する絶縁層411を含む側壁絶縁層を形成することができる。また、該絶縁層411は、エッチング等の追加の処理を行うことなく、領域毎に膜厚差を有する構成とすることができる。本実施例で作製した構成をトランジスタに用いることで、ソース抵抗またはドレイン抵抗を低減することができると共に、しきい値電圧のバラツキ、電気特性の劣化、ノーマリーオン化を抑制することができ、信頼性の高いトランジスタとすることができる。

10

【符号の説明】

【0206】

106 素子分離絶縁層
108 ゲート絶縁層
110 ゲート電極層
116 チャネル形成領域
120 不純物領域
124 金属間化合物領域
128 絶縁層
130 絶縁層
140 ゲート絶縁層
142a 電極層
142b 電極層
144 酸化物半導体層
145 絶縁層
148b 導電層
150 絶縁層
152 絶縁層
156 配線
160 トランジスタ
162 トランジスタ
164 容量素子
185 基板
400 基板
401 ゲート電極層
402 ゲート絶縁層
402a ゲート絶縁膜
403 酸化物半導体層
404 導電膜
405 導電層
405a ソース電極層
405b ドレイン電極層
407 絶縁層
411 絶縁層
411a 絶縁膜
412 絶縁層
412a 絶縁膜
414 絶縁層
415a ソース配線層

20

30

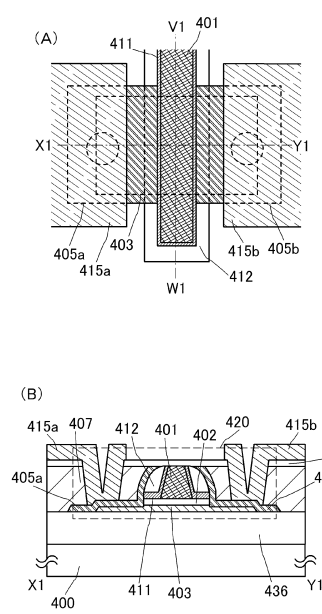
40

50

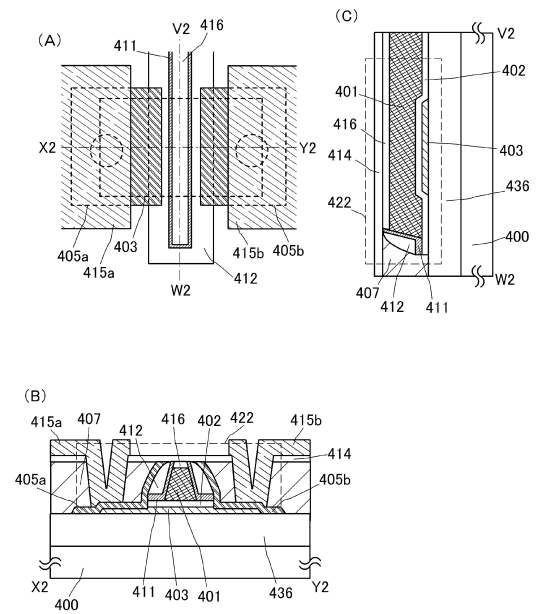
4 1 5 b	ドレイン配線層	
4 1 6	絶縁層	
4 2 0	トランジスタ	
4 2 2	トランジスタ	
4 2 4	トランジスタ	
4 3 6	下地絶縁層	
8 0 1	トランジスタ	
8 0 3	トランジスタ	
8 0 4	トランジスタ	
8 0 5	トランジスタ	10
8 0 6	トランジスタ	
8 0 7	Xデコーダー	
8 0 8	Yデコーダー	
8 1 1	トランジスタ	
8 1 2	保持容量	
8 1 3	Xデコーダー	
8 1 4	Yデコーダー	
9 0 1	R F 回路	
9 0 2	アナログベースバンド回路	
9 0 3	デジタルベースバンド回路	20
9 0 4	バッテリー	
9 0 5	電源回路	
9 0 6	アプリケーションプロセッサ	
9 0 7	C P U	
9 0 8	D S P	
9 1 0	フラッシュメモリ	
9 1 1	ディスプレイコントローラ	
9 1 2	メモリ回路	
9 1 3	ディスプレイ	
9 1 4	表示部	30
9 1 5	ソースドライバ	
9 1 6	ゲートドライバ	
9 1 7	音声回路	
9 1 8	キーボード	
9 1 9	タッチセンサ	
9 5 0	メモリ回路	
9 5 1	メモリコントローラ	
9 5 2	メモリ	
9 5 3	メモリ	
9 5 4	スイッチ	40
9 5 5	スイッチ	
9 5 6	ディスプレイコントローラ	
9 5 7	ディスプレイ	
1 0 0 1	バッテリー	
1 0 0 2	電源回路	
1 0 0 3	マイクロプロセッサ	
1 0 0 4	フラッシュメモリ	
1 0 0 5	音声回路	
1 0 0 6	キーボード	
1 0 0 7	メモリ回路	50

1 0 0 8	タッチパネル	
1 0 0 9	ディスプレイ	
1 0 1 0	ディスプレイコントローラ	
3 0 0 0	基板	
3 0 0 1	トランジスタ	
3 0 0 3 a	電極層	
3 0 0 3 b	電極層	
3 0 0 3 c	電極層	
3 0 0 4	論理回路	
3 1 0 0 a	配線	10
3 1 0 0 b	配線	
3 1 0 0 c	配線	
3 1 0 0 d	配線	
3 1 0 6	素子分離絶縁層	
3 1 4 0 a	絶縁層	
3 1 4 0 b	絶縁層	
3 1 4 1 a	絶縁層	
3 1 4 1 b	絶縁層	
3 1 4 2 a	絶縁層	
3 1 4 2 b	絶縁層	20
3 1 7 0 a	メモリセル	
3 1 7 0 b	メモリセル	
3 1 7 1 a	トランジスタ	
3 1 7 1 b	トランジスタ	
3 3 0 3	電極層	
3 4 0 0	メモリセルアレイ	
3 5 0 1 a	電極層	
3 5 0 1 b	電極層	
3 5 0 1 c	電極層	
3 5 0 2 a	電極層	30
3 5 0 2 b	電極層	
3 5 0 2 c	電極層	
3 5 0 3 a	電極層	
3 5 0 3 b	電極層	
3 5 0 5	電極層	

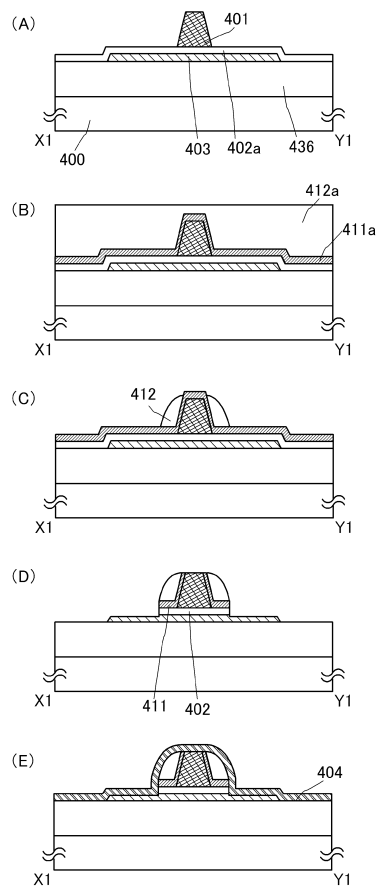
【図 1】



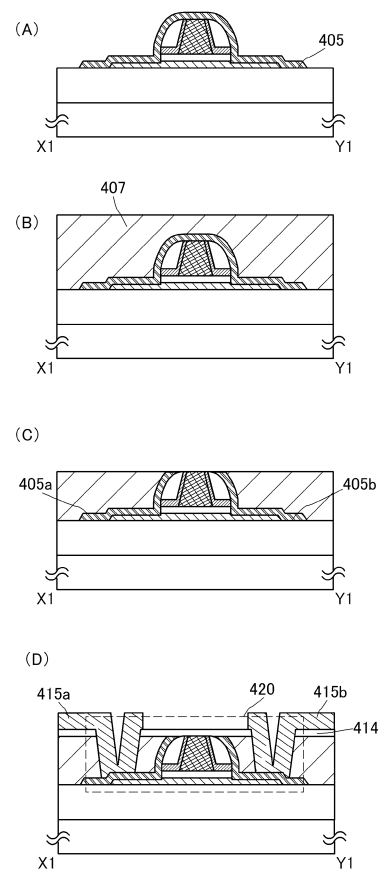
【図 2】



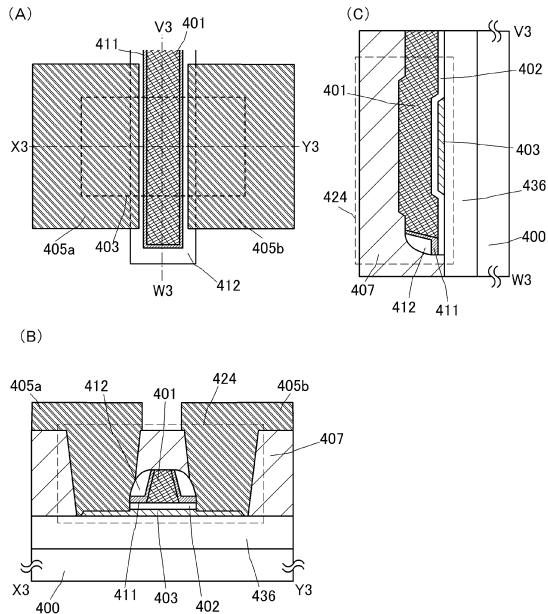
【図 3】



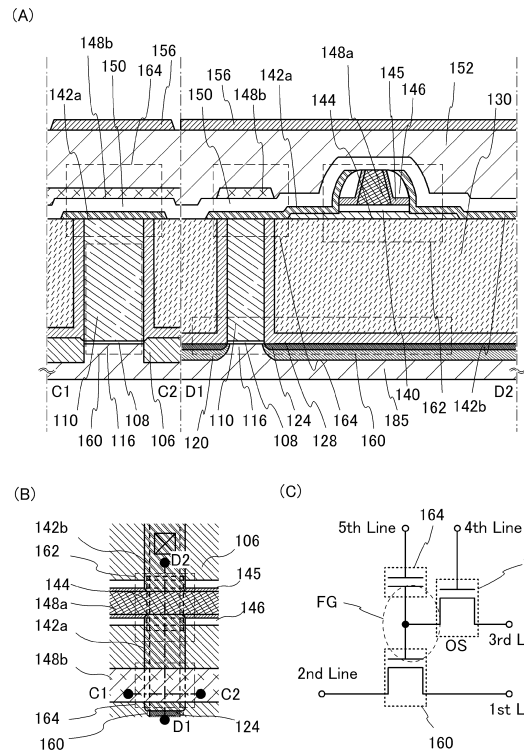
【図 4】



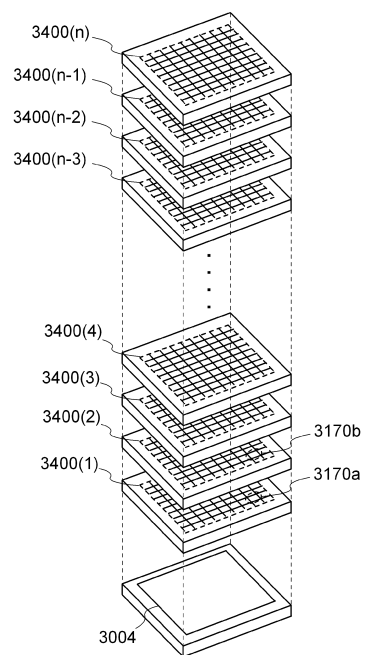
【図 5】



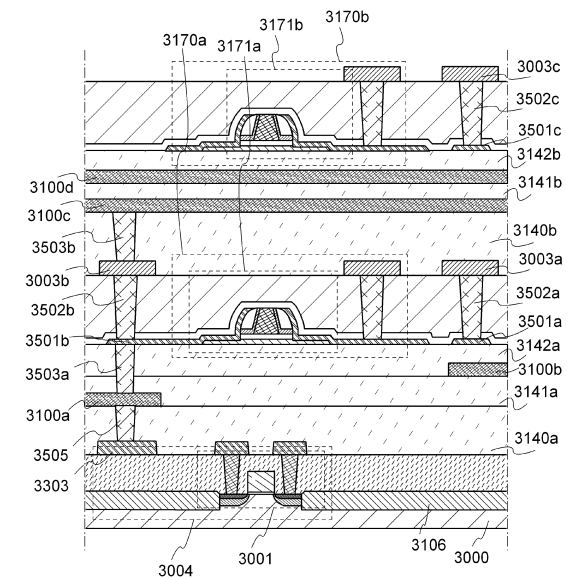
【図 6】



【図 7】

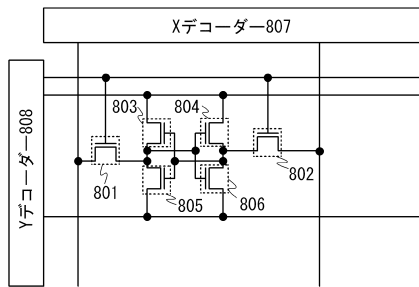


【図 8】

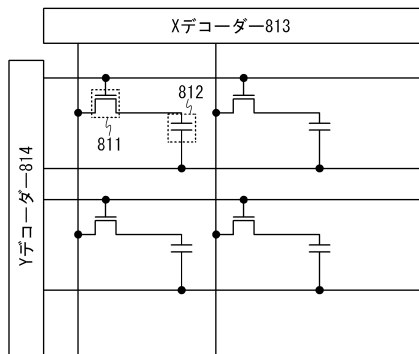


【図 9】

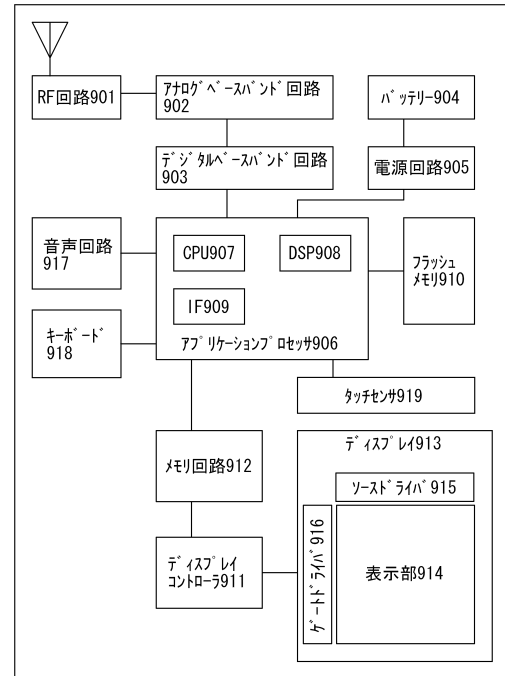
(A)



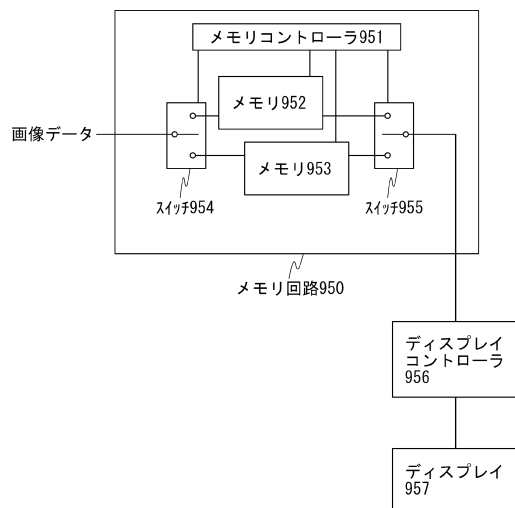
(B)



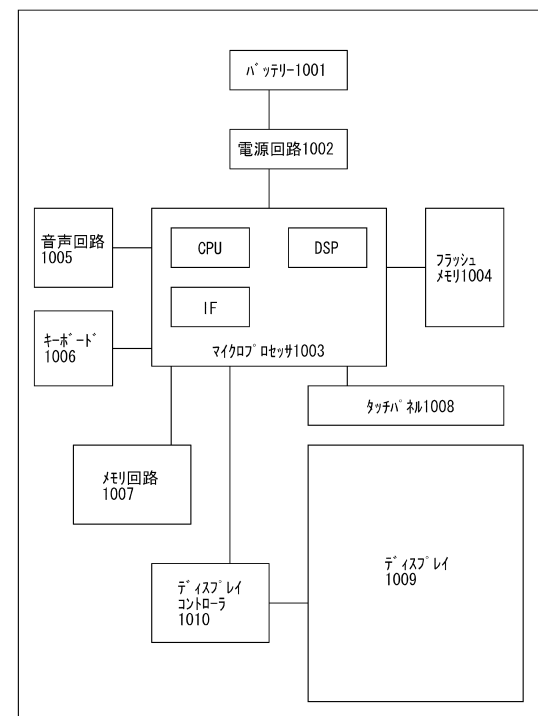
【図 10】



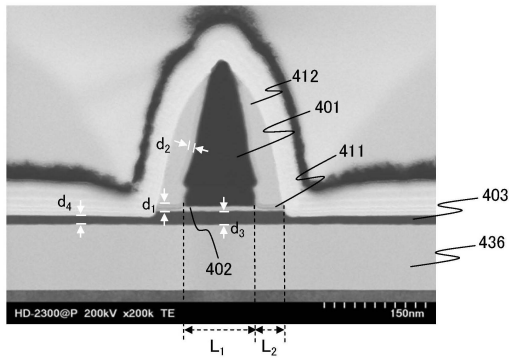
【図 11】



【図 12】



【図 13】



 フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	29/788	(2006.01)	H 0 1 L	27/10 4 3 4
H 0 1 L	29/792	(2006.01)	H 0 1 L	29/78 3 7 1

(56)参考文献 特開 2 0 1 2 - 0 1 5 4 3 6 (J P , A)
 特開 2 0 1 1 - 2 2 8 6 2 2 (J P , A)
 特開 2 0 0 5 - 1 1 6 9 7 7 (J P , A)
 特表 2 0 0 5 - 5 2 2 0 3 3 (J P , A)
 特開平 0 9 - 0 9 2 8 3 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 1 / 8 2 4 2
H 0 1 L	2 1 / 8 2 4 7
H 0 1 L	2 7 / 1 0 8
H 0 1 L	2 7 / 1 1 5
H 0 1 L	2 9 / 7 8 6
H 0 1 L	2 9 / 7 8 8
H 0 1 L	2 9 / 7 9 2