

(21) 申請案號：102139597

(22) 申請日：中華民國 102 (2013) 年 10 月 31 日

(51) Int. Cl. : H01L27/24 (2006.01)

H01L23/52 (2006.01)

(30) 優先權：2013/03/12 美國

61/776,861

(71) 申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.  
(TW)

新竹縣科學工業園區力行路 16 號

(72) 發明人：陳士弘 CHEN, SHIH HUNG (TW)

(74) 代理人：祁明輝；林素華

申請實體審查：有 申請專利範圍項數：18 項 圖式數：18 共 62 頁

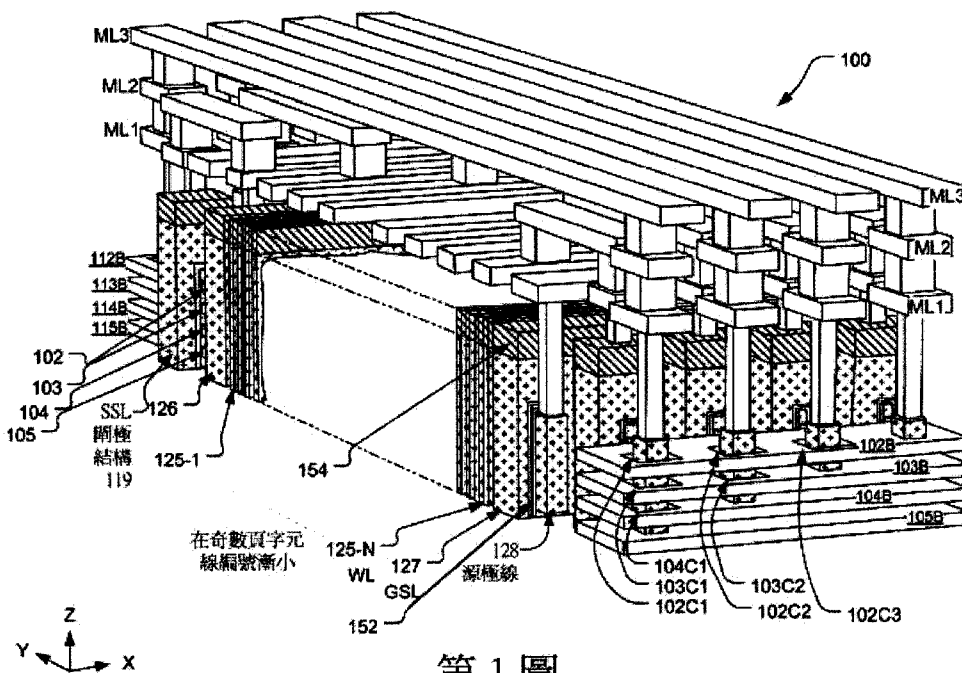
(54) 名稱

層間導體結構及其製造方法

INTERLAYER CONDUCTOR STRUCTURE AND METHOD

(57) 摘要

一襯墊堆疊耦接於個別電路的主動層，以形成內連導體結構。呈多列的層間導體在 X 方向上延伸，並在堆疊中與對應的襯墊接觸於著陸區。相鄰之列的層間導體間在 Y 方向上彼此分隔，該 Y 方向垂直於 X 方向。同一列的層間導體在 X 方向上具有第一間距。相鄰之列的層間導體之間在 X 方向上偏移，偏移量小於第一間距。內連導體形成於層間導體之上並與之接觸。內連導體在 Y 方向上延伸並具有第二間距，其中第二間距小於第一間距。



第 1 圖

- 100：裝置
- 102：主動條
- 102B：襯墊
- 102C1：開孔
- 102C2：開孔
- 102C3：開孔
- 103：主動條
- 103B：襯墊
- 103C1：開孔
- 103C2：開孔
- 104：主動條
- 104B：襯墊
- 104C1：開孔
- 105：主動條
- 105B：襯墊
- 112B：襯墊
- 113B：襯墊

114B：襯墊

115B：襯墊

119：源極線終端

125-1：導體

125-N：導體

126：閘極選擇線

127：閘極選擇線

128：源極線

152：層

154：層

(21) 申請案號：102139597

(22) 申請日：中華民國 102 (2013) 年 10 月 31 日

(51) Int. Cl. : H01L27/24 (2006.01)

H01L23/52 (2006.01)

(30) 優先權：2013/03/12 美國

61/776,861

(71) 申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.  
(TW)

新竹縣科學工業園區力行路 16 號

(72) 發明人：陳士弘 CHEN, SHIH HUNG (TW)

(74) 代理人：祁明輝；林素華

申請實體審查：有 申請專利範圍項數：18 項 圖式數：18 共 62 頁

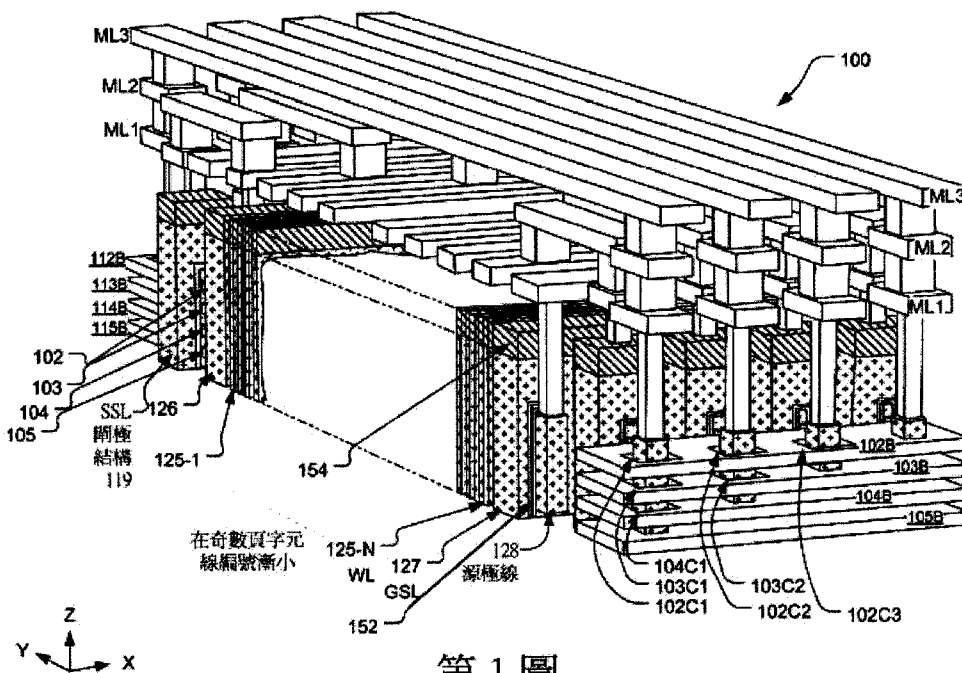
(54) 名稱

層間導體結構及其製造方法

INTERLAYER CONDUCTOR STRUCTURE AND METHOD

(57) 摘要

一襯墊堆疊耦接於個別電路的主動層，以形成內連導體結構。呈多列的層間導體在 X 方向上延伸，並在堆疊中與對應的襯墊接觸於著陸區。相鄰之列的層間導體間在 Y 方向上彼此分隔，該 Y 方向垂直於 X 方向。同一列的層間導體在 X 方向上具有第一間距。相鄰之列的層間導體之間在 X 方向上偏移，偏移量小於第一間距。內連導體形成於層間導體之上並與之接觸。內連導體在 Y 方向上延伸並具有第二間距，其中第二間距小於第一間距。



第 1 圖

- 100：裝置
- 102：主動條
- 102B：襯墊
- 102C1：開孔
- 102C2：開孔
- 102C3：開孔
- 103：主動條
- 103B：襯墊
- 103C1：開孔
- 103C2：開孔
- 104：主動條
- 104B：襯墊
- 104C1：開孔
- 105：主動條
- 105B：襯墊
- 112B：襯墊
- 113B：襯墊

申請日:

IPC分類:

## 【發明摘要】

H01L 27/124 (2006.01)

H01L 23/15 (2006.01)

【中文發明名稱】 層間導體結構及其製造方法

【英文發明名稱】 INTERLAYER CONDUCTOR STRUCTURE AND METHOD

## 【中文】

一襯墊堆疊耦接於個別電路的主動層，以形成內連導體結構。呈多列的層間導體在X方向上延伸，並在堆疊中與對應的襯墊接觸於著陸區。相鄰之列的層間導體間在Y方向上彼此分隔，該Y方向垂直於X方向。同一列的層間導體在X方向上具有第一間距。相鄰之列的層間導體之間在X方向上偏移，偏移量小於第一間距。內連導體形成於層間導體之上並與之接觸。內連導體在Y方向上延伸並具有第二間距，其中第二間距小於第一間距。

## 【英文】

To form an interconnect conductor structure, a stack of pads, coupled to respective active layers of a circuit, is formed. Rows of interlayer conductors are formed to extend in an X direction in contact with landing areas on corresponding pads in the stack. Adjacent rows are separated from one another in a Y direction generally perpendicular to the X direction. The interlayer conductors in a row have a first pitch in the X direction. The interlayer conductors in adjacent rows are offset in the X direction by an amount less than the first pitch. Interconnect conductors are formed over and in contact with interlayer conductors. The interconnect conductors extend in the Y direction and have a second pitch less than the first pitch.

【指定代表圖】 第 ( 1 ) 圖

【代表圖之符號簡單說明】

100：裝置

102、103、104、105：主動條

102B、103B、104B、105B、112B、113B、114B、115B：襯墊

102C1、102C2、102C3、103C1、103C2、104C1：開孔

119：源極線終端

125-1、125-N：導體

126、127：閘極選擇線

128：源極線

152、154：層。

201436193

【特徵化學式】

無。

**【發明說明書】**

**【中文發明名稱】** 層間導體結構及其製造方法

**【英文發明名稱】** INTERLAYER CONDUCTOR STRUCTURE AND METHOD

**【技術領域】**

本發明係有關於一種高密度裝置，尤其，本發明實施例提供一種製造方法及結構，用以在三維高密度半導體裝置(如記憶體裝置)中連結導體與多重平面。

**【先前技術】**

三維(3D)半導體裝置的特徵為多層。在記憶體裝置中，每一層可包括一記憶單元的平面陣列。對於某些三維的堆疊記憶體裝置，主動層可包括主動條，係以作為位元線或字元線的材料所構成，用以堆疊為間隔開的脊狀(ridge-like)結構之記憶單元。主動層可由摻雜的(p型或n型)或未摻雜的半導體材料所形成。在此種三維記憶體中，記憶單元可以排列在堆疊的位元線或字元線以及交叉之字元線或位元線的交叉點，以形成一三維記憶體陣列。

此類記憶體裝置的實施例已描述於美國專利公開號2012/0182806，申請日期2011年4月1日，專利名稱為Memory Architecture of 3D Array With Alternating Memory String Orientation and String Select Structures，發明人為Shih-Hung Chen和Hang-Ting Lue以及美國專利號8,363,476，申請日2011年1月19日，發明名稱為Memory Device, Manufacturing Method And Operating Method Of The Same，發明人為Hang-Ting Lue和

Shi-Hung Chen，兩案例皆引用於本發明以供參考。在這些案例中，每一層的另一組主動條皆耦接於堆疊襯墊中個別的襯墊。襯墊提供著陸區給層間導體，使記憶體裝置中層間導體可以與作為位元線的覆蓋導線連結。在三維裝置中，層間導體垂直延伸通過襯墊堆疊，且特別是當堆疊層數增加時，佈局上可能需要相對較大的區域以解決製造時所產生之錐體和排列的問題。相對較大的區域需求可能成為覆蓋的內連線之密度的限制因子，內連線例如是總體位元線。

內連線的密度對於裝置的執行與花費可能相當關鍵。例如，反及閘（NAND）記憶體可包括頁面操作，頁面操作包括頁面讀取與程式化。在此裝置中，頁面尺寸和數據傳輸速率取決於總體位元線的密度。為達成較高密度的位元線和較快的記憶體裝置，需要降低位元線間距（間距代表的是介於鄰近特徵，例如是相鄰位元線中心點之間的平均距離）。

因此，本發明欲提供製造內連接線的方法和結構，內連接線例如是高密度位元線，以接觸三維裝置中的複數個層疊。

#### 【發明內容】

本發明係有關於一種形成內連導體結構的方法，如下所述。形成一襯墊堆疊並與電路的個別主動層耦接。形成多列的層間導體，在對應的襯墊堆疊中以X方向延伸並接觸於著陸區，相鄰之列的層間導體則在Y方向上彼此分開，Y方向大致上垂直於X方向。在同一列的層間導體間在X方向上具有第一間距，在相鄰之列的層間導體間在X方向上的偏移量少於第一間距。內連導體形成於層間導體之上，並與層間導體接觸，內連導體在Y方向上延伸且具



有第二間距，而第二間距小於第一間距。

一裝置包括襯墊堆疊、層間導體、和內連導體。襯墊堆疊耦接於個別電路的主動層。層間導體在X方向上延伸排列呈多列，且與襯墊堆疊中對應襯墊的著陸區接觸，相鄰之列則在Y方向上彼此分開，該Y方向大致上垂直於X方向。同一列的層間導體間在X方向上具有第一間距，相鄰之列的層間導體之間在X方向上的偏移量少於第一間距。內連導體形成於層間導體之上並與之接觸。內連導體在Y方向上延伸並具有第二間距，而第二間距小於第一間距。

在不同的實施例中，本發明的方法與結構允許三維裝置中高密度及狹窄間距的內連導體結構。

此項技術的其他層面與優點皆描述於下列的詳細實施方式與申請專利範圍當中，並附有參考圖式加以說明。

#### 【圖式簡單說明】

第1圖繪示一包括層間導體之半導體襯墊之半導體裝置的透視圖。

第2圖繪示一包括三維半導體裝置中導體結構之接點開孔之半導體襯墊堆疊的剖面圖。

第2A圖繪示類似第2圖且具第2圖裝置的兩倍密度的三維半導體裝置中導體結構之半導體襯墊堆疊剖面圖。

第3-9圖繪示三維半導體裝置中形成層間導體的各階段方法。

第3圖繪示形成三維半導體裝置之層間導體之襯墊堆疊的上視圖。

第3A圖繪示第3圖的剖面圖。

第4圖繪示第3和3A圖之後三維半導體裝置中形成層間導體階段之結構的上視圖。

第5A圖繪示第4圖之後三維半導體裝置中形成層間導體階段之結構的上視圖。

第5圖繪示對應第5A圖結構的剖面圖。

第6圖繪示第5和5A圖之後三維半導體裝置中形成層間導體之階段之剖面圖。

第7A圖繪示第6圖之後三維半導體裝置中形成層間導體階段之結構之上視圖。

第7圖繪示對應第7A圖結構的剖面圖。

第8圖繪示第7圖中用導體材料填充接觸開口之後形成層間導體的結構圖。

第8A圖繪示第8圖中在形成層間導體上端的絕緣層之後，貫穿絕緣層而往層間導體延伸以形成相對狹窄的開孔，用導體材料填充相對狹窄的開孔，以製造層間導體延長部分之結構圖。

第8B圖繪示簡化的第8A圖之層間導體和層間導體延長部分的尺寸與空間上視圖。

第9圖繪示第8A圖和8B圖的步驟之後包括三維半導體裝置的層間導體之內連導體結構的佈局圖。

第9A圖繪示第9圖中三維半導體裝置中內連導體、層間導體延長部分、和層間導體之不同元件的相對尺寸和位置圖。

第9B圖繪示第9圖中三維半導體裝置中內連導體、層間導體延長部分、和層間導體之不同元件的相關尺寸和位置圖。

第9C圖繪示第9圖中沿著9C至9C剖面連線的剖面圖。

第9D圖繪示第9圖中沿著9D至9D剖面連線的剖面圖。

第10-16B圖繪示與第3-9圖不同的三維半導體裝置中形成層間導體的階段之方法。

第10A圖繪示三維半導體裝置中形成導體之方法之半導體襯墊堆疊的上視圖。

第10圖繪示第10A圖的剖面圖。

第11圖繪示三維半導體裝置中形成層間導體方法之階段之半導體襯墊堆疊的放大視圖。

第11A圖繪示第11圖中半導體襯墊堆疊的對應上視圖。

第12圖繪示第11圖和11A圖之後沿著第11A圖中12至12連線之三維半導體裝置中形成層間導體之階段之剖面圖。

第13A圖繪示第12圖之後三維導體中形成層間導體階段之結構上視圖。

第13圖繪示第11A圖中沿著12至12剖面連線之對應第13A圖結構之剖面圖。

第14A圖繪示第13和13A圖之後在三維半導體裝置中形成層間導體階段之結構上視圖。

第14圖繪示對應第14A圖結構的剖面圖。

第15圖繪示第14圖中以導體材料填充接觸開孔之後形成層間導體之結構圖。

第15A圖繪示第15圖形成層間導體上端的絕緣層之後，貫穿絕緣層並往層間導體延伸而形成相對狹窄的開孔，用導體材料填充相對狹窄的開孔，以製造層間導體延長部分之結構圖。

第15B圖繪示第15A圖層間導體與層間導體延長部分的尺寸與空間之結構的簡化上視圖。

第16圖繪示第15A圖和15B圖的步驟之後三維半導體裝置的內連導體、層間導體延長部分、和層間導體之佈局圖。

第16A圖繪示簡化的上平面視圖，而第16B圖繪示第16圖三維半導體裝置中內連導體、層間導體延長部分、和層間導體之不同元件的相對尺寸和位置之部分結構以及層間導體的錐體之簡化剖面圖。

第17圖繪示三維半導體裝置中形成層間導體和內連導體的製程流程圖。

第18圖繪示本發明實施例中簡化的積體電路框圖。

#### 【實施方式】

本發明不同實施例的詳細描述可參閱圖式。以下揭露之內容大多需要配合參考特定結構實施例及方法。應了解的是，本發明並非被限制於特定的揭露實施例與方法，本發明可使用其他特徵、元件、方法與實施例加以實行。本發明所揭露之內容雖然可以透過實施例來說明，但該些實施例不可用來限定本發明之範圍。本領域具有通常知識者於參考本發明揭露內容後，應可了解其他可能的均等實施方式。除非有特別說明，本發明所使用的特定關係詞，如「平行」、「對齊」或「在相同平面」代表在製程和變換製造當中所限制的特定關係。除非有特別描述，當以「耦接」、「連結」、「接觸於」或「彼此接觸」描述組成物件時，這些組成物件彼此並不需要物理性的直接接觸。不同實施例中相同的元件通常以相同的元件符號表示。

第1圖繪示一種三維半導體裝置(如記憶體裝置)100之實施例的透視圖，類似於上述美國公開號2012/0182806之申請案。爲了更清

楚地繪示主動層，包括半導體條、用以連結層間導體的半導體襯墊和其他組件，以及形成的各種絕緣材料皆係未繪示。三維半導體裝置100形成覆蓋於一基板(未顯示)上，基板具有絕緣層(未顯示)形成於其中。基板可包括一或更多的積體電路以及其他結構。圖中繪示主動層堆疊的近端具有四個半導體襯墊102B、103B、104B與105B，而於堆疊的遠端具有4半導體襯墊112B、113B、114B與115B，但是主動層和對應之半導體襯墊的數量可以延伸至任一數字的N層，其中N為大於1的整數。如圖所示，三維半導體裝置100包括主動條(如102、103、104、105)堆疊，此些堆疊係以絕緣材料分隔。半導體襯墊(如102B、103B、104B、105B)終止對應主動層中的主動條。如圖所示，半導體襯墊102B、103B、104B和105B電性耦接於主動層，以於陣列中連結解碼電路以及選擇層。半導體襯墊102B、103B、104B與105B可在主動層圖案化時一同進行圖案化，而層間導體之接點可能除外。在所繪示的實施例中，每個主動條包括適於作為通道區域的半導體材料。脊型的主動條延伸於圖中的Y軸，使得主動條102、103、104、105可構成主體，主體包括快閃記憶單元串的通道區域，例如水平的反及閘(NANDA)串配置。如圖所示，在本實施例中一記憶體材料層152係塗佈於複數個主動條堆疊，在其他實施例中記憶體材料層152係至少塗佈於主動條之側壁。在其他實施例，主動條可為垂直反及閘配置中的字元線。上述實施例揭露於美國專利號8,363,476的申請案中。

每個主動條堆疊的一端皆終止於半導體襯墊，而另一端則終止於源極線。因此，主動條102、103、104、105藉由半導體襯墊102B

、103B、104B與105B終止於近端，且在主動條遠端的源極線終端119通過閘極選擇線127。主動條112、113、114、115由半導體襯墊112B、113B、114B、115B終止於遠端，而一源極線終端(如源極線128)通過閘極選擇線126且鄰近於主動條的近端。

在第1圖的實施例中，複數個導體125-1到125-N正交排列於複數個主動條堆疊之上。在以複數個堆疊定義的溝槽(trench)中，導體125-1至125-N具有與於複數個主動條堆疊共形(conformal)的表面，和在堆疊上的主動條102、103、104、105(例如字元線或源極選擇線)側面以及導體125-1到125-N之間的交叉點定義介面區域的多層陣列。如圖所示，矽化物(例如矽化鎢、矽化鈷、矽化鈦、矽化鎳)層154可形成於導體的上表面(例如字元線或源極選擇線)。

取決於實施方式，半導體材料層152可包括多層介電電荷儲存結構。例如，多層介電電荷儲存結構包括含有氧化矽的穿隧層(tunneling layer)、含有氮化矽的電荷捕捉層(trapping layer)及含有氧化矽的隔離層(blocking layer)。在某些實施例中，介電電荷儲存層中的穿隧層可包括厚度小於約2奈米的第一氧化矽層、厚度小於約3奈米的氮化矽層以及厚度小於約3奈米的第二層氧化矽。在其他實施方式中，記憶體材料層152可只包括電荷捕捉層，而沒有穿隧層或隔離層。

在另一實施例中，可使用例如具有厚度為1至5奈米等級的反熔絲(Anti-fuse)材料，例如二氧化矽，氮氧化矽或其他氧化矽。亦可使用其他反熔絲材料，如氮化矽。在反熔絲實施例中，主動條102、103、104、105可以是第一導電型(如p型)的半導體材料。

導體(如字元線或源極選擇線)125-N可以是第二導電型(如n型)的半導體材料。舉例來說，主動條102、103、104、105可以利用p型多晶矽製成，而導體125-N則可利用相對重摻雜的n+型多晶矽製成。在反熔絲的實施例中，主動層的寬度應提供足夠的空間給空乏區(depletion region)，以支持二極體運作。因此，包括一整流器的記憶單元形成於多晶矽條與導線間的交叉點之三維陣列中，記憶單元係由陽極和陰極之間由p-n接面(junction)及可程式反熔絲層所形成。

在其他實施例中，不同的可程式電阻記憶體材料可作為記憶體材料，包括金屬氧化物，如鎢(tungsten)上的氧化鎢或摻雜的金屬氧化物等。某些此類材料可形成裝置，以在多種電壓或電流下被程式化或抹除，且可執行每個記憶單元的多位元儲存。

如第1圖所示，半導體襯墊102B、103B、104B與105B在裝置的對應層中耦接於主動條的一側，如藉由半導體層的連續圖案化而形成。在一些實施例中，襯墊可以耦接於對應層中之主動條的兩側。在其他實施例，襯墊可以利用其他材料和結構與主動條連結，這些材料與結構可允許裝置操作所需的電壓和電流之電子通訊。在本實施例中，一覆蓋的絕緣層(未顯示)和半導體襯墊102B、103B、104B與105B，除了最低的襯墊之外，包括開孔102C1、102C2、102C3、103C1、103C2、104C1，這些開口曝露覆蓋襯墊上的著陸區，覆蓋襯墊形成一階梯結構。

第2圖繪示半導體襯墊206(如第1圖的102B、103B、104B與105B)之堆疊200的剖面圖202，半導體襯墊206以層間絕緣體204分隔而構成階梯的形式。對應的上視圖208亦如圖所示。如剖面圖202，

繪示的半導體襯墊206的八層，各層皆與一對應的主動層相關。多數個開孔210間具有間距234，以暴露出著陸區給層間導體，例如也可曝露出總體位元線。

第2A圖繪示一半導體裝置的半導體襯墊226堆疊220，此半導體裝置之位元線密度為第2圖之堆疊200的2倍。亦繪示剖面圖222和對應的上視圖224。如圖所示，開孔230間之間距232緊密且層間導體與開孔230之寬高比(aspect ratio)很高，使製造上面臨挑戰。

第3-9圖繪示導線(如第1圖的ML3)的形成方法的各個階段，導線包括層間導體以連結主動元件與不同的控制電路(如包括一讀取電路或一解碼電路)，用於如第1圖之記憶體裝置的高密度三維半導體裝置。

第3圖繪示半導體襯墊(如第1圖的襯墊102B、103B、104B、105B)堆疊的上視圖300。第3A圖繪示在XZ平面對應的剖面圖。每個半導體襯墊皆具有一外邊界(outer perimeter)和一第一側302(在本圖中沿X方向延伸)耦接於記憶體陣列中一對應的主動層。在一實施例中，襯墊包括八個半導體層310、312...至324，亦指半導體襯墊310、312...至324，由絕緣層304分隔開。依實施方式可包括更多層，如多數條位元線。如圖所示，一絕緣層306覆蓋在堆疊之上。半導體層可以使用合適的雜質(n型或p型)摻雜，亦可不摻雜。

第4圖繪示如第3圖中，在覆蓋的絕緣層306和除了最底的半導體襯墊310之外的半導體襯墊形成開孔401之後之每個半導體襯墊的



上視圖。如圖所示，開孔401以暴露著陸區給在每個半導體襯墊堆疊中各別的層間導體：半導體襯墊324上的著陸區410、半導體襯墊322上的412、半導體襯墊320上的414、半導體襯墊318上的416、半導體襯墊316上的418、半導體襯墊314上的420、半導體襯墊312上的422、半導體襯墊310上的424。開孔401的詳細形成方法可參考美國專利號8,383,512，專利名稱Method for Making Multilayer Connection Structure，2013年2月26日發行。

從第4圖中各種不同的上視圖中，開口401配置於對應的半導體襯墊中，而著陸區則形成於兩列402，404的其中一列。列數可以增加以容納內連導體狹窄的間距(如第1圖的ML3)。例如，於襯墊324中，列402，404之開孔401可在外邊界(沿著X方向)之第一側302的平行方向上對齊。為容納內連導體的緊密間距，列402中的開孔401具有左側406，列404中的開孔401具有左側408，其中左側406與左側408並非對齊。列402中的開孔401並不對齊於列404之開孔401，而是沿著一交叉方向(Y方向)偏移。

第5圖繪示第4圖之半導體襯墊堆疊的剖面圖，此剖面圖係沿著第5A圖之上視圖的A-A和B-B剖面線所得的示意圖。由於各個半導體襯墊中開孔的配置，著陸區係以「歪曲的」階梯形式排列，如第5圖的剖面圖所示。由第5A圖的上視圖可見，著陸區在X方向上對齊，平行於第一側302且在Y方向上具有側邊偏移量432，以容納高密度和緊密間距的導線(如第1圖的ML3)。此外，如第4圖所示，著陸區於垂直方向或Z方向上不相交。每一列的著陸區之間，如在列402的著陸區410、414、418、422之間以及列404的著陸區412、416、420、424之間，在上視圖的X方向上具有間距430。

第6圖繪示於沉積絕緣層602之後，如第5圖的剖面圖。絕緣層602沿開孔401形成並覆蓋絕緣層306的上表面502。

第7圖繪示於如第6圖之上表面502和著陸區410-424之上蝕刻絕緣層602的部分之後的剖面圖。蝕刻後形成複數個接點開孔或接觸開孔702，接點開孔702的側邊由側壁絕緣體705所圍繞。第7A圖繪示對應的上視圖。在每個半導體襯墊上，每個接點開孔702暴露接觸區域704給層間導體。在本實施例中，接點開孔702係位於開孔401中的絕緣填充602內之正中央，因此側壁絕緣體705在接觸開孔的每一側皆具有相同的厚度。然而，在某些實施例中，在第一列402的接點開孔702可以形成於靠近著陸區的左側與右側其中之一，而在第二列404的接點開孔則形成於靠近著陸區的左側與右側其中之另一(即與第一列相反的另一側)，以改善製程容許度(process window)。此外，接點開孔702在XY平面具有一長度一寬度，此長度和寬度不會大於對應著陸區410-424的長度和寬度。

第8圖顯示第7圖中在導體材料沉積而填充每個接點開口702之後，以形成多數個層間導體802、804、...、814、816的結構。如圖所示，導體材料可以自絕緣體填充材料與絕緣體材料表面830移除，以在層間導體間形成物理性的阻隔。依據實施例，層間導體802、804、...、814、816可以是多晶矽材料(摻雜p或摻雜n)或金屬材料。

第8A圖顯示相似於第8圖的結構，在表面830沉積絕緣層801之後，接著在絕緣層801之中形成相對狹窄的開孔803以開啓層間導體802、804、...814、816的上表面。開孔803相對狹窄於層間導體

的截面積。接著以導體材料填充開孔803而形成層間導體延長部分802.1、804.1、...814.1、816.1，這些層間導體延長部分皆電性接觸於各自的層間導體。用於絕緣層801與層間導體延長部分的材料可以分別與絕緣層304、306和層間導體802、804、...814、816所使用的材料相同。

第8B圖為基於第8A圖之結構所簡化的上視圖，層間導體802、804、...814、816和各自對應的層間導體延長部分802.1、804.1、...814.1、816.1排列於第一列402與第二列404。在同一列的層間導體與層間導體延長部分在X方向上相互對齊，而層間導體802、804、...814、816在對應的半導體襯墊310、312、...、322、324上接觸於接觸區域704。此外，同一列的層間導體802、804、...814、816與同一列的層間導體延長部分802.1、804.1、...814.1、816.1(如在列402的802.1、806.1)之間在X方向上具有第一間距820。如第8A與8B圖所示，而相鄰之列的層間導體延長部分(如802.1、804.1)彼此之間具有側邊偏移，從Y方向上看來具有偏移距離822，即狹窄開孔803具有側邊偏移。參閱第9B圖，偏移距離822大於層間導體延長部分802.1、804.1、...814.1、816.1之寬度 $W_3$ ，因此相鄰之列的層間導體延長部分之間完全地側邊偏移。偏移距離822可小於第一間距820。在一些實施例中，偏移距離822會等於第一間距820的 $1/2$ ，因此層間導體922-936將具有固定的側邊空間(參閱第9圖)。在一些實施例中，偏移距離822與833皆可小於第一間距820的約 $1/2$ 。如同上述討論的，形成層間導體的接點開孔702為高密度導線(如第1圖的ML3)中限制的平版印刷(lithography)步驟。藉由較大的間距和更寬鬆的關鍵尺寸以形

成層間導體，三維堆疊中的層間導體便可容納更大數量的半導體層。

第9圖繪示半導體襯墊310、312、...322、324堆疊901的佈局圖，如第8B圖，複數個內連導體922、924、...934、936形成於各自的層間導體802、804、...814、816之上並且與層間導體延長部分802.1、804.1、...814.1、816.1接觸。參閱第9C和9D的剖面圖。由於製造接觸開孔702時的固有錐體以及因而形成的層間導體，層間導體頂部的尺寸可以大於層間導體底部(鄰近於著陸區410-424)的尺寸。參閱第16B圖。當欲決定相鄰的組成物之間可以多靠近之時，相對於開孔底部而言，開孔頂部之接觸開孔702的尺寸可以是關鍵的限制尺寸。複數個內連導體以虛線繪示，可提供更好的視覺效果以了解裝置中其他元件的關係。內連導體922、924、...934、936延伸超過主動條，如第1圖的主動條102-105，以將每個半導體襯墊310、312、...322、324連接於各自的操作電路。此類操作電路可包括讀取電路或解碼電路。在本實施例中，主動條920連結於半導體襯墊324並通過源極選擇閘極906到主動條920遠端的源極線終端。內連導體922藉由層間導體延長部分802.1而與層間導體802間具有物理性與電性之接觸，並且不需與層間導體802對齊。內連導體922亦位於層間導體804的一部分之上，但具有絕緣層801以電性阻隔層間導體804。內連導體922-936在X方向上具有第二間距940。層間導體延長部分之間在X方向上的第二間距940小於第一間距820(參閱圖第9A)，允許內連導體的緊密配置並使層間導體具有相對寬鬆的關鍵尺寸。參閱第9A圖，依據側邊偏移距離822，層間導體延長部分的第一間

距820可以是內連導體第二間距940的2倍、3倍、或更多倍。如第9A圖繪示層間導體802、804、806、808與層間導體延長部分802.1、804.1、806.1、808.1相對於對應之覆蓋的內連導體922、924、926、928之簡化圖。

第9B圖繪示層間導體(如802)上端，層間導體延長部分(如822.1)，和內連導體(如922、924)的相對尺寸。每個層間導體(如802)之上端之間在縱向(X方向)上具有寬度W1。寬度W1大於層間導體延長部分802.1之寬度W3，且寬度W3大於內連導體922、924之寬度W2。

第10-16圖繪示另一實施方法，如第3-9B圖所述，以形成高密度三維半導體裝置的內連導體。本實施方式所繪示的第10-16圖可以應用於大數量主動層堆疊和需要狹窄間距的緊密內連導體(如第1圖ML3)。圖中顯示半導體襯墊堆疊1000，所繪示的8個半導體襯墊1010、1012、1014、1018、1020、1022、1024之堆疊1000受到絕緣層1026分隔，圖中還可包括更多的半導體襯墊。此堆疊還包括覆蓋於半導體襯墊1010-1024上的絕緣層1028。在半導體陣列(如記憶體陣列)中的每個半導體襯墊1010-1024具有外邊界和側邊1030，耦接於動應的主動層。

下一階段的製造方法包括在半導體襯墊1010-1024中形成開孔1080，以在每個襯墊中暴露著陸區。第11圖繪示半導體襯墊1010-1024堆疊的放大視圖，除了最底襯墊1010之外，在每個襯墊中形成開孔1080。開孔1080在每個半導體襯墊上暴露著陸區：在半導體襯墊1024上的著陸區1054，在半導體襯墊1022上的著陸區1052，在半導體襯墊1020上的著陸區1050，在半導體襯墊1018

上的著陸區1048，在半導體襯墊1016上的著陸區1046，在半導體襯墊1014上的著陸區1044，在半導體襯墊1012上的著陸區1042，在半導體襯墊1010上的著陸區1040。由本實施例的上視圖可知，開孔形成於每個襯墊之上，在每個襯墊上列1070、1072、1074、1076的其中之一形成著陸區。列與列之間在Y方向上具有側邊偏移，平行並對齊於X方向。著陸區在Z方向上並無相交，並形成「歪曲」的階梯形式，如第11圖的放大視圖所示。形成開孔的詳細實施方法可參考美國專利號8,383,512。

第11A圖繪示第11圖中半導體襯墊1010-1024堆疊的上視圖。如上視圖所示，著陸區1040-1054配置於列1070、1072、1074、1076。在X方向上，每一列皆平行對齊於側邊1030。在本實施例中，於不同列的多個著陸區(本實施例中有4個著陸區：1048、1050、1052、1054)在Y方向上至少有部分的偏移。在相鄰之列1070、1072的著陸區1048、1050之間具有偏移量1057。每一列的著陸區在X方向上具有間距1055。如圖所示，本實施例中具有8個半導體襯墊1010-1024之堆疊，著陸區共有4列，每一列具有2個著陸區。依據裝置所需的位元線數及執行時的位元線密度，列數和每一列的著陸區數可以更多。第12圖繪示XZ平面上於開孔形成之後在第11A圖之12至12剖面連線之對應的襯墊堆疊剖面圖。

第13圖繪示第12圖中沉積絕緣填充材料以填充每個開孔1080之後的結構圖。對應的上視圖繪示於第13A圖。絕緣填充材料1301可具有表面構形，可利用化學機械拋光製程或蝕刻後製程以平面化。

第14圖繪示下一階段的製造方法，包括在每個半導體襯墊上的絕

緣填充材料1301中，形成接點開孔1302，有時稱作接觸開孔1302，以暴露接觸區域給層間導體。如圖所示，每個接點開孔1302在絕緣層1028的上表面可具有一區域(如1302t)，此區域大於對應的著陸區1040-1054之區域(如1302b)。絕緣填充材料1301之層1303環繞於每個開孔1302。第14A圖為對應的上視圖。由於製造上的限制，接點開孔1302鄰近於絕緣層1028上表面之區域(如1302t)大於鄰近於著陸區1040-1054之底部區域(1302b)，並呈現為錐體。其中一種結果的錐體接點開孔1302以誇張的形式繪示於第16B圖。然而，為了簡化圖式，接點開孔1302在大部分的圖中皆未以錐體繪示。因為錐體，頂部開孔1302的尺寸可大於鄰近於著陸區1040-1054之底部開孔1302的尺寸。當欲決定相鄰的組成物之間可以多靠近之時，相對於開孔底部而言，開孔頂部之開孔1302的尺寸可以是關鍵的限制尺寸。

第15圖繪示如第14圖的結構，在沉積導體材料以填充每個接點開孔1302之後，形成與各自的半導體襯墊1024、1022、...1012、1010具電性及物理性接觸的層間導體1502、1504、...1514、1516。依據所需的應用，導體材料可以是金屬材料或摻雜(n+或p+)的多晶矽材料。可以自絕緣填充與覆蓋的絕緣材料表面移除導體材料，以物理性地隔絕層間導體，如製造平面化的表面1305。

第15A圖繪示如第15圖的結構，於表面1305沉積絕緣層1501之後，在絕緣層1501中形成相對狹窄的開孔1503，以開啓層間導體1502、1504、...1514、1516的上表面。接著以導體材料填充開孔1503，以形成層間導體延長部分1502.1、1504.1、...1514.1、1516.1，並電性接觸於個別的層間導體。

如第15B圖所示，每一列的層間導體延長部分(如1508.1、1518.1)之間在X方向上具有第一間距1522。參閱上視圖，相鄰之列的層間導體延長部分之間在X方向上具有偏移距離1524。偏移距離1524小於第一間距1522，在本實施例中，為第一間距1522的約1/4。

第16圖繪示半導體襯墊1010、1012、...1022、1024的佈局圖，在半導體襯墊堆疊上形成內連導體1602，1604、...1614、1616(如總體位元線)之後，與對應的層間導體延長部分1502.1、1504.1、...1514.1、1516.1/層間導體1502、1504、...1514、1516接觸。內連導體以虛線繪示而使其他不同的相關元件可以更清楚的顯示。層間導體延長部分1502.1、1504.1、...1514.1、1516.1在X方向上具有第二間距1620。由於相鄰之列的層間導體延長部分之間具有偏移距離1524，內連導體之第二間距1620可以小於同一列的層間導體之間在X方向上的第一間距1522，為第一間距1522的約1/4。當欲決定相鄰的組成物之間可以多靠近之時，相對於開孔底部而言，開孔頂部之開孔1302的尺寸可以是關鍵的限制尺寸。

第16A圖繪示簡化的層間導體延長部分1502.1、1504.1、...1514.1、1516.1之第一間距及相對於內連導體1602-1616在X方向上的第二間距。在本實施例中，同一列層間導體延長部分的第一間距1522為內連導體在X方向上之間距1620的約4倍。第16A圖亦顯示相鄰之列的層間導體延長部分具有偏移距離1524，並小於第一間距1522。如同於第9、9A與9B圖所討論的，在不同實施例中，此種設置有助於限制的平版印刷製程，以於覆蓋的高密度內連導體形成層間接點開孔。



第16B圖繪示內連導體(如1602、1604)、層間導體延長部分(如1502.1)、層間導體(如1502)的相對尺寸。相對於層間導體延長部分1502.1、1504.1、...1514.1、1516.1的寬度 $W_3$ (量測於表面1305)而言，層間導體1502、1504、...1514、1516上端具有較大的寬度 $W_1$ 。層間導體1502、1504、...1514、1516上端的寬度 $W_1$ 可以大於覆蓋的內連導體1602-1616之寬度 $W_2$ 。在層間導體1502中，其頂部的表面1305寬度大於底部的寬度，該底部鄰近於接觸區域704。層間導體1502、1504、...1514、1516之寬度 $W_1$ 亦大於長度 $Y_1$ 。

於本實施例中，寬度 $W_1$ 為每個寬度 $W_2$ ，寬度 $W_3$ ，和長度 $Y_1$ 的約4倍。普遍而言，每個層間導體的上端寬度 $W_1$ 可為內連導體1602-1616之寬度 $W_2$ 的約 $X$ 倍，其中 $X$ 代表層間導體的數量，且層間導體覆蓋偏移的著陸區1048、1050、1052、1054。

第17圖繪示製程流程1700，為三維半導體裝置中形成層間導體之製造方法，如第1圖的裝置。該製造方法包括下述步驟。

步驟1702：與主動層一同形成襯墊堆疊(如310-324)而具有第一側，該襯墊堆疊耦接於各自電路的主動層。主動層可以是記憶體裝置的區域位元線(local bit lines)。在一些實施例中，襯墊堆疊的形成包括圖案化主動層以形成半導體材料的平行條，且平行條終止於個別的襯墊。在一些實施例中，半導體材料的平行條係作為記憶單元的通道，而在其他實施例中，平行條係作為記憶單元的字元線。

步驟1704：形成層間導體(如802-816)，其中層間導體具有底端

以與對應的襯墊堆疊接觸，並具有頂端以作為第一表面(830)。

步驟1706：形成層間導體延長部分，延長部分的底端與層間導體的頂端接觸，且延長部分的頂端具有第二表面。層間導體延長部分在X方向上延伸排列呈多列(如402，404)，而相鄰之列在Y方向上彼此分開，其中Y方向垂直於X方向。同一列的層間導體延長部分在X方向上具有第一間距(如820)。層間導體延長部分在X方向上具有層間導體延長部分之寬度(如W3)。相鄰之列的層間導體延長部分在X方向上具有側邊偏移距離(如822)，側邊偏移距離大於層間導體延長部分之寬度。在第一列層間導體上端，層間導體延長部分可以在其左側或右側，而在相鄰之第二列層間導體的上端，層間導體延長部分可以在其相對的另一側(如第8B圖)。

步驟1708：在層間導體延長部分之上形成內連導體(如922-936)，並與之接觸。內連導體在Y方向上延伸並在X方向上具有第二間距(如940)，其中第二間距小於第一間距。內連導體可以在垂直於第一側的方向上延伸並超過半導體襯墊堆疊。

根據不同的實施例，上述依序的步驟提供高密度三維裝置中形成狹窄間距之內連導體的方法。本方法提供層間導體形成接觸開孔的方式，讓覆蓋的高密度內連導體結構可使用更寬鬆的關鍵尺寸。

根據本發明之一實施例，第18圖係為積體電路的簡化框圖。積體電路線975包括三維反及閘快閃記憶體陣列960，具有如同第1圖的結構，例如，在半導體基板上之高密度與狹窄間距的總體位元線。列解碼器961耦接於複數個字元線962，並在記憶體陣列960

中配置呈多列。行解碼器963耦接於複數個的SSL線964，對應於記憶體陣列960中的堆疊而配置呈多行，以從陣列960中的記憶單元讀取與程式化數據。在記憶體陣列960中，平面解碼器958經由位元線959耦接於複數個平面。位址(addresses)由匯流排965傳輸至行解碼器963、列解碼器961、平面解碼器958。在本實施例中，在區塊(block)966中的感測放大器與數據輸入結構經由數據匯流排967耦接於行解碼器963。數據經由數據輸入線971提供，從積體電路975上的輸入/輸出連接埠，或從其他積體電路975內部或外部的數據來源，傳輸至區塊966中的數據輸入結構。在所繪示的實施例中，其他電路974包括積體電路，如一般用途處理器或特殊用途應用電路，或結合模組以提供反及閘快閃記憶單元陣列所支援的系統單晶片功能。數據經由數據輸出線972從區塊966中的感測放大器傳輸給積體電路975上的輸入/輸出連接埠，或其他機體電路975內部或外部的數據標的。

在本實施例中，控制器利用偏壓配置狀態機969控制偏壓配置供應電壓的使用，該偏壓配置供應電壓係經由區塊968中的電壓供應器所產生或提供，例如讀取，消除，程式，消除確認與程式確認電壓。本領域人士熟知控制器可以利用特殊用途邏輯電路而操作。在替代的實施例中，控制器包括一般用途處理器，而一般用途處理器可以施行於同樣的積體電路並執行電腦程式以控制裝置的操作。在其他實施例中，控制器的執行可以利用特殊用途邏輯電路以及一般用途處理器的組合。

在不同實施例中，提供三維陣列裝置，如記憶體裝置。三維陣列裝置包括半導體材料的複數個圖案化層。每個圖案化層包括報導

體材料的平行條，該平行條兩端的其中之一連接半導體襯墊的第一側。連結於複數個圖案化層的半導體襯墊排列成一堆疊。每個半導體襯墊包括層間導體的著陸區，該層間導體連結於覆蓋的內連導體，該內連導體沿半導體材料的平行條對齊。參閱上視圖，層間導體配置呈多列並且排列於被絕緣材料所圍繞的接點結構中。每一列皆平行於第一側，沿X方向對齊。每一列的層間導體之間在X方向上具有第一間距。在不同的實施例中，層間導體在Y方向上至少具有部分偏移，其中Y方向垂直於X方向。由於有所偏移，內連導體在Y方向上延伸並且在X方向上具有第二間距，其中第二間距小於第一間距。在不同實施例中，如第5圖和第12圖所示，可以歪曲的階梯形式形成著陸區，以增加內連導體(如位元線或字元線)的密度並增加裝置的數據速率。

綜上所述，雖然本發明已以實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

#### 【符號說明】

100：裝置

102、103、104、105：主動條

102B、103B、104B、105B、112B、113B、114B、115B、206、226、310、312、314、316、318、320、322、324、1010、1012、

1014、1016、1018、1020、1022、1024：襯墊

102C1、102C2、102C3、103C1、103C2、104C1：開孔

119：源極線終端

125-1、125-N：導體

126、127：閘極選擇線

128：源極線

152、154、1303：層

200、220、901、1000：堆疊

202、208、222、224、300：圖

204：層間絕緣體

210、230、401、702、803：開孔

232、234：間距

302：第一側

304、306、602、801、1026、1028、1501：絕緣層

402、404、1070、1072、1074、1076：列

408：左側

410、412、414、416、418、420、422、424、1040、1042、1044  
、1046、1048、1050、1052、1054：著陸區

430、820、940、1055、1522、1524、1620：間距

432、1057：偏移量

704：接觸區域

705：側壁絕緣體

802、804、806、808、810、812、814、816、1502、1504、1506  
、1508、1510、1512、1514、1516、1518：層間導體

802.1、804.1、806.1、808.1、810.1、812.1、814.1、816.1、  
1502.1、1504.1、1506.1、1508.1、1510.1、1512.1、1514.1、  
1516.1、1518.1：層間導體延長部分

830、1305：表面

822、833：偏移距離

A、B、9C、9D、12：連線端點

906：源極選擇閘極

920：主動條

922、924、926、928、930、932、934、936、1602、1604、1606

、1608、1610、1612、1614、1616：內連導體

W1、W2、W3：寬度

1030：側邊

1080、1302：開孔

1301：絕緣填充材料

1302b、1302t：區域

Y1：長度

1700：流程圖

1702、1704、1706、1708：步驟

958、961、963：解碼器

959：位元線

960：陣列

962：字元線

964：源極選擇線

965、967：匯流排

966、968：區塊

969：狀態機

971：數據輸入線

972：數據輸出線

974：電路

201436193

975：積體電路



201436193

【序列表】



## 【發明申請專利範圍】

(1)

一種內連導體結構的製造方法，包括：

形成一襯墊堆疊，該襯墊堆疊與一電路之個別的主動層耦接；

形成複數個層間導體，該些層間導體在一X方向上延伸排列呈多列，且與該襯墊堆疊中的複數個襯墊對應之複數個著陸區接觸，相鄰之列在一Y方向上彼此分開，該Y方向垂直於該X方向，在同一列的該些層間導體間在該X方向上具有一第一間距，且在相鄰之列的該些層間導體間在該X方向上的偏移量，少於該第一間距；以及

形成複數個內連導體於該些層間導體上並與該些層間導體接觸，該些內連導體在該Y方向上延伸且具有一第二間距，該第二間距小於該第一間距。

(2)

如申請專利範圍第1項所述之內連導體結構的製造方法，包括在該襯墊堆疊中為該些層間導體形成N列開孔，其中N為大於2之整數。

(3)

如申請專利範圍第1項所述之內連導體結構的製造方法，其中該X方向平行於一第一側。

(4)

如申請專利範圍第1項所述之內連導體結構的製造方法，其中形成該些層間導體的步驟更包括：

在該襯墊堆疊上形成多列接點開孔，用以於該些主動層上曝露該些著陸區，使同一列的該些著陸區相對於相鄰之列的該些著陸區，在該Y方向上具有部

分偏移；

填充一絕緣材料於該些接點開孔；

於該些接點開孔之絕緣材料中形成複數個接觸開孔，以於該些著陸區上曝露該些接觸區域；及

形成該些層間導體於該些接觸開孔中。

(5)

如申請專利範圍第4項所述之內連導體結構的製造方法，其中在形成該些層間導體的步驟中，包括在一第一列中形成複數個層間導體延長部分於靠近該些層間導體上端的左側與右側其中之一，且在相鄰的第二列中形成複數個層間導體延長部分於靠近該些層間導體上端的左側與右側其中之另一。

(6)

如申請專利範圍第1項所述之內連導體結構的製造方法，其中該些內連導體沿該第一側的垂直方向延伸超過該襯墊堆疊。

(7)

如申請專利範圍第1項所述之內連導體結構的製造方法，其中形成該襯墊堆疊的步驟包括圖案化該些主動層，以形成平行的半導體材料條，該些半導體材料條各別終止於該些襯墊，以作為記憶單元的通道。

(8)

如申請專利範圍第1項所述之內連導體結構的製造方法，其中形成該襯墊堆疊的步驟包括圖案化該些主動層，以形成平行的半導體材料條，該些半導體材料條各別終止於該些襯墊，以作為記憶單元的字元線。

(9)

如申請專利範圍第1項所述之內連導體結構的製造方法，其中：

形成該些層間導體的步驟包括形成包含有複數個底部的層間導體與層間導體延長部分，該些層間導體延長部分從該些底部的上端延伸，該些層間導體延

長部分在該X方向上具有一層間導體延長部分寬度，該些底部的上端在該X方向上具有一上端寬度，該層間導體延長部分寬度小於該上端寬度，於相鄰之列的該些層間導體延長部分以一側邊偏移距離在該X方向上產生偏移，該側邊偏移距離大於該層間導體延長部分寬度；及  
形成該些內連導體於該些層間導體延長部分之上並接觸該些層間導體延長部分。

(10)

一種裝置，包括：

一襯墊堆疊，耦接於一電路之個別的主動層；

複數個層間導體，在一X方向上延伸排列呈多列，且與該襯墊堆疊中的襯墊對應之複數個著陸區接觸；

相鄰之列在一Y方向上彼此分開，該Y方向垂直於該X方向；

同一列的該些層間導體間在該X方向上具有一第一間距；

相鄰之列的該些層間導體間在該X方向上的偏移量，少於該第一間距；以及  
複數個內連導體，位於該些層間導體的上方並與該些層間導體接觸，該些內連導體在該Y方向上延伸且具有一第二間距，該第二間距小於該第一間距。

(11)

如申請專利範圍第10項所述之裝置，其中該些層間導體係被一絕緣填充物所圍繞。

(12)

如申請專利範圍第10項所述之裝置，其中該X方向平行於一第一側。

(13)

如申請專利範圍第10項所述之裝置，其中該些內連導體延伸超過該襯墊堆疊且垂直於該第一側。

(14)

如申請專利範圍第10項所述之裝置，其中該些內連導體包括一摻雜的半導體材料。

(15)

如申請專利範圍第10項所述之裝置，其中該些內連導體包括一金屬材料。

(16)

如申請專利範圍第10項所述之裝置，其中該些主動層包括平行的半導體材料條，該些半導體材料條終止於該些襯墊，以作為記憶單元的通道。

(17)

如申請專利範圍第10項所述之裝置，其中該些內連導體將該些主動層個別與一解碼電路或一讀取電路連接。

(18)

如申請專利範圍第10項所述之裝置，更包括：

該些層間導體包括複數個底部與層間導體延長部分，該些層間導體延長部分從該些底部的上端延伸；

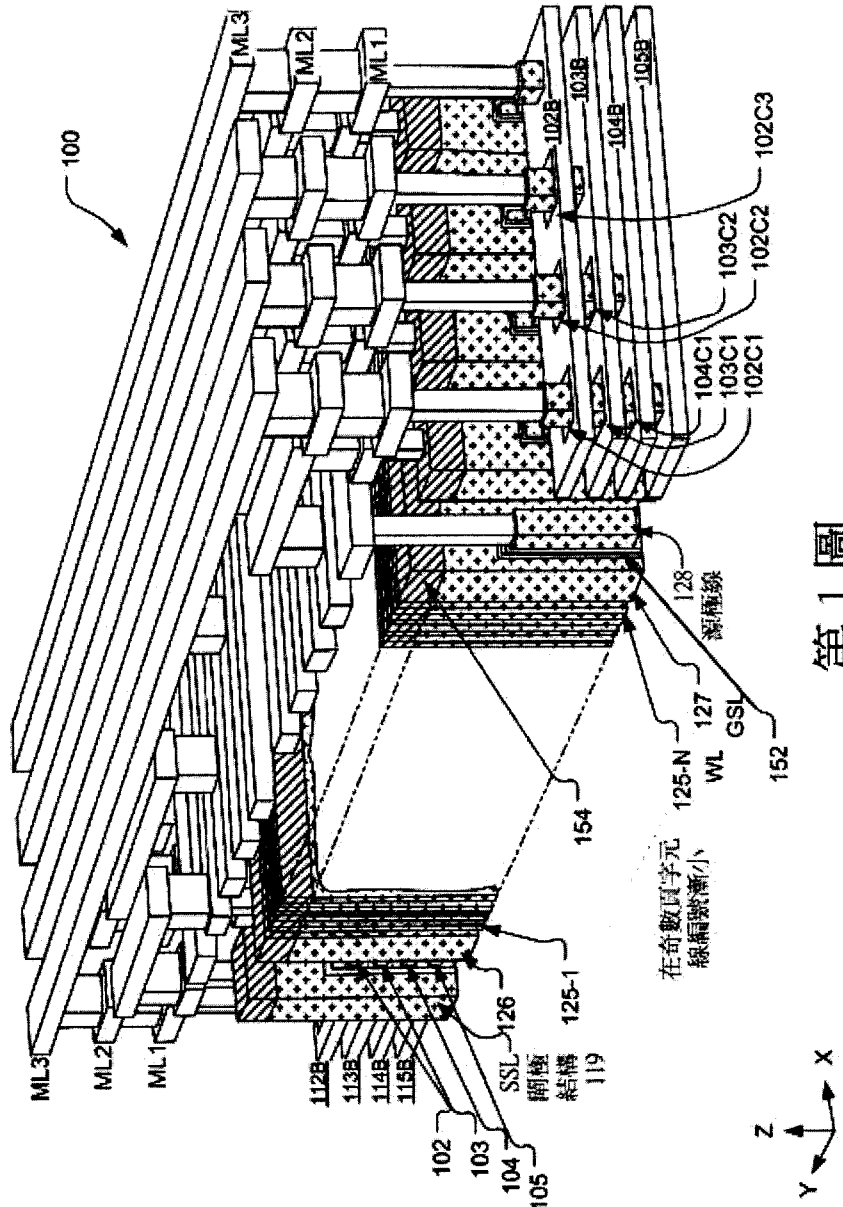
該些層間導體延長部分在該X方向上具有一層間導體延長部分寬度，該些底部的上端在該X方向上具有一上端寬度，該層間導體延長部分寬度小於該上端寬度；

於相鄰之列的該些層間導體延長部分以一側邊偏移距離在該X方向上產生偏移，該側邊偏移距離大於該層間導體延長部分寬度；及

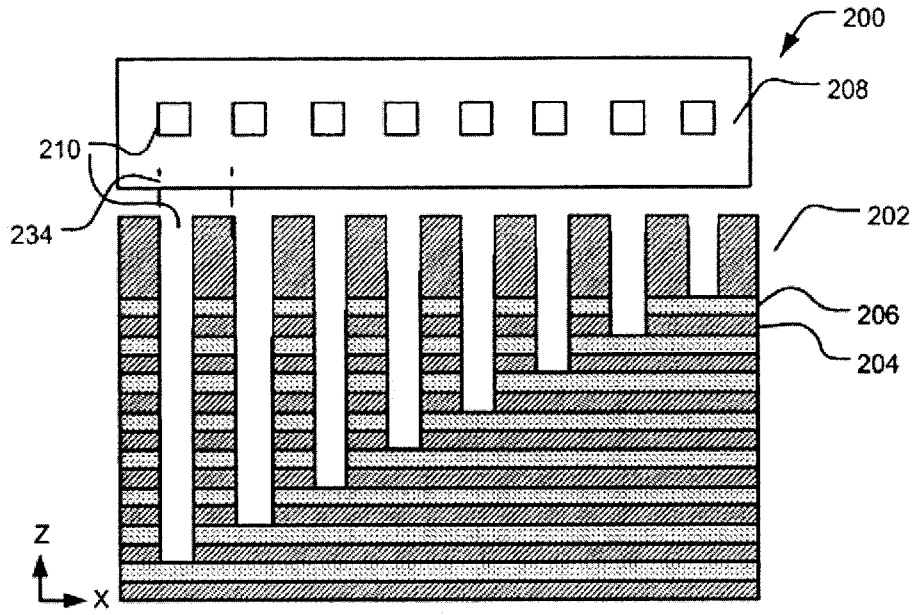
該些內連導體位於該些層間導體延長部分之上且接觸該些層間導體延長部分

。

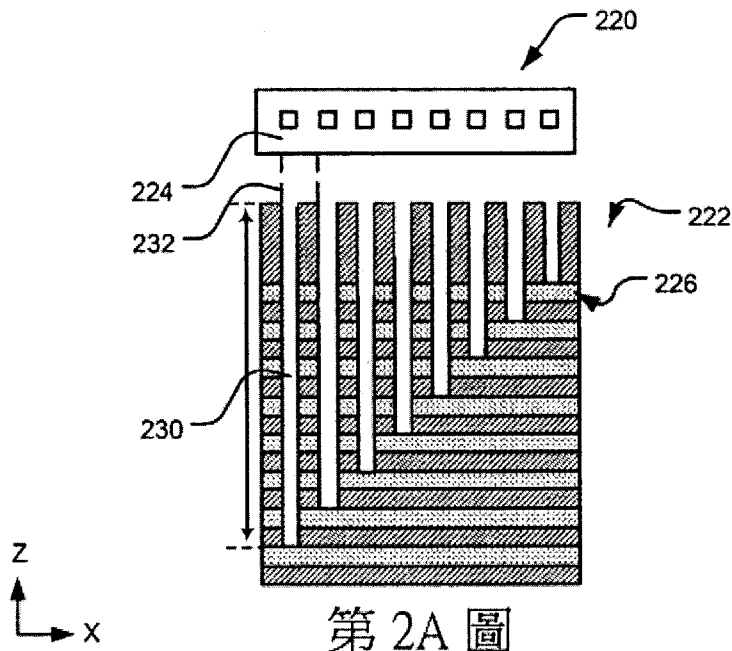
【發明圖式】



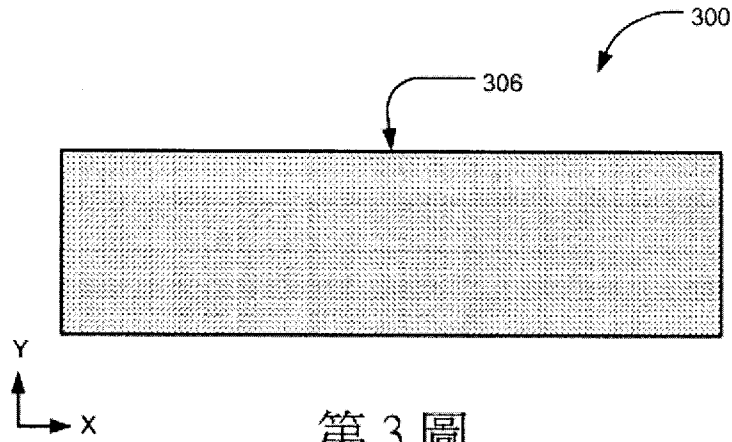
第1圖



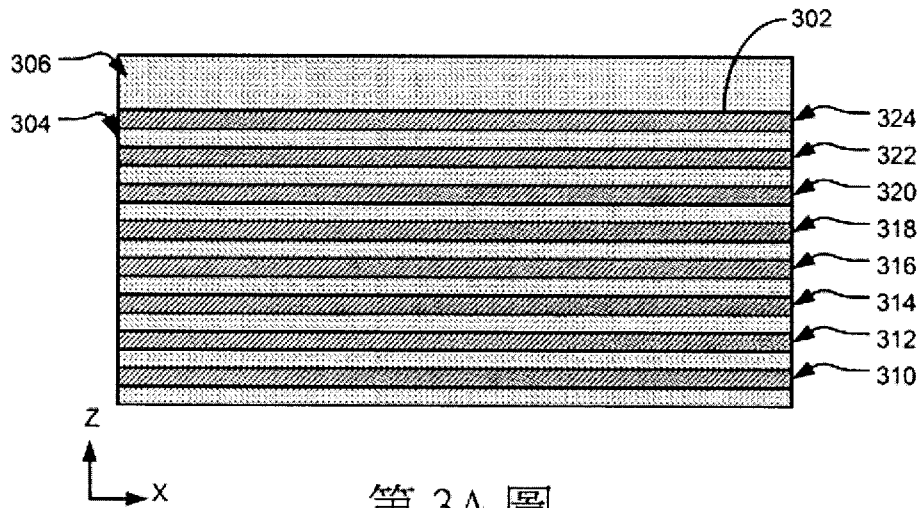
第 2 圖



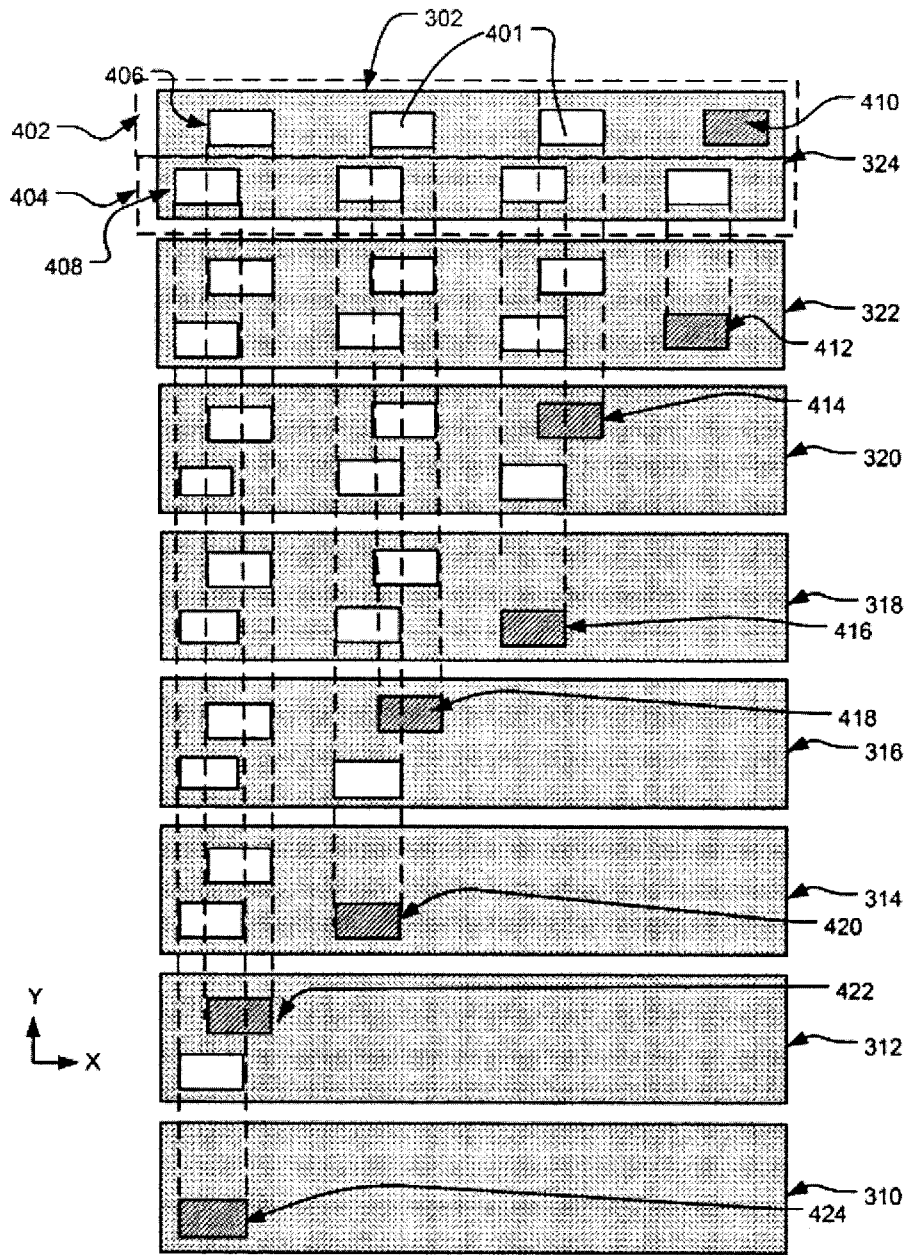
第 2A 圖



第 3 圖

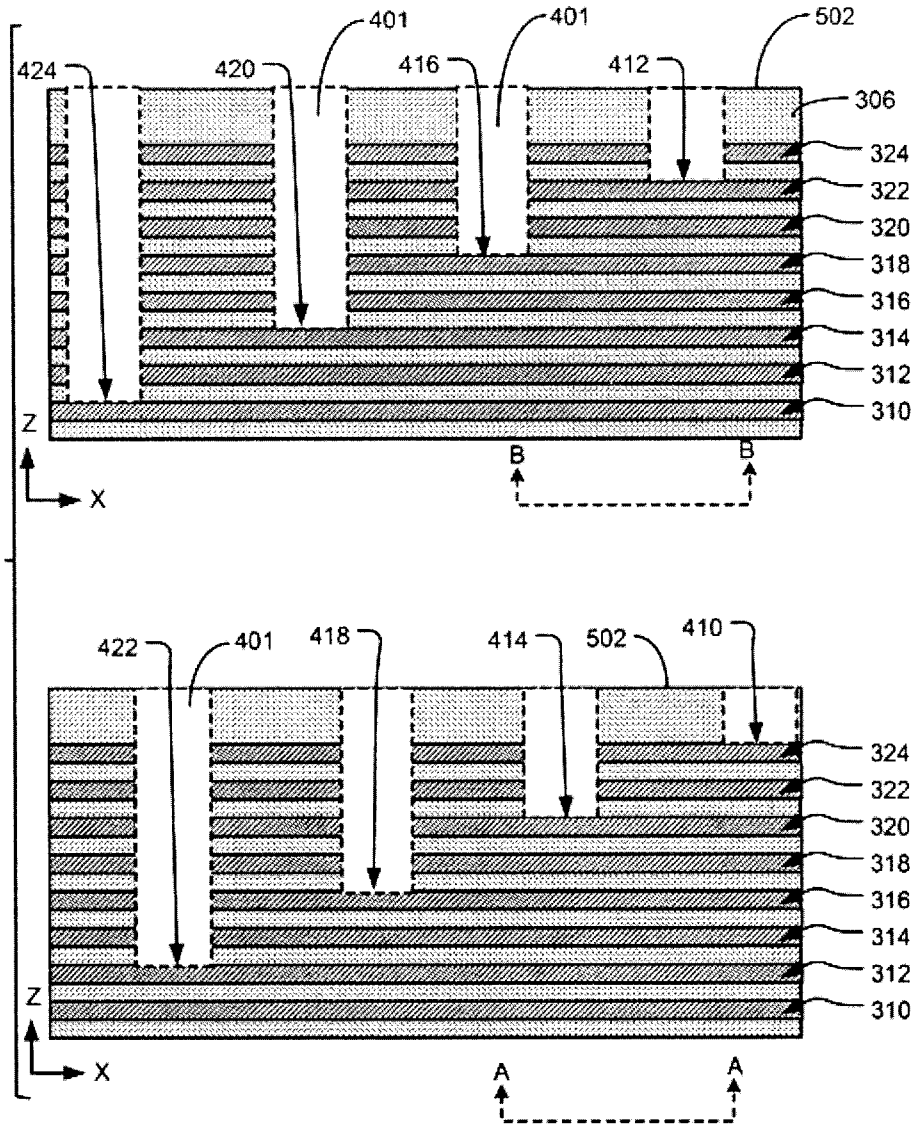


第 3A 圖

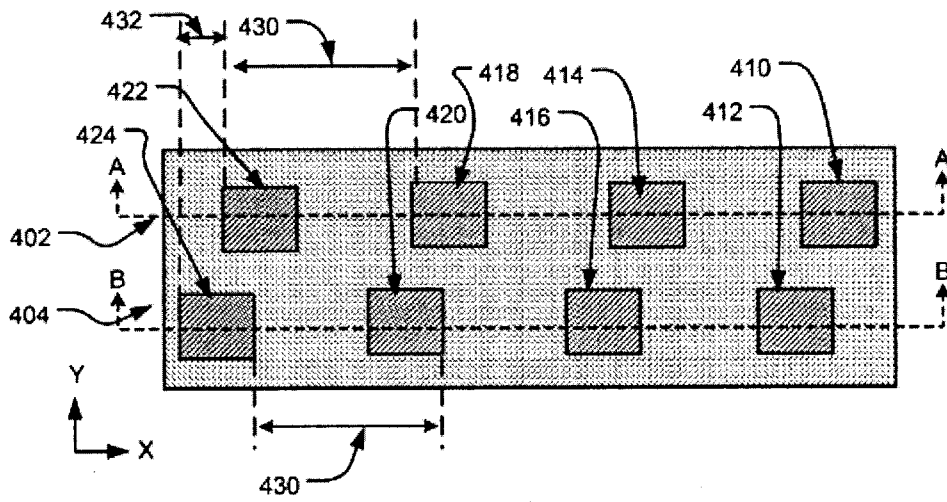


第 4 圖

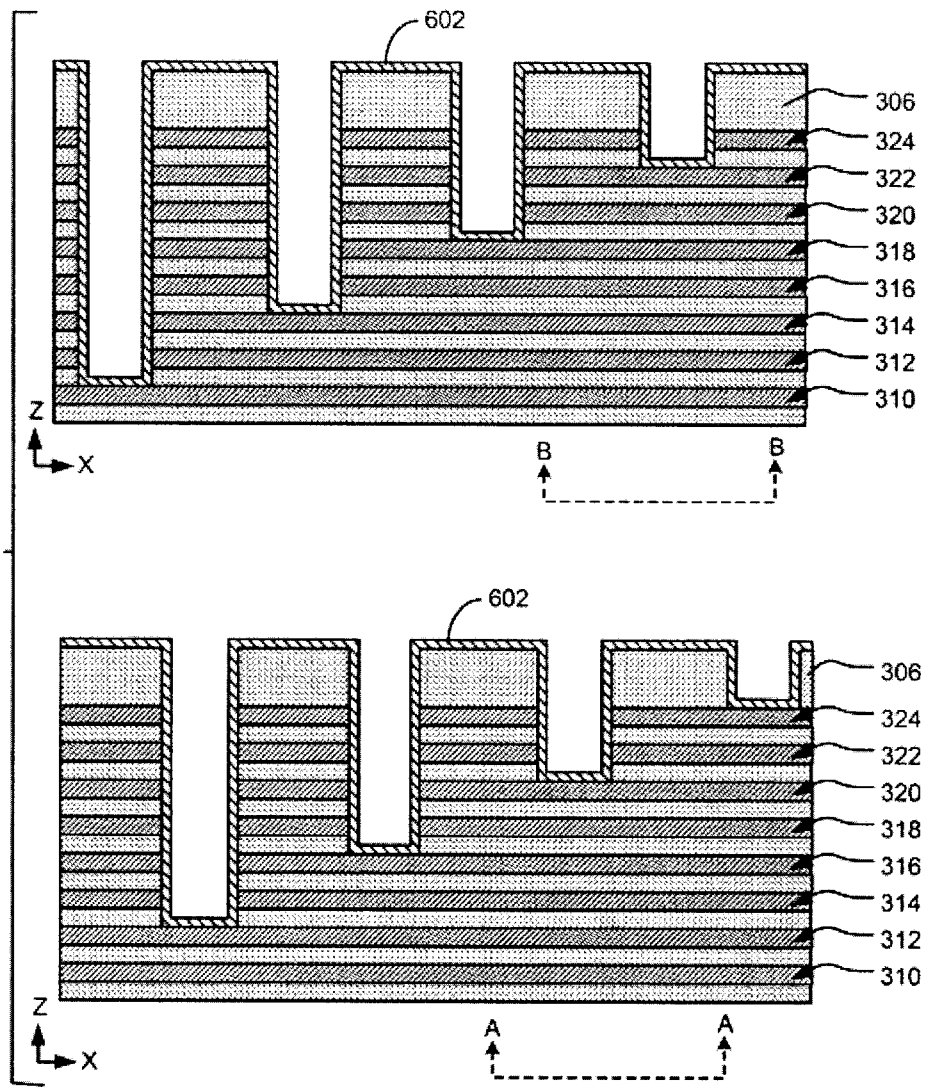




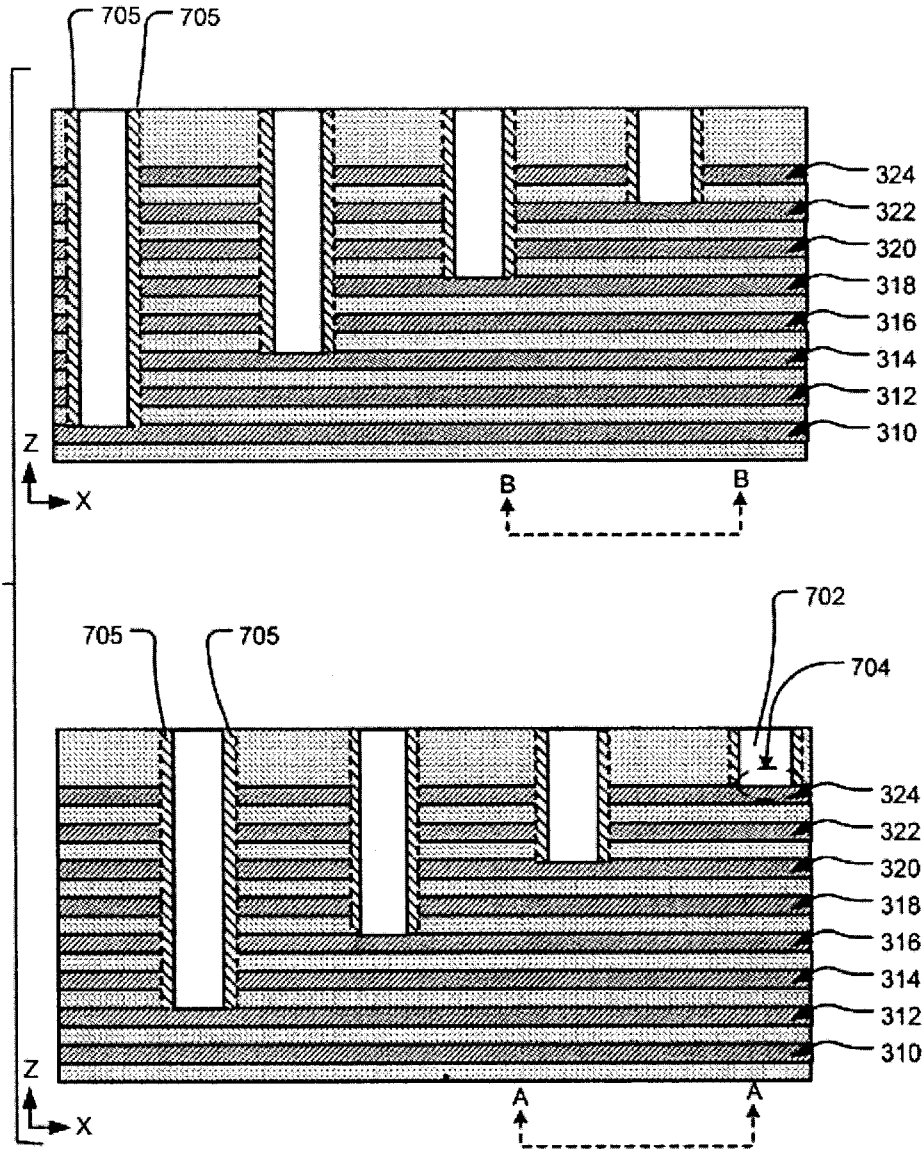
第 5 圖



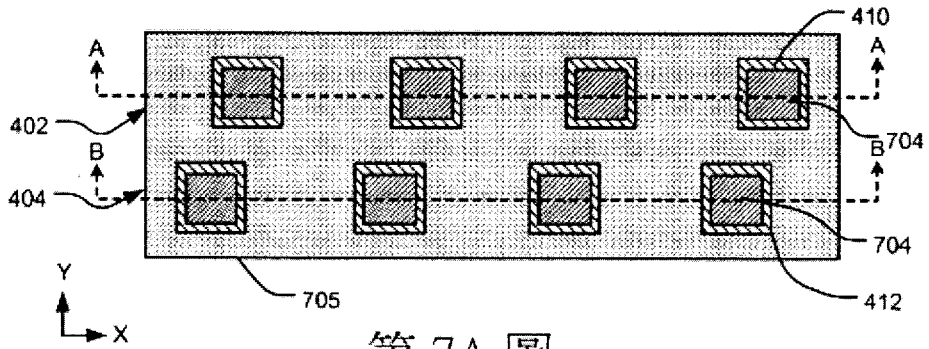
第 5A 圖



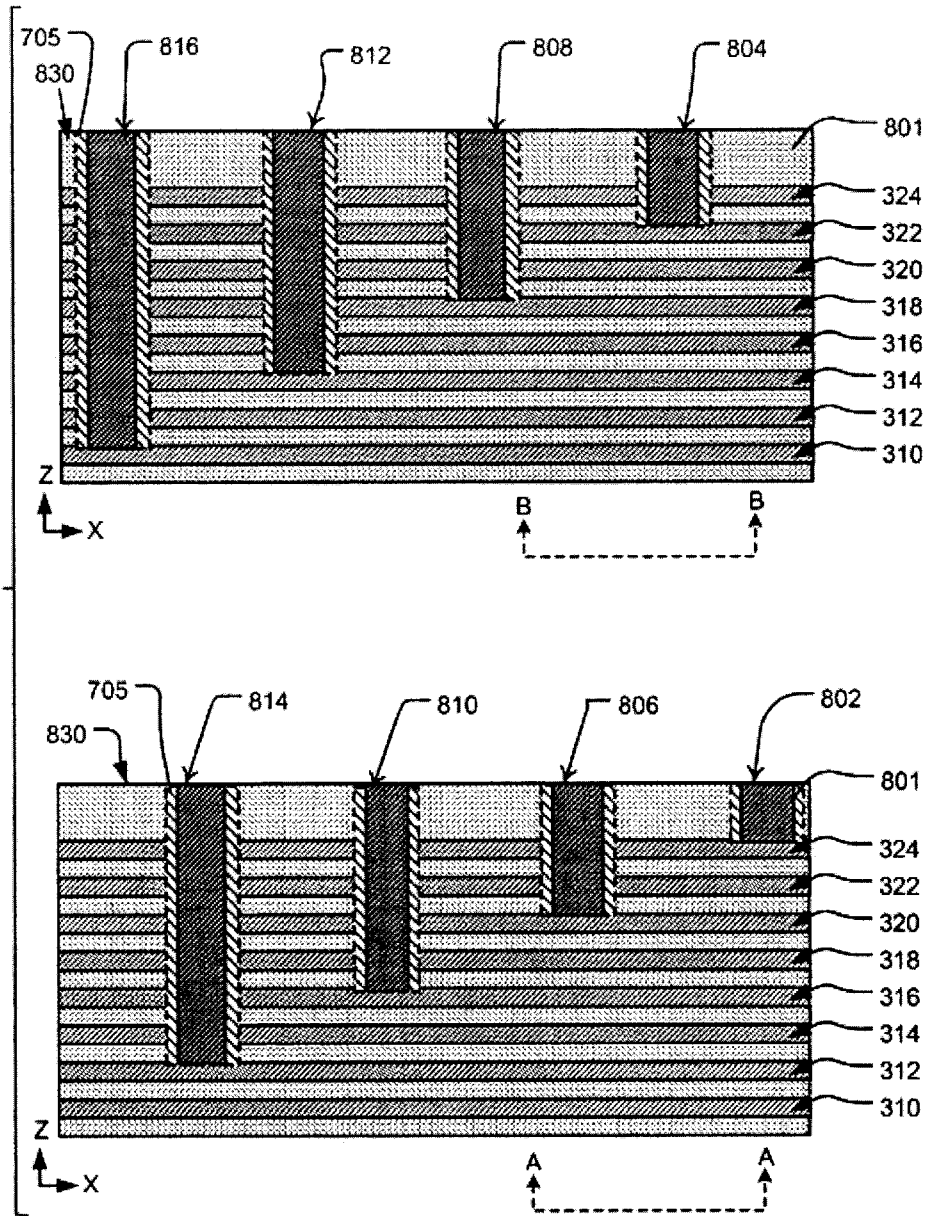
第 6 圖



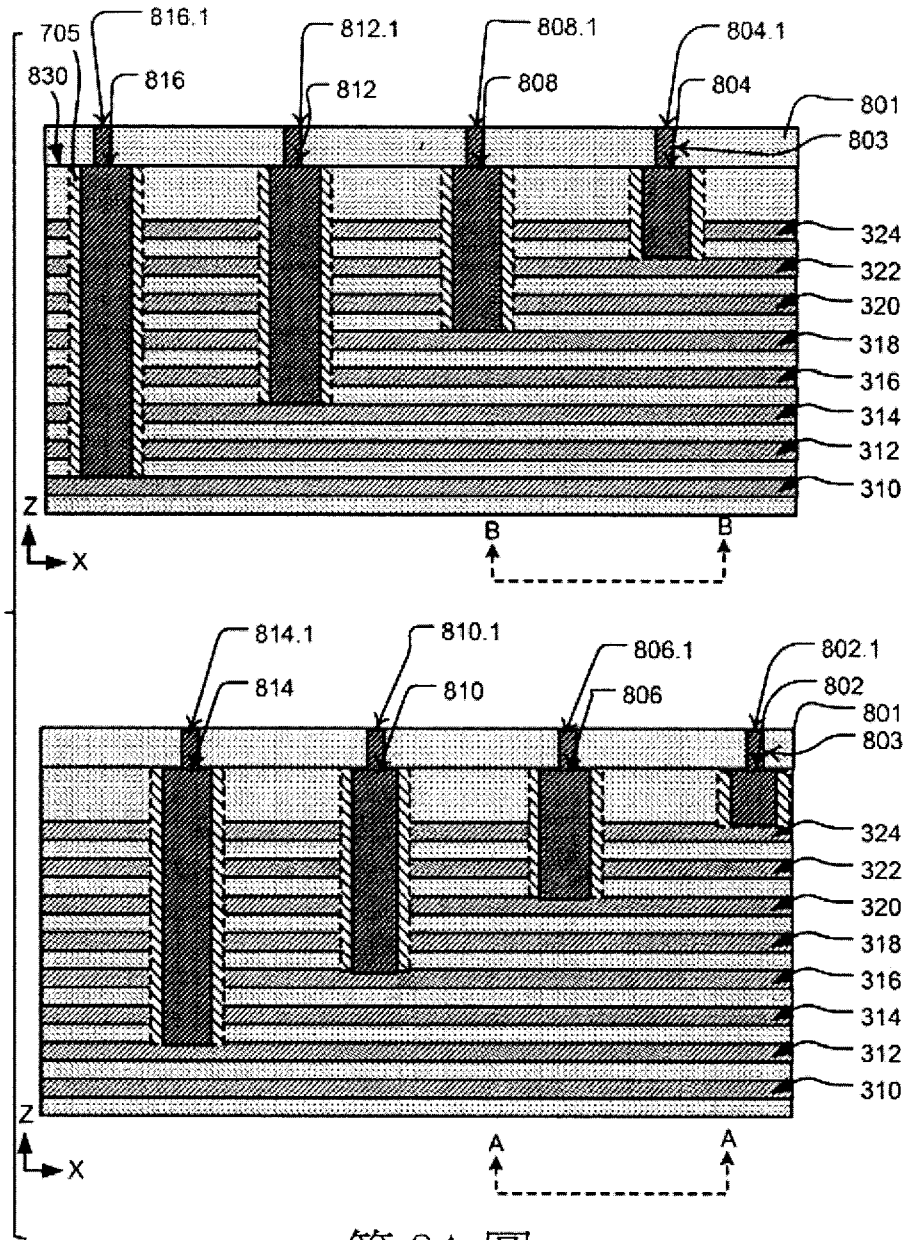
第 7 圖



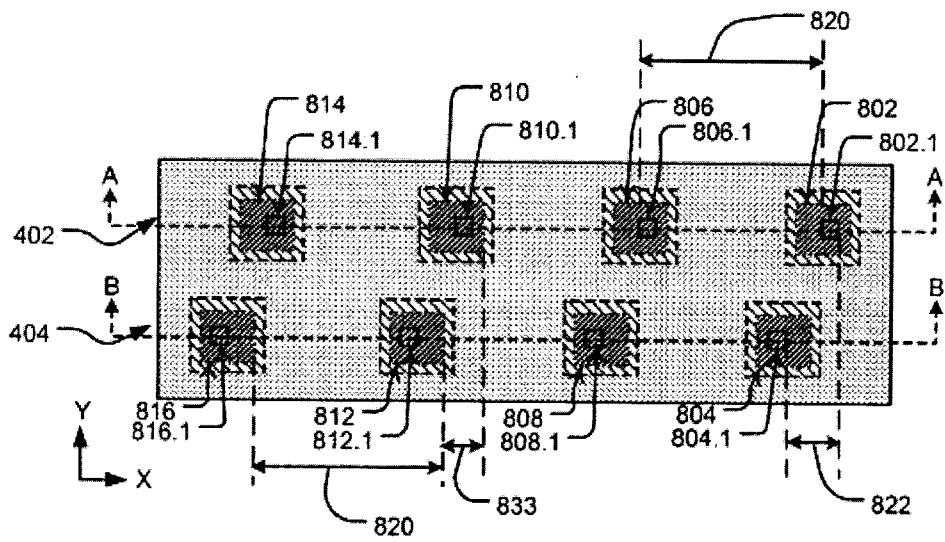
第7A圖



第 8 圖

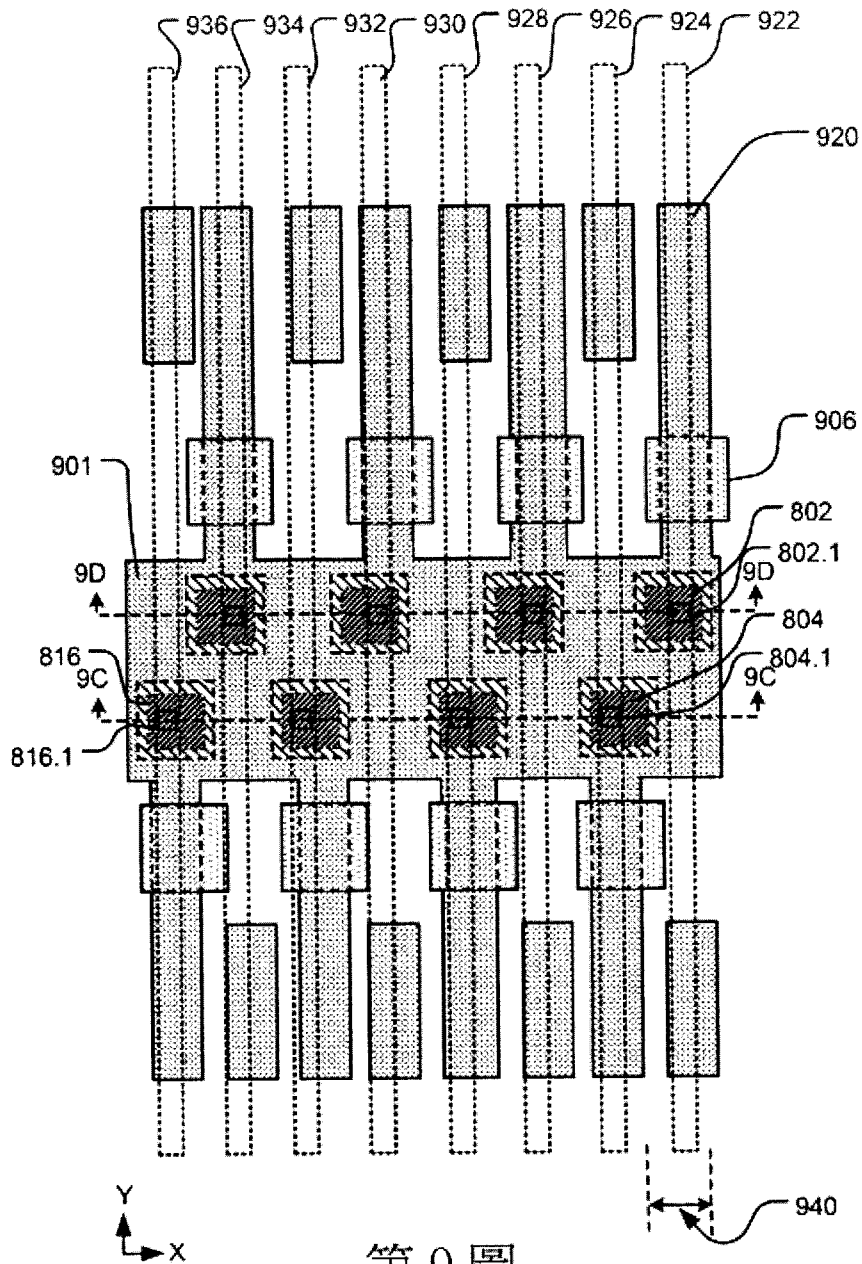


第 8A 圖

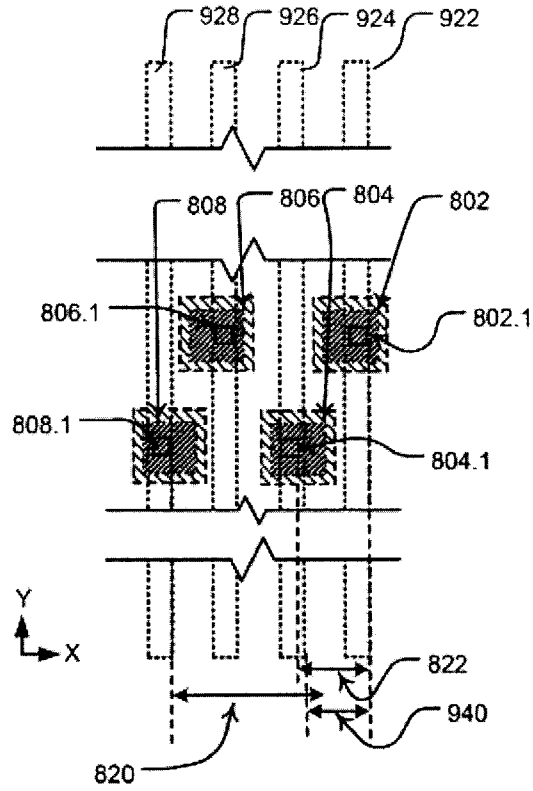


第 8B 圖

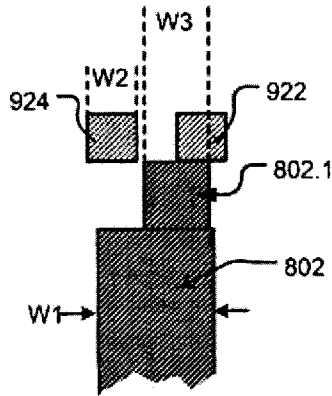




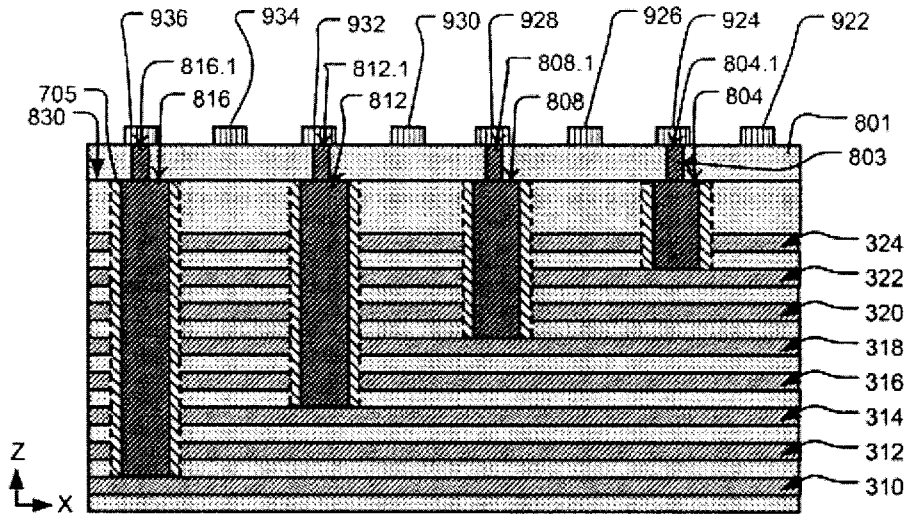
第 9 圖



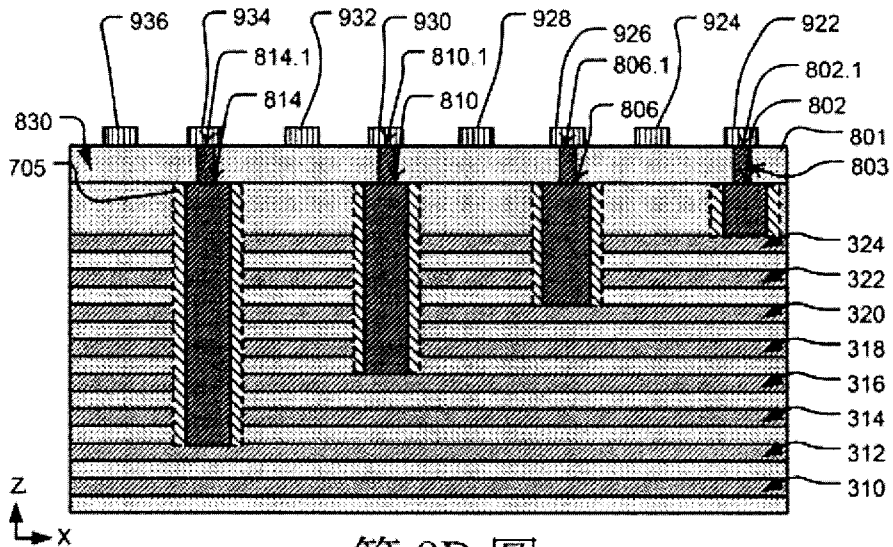
第9A圖



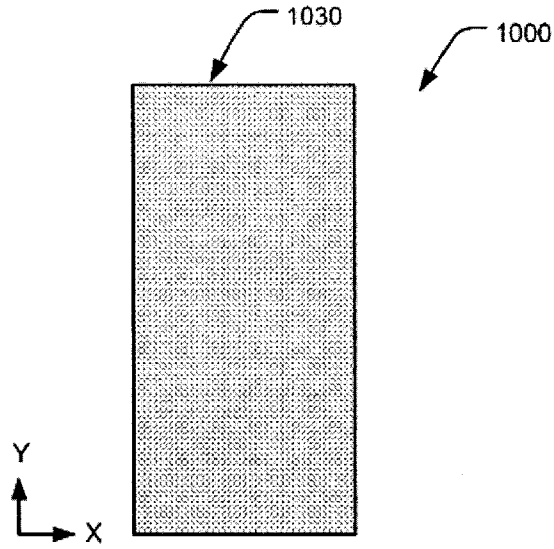
第9B圖



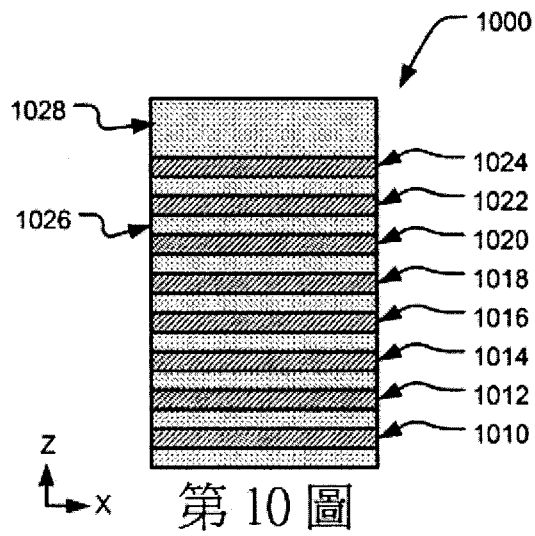
第9C圖



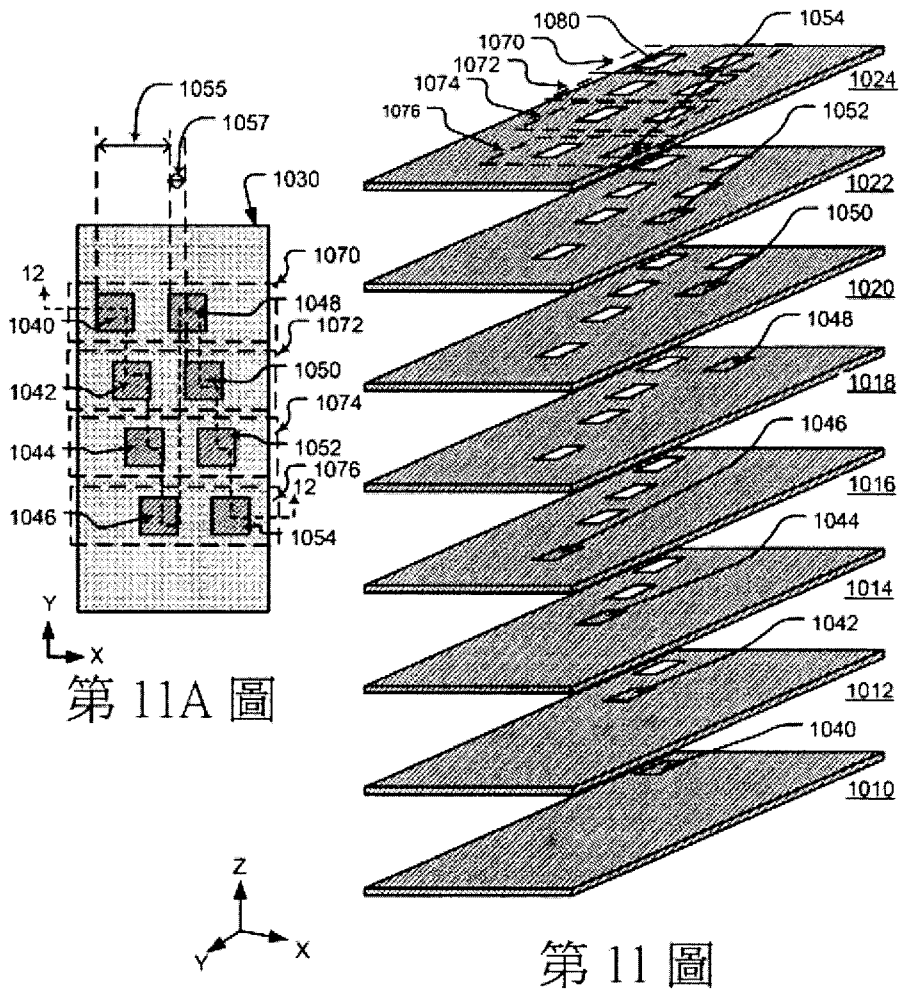
第9D圖

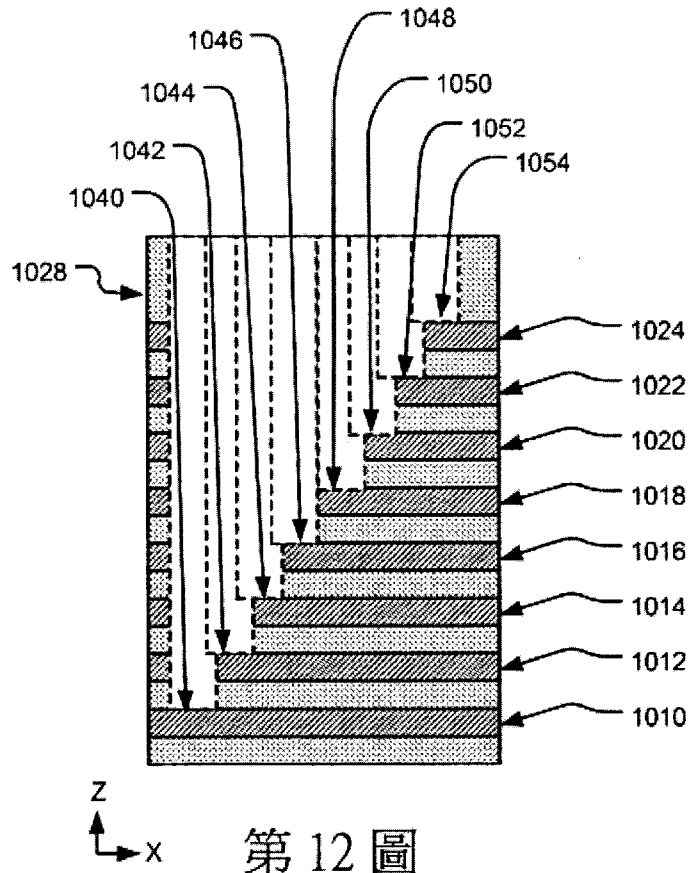


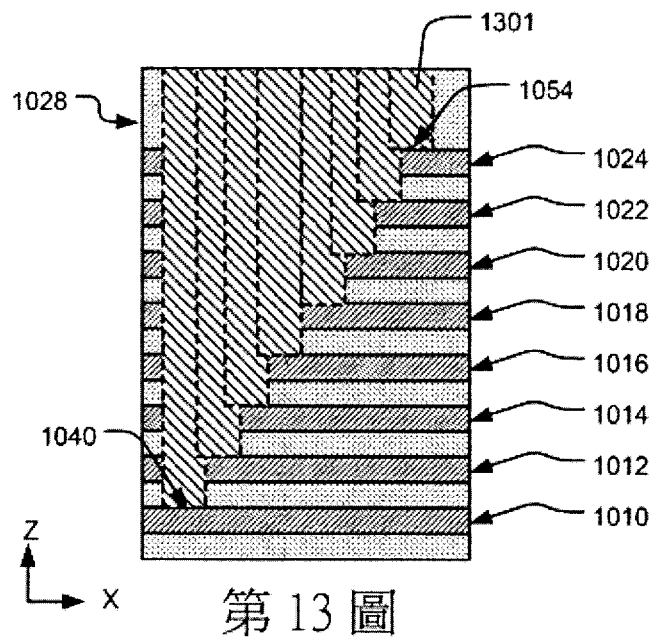
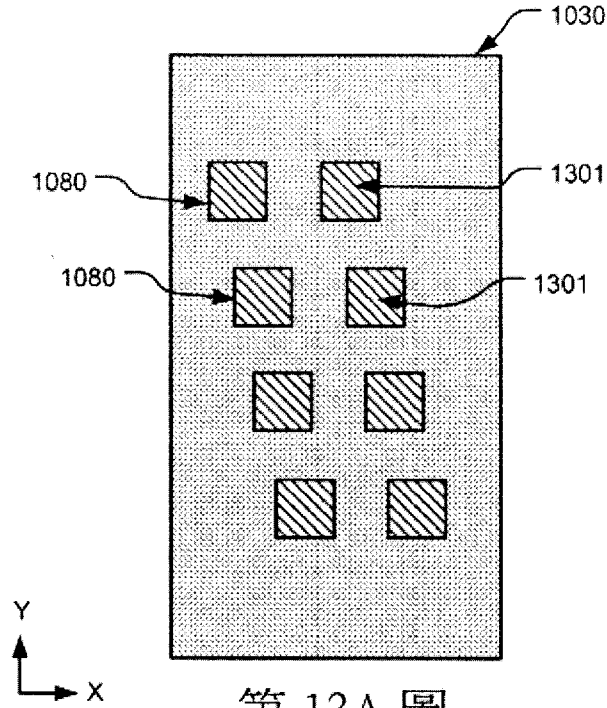
第 10A 圖

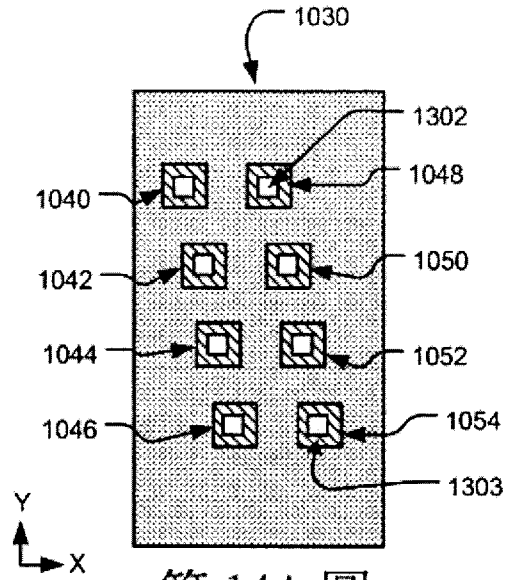


第 10 圖

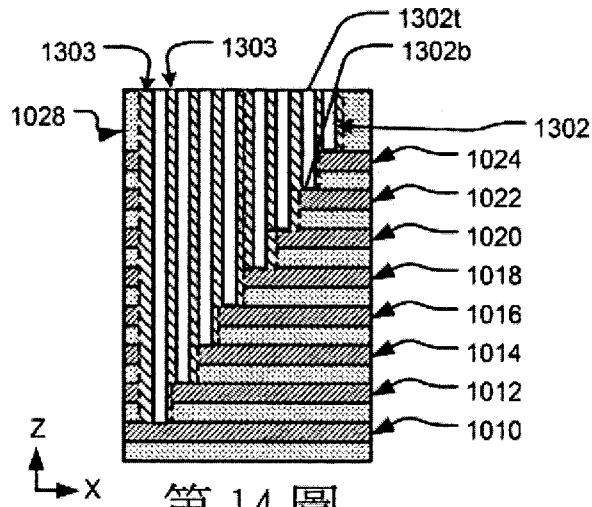






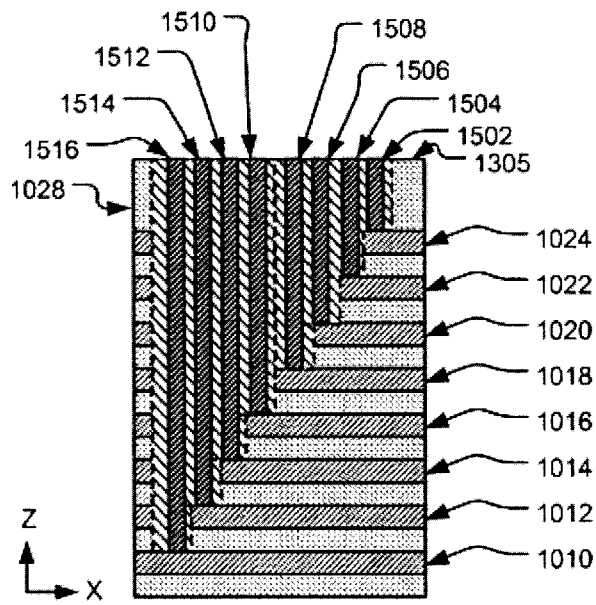


第 14A 圖

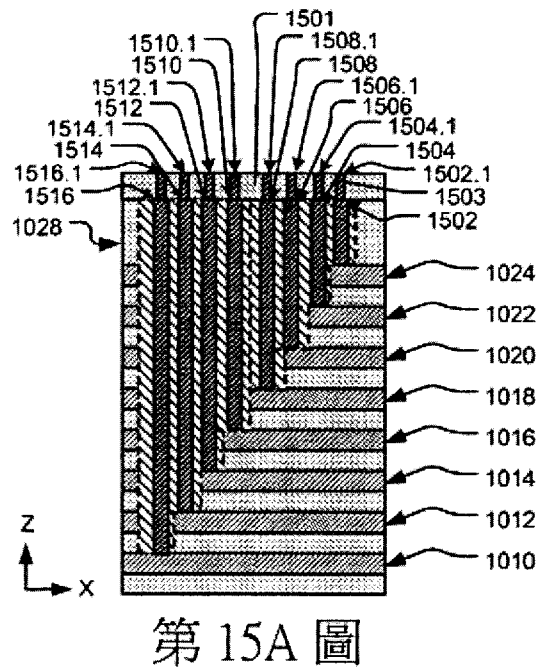
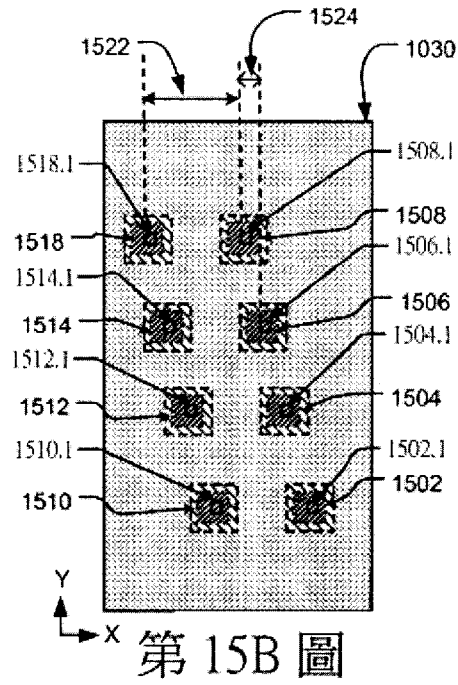


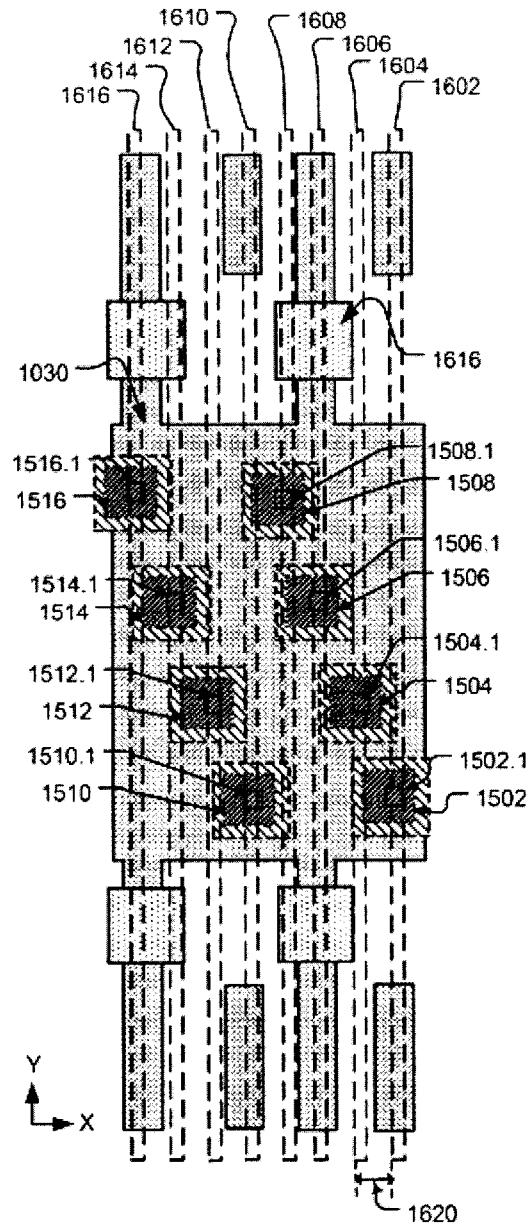
第 14 圖



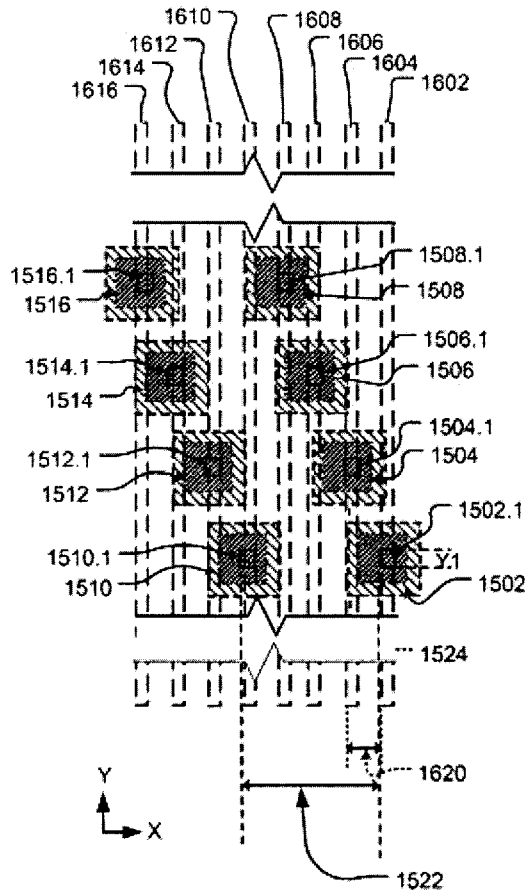


第 15 圖

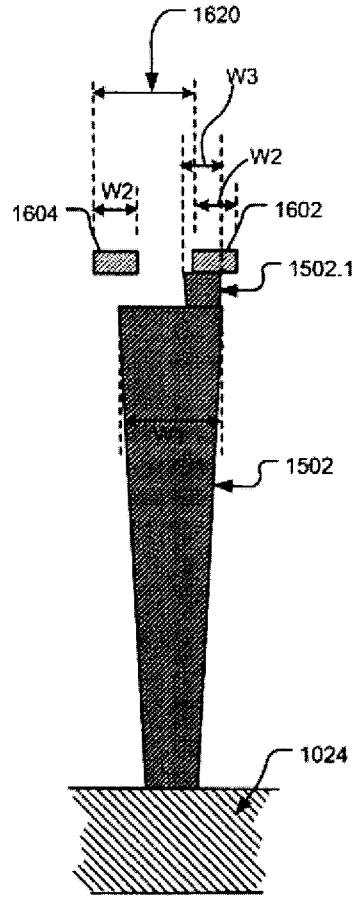




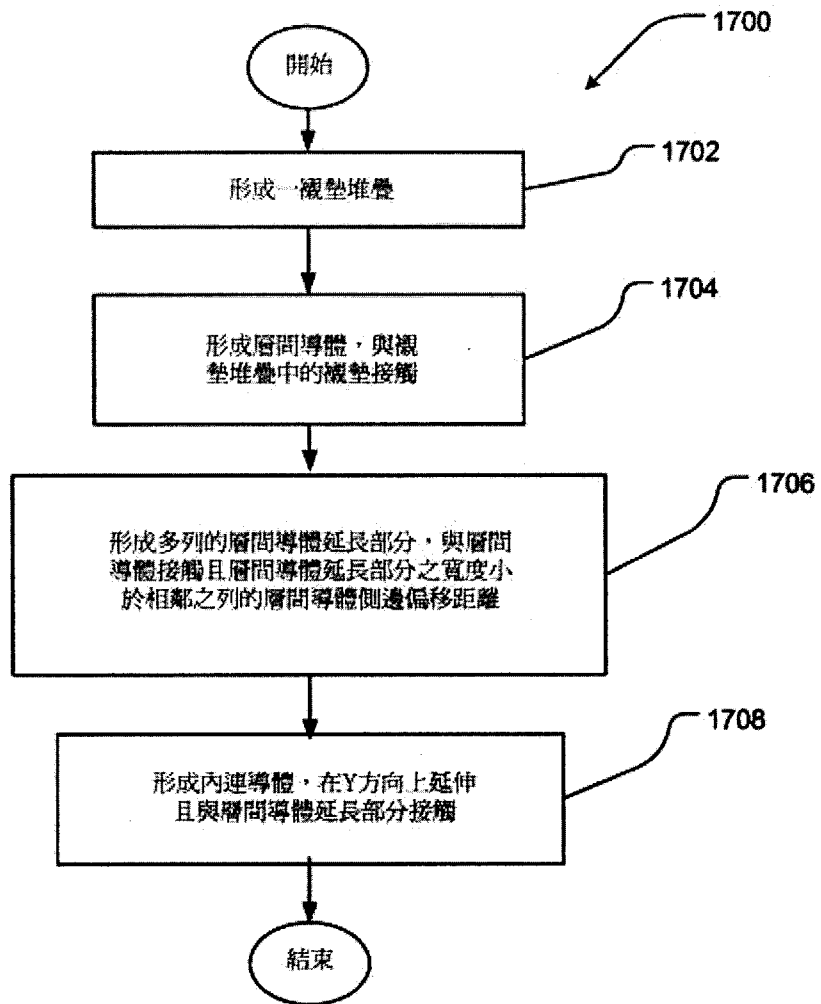
第 16 圖



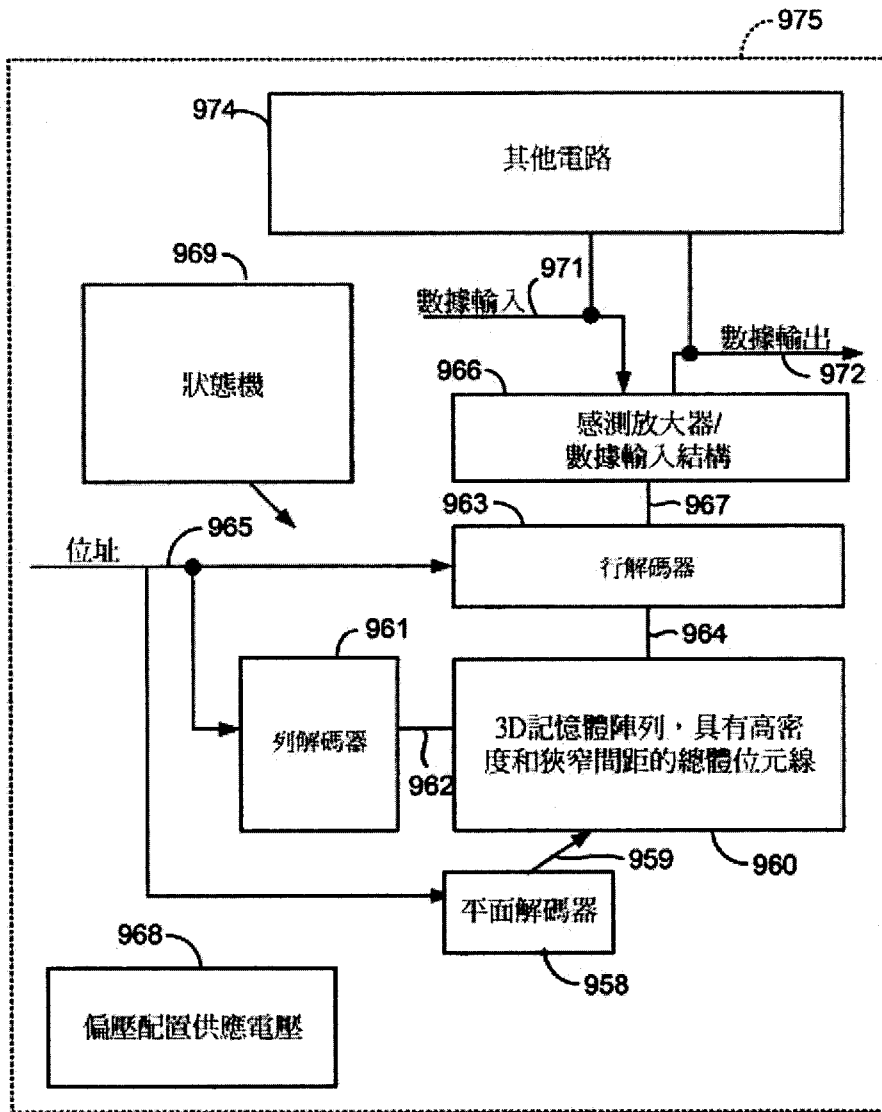
第 16A 圖



第 16B 圖



第 17 圖



第 18 圖