



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201314447 A1

(43)公開日：中華民國 102 (2013) 年 04 月 01 日

(21)申請案號：101117464

(22)申請日：中華民國 101 (2012) 年 05 月 16 日

(51)Int. Cl.：

G06F12/02 (2006.01)

G06F12/14 (2006.01)

G11C16/34 (2006.01)

(30)優先權：2011/05/17

美國

13/109,972

(71)申請人：桑迪士克科技公司 (美國) SANDISK TECHNOLOGIES INC. (US)

美國

(72)發明人：徐 喬納森 HSU, JONATHAN (US)；艾維拉 克里斯 恩格 奕 AVILA, CHRIS
NGA YEE (US)；馬 亞歷山大 國 同 MAK, ALEXANDER KWOK-TUNG
(US)；葛羅貝特斯 索吉 安那托里維屈 GOROBETS, SERGEY ANATOLIEVICH
(RU)；郭天健 KUO, TIEN CHIEN (TW)；辜怡立 KOH, YEE LIH (MY)；萬鈞
WAN, JUN (US)

(74)代理人：黃章典；樓穎智

申請實體審查：無 申請專利範圍項數：18 項 圖式數：15 共 49 頁

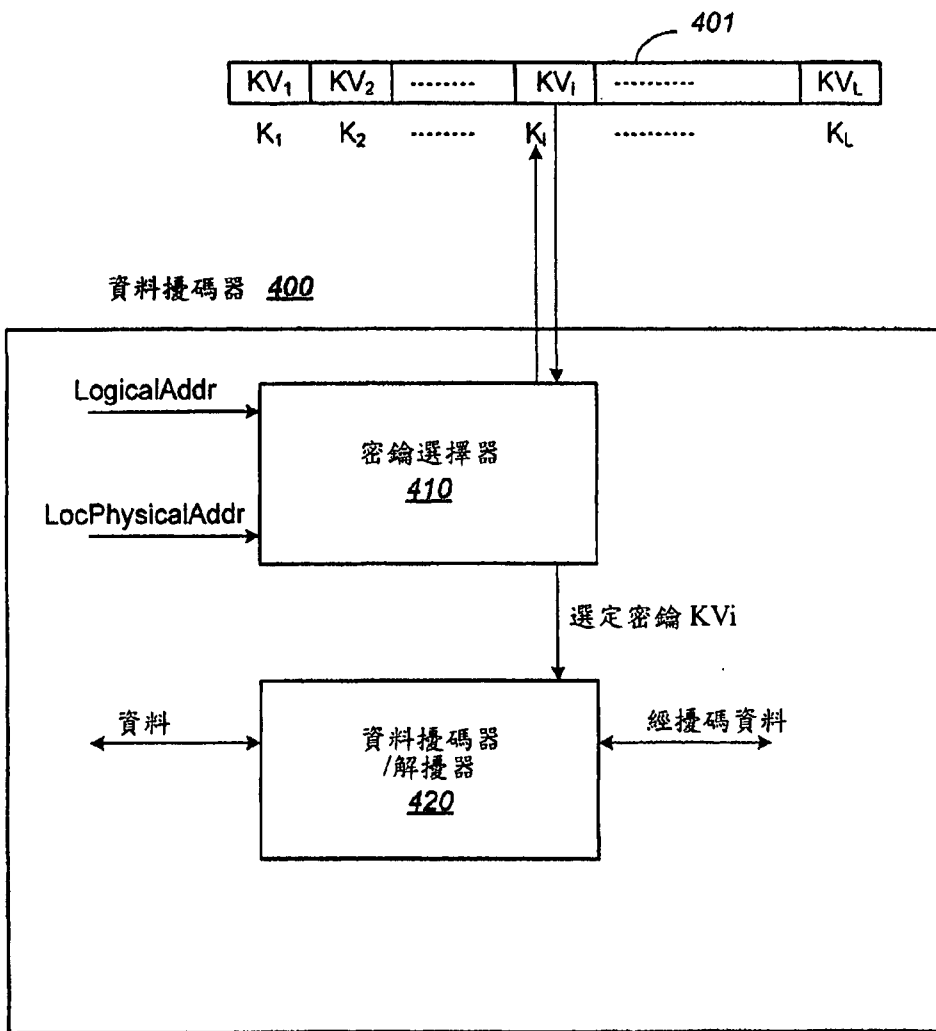
(54)名稱

具改善資料擾碼之非揮發性記憶體及方法

NON-VOLATILE MEMORY AND METHOD WITH IMPROVED DATA SCRAMBLING

(57)摘要

本發明揭示一種與一記憶體控制器協作之記憶體裝置，該記憶體裝置在將每一資料單元儲存於一非揮發性記憶體胞陣列中之前使用一選定擾碼密鑰將其擾碼。此有助於減小程式化干擾、使用者讀取干擾及由特定資料型樣之重複儲存及長期儲存引起之浮動閘極至浮動閘極耦合。針對具有一邏輯位址且用於儲存於一實體位址處之一既定資料頁，依據該邏輯位址及該實體位址兩者自其一有限序列選擇該密鑰。在一區塊管理方案中，將該記憶體陣列組織成抹除區塊，該實體位址係每一區塊中之相關頁編號。在將邏輯位址分組成邏輯群組且將其作為一群組操縱且每一群組可儲存至一子區塊中時，該實體位址係該子區塊中之該相關頁編號。



400 : 資料擾碼器

401 : 密鑰表

410 : 密鑰選擇器

420 : 資料擾碼器/解擾器/擾碼器/解擾

K_i : 密鑰編號

KV_i : 密鑰值



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201314447 A1

(43)公開日：中華民國 102 (2013) 年 04 月 01 日

(21)申請案號：101117464

(22)申請日：中華民國 101 (2012) 年 05 月 16 日

(51)Int. Cl. : **G06F12/02 (2006.01)**

G06F12/14 (2006.01)

G11C16/34 (2006.01)

(30)優先權：2011/05/17 美國

13/109,972

(71)申請人：桑迪士克科技公司 (美國) SANDISK TECHNOLOGIES INC. (US)

美國

(72)發明人：徐 喬納森 HSU, JONATHAN (US)；艾維拉 克里斯 恩格 奕 AVILA, CHRIS
NGA YEE (US)；馬 亞歷山大 國 同 MAK, ALEXANDER KWOK-TUNG
(US)；葛羅貝特斯 索吉 安那托里維屈 GOROBETS, SERGEY ANATOLIEVICH
(RU)；郭天健 KUO, TIEN CHIEN (TW)；辜怡立 KOH, YEE LIH (MY)；萬鈞
WAN, JUN (US)

(74)代理人：黃章典；樓穎智

申請實體審查：無 申請專利範圍項數：18 項 圖式數：15 共 49 頁

(54)名稱

具改善資料擾碼之非揮發性記憶體及方法

NON-VOLATILE MEMORY AND METHOD WITH IMPROVED DATA SCRAMBLING

(57)摘要

本發明揭示一種與一記憶體控制器協作之記憶體裝置，該記憶體裝置在將每一資料單元儲存於一非揮發性記憶體胞陣列中之前使用一選定擾碼密鑰將其擾碼。此有助於減小程式化干擾、使用者讀取干擾及由特定資料型樣之重複儲存及長期儲存引起之浮動閘極至浮動閘極耦合。針對具有一邏輯位址且用於儲存於一實體位址處之一既定資料頁，依據該邏輯位址及該實體位址兩者自其一有限序列選擇該密鑰。在一區塊管理方案中，將該記憶體陣列組織成抹除區塊，該實體位址係每一區塊中之相關頁編號。在將邏輯位址分組成邏輯群組且將其作為一群組操縱且每一群組可儲存至一子區塊中時，該實體位址係該子區塊中之該相關頁編號。

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：101117464

G06F 12/02 (2006.01)

※申請日：101. 5. 16

G06F 12/14 (2006.01)

※IPC 分類：G11C 16/34 (2006.01)

一、發明名稱：(中文/英文)

具改善資料擾碼之非揮發性記憶體及方法

NON-VOLATILE MEMORY AND METHOD WITH IMPROVED DATA SCRAMBLING

二、中文發明摘要：

本發明揭示一種與一記憶體控制器協作之記憶體裝置，該記憶體裝置在將每一資料單元儲存於一非揮發性記憶體胞陣列中之前使用一選定擾碼密鑰將其擾碼。此有助於減小程式化干擾、使用者讀取干擾及由特定資料型樣之重複儲存及長期儲存引起之浮動閘極至浮動閘極耦合。針對具有一邏輯位址且用於儲存於一實體位址處之一既定資料頁，依據該邏輯位址及該實體位址兩者自其一有限序列選擇該密鑰。在一區塊管理方案中，將該記憶體陣列組織成抹除區塊，該實體位址係每一區塊中之相關頁編號。在將邏輯位址分組成邏輯群組且將其作為一群組操縱且每一群組可儲存至一子區塊中時，該實體位址係該子區塊中之該相關頁編號。

三、英文發明摘要：

A memory device cooperating with a memory controller scrambles each unit of data using a selected scrambling key before storing it in an array of nonvolatile memory cells. This helps to reduce program disturbs, user read disturbs, and floating gate to floating gate coupling that result from repeated and long term storage of specific data patterns. For a given page of data having a logical address and for storing at a physical address, the key is selected from a finite sequence thereof as a function of both the logical address and the physical address. In a block management scheme the memory array is organized into erase blocks, the physical address is the relative page number in each block. When logical address are grouped into logical groups and manipulated as a group and each group is storable into a sub-block, the physical address is the relative page number in the sub-block.

四、指定代表圖：

(一)本案指定代表圖為：第 (8) 圖。

(二)本代表圖之元件符號簡單說明：

400	資料擾碼器
401	密鑰表
410	密鑰選擇器
420	資料擾碼器/解擾器/擾碼器/解擾
K_i	密鑰編號
KV_i	密鑰值

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本申請案係關於諸如半導體快閃記憶體之可再程式化非揮發性記憶體系統之操作，且更特定而言，係關於資料之有效擾碼以便避免可加劇記憶體胞間干擾之儲存於一記憶體陣列中之資料之規則型樣之發生。

【先前技術】

最近，具有非揮發性電荷儲存能力之固態記憶體(尤其係呈作為一小形式因數卡經封裝之EEPROM及快閃EEPROM形式之固態記憶體)已成為各種行動及手持裝置、特別係資訊用具及消費型電子產品中之儲存選擇。不同於同樣為固態記憶體之RAM(隨機存取記憶體)，快閃記憶體係非揮發性，且甚至在電源關斷之後亦保留其所儲存資料。此外，不同於ROM(唯讀記憶體)，快閃記憶體類似於一磁碟儲存裝置係可重寫的。儘管成本較高，但快閃記憶體正越來越多地用於大容量儲存應用中。基於旋轉磁性媒體之習用大容量儲存器(諸如硬碟機及軟碟)不適合於行動及手持環境。此乃因磁碟機往往趨於笨重，易於發生機械故障，且具有高延時及高電力要求。此等不期望屬性使得基於磁碟之儲存在大多數行動及可攜式應用中不切實際。另一方面，快閃記憶體(既係嵌入式又呈一可抽換卡形式兩者)由於其小的大小、低電力消耗、高速度以及高可靠性特徵而理想地適用於行動及手持環境中。

快閃EEPROM類似於EEPROM(電可抹除及可程式化唯讀

記憶體)，此乃因其係可抹除的且使新資料寫入或「程式化」至其記憶體胞中之一非揮發性記憶體。兩者皆在一場效應電晶體結構中利用一浮動(未連接)導電閘極，該浮動導電閘極在源極區與汲極區之間定位於一半導體基板中之一通道區上方。然後，在該浮動閘極上方提供一控制閘極。藉由該浮動閘極上所保留之電荷量控制該電晶體之臨限電壓特性。亦即，針對浮動閘極上之一既定電荷位準，在將電晶體「接通」以準許其源極區與汲極區之間的傳導之前存在必須施加至控制閘極之一對應電壓(臨限值)。特定而言，諸如快閃EEPROM之快閃記憶體允許同時抹除整個記憶體胞區塊。

浮動閘極可保持一電荷範圍且因此可程式化至一臨限電壓窗內之任一臨限電壓位準。藉由裝置之最小及最大臨限位準定界該臨限電壓窗之大小，而裝置之最小及最大臨限位準又對應於可程式化至該浮動閘極上之電荷範圍。臨限窗一般取決於記憶體裝置之特性、操作條件及歷史。原則上，該窗內之每一不同可解析臨限電壓位準範圍皆可用於指定該記憶體胞之一明確記憶體狀態。

在當前市售產品中，一快閃EEPROM陣列中之每一儲存元件藉由以一個二進位模式操作來儲存一單個資料位元係常見的，其中將儲存元件電晶體之兩個臨限位準範圍定義為儲存位準。電晶體之臨限位準對應於其儲存元件上所儲存之電荷位準之範圍。除縮小記憶體陣列之大小以外，亦趨於藉由在每一儲存元件電晶體中儲存一個以上資料位元

來進一步增加此等記憶體陣列之資料儲存密度。此係藉由為每一儲存元件電晶體定義兩個以上臨限位準作為儲存狀態來實現，現在市售產品中包含四個此類狀態(每一儲存元件2個資料位元)。亦實施更多儲存狀態，諸如每一儲存元件16個狀態。每一儲存元件記憶體電晶體皆具有可在其中實際操作之一特定臨限電壓總範圍(窗)，且將彼範圍劃分成針對其所定義之狀態數目加上該等狀態之間的限度，以允許其能夠明顯地彼此區別。顯然，一記憶體胞經組態以儲存之位元越多，其須在其中操作之錯誤限度越小。

充當一記憶體胞之電晶體通常藉由兩種機制中之一者程式化至一「經程式化」狀態。在「熱電子注入」中，施加至汲極之一高電壓跨越基板通道區使電子加速。同時，施加至控制閘極之一高電壓透過一薄閘極電介質將熱電子拉動至浮動閘極上。在「隧穿注入」中，相對於基板將一高電壓施加至控制閘極。以此方式，將電子自基板拉動至介入之浮動閘極。雖然以往已使用術語「程式化」來闡述藉由將電子注入至記憶體胞之一最初經抹除電荷儲存單元以便變更該記憶體狀態來寫入至一記憶體，但現在其已可與諸如「寫入」或「記錄」等更常見術語交替使用。

可藉由若干種機制抹除記憶體裝置。對於EEPROM而言，藉由相對於控制閘極將一高電壓施加至基板以便誘使浮動閘極中之電子隧穿一薄氧化物至基板通道區(亦即，傅勒-諾德翰隧穿(Fowler-Nordheim tunneling))來電抹除一記憶體胞。通常，可逐位元組地抹除EEPROM。對於快閃

EEPROM而言，記憶體係可一次電抹除其全部或每一次電抹除一或多個最小可抹除區塊，其中一最小可抹除區塊可係由一或多個磁區組成且每一磁區可儲存512個位元組或更多之資料。

記憶體裝置通常包括可安裝於一卡上之一或多個記憶體晶片。每一記憶體晶片皆包括周邊電路(諸如，解碼器以及抹除、寫入及讀取電路)所支援之一記憶體胞陣列。更複雜之記憶體裝置亦帶有執行智慧及較高階記憶體操作及介接之一控制器。

現今正使用諸多商業上成功之非揮發性固態記憶體裝置。此等記憶體裝置可係快閃EEPROM或可採用其他類型之非揮發性記憶體胞。在第5,070,032號、第5,095,344號、第5,315,541號、第5,343,063號及第5,661,053號、第5,313,421號及第6,222,762號美國專利中給出快閃記憶體及系統以及其製造方法之實例。特定而言，第5,570,315號、第5,903,495號、第6,046,935號美國專利中闡述具有NAND串結構之快閃記憶體裝置。此外，亦自具有用於儲存電荷之一電介質層之記憶體胞製造非揮發性記憶體裝置。使用一電介質層替代早先所闡述之導電浮動閘極元件。利用電介質儲存元件之此等記憶體裝置已由Eitan等人之「NRROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell」(IEEE Electron Device Letters, 第21卷, 第11期, 2000年11月, 第543頁至545頁)闡述。一ONO電介質層跨越源極擴散與汲極擴散之間的通道而延伸。一個資

料位元之電荷局部化於毗鄰於汲極之電介質層中，且另一資料位元之電荷局部化於毗鄰於源極之電介質層中。舉例而言，第5,768,192號及第6,011,725號美國專利揭示具有夾在兩個二氧化矽層之間的一陷獲電介質之一非揮發性記憶體胞。多狀態資料儲存係藉由單獨讀取該電介質內之在空間上分離之電荷儲存區之二進位狀態來實施。

NAND記憶體及程式化干擾

NAND記憶體易於發生資料相依性相關程式化干擾。在目標字線之程式化無意程式化毗鄰字線時發生程式化干擾，從而造成潛在的資料損毀。資料相依性可使程式化干擾問題更糟糕，且有問題型樣中之一者可係同一資料針對NAND鏈重複。

美國專利7,885,112揭示非揮發性記憶體中基於一區塊中之頁位移位址之晶片上隨機化方案。

仍存在對更靈活方案之一個一般需求以將儲存於一非揮發性記憶體中之資料擾碼以幫助避免將加劇程式化干擾問題之有問題資料型樣。

【發明內容】

根據本發明之一項一般態樣，與一記憶體控制器協作之一記憶體裝置在將每一資料單元儲存於一非揮發性記憶體胞陣列中之前使用一選定擾碼密鑰將其擾碼。針對具有一邏輯位址且用於儲存於一實體位址處之一既定資料頁，依據該邏輯位址及一經定位實體位址兩者自其一有限序列選擇密鑰。

特定而言，其中記憶體具有一區塊管理方案，記憶體陣列組織成抹除區塊，且在將邏輯位址分組成邏輯群組且將其作為一群組操縱且每一群組可儲存至一子區塊中時，實體位址係子區塊中之相關頁編號。以此方式，在一邏輯群組重新定位至另一記憶體位置時，完成對群組界限之複製（亦即，逐子區塊地）。可以邏輯群組之經擾碼狀態將其複製至新位置。在新位置處回讀邏輯群組時，可使用同一擾碼密鑰來執行解擾，此乃因該群組中之每一頁之邏輯位址未改變，亦不具有其經定位實體位址。資料在一記憶體陣列中自一個實體位置至另一個實體位置之重新定位係在摺疊至多位階記憶體(MLC)之前(諸如)用於廢棄項目收集及用於在單位階記憶體(SLC)中快取之一共同內部記憶體操作。

該實體位址係與一邏輯頁群組之界限對準之一經定位實體位址，預期該邏輯頁群組作為一單元重新定位至記憶體之任一部分。在一特定實施例中，密鑰之有限序列之長度係 L 且經定位實體位址具有一長度 N ，且藉由 $[(\text{邏輯位址}) \bmod L + (\text{實體位址}) \bmod N] \bmod L$ 給出選定密鑰之序列號。

在另一項實施例中，藉由選擇性地反轉預定實體位址進一步隨機化選定密鑰之序列號。

資料在儲存於記憶體陣列中之前的擾碼幫助減小程式化干擾、使用者讀取干擾及由特定資料型樣之重複儲存及長期儲存引起之浮動閘極至浮動閘極耦合。本發明係用以針對一記憶體達成資料擾碼之一計算方案及記憶體高效方

案。特定而言，基於具有符合一區塊管理系統所定義之邏輯群組之一界限之相對實體位址之密鑰選擇允許個別邏輯群組重新定位至記憶體陣列中之另一實體位置而無須在處理程序中針對每一資料單元改變密鑰，此乃因相對位址保持相同。取決於邏輯位址與經定位實體位址兩者進行密鑰選擇克服僅使用邏輯群組大小所定義之一小組密鑰之缺陷。

自下文對本發明之較佳實施例之闡述將理解本發明之額外目標、特徵及優點，應結合隨附圖式來領會此闡述。

【實施方式】

記憶體系統

圖1圖解說明與其中體現本發明之特徵之一記憶體裝置通信之一主機。主機80通常發送欲儲存於記憶體裝置90處之資料或藉由讀取記憶體裝置90擷取資料。記憶體裝置90包含由一記憶體控制器102管理之一或多個記憶體晶片100。記憶體晶片100包含記憶體胞之一記憶體陣列200，其中每一記憶體胞能夠組態為用於儲存多個資料位元之一多位階記憶體胞(「MLC」)以及能夠組態為用於儲存1個資料位元之一單位階記憶體胞(「SLC」)。記憶體晶片亦包含諸如列解碼器及行解碼器、感測模組、資料鎖存器及I/O電路之周邊電路204。一晶片上控制電路110控制每一晶片之低階記憶體操作。控制電路110係與周邊電路協作以對記憶體陣列200執行記憶體操作之一晶片上控制器。控制電路110通常包含一狀態機112以經由一資料匯流排

231以及控制及位址匯流排111提供記憶體操作之晶片級控制。

在諸多實施方案中，主機80經由記憶體控制器102與記憶體晶片100通信且互動。控制器102與記憶體晶片協作且控制並管理較高階記憶體操作。一韌體60提供用以實施控制器102之功能之碼。一錯誤校正碼(「ECC」)處理器62在記憶體裝置之操作期間處理ECC。

舉例而言，在一主機寫入中，主機10以自主機之作業系統之一檔案系統分配之邏輯磁區之形式發送欲寫入至記憶體陣列100之資料。控制器中所實施之一記憶體區塊管理系統將該等磁區分級且將其映射及儲存至記憶體陣列之實體結構。美國專利申請公開案US-2010-0172180-A1號中揭示一較佳區塊管理系統，該美國專利申請公開案之全部揭示內容以引用方式併入本文中。

實體記憶體架構

為改善讀取及程式化效能，並行地讀取或程式化一陣列中之多個電荷儲存元件或記憶體電晶體。因此，一起讀取或程式化一記憶體元件「頁」。在現有記憶體架構中，一列通常含有數個交錯頁或其可構成一個頁。將一起讀取或程式化一頁之所有記憶體元件。

圖2圖解說明組織成(舉例而言) NAND組態之經並行感測或程式化之一記憶體胞頁。圖2實質上展示圖1之記憶體陣列200中之一NAND串50記憶體庫。一「頁」(諸如頁60)係能夠被並行感測或程式化之一記憶體胞群組。此係藉由

感測放大器 210 之一對應頁在周邊電路中完成。所感測之結果鎖存於資料鎖存器 220 之一對應組中。每一感測放大器可經由一位元線 36 耦合至一 NAND 串 (諸如 NAND 串 50)。舉例而言，頁 60 係沿一列且藉由施加至該頁之該等記憶體胞之共同連接至字線 WL3 之控制閘極之一感測電壓予以感測。沿每一行，每一記憶體胞 (諸如記憶體胞 10) 可藉由一感測放大器經由一位元線 36 予以存取。資料鎖存器 220 中之資料可經由一資料 I/O 匯流排 231 雙態切換至記憶體控制器 102 中或自記憶體控制器 102 雙態切換出。

以上所提及之頁係一實體頁記憶體胞或感測放大器。取決於上下文，在每一記憶體胞儲存多位元資料之情形中，每一實體頁具有多個資料頁。

NAND 串 50 係一系列記憶體電晶體 10，一系列記憶體電晶體 10 藉由其源極及汲極鏈連接以在其兩個端處分別形成一源極端子及一汲極端子。一對選擇電晶體 S1、S2 分別經由該 NAND 串之源極端子及汲極端子控制至外部之記憶體電晶體鏈連接。在一記憶體陣列中，在源極選擇電晶體 S1 接通時，源極端子耦合至一源極線 34。類似地，在汲極選擇電晶體 S2 接通時，NAND 串之汲極端子耦合至記憶體陣列之一位元線 36。該鏈中之每一記憶體電晶體 10 充當一記憶體胞。其具有一電荷儲存元件 20 以儲存一既定電荷量以便表示一預期記憶體狀態。每一記憶體電晶體之一控制閘極允許對讀取及寫入操作進行控制。一系列 NAND 串之對應記憶體電晶體之控制閘極全部連接至同一字線 (諸如

WL0、WL1、...)。類似地，選擇電晶體S1、S2(分別經由選擇線SGS及SGD存取)中之每一者之一控制閘極分別經由其源極端子及汲極端子提供對NAND串之控制存取。

圖3係圖2之周邊電路中之讀取/寫入電路之一功能方塊圖。讀取/寫入電路206包含感測放大器212、資料鎖存器230及一共同處理器250。I/O電路耦合至資料鎖存器且未明確展示，惟一資料I/O匯流排231除外。在所展示之實施例中，感測放大器及資料鎖存器並行地組織成係一頁之一子組之讀取/寫入堆疊206，其中每一堆疊經由位元線1至k服務於k個記憶體胞。存在複數個此等讀取/寫入堆疊以並行地服務於該整頁。以此方式，用於頁之共同處理器250之數目減小。每一堆疊206含有一感測放大器212-1至212-k堆疊及一資料鎖存器430-1至430-k堆疊。該感測放大器堆疊及該資料鎖存器堆疊共用能夠處理其當中之資料之共同處理器250。感測放大器212經由一匯流排211與共同處理器250通信。資料鎖存器220經由一匯流排221與共同處理器250通信。在任何一個時間，共同處理器250處理關於一既定記憶體胞之資料。舉例而言，針對耦合至位元線1之記憶體胞，對應感測放大器212-1將自記憶體胞所感測之資料鎖存於一感測放大器鎖存器(SA鎖存器214-1)中。類似地，對應資料鎖存器220-1組儲存與耦合至位元線1之記憶體胞相關聯之輸入或輸出資料。在較佳實施例中，該組資料鎖存器220-1包括一組資料鎖存器224-0、...、224-q或分別係用於儲存(q+1)個資訊位元之DL0、DL1、...、

DLq。讀取/寫入堆疊206藉由晶片上控制電路經由控制及位址匯流排111予以控制且經由資料I/O匯流排231與記憶體控制器102交換資料(亦參見圖1)。

記憶體胞頁共用一共同字線且該頁之每一記憶體胞經由位元線耦合至一感測放大器。在讀取或寫入記憶體胞頁時，其亦稱作自與該記憶體胞頁相關聯之字線讀取或寫入至與該記憶體胞頁相關聯之該字線。類似地，將與該記憶體胞頁相關聯之資料稱作一資料頁。

在2006年6月29日公佈之美國專利申請公開案US-2006-0140007-A1中已闡述了此等讀取/寫入電路，該專利申請公開案之全部揭示內容以引用方式併入本文中。

抹除區塊

快閃記憶體與其他類型之記憶體之間的一個重要差異在於必須自經抹除狀態程式化一記憶體胞。亦即，必須首先將浮動閘極放空電荷。然後，程式化將一期望電荷量回添至該浮動閘極。其不支援自浮動移除電荷之一部分以自一經程式化程度較高之狀態變為一經程式化程度較低之狀態。此意味著更新資料無法覆寫現有資料且必須寫入至一先前未經寫入之位置。

此外，抹除係自浮動閘極放空所有電荷且一般要花費可觀的時間。出於彼原因，逐記憶體胞或甚至逐頁抹除將係麻煩的且極慢。實際上，記憶體胞陣列劃分成大量記憶體胞區塊。如對於快閃EEPROM系統所常見，區塊係抹除單元。亦即，每一區塊含有一起抹除之最小數目個記憶體

胞。

圖 4 示意性地圖解說明組織成可抹除區塊之一記憶體陣列之一實例。電荷儲存記憶體裝置之程式化僅可造成添加更多電荷至其電荷儲存元件。因此，在一程式化操作之前，必須移除(或抹除)一記憶體胞之電荷儲存元件中之現有電荷。在一整個記憶體胞陣列 200 或記憶體胞陣列之顯著群組一起電抹除(亦即，在一瞬間)時，將一非揮發性記憶體(諸如 EEPROM)稱為一「快閃」EEPROM。一旦經抹除，則該記憶體胞群組可被重新程式化。可一起抹除之記憶體胞群組可係由一或多個可定址抹除單元 300 組成。抹除單元或區塊 300 通常儲存一或多個資料頁，該頁係程式化及讀取之一最小單元，但可在一單個操作中程式化或讀取一個以上頁。每一頁通常儲存一或多個資料磁區，該磁區之大小係藉由主機系統定義。一實例係遵循一標準與磁碟機一起建立之 512 個位元組之使用者資料之一磁區，加上關於該使用者資料及/或其所儲存之區塊之某一數目個位元組之附加資訊。

在圖 4 中所展示之實例中，可藉由字線 42 (諸如 WL0 至 WL_y)及位元線 36 (諸如 BL0 至 BL_x)存取記憶體陣列 200 中之個別記憶體胞。該記憶體組織成抹除區塊，諸如抹除區塊 0、1、...m。若 NAND 串 50 (參見圖 2)含有 16 個記憶體胞，則將藉由選擇線 44 及字線 42 (諸如 WL0 至 WL15)存取陣列中之第一 NAND 串記憶體庫。抹除區塊 0 經組織以使第一 NAND 串記憶體庫之所有記憶體胞一起抹除。在記憶體架

構中，一個以上NAND串記憶體庫可一起抹除。

單位階(SLC)及多位階(MLC)記憶體胞

如早前所闡述，非揮發性記憶體之一實例係由一場效應電晶體陣列形成，每一場效應電晶體在其通道區與其控制閘極之間具有一電荷儲存層。該電荷儲存層或單元可儲存一電荷範圍，從而針對每一場效應電晶體產生一臨限電壓範圍。可能的臨限電壓範圍橫跨一臨限窗。當將該臨限窗分割成多個臨限電壓子範圍或區時，每一可解析之區用於表示一記憶體胞之一不同記憶體狀態。可由一或多個二進位位元編碼多個記憶體狀態。在SLC記憶體中，每一記憶體胞儲存一個資料位元。在MLC記憶體中，每一記憶體胞儲存一個以上資料位元。

隨機化資料型樣以最小化程式化干擾

使用資料擾碼來隨機化資料以便避免資料相依性。在將預期資料發送至NAND快閃200之前透過控制器102 (參見圖1)中之一密鑰對其進行擾碼。在回讀資料時，則藉助同一密鑰對其進行解擾。為映射正確的密鑰，控制器可使用資料之實體位址或者使用資料之邏輯位址。

圖5圖解說明針對每一密鑰編號儲存擾碼密鑰值之一密鑰表。舉例而言，密鑰表401儲存於記憶體陣列之一系統部分中。在操作中，將密鑰表401作為密鑰值(KV_i)之一有序序列擷取至一暫存器中，其中該序列中之每一位置係由一密鑰編號(K_i)標記。在一項實施例中，每一密鑰值可如「0」或「1」一樣簡單。若存在L個密鑰，則其按順序儲

存於該暫存器中且可將該暫存器中之位置視為密鑰編號。
一般而言，如下擾碼及解擾一資料單元：

經擾碼資料 = $T(\text{密鑰值})$ 解擾資料，其中 T 係依據密鑰值之變換函數。

經解擾資料 = $T^{-1}(\text{密鑰值})$ 經擾碼資料，其中 T^{-1} 係逆變換。

在一項實施例中，變換函數可如取決於密鑰值係「0」還是「1」反轉還是不反轉資料單元中之位元一樣簡單。

使用一區塊內之實體位置判定欲使用之密鑰之實體位址映射係簡單直接的。然而，此方法之一般應用具有限制性，如舉例而言，在希望將資料自該區塊之一個實體位置(字線)移動至另一區塊之一不同實體位置時。由於位置不同，因此須將資料讀出至控制器、解擾且然後取決於新實體位址藉助一新密鑰進行擾碼且最後雙態切換回至記憶體。此方法更加耗時，此乃因其需要在記憶體晶片與控制器之間進行多個資料轉換操作。

邏輯位址映射更靈活，此乃因將針對每一邏輯定址資料始終使用同一密鑰。此允許在無須改變對應密鑰之情形下資料自一區塊自由傳送至另一區塊。然而，若藉助同一資料重複更新同一邏輯位址，則此機制將失敗。

圖6圖解說明基於資料之邏輯位址之一密鑰選擇。若一密鑰列表中存在 L 個密鑰值，且在此項實例中 $L=32$ ，則自第一邏輯位址開始，將把來自該密鑰列表之一不同密鑰指派至每一邏輯位址直到用盡所有 L 個密鑰為止。然後下一

邏輯位址將自密鑰列表中之第一密鑰再次開始。

邏輯位址用於擾碼密鑰之映射。在資料傳輸至NAND記憶體之前完成擾碼，且使用同一密鑰解擾該資料。在此方案中，密鑰 $K_i=K_i(\text{LogicalAddr})$ 。

若每一資料寫入之邏輯位址不同，則此方案可行。然而，使密鑰僅係邏輯位址之一函數不可隨機化某些資料型樣。僅使用邏輯位址選擇擾碼密鑰存在兩個問題。首先，如在圖6中可見，一短密鑰列表將造成一短週期性。其次，對應於同一邏輯位址之多次更新將具有同一擾碼密鑰，且若該等更新相同，則資料亦將相同且將產生一不期望規則型樣。

圖7圖解說明僅基於邏輯位址之密鑰選擇之一問題。若重複更新與同一邏輯位址相關聯之資料，則每次更新將使用同一密鑰。此外，若更新資料全部相同，則擾碼資料亦將全部相同，藉此造成跨越記憶體陣列之列之一不期望規則型樣。為避免此可能性，可對更新同一區塊中之同一邏輯位址施加一約束，但此限制導致額外廢棄項目收集，從而造成較差效能及對記憶體胞之額外磨損。

因此，如上文所闡述，僅基於邏輯位址選擇一密鑰具有其缺陷。

根據邏輯位址及局部實體位址兩者擾碼資料

根據本發明之一項一般態樣，與一記憶體控制器協作之一記憶體裝置在將每一資料單元儲存於一非揮發性記憶體胞陣列之前使用一選定擾碼密鑰將其擾碼。針對具有一邏

輯位址且用於儲存於一實體位址處之一既定資料頁，依據邏輯位址及一經定位實體位址兩者自其一有限序列選擇密鑰。

特定而言，在記憶體具有一區塊管理方案之情形下，將記憶體陣列組織成抹除區塊，且在將邏輯位址分組成邏輯群組且將其作為一群組操縱且每一群組可儲存至一子區塊中時，實體位址係子區塊中之相關頁編號。以此方式，在一邏輯群組重新定位至另一記憶體位置時，完成對群組界限之複製(亦即，逐子區塊地)。邏輯群組可以其經擾碼狀態複製至新位置。在新位置處回讀邏輯群組時，可使用同一擾碼密鑰執行解擾，此乃因群組中之每一頁之邏輯位址未改變且其經定位實體位址亦未改變。

圖8圖解說明圖1中所展示之資料擾碼器之一功能方塊圖。資料擾碼器400由於其處理設備而通常實施於記憶體控制器102中。資料擾碼器400包含基於資料單元之邏輯位址(LogicalAddr)及經定位實體位址(LocalPhysicalAddr)自密鑰表401(參見圖5)選擇出一密鑰之一密鑰選擇器410。然後，一資料擾碼器/解擾器420使用選定密鑰擾碼或解擾資料。

舉例而言，在一主機寫入情形中，使用選定密鑰將傳入資料擾碼成經擾碼資料，然後藉由在經定位實體位址處將經擾碼資料程式化至記憶體陣列中而儲存。在一記憶體讀取之情形中，作為經擾碼資料而儲存之所讀取之資料由資料擾碼器/解擾器420使用選定密鑰解擾。在一項實施例

中，選定密鑰值係一個二進位數且擾碼器/解擾420將該選定密鑰值視為一極性位元且取決於密鑰之位元值反轉或不反轉資料單元。

資料通常以一資料頁為單元操作且邏輯位址通常係藉由一主機指派之一邏輯磁區位址。在一多磁區頁中，其可係該頁之第一磁區之邏輯位址。經定位實體位址通常係諸如圖4中所展示之抹除區塊300之一區塊內之列編號。另一選擇係，經定位實體位址係一區塊內之頁編號。如稍後將闡述，在資料組織成邏輯群組之一實施例中，其中一區塊中可容納一個以上邏輯群組之資料，經定位實體位址係容納邏輯群組之區塊中之一實體群組或子區塊內之列編號或頁編號。

在一個一般實施例中，一般藉由以下方程式給出密鑰：

$$K_i = K_i(\text{LogicalAddr}, \text{LocalPhysicalAddr})。$$

在一項實施例中，針對一既定邏輯位址，擾碼密鑰首先係由邏輯位址判定，然後進一步由經定位實體位置判定。因此，可將其視為一個兩步驟函數。在第一步驟中，基於邏輯位址選擇密鑰。在第二步驟中，基於經定位實體位址進一步修改該密鑰。

因此，甚至在存在有限數目L(舉例而言，L=32)個密鑰時，基於邏輯位址之密鑰選擇藉由基於經定位實體位址之選擇進一步隨機化。在此項實施例中，經定位實體位址通常係一區塊中之一頁位移數，在諸多架構中該頁位移數亦係一區塊中之列編號。該區塊係圖4中所展示之具有多達

64個或更多列之一抹除區塊300。藉由經定位實體位址之擾碼具有一週期性N。在一項實施例中，N可如區塊中之最大頁編號Nmax一樣大。因此，在N個頁之後，該選擇再次自身重複。換言之，密鑰編號將係(頁# mod Nmax)之一函數。

圖9圖解說明根據本發明之另一項實施例組織成多個子區塊之一抹除區塊。在此項實施例中，N可小於區塊中之最大頁編號Nmax。此可適用於一區塊管理系統，在該區塊管理系統中由一主機指派之邏輯位址組織成複數個邏輯群組之，且每一區塊容納多個子區塊，每一子區塊容納一個資料邏輯群組。舉例而言，若一區塊中之最大頁編號係Nmax=64，且該區塊可容納多達16個邏輯群組之資料，則每一邏輯群組具有4個頁且N=4，且每一子群組具有4個頁。

因此，抹除區塊300含有複數個頁60，可藉由一字線存取每一頁。針對該區塊之經定位實體位址係該區塊之頁位移數。自該區塊之一個端(在此項實例中，底端)開始，第一頁具有一頁位移數「0」，下一頁具有一頁位移數「1」，且每一下一頁具有以一遞增之頁位移數直到達到區塊之端處之Nmax為止。區塊300組織成多個子區塊310。在此項實例中，每一子區塊容納4個頁。此情形中之經定位實體位址係一子區塊310中之頁位移數。此可如下自區塊之頁位移數獲得：

子區塊之頁位移數=[區塊之頁位移數] mod N，其中在

此項實例中 $N=4$ 。

圖 10 圖解說明一子區塊自一第一區塊至一第二區塊之重新定位。在此項實例中，子區塊 310-2 自區塊 300-1 重新定位以成為區塊 300-M 中之子區塊 301-2'。由於實體位址係一子區塊之相對實體位址，因此其在重新定位中不改變且每一頁在子區塊中之之密鑰將保持相同。

圖 11 圖解說明圖 7 中所展示之資料型樣之實例但具有僅取決於經定位實體位址之擾碼密鑰。在此項實例中，邏輯位址係常數，暗示如在圖 7 中所圖解說明之情形中重複更新同一邏輯位址之資料。舉例而言，若對應於邏輯群組之實體群組之大小係 $N=4$ 個頁，且經定位實體位址係 LocalPhysicalAddr，則密鑰 K 之選擇：

$$K_i = K_i(\text{頁位移位址} \bmod N) \\ = \text{LocalPhysicalAddr}。$$

因此，若將資料逐頁地儲存於實體區塊中，則藉助 4 個密鑰中之一者對每一頁進行擾碼。將看出，不像圖 7 之情形，現在將隨機化重複型樣。儘管僅以此方法將如圖 7 中所圖解說明處理重複型樣，但使群組大小 N 保持小亦將限制可能密鑰之數目(例如，圖 11 中僅 4 個密鑰)。

圖 12 圖解說明藉助係邏輯位址及經定位實體位址兩者之一函數之一擾碼密鑰進行擾碼之一較佳資料型樣。舉例而言，若密鑰列表之大小 $=L$ ，實體位址群組之大小 $=N$ ，則如下給出一個函數：

$$K_i = K_i(\text{LogicalAddr}, \text{LocalPhysicalAddr})$$

$$=[(\text{logicalAddr mod } L)+(\text{LocalPhysicalAddr mod } N)) \text{ mod } L]$$

其中該實例中 $L=32$ 且 $N=4$ ，邏輯位址 = 100，且在頁#處密鑰係：

$$\begin{aligned} K_i &= [100 \text{ mod } 32 + \text{頁\# mod } 4] \text{ mod } 32 \\ &= [4 \quad \quad \quad + 0] \text{ mod } 32 \\ &= 4 \end{aligned}$$

類似地，對於儲存於頁#1中之資料：

$$\begin{aligned} K_i &= [8 + 1 \text{ mod } 4] \text{ mod } 32 \\ &= 9 \end{aligned}$$

在組合邏輯位址與經定位實體位址映射之兩種方法時，雖然密鑰之數目不限於邏輯群組大小 N (例如，4)，但現在自大小為 L (例如，32) 之密鑰群集提取該數目。重複型樣不再係一問題。仍可在記憶體陣列中自一個實體位置至另一個實體位置完成資料之重新定位，此乃因已完成對群組界限之複製 (在此情形中由具有 $N=4$ 個頁之一子區塊定義)，因此無論該另一群組實體位於該記憶體陣列中何處所使用之擾碼密鑰仍係同一密鑰。

藉由偽隨機反轉擾碼資料

根據本發明之另一態樣，擾碼資料係資料之反轉或不反轉之一函數。是否反轉資料之決策可簡單地基於用以提供一偽隨機型樣之實體位址，或其可基於修整用以抗擊最差資料相依性型樣之演算法之裝置物理學分析。在第一種情

形中，其係實體位址之一簡單函數。在後一種情形中，其可係實體位址之一更複雜函數。在此方案中，經擾碼資料一般藉由以下方程式給出：

經擾碼資料=反轉(經解擾資料，實體位址)。

NAND記憶體使用資料鎖存器以暫時儲存資料，且在正規程式化或讀取命令期間對該資料進行邏輯操縱。一個此操縱係反轉。此反轉利用記憶體資料鎖存器上之原生函數以基於實體位址隨機化該資料。圖3圖解說明資料鎖存器220可係由共同處理器250操縱。一個此晶片上操縱係資料鎖存器中之資料位元之反轉。

圖13圖解說明基於實體位址每2個字線反轉資料之一實例。在此情形中，反轉係基於字線編號。對於SLC頁，每一字線具有一個頁，因此每隔兩個SLC頁反轉資料。在一個2-位元MLC記憶體之情形中，每字線將存在一下部頁及上部頁。因此，在一MLC記憶體之情形中，將每4個頁進行反轉。在任一情形中，將看出該型樣每兩個字線進行自身重複。

根據另一項實施例，為增加資料之隨機性，亦可在預定義頁編號以頁級別反轉資料。

圖14圖解說明以頁級別選擇性地反轉之一實例。舉例而言，在其中每兩個字線及每4個MLC頁反轉資料之相同情形中，可在含有4個頁之每一群組內排列該反轉且將該反轉決策改變成 $2 \times 4 = 32$ 個不同組合。

控制器將發出在程式化完成之前反轉資料鎖存器中之資

料，且在資料回讀之前亦將資料反轉回來之命令。此完成於記憶體內部，且因此若資料欲移動至一不同區塊，則不需要雙態切換出此資料。另一選擇係，可在控制器不知曉期望型樣是否係已知之情形下在內部完成該反轉。

依據經定位實體位址產生擾碼密鑰之方法亦允許在無須將資料雙態切換出至控制器以進行擾碼之情形下自一個實體位置快速晶片上複製資料至另一個實體位置。在最小複製大小係群組之大小之條件下，可對晶片進行簡單擾碼。此係由於擾碼密鑰沿群組界限之對準而達成。

根據又另一項實施例，藉由上文所闡述之所有三個擾碼方案之一組合擾碼資料，亦即，藉助個別地取決於邏輯位址及實體位址或其組合之一擾碼密鑰擾碼資料，且然後依據實體位址或邏輯位址反轉資料。

圖 15 圖解說明類似於圖 12 中所展示之一表，在該表中藉由取決於邏輯位址及經定位實體位址兩者之一密鑰擾碼資料。此外，該表具有展示欲反轉還是不反轉經擾碼資料之一額外行。

邏輯/實體映射與基於記憶體字線位置之實體反轉之組合將確保不存在可導致資料相依性程式化干擾之重複型樣。此不犧牲效能、不具有限制且不需要額外閘極。

上文所闡述之各種映射可在控制器 102 處或晶片上執行或藉由該兩者之一組合執行。

由於擾碼器已係 ASIC 之部分且資料反轉已係記憶體邏輯之部分，因此總體系統不存在附加成本。

與僅使用實體位址相比，本發明將消除雙態切換資料之需要，因此改善總體效能。結合邏輯映射使用本發明亦改善資料之隨機性。

與僅使用邏輯位址相比，本發明亦允許同一邏輯位址重複寫入於同一區塊上，因此減少廢棄項目收集之頻率。其亦解決重複型樣問題。

雖然已闡述之本發明之實施例係較佳實施方案，但熟習此項技術者將理解其變化形式亦可係可能的。因此，本發明在隨附申請範圍之整個範疇內受到保護。

【圖式簡單說明】

圖1圖解說明與其中體現本發明之特徵之一記憶體裝置通信之一主機。

圖2圖解說明經並行感測或程式化之組織成(舉例而言)NAND組態之一記憶體胞頁。

圖3係圖2之周邊電路中之讀取/寫入電路之一功能方塊圖。

圖4示意性地圖解說明組織成可抹除區塊之一記憶體陣列之一實例。

圖5圖解說明儲存每一密鑰編號之擾碼密鑰值之一表。

圖6圖解說明基於資料之邏輯位址之一密鑰選擇。

圖7圖解說明僅基於邏輯位址之密鑰選擇之一問題。

圖8圖解說明圖1中所展示之資料擾碼器之一功能方塊圖。

圖9圖解說明根據本發明之另一項實施例組織成多個子

區塊之一抹除區塊。

圖 10 圖解說明一子區塊自一第一區塊至一第二區塊之重新定位。

圖 11 圖解說明藉助係邏輯位址及經定位實體位址兩者之一函數之一擾碼密鑰進行擾碼之資料型樣之一項實例。

圖 12 圖解說明藉助係邏輯位址及經定位實體位址兩者之一函數之一擾碼密鑰進行擾碼之資料型樣之一項實例。

圖 13 圖解說明基於實體位址每 2 個字線反轉資料之一實例。

圖 14 圖解說明以頁級別選擇性地反轉之一實例。

圖 15 圖解說明類似於圖 12 中所展示之一表，其中藉由取決於邏輯位址及經定位實體位址兩者之一密鑰擾碼資料。

【主要元件符號說明】

10	主機/單元/記憶體電晶體
34	源極線
36	位元線
42	字線
44	選擇線
50	NAND 串
60	韌體/頁
62	錯誤校正碼處理器
80	主機
90	記憶體裝置
100	記憶體晶片/記憶體陣列

102	記憶體控制器/控制器
110	控制電路
111	控制及位址匯流排
112	狀態機
200	記憶體陣列/單元陣列/NAND快閃
204	周邊電路
206	讀取/寫入電路/讀取/寫入堆疊/堆疊
210	感測放大器
211	匯流排
212-1	感測放大器
214-1	感測放大器鎖存器
220-1	組資料鎖存器
220	資料鎖存器
221	匯流排
224-0	資料鎖存器
224-q	資料鎖存器
231	資料匯流排/資料I/O匯流排
300	抹除單元或區塊/抹除單元/抹除區塊/ 區塊
400	資料擾碼器
BL0	位元線
BL1	位元線
BL2	位元線
BL3	位元線

BL4	位元線
BL5	位元線
BLm	位元線
BLm-1	位元線
S1	選擇電晶體
S2	選擇電晶體
SGD	選擇線
SGS	選擇線
WL	字線
WL0	字線
WL1	字線
WL2	字線
WL3	字線
WLn	字線

七、申請專利範圍：

1. 一種記憶體，其包括：

一非揮發性記憶體胞陣列，其可逐頁地存取；

每一頁係具有一邏輯位址且用於在一實體位址處儲存於該陣列中之一資料群組；

該非揮發性記憶體胞陣列組織成複數個區塊，每一區塊具有可一起抹除之記憶體胞；

每一區塊進一步分割成複數個子區塊，每一子區塊用於容納對應於一邏輯群組之邏輯位址之資料；

一擾碼密鑰序列；

一密鑰選擇器，其用於選擇用於擾碼一資料頁之一密鑰，該密鑰選擇器依據該邏輯位址及該實體位址自該擾碼密鑰序列選擇該密鑰；

該實體位址係一子區塊中之一相對頁位址；

及

一資料擾碼器/解擾器，其用於依據該選定密鑰在該資料頁經解擾時將其擾碼或依據該選定密鑰在該資料頁經擾碼時將其解擾。

2. 如請求項1之記憶體，其進一步包括：

一記憶體控制器，其控制該非揮發性記憶體胞陣列之記憶體操作；且

其中該密鑰選擇器及該資料擾碼器/解擾器實施於該記憶體控制器中。

3. 如請求項1之記憶體，其進一步包括：

讀取/寫入電路；且

該等讀取/寫入電路在當前資料頁於該實體位址處經擾碼至該記憶體胞陣列中之後將其程式化。

4. 如請求項1之記憶體，其進一步包括：

讀取/寫入電路；且

該等讀取/寫入電路在該實體位址處自該記憶體胞陣列讀取作為經擾碼資料而儲存之該當前資料頁。

5. 如請求項1之記憶體，其中：

該非揮發性記憶體胞陣列組織成複數個區塊，每一區塊具有可一起抹除之記憶體胞；且

該實體位址係一區塊中之一相對頁位址。

6. 如請求項1之記憶體，其中：

該非揮發性記憶體胞陣列組織成複數個區塊，每一區塊具有可一起抹除之記憶體胞；且

該實體位址係一區塊中之一相對列位址。

7. 如請求項1之記憶體，其中：

該擾碼密鑰序列具有一長度L；

該實體位址係具有一長度N之此等實體位址之一序列中之一者；且

該資料頁之該邏輯位址與該實體位址之該函數包含取決於(邏輯位址) mod L及(實體位址) mod N。

8. 如請求項1之記憶體，其中：

該擾碼密鑰序列具有一長度L；

該實體位址係具有一長度N之此等實體位址之一序列

中之一者；且

該資料頁之該邏輯位址與該實體位址之該函數包含取決於 $[(\text{邏輯位址}) \bmod L + (\text{實體位址}) \bmod N] \bmod L$ 。

9. 如請求項1之記憶體，其中：

該實體位址係具有一長度N之此等實體位址之一序列中之一者；且

該資料頁之該邏輯位址與該實體位址之該函數包含取決於基於該實體位址反轉還是不反轉。

10. 一種擾碼或解擾一非揮發性記憶體中之一資料頁之方法，其包括：

提供可逐頁存取之一非揮發性記憶體胞陣列；

每一頁係具有一邏輯位址且用於在一實體位址處儲存於該陣列中之一資料群組；

該非揮發性記憶體胞陣列組織成複數個區塊，每一區塊具有可一起抹除之記憶體胞；

每一區塊進一步分割成複數個子區塊，每一子區塊用於容納對應於一邏輯群組之邏輯位址之資料；

提供一擾碼密鑰序列；

選擇用於擾碼該資料頁之一密鑰，依據該資料頁之該邏輯位址及該實體位址自該擾碼密鑰序列選擇該密鑰；

該實體位址係一子區塊中之一相對頁位址；及

依據該選定密鑰在該資料頁經解擾時將其擾碼或依據該選定密鑰在該資料頁經擾碼時將其解擾；

一非揮發性記憶體胞陣列可逐頁存取。

11. 如請求項10之方法，其進一步包括：

提供一記憶體控制器，該記憶體控制器控制該非揮發性記憶體胞陣列之記憶體操作，包含該選擇一密鑰及該擾碼或解擾該資料頁。

12. 如請求項10之方法，其進一步包括：

在當前資料頁於該實體位址處經擾碼至該記憶體胞陣列中之後將其程式化。

13. 如請求項10之方法，其進一步包括：

在該實體位址處自該記憶體胞陣列讀取作為經擾碼資料而儲存之該當前資料頁。

14. 如請求項10之方法，其中：

該非揮發性記憶體胞陣列組織成複數個區塊，每一區塊具有可一起抹除之記憶體胞；且

該實體位址係一區塊中之一相對頁位址。

15. 如請求項10之方法，其中：

該非揮發性記憶體胞陣列組織成複數個區塊，每一區塊具有可一起抹除之記憶體胞；且

該實體位址係一區塊中之一相對列位址。

16. 如請求項10之方法，其中：

該擾碼密鑰序列具有一長度L；

該實體位址係具有一長度N之此等實體位址之一序列中之一者；且

該資料頁之該邏輯位址與該實體位址之該函數包含取決於(邏輯位址) mod L及(實體位址) mod N。

17. 如請求項10之方法，其中：

該擾碼密鑰序列具有一長度L；

該實體位址係具有一長度N之此等實體位址之一序列中之一者；且

該資料頁之該邏輯位址與該實體位址之該函數包含取決於 $[(\text{邏輯位址}) \bmod L + (\text{實體位址}) \bmod N] \bmod L$ 。

18. 如請求項10之方法，其中：

該實體位址係具有一長度N之此等實體位址之一序列中之一者；且

該資料頁之該邏輯位址與該實體位址之該函數包含取決於基於該實體位址反轉還是不反轉。

八、圖式：

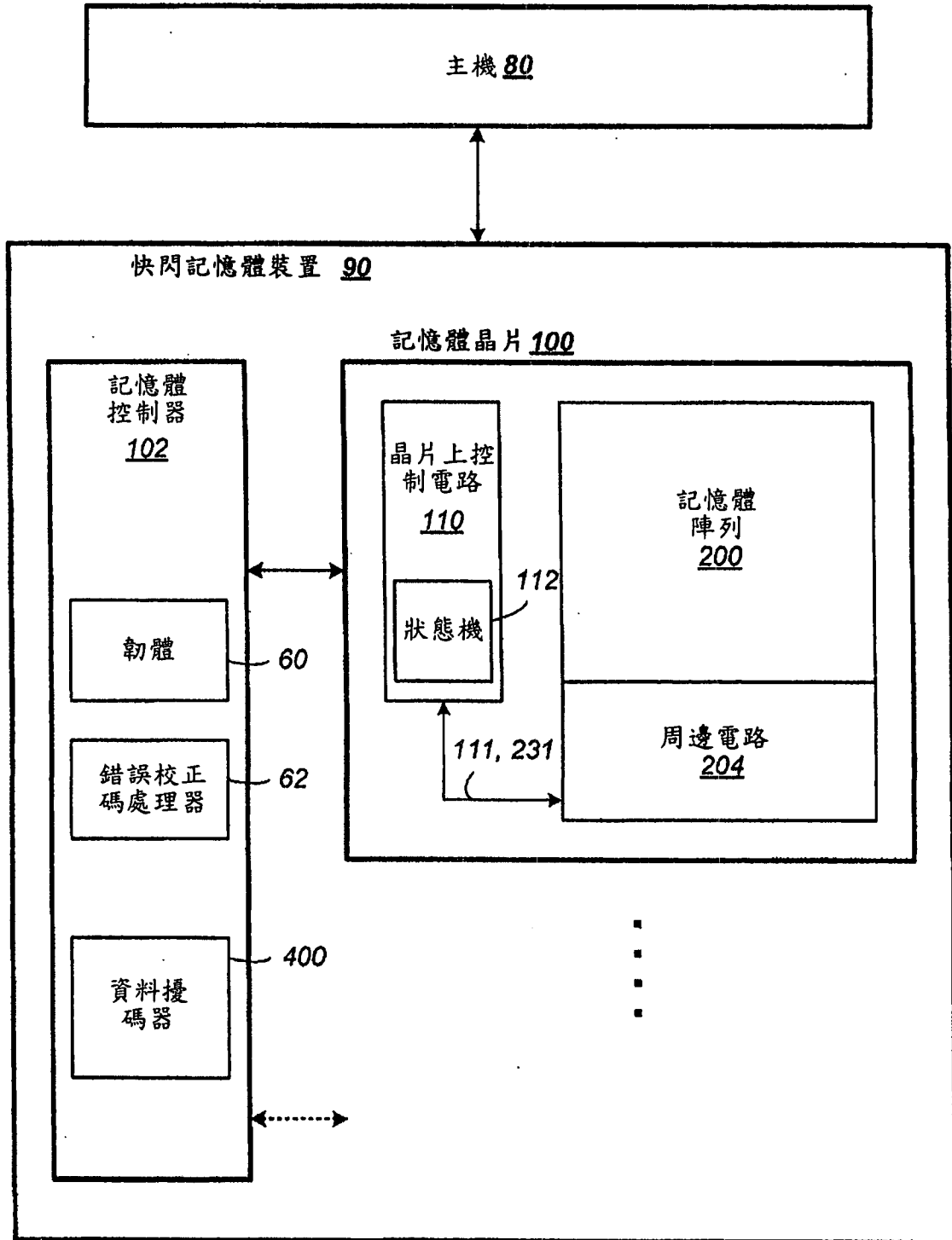


圖 1

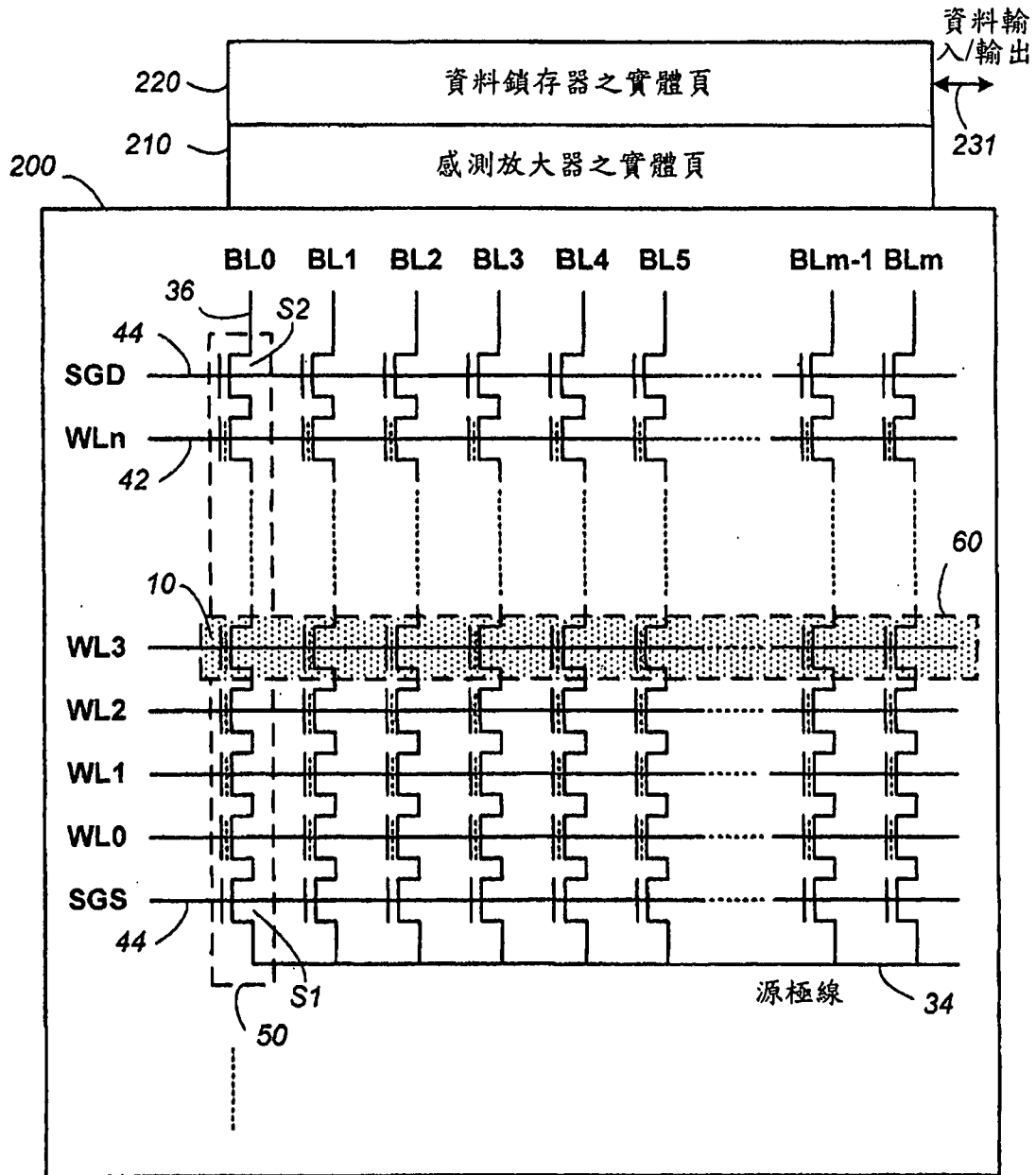


圖 2

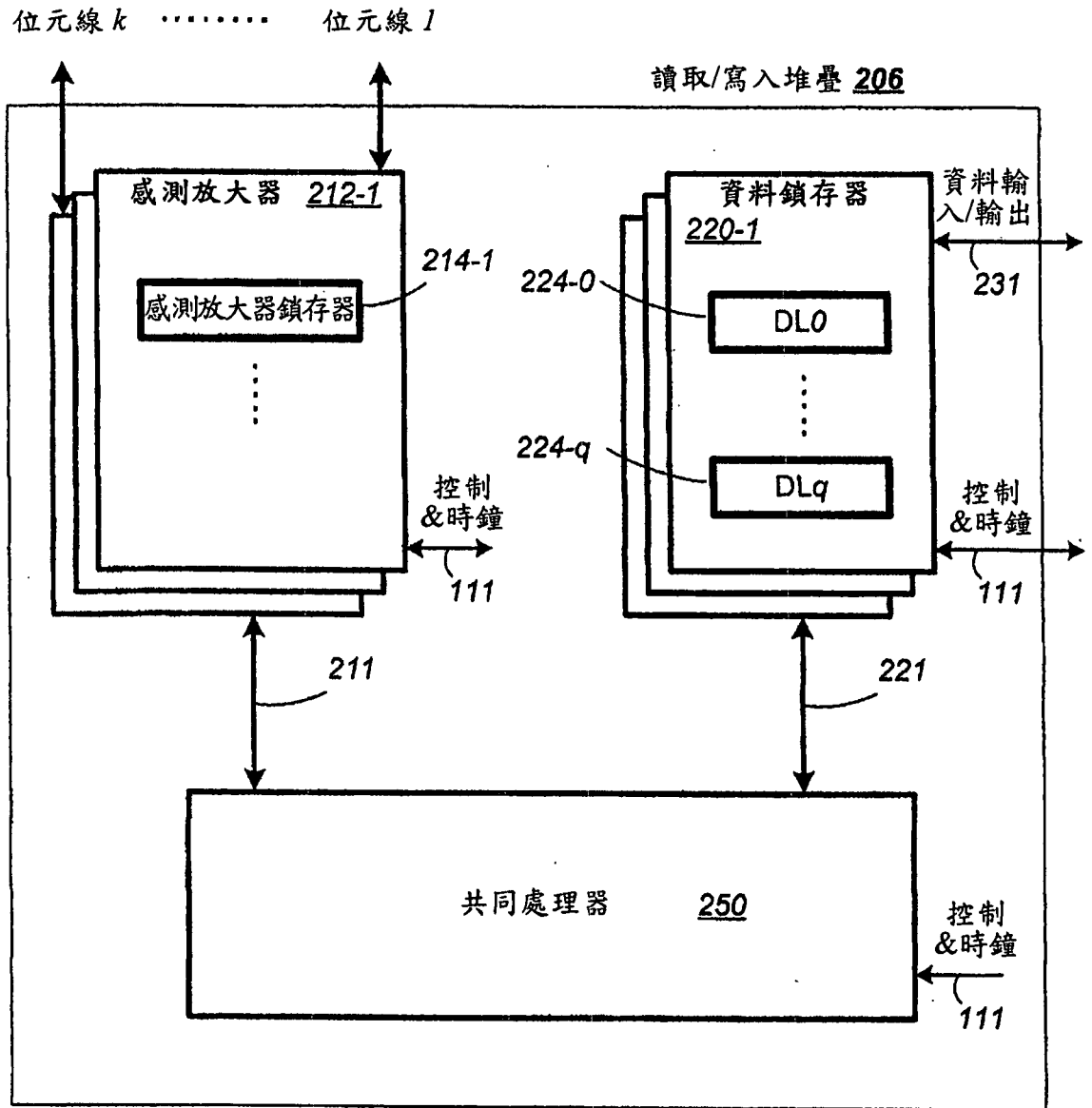


圖 3

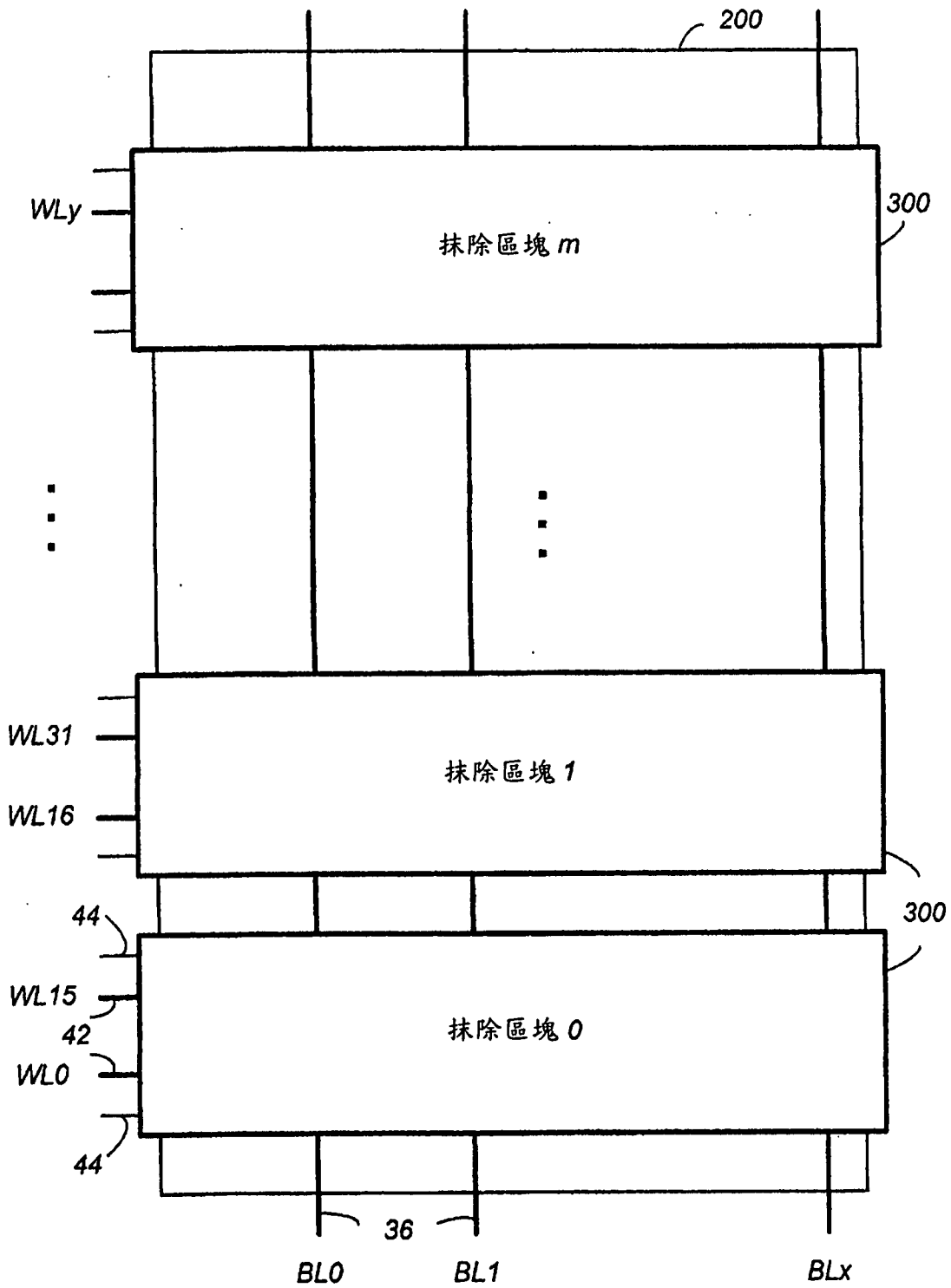


圖 4

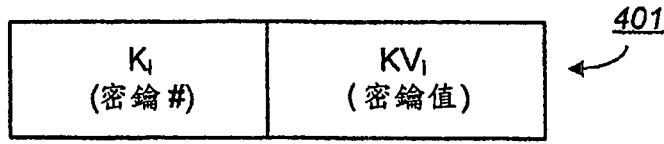


圖 5

一區塊中之實體頁位移位址	LogicalAddr	$K_i = K_i(\text{LogicalAddr mod } L)$ L=32
0	32	0
1	100	4
2	1000	8
3	1	1

圖 6

一區塊中之實體頁位移位址	LogicalAddr	$K_i = K_i(\text{LogicalAddr mod } L)$ L=32
0	32	0
1	32	0
2	32	0
3	32	0

圖 7

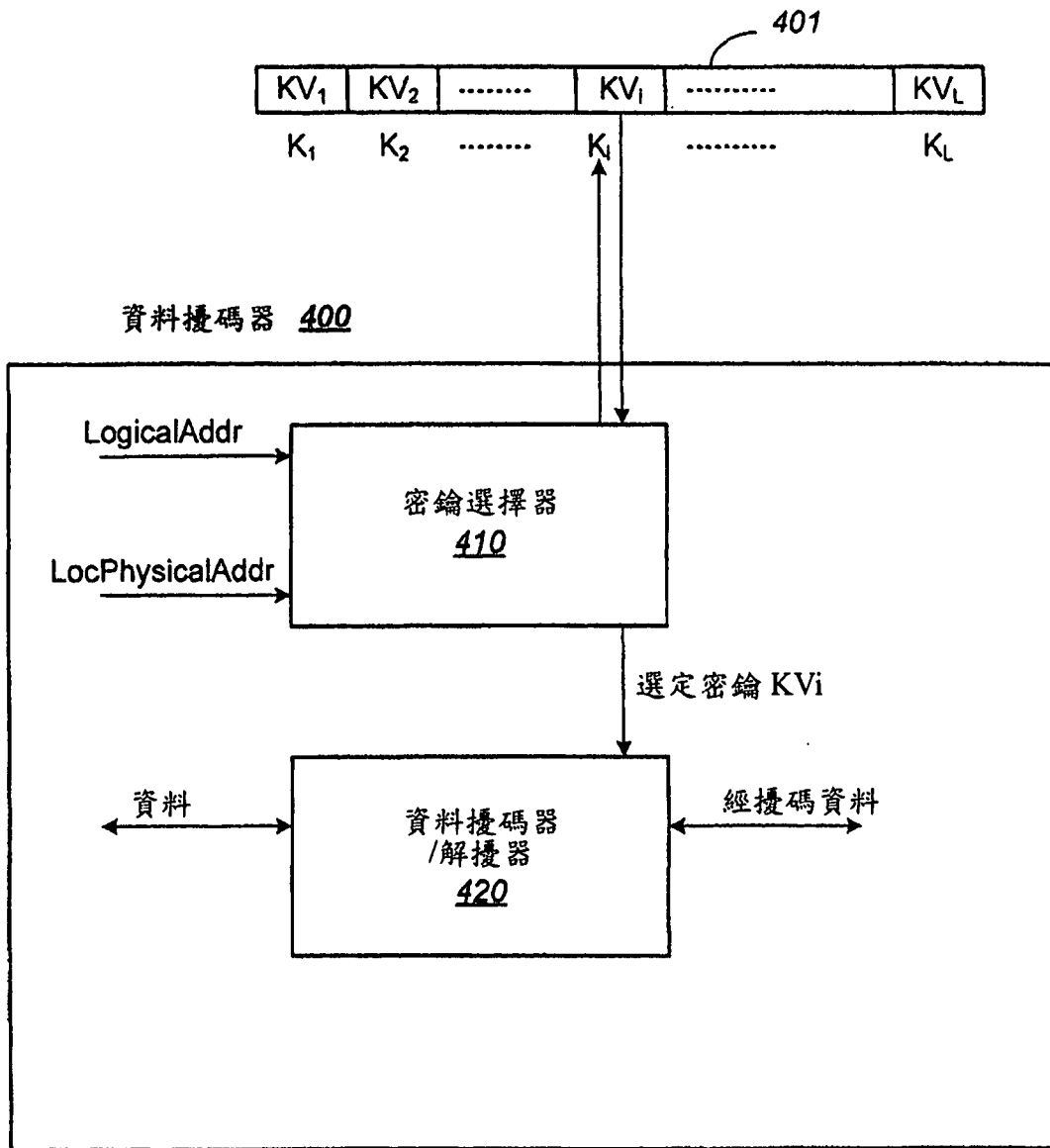


圖 8

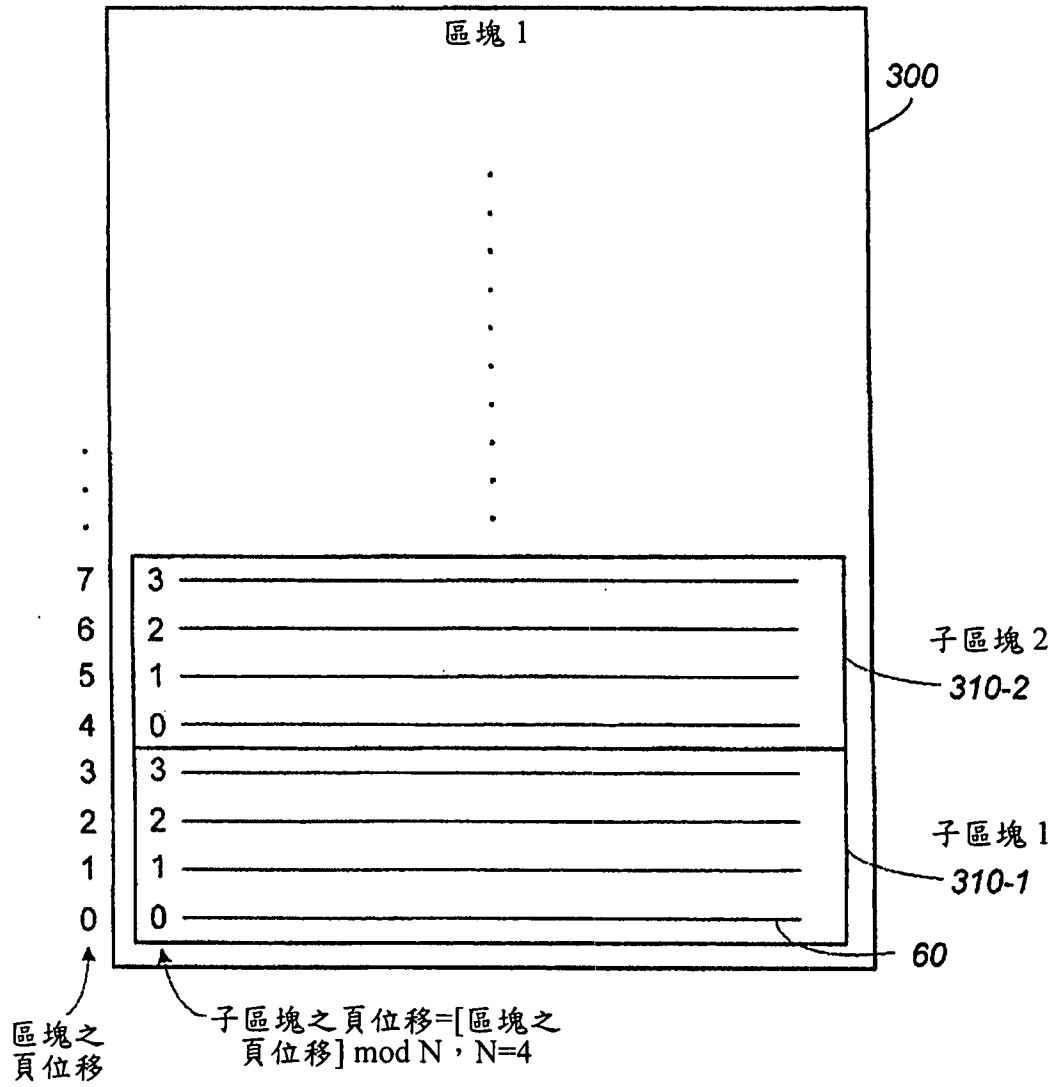


圖 9

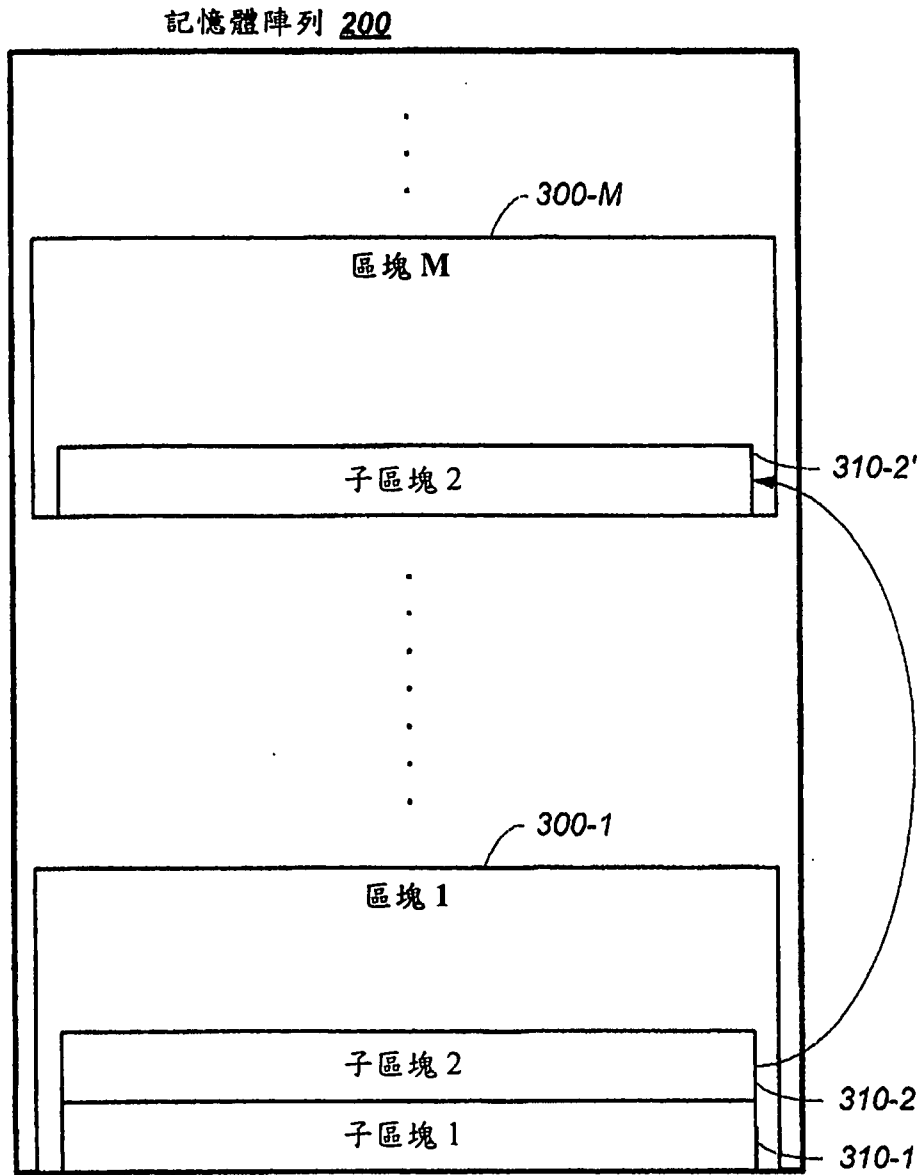


圖 10

一區塊中之實體頁位移位址	LogicalAddr	子區塊	$K = (\text{頁位移位址} \bmod N)$ ($N=4$)
0	32	1	0
1	32	1	1
2	32	1	2
3	32	1	3
4	32	2	0
5	32	2	1
6	32	2	2
...

圖 11

一區塊中之實體頁位移位址	LogicalAddr	子區塊	$K = [(\text{LogicalAddr} \bmod L) + (\text{頁位移位址} \bmod N)] \bmod L$ ($L=32, N=4$)
0	100	1	4
1	1000	1	9
2	2010	1	28
3	2011	1	30
4	32	2	0
5	32	2	1
6	32	2	2
...

圖 12

字線	下部	上部
0	69	AB
1	D7	D2
2	/69	/AB
3	/D7	/D2
4	69	AB
5	D7	D2
6	/69	/AB
7	/D7	/D2
8	69	AB
9	D7	D2

偽隨機資料反轉

圖 13

字線	下部	上部
0	69	AB
1	D7	D2
2	69	AB
3	D7	/D2
4	69	AB
5	D7	D2
6	69	/AB
7	D7	/D2
8	69	AB
9	D7	/D2
10	69	/AB
11	D7	D2

字線	下部	上部
12	/69	AB
13	D7	/D2
14	/69	/AB
15	D7	/D2
16	69	AB
17	/D7	D2
18	/69	/AB
19	/D7	/D2
20	69	/AB
21	D7	D2
22	/69	/AB
23	/D7	/D2

字線	下部	上部
24	69	AB
25	/D7	/D2
26	/69	/AB
27	/D7	D2
28	/69	/AB
29	D7	D2
30	69	/AB
31	D7	/D2

圖 14

實體頁位 移位址	Logical Addr	$K=k(\text{LogicalAddr} \bmod L) \quad L=32$	資料反轉
0	100	4	No
1	1000	9	No
2	2010	28	No
3	2011	30	No
4	32	0	Yes
5	32	1	No
6	32	2	Yes
7	32	2	Yes

圖 15