



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년10월19일
 (11) 등록번호 10-1909704
 (24) 등록일자 2018년10월12일

(51) 국제특허분류(Int. Cl.)
 G02F 1/136 (2006.01) HO1L 29/786 (2006.01)
 (21) 출원번호 10-2011-0013919
 (22) 출원일자 2011년02월17일
 심사청구일자 2016년02월15일
 (65) 공개번호 10-2012-0094575
 (43) 공개일자 2012년08월27일
 (56) 선행기술조사문헌
 KR1020070041856 A*
 (뒷면에 계속)

(73) 특허권자
 삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성로 1 (농서동)
 (72) 발명자
 김기원
 경기도 수원시 영통구 태장로82번길 32, 동수원엘
 지빌리지1차 103동 1405호 (망포동)
 이계훈
 서울특별시 양천구 목동중앙본로1길 5, 월드메르
 디앙 APT 201동 205호 (목동)
 (뒷면에 계속)
 (74) 대리인
 박영우

전체 청구항 수 : 총 18 항

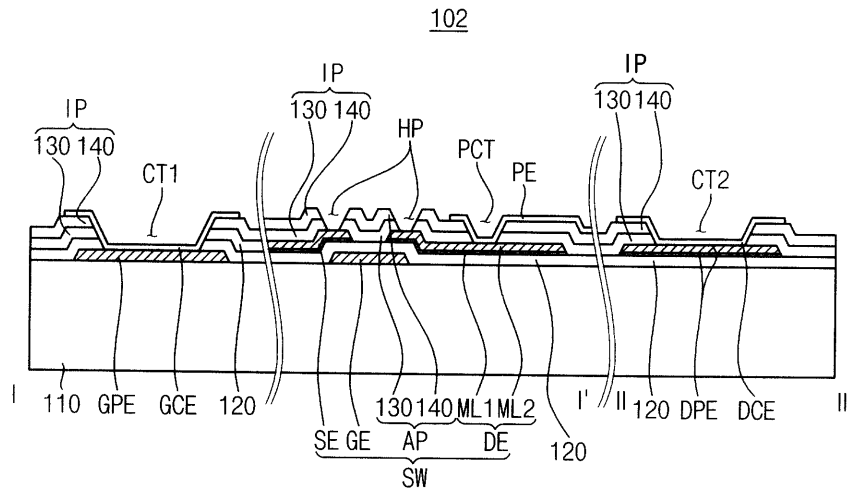
심사관 : 고연화

(54) 발명의 명칭 표시 기판 및 이의 제조 방법

(57) 요약

제품 신뢰성 및 생산성을 향상시킨 표시 기판 및 이의 제조 방법이 개시된다. 표시 기판은 베이스 기판 상에 일 방향으로 연장된 데이터 라인, 상기 데이터 라인과 연결된 입력 전극 및 상기 입력 전극과 이격된 출력 전극 사이의 이격 영역에서, 상기 입력 전극 및 상기 출력 전극 상에 접촉하여 배치된 채널 패턴, 상기 채널 패턴과 이격되어 상기 베이스 기판 상에 형성되고, 상기 출력 전극을 노출시키는 콘택홀이 형성된 절연 패턴 및 상기 절연 패턴 상에 형성되어 상기 콘택홀을 통해서 상기 출력 전극과 콘택하는 화소 전극을 포함한다. 이에 따라, 산화물 반도체층의 손상을 최소화하고 제조 공정을 단순화할 수 있다.

대표도 - 도2



(72) 발명자

조성행

충청북도 청주시 청원구 오창읍 오창중앙로 94 81
4동 1304호 (각리, 한라비발디아파트)

이우근

경기도 용인시 기흥구 용구대로 1842, 현대모닝사
이드 2차 107동 204호 (보라동)

윤갑수

서울특별시 강서구 화곡로31다길 5, 401호 (화곡동, 우공팰리스)

김도현

경기도 성남시 분당구 양현로166번길 20, 한신아파트 201-1703 (이매동, 이매촌)

최승하

경기도 수원시 권선구 세권로 334, 주공아파트 33
5동 1706호 (권선동)

(56) 선행기술조사문헌

JP2007134687 A*

KR1020090086694 A*

JP2007158349 A

JP2010135778 A

JP2010135780 A

KR1020100040677 A

US20060209223 A1

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

베이스 기판 상에 일 방향으로 연장된 데이터 라인;

상기 데이터 라인과 연결된 입력 전극 및 상기 입력 전극과 이격된 출력 전극 사이의 이격 영역에서, 상기 입력 전극 및 상기 출력 전극 상에 접촉하여 배치된 채널 패턴;

상기 채널 패턴과 이격되어 상기 베이스 기판 상에 형성되고, 상기 출력 전극을 노출시키는 콘택홀이 형성된 절연 패턴; 및

상기 절연 패턴 상에 형성되어 상기 콘택홀을 통해서 상기 출력 전극과 콘택하는 화소 전극을 포함하고,

상기 채널 패턴 및 상기 절연 패턴 각각은

산화물 반도체층 및 상기 산화물 반도체층 상에 형성된 제1 절연층을 포함하며,

상기 채널 패턴 및 상기 절연 패턴 각각에서,

상기 산화물 반도체층의 측벽면은 상기 제1 절연층의 측벽면과 동일 평면상에 배치된 것을 특징으로 하는 표시 기판.

청구항 2

삭제

청구항 3

제1항에 있어서, 상기 입력 전극 및 상기 출력 전극 각각의 상부면이

상기 채널 패턴 및 상기 절연 패턴의 상기 산화물 반도체층의 하부면과 직접적으로 접촉하는 것을 특징으로 하는 표시 기판.

청구항 4

삭제

청구항 5

베이스 기판 상에 일 방향으로 연장된 데이터 라인;

상기 데이터 라인과 연결된 입력 전극 및 상기 입력 전극과 이격된 출력 전극 사이의 이격 영역에서, 상기 입력 전극 및 상기 출력 전극 상에 접촉하여 배치된 채널 패턴;

상기 채널 패턴과 이격되어 상기 베이스 기판 상에 형성되고, 상기 출력 전극을 노출시키는 콘택홀이 형성된 절연 패턴; 및

상기 절연 패턴 상에 형성되어 상기 콘택홀을 통해서 상기 출력 전극과 콘택하는 화소 전극을 포함하고,

상기 데이터 라인과 교차하고 상기 절연 패턴의 하부에 형성된 게이트 라인;

상기 게이트 라인과 연결된 제어 전극; 및

상기 제어 전극 상에 형성된 제2 절연층을 더 포함하고,

상기 입력 전극 및 상기 출력 전극은 상기 제2 절연층 상에 배치되는 것을 특징으로 하는 표시 기판.

청구항 6

베이스 기판 상에 일 방향으로 연장된 데이터 라인;

상기 데이터 라인과 연결된 입력 전극 및 상기 입력 전극과 이격된 출력 전극 사이의 이격 영역에서, 상기 입력 전극 및 상기 출력 전극 상에 접촉하여 배치된 채널 패턴;

상기 채널 패턴과 이격되어 상기 베이스 기판 상에 형성되고, 상기 출력 전극을 노출시키는 콘택홀이 형성된 절연 패턴; 및

상기 절연 패턴 상에 형성되어 상기 콘택홀을 통해서 상기 출력 전극과 콘택하는 화소 전극을 포함하고,

상기 데이터 라인과 교차하고 상기 절연 패턴 상에 형성된 게이트 라인; 및

상기 게이트 라인과 연결되고 상기 채널 패턴 상에 형성된 제어 전극을 더 포함하는 것을 특징으로 하는 표시 기판.

청구항 7

제6항에 있어서, 상기 제어 전극 및 상기 게이트 라인 각각은 상기 화소 전극과 동일한 층을 포함하는 것을 특징으로 하는 표시 기판.

청구항 8

제6항에 있어서, 상기 제어 전극 및 상기 절연 패턴 상에 각각 형성된 제2 절연층을 더 포함하고,

상기 화소 전극은 상기 제2 절연층 상에 형성된 것을 특징으로 하는 표시 기판.

청구항 9

제1항에 있어서, 상기 데이터 라인, 상기 입력 전극 및 상기 출력 전극 각각은

제1 티타늄층(Ti) 및 상기 제1 티타늄층 상에 형성된 구리층(Cu)을 포함하는 것을 특징으로 하는 표시 기판.

청구항 10

제9항에 있어서, 상기 데이터 라인, 상기 입력 전극 및 상기 출력 전극 각각은

상기 구리층 상에 형성된 제2 티타늄층을 더 포함하는 것을 특징으로 하는 표시 기판.

청구항 11

베이스 기판 상에 데이터 라인, 상기 데이터 라인과 연결된 입력 전극 및 상기 입력 전극과 이격된 출력 전극을 포함하는 소스 패턴을 형성하는 단계;

상기 소스 패턴 상에 형성된 산화물 반도체층 및 제1 절연층을 패터닝하여, 상기 입력 전극과 상기 출력 전극의 이격 영역에 배치되어 양단부가 각각 상기 입력 및 출력 전극들과 중첩된 채널 패턴 및 상기 채널 패턴과 이격되고 상기 출력 전극을 노출시키는 콘택홀이 형성된 절연 패턴을 형성하는 단계; 및

상기 절연 패턴 상에 상기 콘택홀을 통해서 상기 출력 전극과 콘택하는 화소 전극을 형성하는 단계를 포함하는 표시 기판의 제조 방법.

청구항 12

제11항에 있어서, 상기 산화물 반도체층의 하부면은

상기 소스 패턴의 상부면과 직접적으로 접촉하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 13

제11항에 있어서, 상기 절연 패턴을 형성하는 단계는

상기 제1 절연층 상에 형성된 포토레지스트 패턴을 식각 방지막으로 이용하여 상기 산화물 반도체층 및 상기 제1 절연층을 식각하는 단계를 포함하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 14

제11항에 있어서, 상기 소스 패턴을 형성하기 전에 상기 데이터 라인과 교차하는 게이트 라인 및 상기 게이트

라인과 연결된 제어 전극을 포함하는 게이트 패턴을 형성하는 단계; 및
 상기 게이트 패턴이 형성된 베이스 기판 상에 제2 절연층을 형성하는 단계를 더 포함하고,
 상기 소스 패턴은 상기 제2 절연층 상에 형성하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 15

제11항에 있어서, 상기 화소 전극을 형성하기 전에 상기 절연 패턴이 형성된 베이스 기판 상에, 상기 데이터 라인과 교차하여 상기 절연 패턴 상에 배치된 게이트 라인 및 상기 게이트 라인과 연결되고 상기 채널 패턴 상에 배치된 제어 전극을 포함하는 게이트 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 16

제11항에 있어서, 상기 절연 패턴을 형성하기 전에 상기 제1 절연층 상에 상기 데이터 라인과 교차하는 게이트 라인 및 상기 게이트 라인과 연결된 제어 전극을 포함하는 게이트 패턴을 형성하는 단계; 및
 상기 게이트 패턴이 형성된 베이스 기판 상에 제2 절연층을 형성하는 단계를 더 포함하고,
 상기 절연 패턴을 형성하는 단계에서, 상기 제2 절연층을 상기 제1 절연층 및 상기 산화물 반도체층과 함께 패터닝하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 17

제16항에 있어서, 상기 절연 패턴을 형성하는 단계에서 상기 콘택홀과 대응하는 영역의 상기 제2 절연층에 홀이 형성되고,
 상기 콘택홀 및 상기 제2 절연층의 상기 홀을 통해서 상기 출력 전극이 노출되는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 18

제11항에 있어서, 상기 화소 전극을 형성하는 단계는
 상기 절연 패턴이 형성된 베이스 기판 상에 투명 전극층을 형성하는 단계; 및
 상기 투명 전극층을 패터닝하여, 상기 절연 패턴 상에 상기 데이터 라인과 교차하는 게이트 라인 및 상기 게이트 라인과 연결되고 상기 채널 패턴 상에 배치된 제어 전극을 포함하는 게이트 패턴 및 상기 화소 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 19

제11항에 있어서, 상기 소스 패턴을 형성하는 단계는
 상기 베이스 기판 상에 순차적으로 형성된 제1 티타늄층 및 구리층을 일괄 식각액을 이용하여 습식 식각하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 20

제19항에 있어서, 상기 소스 패턴을 형성하는 단계는 상기 구리층 상에 제2 티타늄층을 형성하는 단계를 더 포함하고,
 상기 제2 티타늄층은 상기 제1 티타늄층 및 상기 구리층과 함께 상기 일괄 식각액을 통해 패터닝되는 것을 특징으로 하는 표시 기판의 제조 방법.

발명의 설명

기술 분야

본 발명은 표시 기판 및 이의 제조 방법에 관한 것으로, 더욱 상세하게는 박막 트랜지스터를 포함하는 표시 기판 및 이의 제조 방법에 관한 것이다.

[0001]

배경 기술

[0002] 일반적으로, 박막 트랜지스터(Thin Film Transistor, TFT)는 소스 전극과 드레인 전극 사이의 채널을 형성하는 액티브 패턴을 포함한다. 상기 액티브 패턴은 비결정질 실리콘(Amorphous Silicon, a-Si), 다결정 실리콘(Poly-Silicon, poly-Si), 산화물 반도체 등으로 형성되고 있다. 비결정질 실리콘층은 대형 기판 상에 균일하게 형성할 수 있는 장점이 있는 반면, 전자 이동도가 약 $0.5\text{cm}^2/\text{Vs}$ 이어서 박막 트랜지스터의 구동 특성이 낮다. 전자 이동도가 수십 내지 수백 cm^2/Vs 인 다결정 실리콘층은 전자 이동도가 상기 비결정질 실리콘에 비해 좋지만, 대형 기판 상에 상기 다결정 실리콘층을 균일하게 형성하기 어렵고, 제조비용이 높은 문제점이 있다. 산화물 반도체는 전자 이동도가 수십 내지 수백 cm^2/Vs 이면서도 대면적으로 형성하기 쉽고 저온 공정이 가능하여 비정질 실리콘층이나 다결정 실리콘층을 대신하는 반도체로서 주목 받고 있다.

[0003] 한편, 표시 기판의 다수의 패턴들은 포토리소그래피 공정을 이용하여 제조한다. 상기 포토리소그래피 공정에서 이용하는 마스크의 수를 줄이면, 고가의 마스크 자체의 비용뿐만 아니라 상기 패턴들 각각을 제조하기 위한 노광, 현상, 식각 및/또는 스트립 공정 중 적어도 1 이상의 단계를 줄일 수 있어 제조 원가를 절감시키고 생산성을 향상시킬 수 있다.

[0004] 그러나 산화물 반도체 박막 트랜지스터에, 비정질 실리콘이나 다결정 실리콘을 포함하는 일반적인 바텀 게이트의 박막 트랜지스터 구조를 그대로 적용하는 경우, 박막 트랜지스터를 제조하는 공정 중에서 산화물 반도체층의 손상이 일어날 수 있다. 특히, 산화물 반도체층과 소스 및 드레인 전극들을 하나의 마스크로 이용하여 패터닝하는 공정을 이용하는 경우 상기 소스 및 드레인 전극들을 형성하는 공정에서 상기 산화물 반도체층이 쉽게 손상된다.

[0005] 이와 같은 문제점을 해결하기 위해서, 상기 산화물 반도체층을 보호하는 에치 스톱퍼(etch-stopper)를 포함하는 구조를 적용하고 있으나 상기 에치 스톱퍼를 형성하기 위한 마스크가 추가적으로 필요하다. 따라서 산화물 반도체 박막 트랜지스터를 제조하는데 필요한 마스크의 수를 줄이는데 한계가 있다. 또한, 상기 산화물 반도체층과 상기 소스 및 드레인 전극들을 하나의 마스크를 이용하여 형성하는 경우, 상기 산화물 반도체층의 손상을 방지하기 위해서 오히려 상기 소스 및 드레인 전극들을 패터닝하는 공정이 더욱 복잡해지는 문제점이 있다.

발명의 내용

해결하려는 과제

[0006] 이에, 본 발명의 기술적 과제는 이러한 점에서 착안된 것으로 본 발명의 목적은 산화물 반도체층을 포함하는 박막 트랜지스터의 신뢰성 및 생산성을 향상시킨 표시 기판을 제공하는 것이다.

[0007] 본 발명의 다른 목적은 제조 공정을 단순화시키고 제조 공정 중에서 산화물 반도체층의 손상을 최소화시킨 표시 기판의 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0008] 상기한 본 발명의 목적을 실현하기 위한 실시예에 따른 표시 기판은 데이터 라인, 채널 패턴, 절연 패턴 및 화소 전극을 포함한다. 상기 데이터 라인은 베이스 기판 상에 일 방향으로 연장된다. 상기 채널 패턴은 상기 데이터 라인과 연결된 입력 전극 및 상기 입력 전극과 이격된 출력 전극 사이의 이격 영역에서, 상기 입력 전극 및 상기 출력 전극 상에 접촉하여 배치된다. 상기 절연 패턴은 상기 채널 패턴과 이격되어 상기 베이스 기판 상에 형성되고, 상기 출력 전극을 노출시키는 콘택홀이 형성된다. 상기 화소 전극은 상기 절연 패턴 상에 형성되어 상기 콘택홀을 통해서 상기 출력 전극과 콘택한다. 일 실시예에서, 상기 채널 패턴 및 상기 절연 패턴 각각은 산화물 반도체층 및 상기 산화물 반도체층 상에 형성된 제1 절연층을 포함할 수 있다.

[0009] 일 실시예에서, 상기 데이터 라인과 교차하고 상기 절연 패턴의 하부에 형성된 게이트 라인, 상기 게이트 라인과 연결된 제어 전극 및 상기 제어 전극 상에 형성된 제2 절연층을 더 포함할 수 있다. 이때, 상기 입력 전극 및 상기 출력 전극은 상기 제2 절연층 상에 배치될 수 있다.

[0010] 일 실시예에서, 상기 데이터 라인과 교차하고 상기 절연 패턴 상에 형성된 게이트 라인 및 상기 게이트 라인과 연결되고 상기 채널 패턴 상에 형성된 제어 전극을 더 포함할 수 있다. 이때, 상기 게이트 패턴은 상기 화소 전극과 다른 금속층을 포함할 수 있다. 이와 달리, 상기 게이트 패턴은 상기 화소 전극과 동일한 층을 포함할 수 있다.

- [0011] 일 실시예에서, 상기 제어 전극 및 상기 절연 패턴 상에 각각 형성된 제2 절연층을 더 포함하고, 상기 화소 전극은 상기 제2 절연층 상에 형성될 수 있다.
- [0012] 상기한 본 발명의 다른 목적을 실현하기 위한 실시예에 따른 표시 기관의 제조 방법에서, 베이스 기관 상에 데이터 라인, 상기 데이터 라인과 연결된 입력 전극 및 상기 입력 전극과 이격된 출력 전극을 포함하는 소스 패턴을 형성한다. 상기 소스 패턴 상에 형성된 산화물 반도체층 및 제1 절연층을 패터닝하여, 상기 입력 전극과 상기 출력 전극의 이격 영역에 배치되어 양단부가 각각 상기 입력 및 출력 전극들과 중첩된 채널 패턴 및 상기 채널 패턴과 이격되어 상기 채널 패턴을 둘러싸고 상기 출력 전극을 노출시키는 콘택홀을 포함하는 절연 패턴을 형성한다. 이어서, 상기 절연 패턴 상에 상기 콘택홀을 통해서 상기 출력 전극과 콘택하는 화소 전극을 형성한다.
- [0013] 일 실시예에서, 상기 절연 패턴은 상기 제1 절연층 상에 형성된 포토레지스트 패턴을 식각 방지막으로 이용하여 상기 산화물 반도체층 및 상기 제1 절연층을 식각함으로써 형성할 수 있다.
- [0014] 일 실시예에서, 상기 소스 패턴을 형성하기 전에 상기 데이터 라인과 교차하는 게이트 라인 및 상기 게이트 라인과 연결된 제어 전극을 포함하는 게이트 패턴을 형성하고, 상기 게이트 패턴이 형성된 베이스 기관 상에 제2 절연층을 형성할 수 있다. 이때, 상기 소스 패턴은 상기 제2 절연층 상에 형성할 수 있다.
- [0015] 일 실시예에서, 상기 화소 전극을 형성하기 전에 상기 절연 패턴이 형성된 베이스 기관 상에, 상기 데이터 라인과 교차하여 상기 절연 패턴 상에 배치된 게이트 라인 및 상기 게이트 라인과 연결되고 상기 채널 패턴 상에 배치된 제어 전극을 포함하는 게이트 패턴을 형성할 수 있다.

발명의 효과

- [0016] 이와 같은 표시 기관 및 이의 제조 방법에 따르면, 표시 기관이 산화물 반도체층의 손상은 최소화된 박막 트랜지스터를 포함할 수 있다. 이에 따라, 상기 박막 트랜지스터를 포함하는 표시 기관의 신뢰성을 향상시킬 수 있다.
- [0017] 또한, 상기 산화물 반도체층을, 상기 산화물 반도체층 상에 형성된 제1 절연층과 하나의 마스크를 이용하여 패터닝함으로써 상기 표시 기관의 제조에 이용되는 마스크의 수를 줄일 수 있다. 나아가, 상기 산화물 반도체층 및 상기 제1 절연층의 패터닝 공정에서 상기 산화물 반도체층의 손상을 최소화시킬 수 있다. 이에 따라, 상기 표시 기관의 생산성 및 제조 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

- [0018] 도 1은 본 발명의 일 실시예에 따른 표시 기관의 평면도이다.
- 도 2는 도 1의 I-I' 라인 및 II-II' 라인을 따라 절단한 단면도이다.
- 도 3a 내지 도 3c는 도 2에 도시된 표시 기관의 제조 방법을 설명하기 위한 단면도들이다.
- 도 4는 본 발명의 다른 실시예에 따른 표시 기관의 단면도이다.
- 도 5a 내지 도 5c는 도 4에 도시된 표시 기관의 제조 방법을 설명하기 위한 단면도들이다.
- 도 6은 본 발명의 또 다른 실시예에 따른 표시 기관의 평면도이다.
- 도 7은 도 6의 III-III' 라인 및 IV-IV' 라인을 따라 절단한 단면도이다.
- 도 8a 및 도 8b는 도 7에 도시된 표시 기관의 제조 방법을 설명하기 위한 단면도들이다.
- 도 9는 본 발명의 더욱 또 다른 실시예에 따른 표시 기관의 평면도이다.
- 도 10은 도 9의 V-V' 라인 및 VI-VI' 라인을 따라 절단한 단면도이다.
- 도 11은 도 10에 도시된 표시 기관의 제조 방법을 설명하기 위한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예들을 보다 상세하게 설명하고자 한다.
- [0020] 도 1은 본 발명의 일 실시예에 따른 표시 기관의 평면도이다.

- [0021] 도 1을 참조하면, 표시 기관(102)은 게이트 라인(GL), 데이터 라인(DL), 채널 패턴(AP)을 포함하는 스위칭 소자(SW), 절연 패턴(IP) 및 화소 전극(PE)을 포함한다. 상기 표시 기관(102)은 게이트 패드 전극(GPE), 게이트 콘택 전극(GCE), 데이터 패드 전극(DPE) 및 데이터 콘택 전극(DCE)을 더 포함할 수 있다.
- [0022] 상기 게이트 라인(GL), 상기 데이터 라인(DL), 상기 스위칭 소자(SW) 및 상기 화소 전극(PE)은 상기 표시 기관(102)의 표시 영역에 형성될 수 있고, 상기 게이트 패드 전극(GPE) 및 상기 데이터 패드 전극(DPE)은 상기 표시 영역을 둘러싸는 상기 표시 기관(102)의 주변 영역에 형성될 수 있다. 상기 게이트 패드 전극(GPE) 및 상기 데이터 패드 전극(DPE)을 통해서 외부로부터 상기 게이트 라인(GL) 및 상기 데이터 라인(DL) 각각에 제어 신호 및/또는 구동 신호를 전달할 수 있다.
- [0023] 상기 게이트 라인(GL)은 상기 표시 기관(102)의 제1 방향(D1)으로 연장될 수 있다. 상기 데이터 라인(DL)은 상기 제1 방향(D1)과 다른 제2 방향(D2)으로 연장되어 상기 게이트 라인(GL)과 교차한다. 상기 게이트 라인(GL) 및 상기 데이터 라인(DL)은 상기 스위칭 소자(SW)와 전기적으로 연결된다.
- [0024] 상기 스위칭 소자(SW)는 상기 채널 패턴(AP)과 함께, 제어 전극(GE), 입력 전극(SE) 및 출력 전극(DE)을 포함한다. 상기 제어 전극(GE)은 상기 게이트 라인(GL)과 연결된다. 상기 입력 전극(SE)은 상기 데이터 라인(DL)과 연결되고, 상기 출력 전극(DE)은 상기 입력 전극(SE)과 이격된다. 상기 채널 패턴(AP)은 상기 입력 전극(SE)과 상기 출력 전극(DE) 사이의 이격 영역에 형성된다. 상기 출력 전극(DE)은 콘택홀(PCT)을 통해서 상기 화소 전극(PE)과 콘택하여 상기 스위칭 소자(SW)가 상기 화소 전극(PE)과 전기적으로 연결된다.
- [0025] 상기 게이트 패드 전극(GPE)은 상기 게이트 라인(GL)의 일단부와 연결된다. 상기 게이트 콘택 전극(GCE)은 상기 게이트 패드 전극(GPE) 상에 형성되고, 게이트 홀(CT1)을 통해서 상기 게이트 패드 전극(GPE)과 콘택한다. 상기 데이터 패드 전극(DPE)은 상기 데이터 라인(DL)의 일단부와 연결된다. 상기 데이터 콘택 전극(DCE)은 상기 데이터 패드 전극(DPE) 상에 형성되고, 데이터 홀(CT2)을 통해서 상기 데이터 패드 전극(DPE)과 콘택한다.
- [0026] 상기 콘택홀(PCT), 상기 게이트 홀(CT1) 및 상기 데이터 홀(CT2)은 상기 채널 패턴(AP)을 둘러싸는 절연 패턴(IP)에 형성된다. 상기 절연 패턴(IP)은 상기 채널 패턴(AP)과 이격된다. 상기 채널 패턴(AP) 및 상기 절연 패턴(IP)에 대해서는 도 2를 참조하여 보다 상세하게 설명한다. 이하, 단면도에서 상기 게이트 라인(GL)의 단면은 상기 제어 전극(GE)의 층상 구조와 실질적으로 동일하고, 상기 데이터 라인(DL)의 단면은 상기 입력 및 출력 전극들(SE, DE)의 층상 구조와 실질적으로 동일하므로, 상기 게이트 라인(GL) 및 상기 데이터 라인(DL) 각각의 단면은 상기 제어 전극(GE) 및 상기 입력 전극(SE)의 층상 구조에 대한 설명으로 대신한다.
- [0027] 도 2는 도 1의 I-I' 라인 및 II-II' 라인을 따라 절단한 단면도이다.
- [0028] 도 2를 도 1과 함께 참조하면, 상기 표시 기관(102)의 게이트 패턴은 상기 게이트 라인(GL) 및 상기 제어 전극(GE)을 포함하고, 상기 게이트 패턴은 상기 표시 기관(102)의 베이스가 되는 베이스 기관(110) 상에 형성된다. 상기 게이트 패턴은 상기 게이트 패드 전극(GPE)을 더 포함할 수 있다. 상기 게이트 패턴을 구성하는 상기 게이트 라인(GL), 상기 제어 전극(GE) 및 상기 게이트 패드 전극(GPE)은 실질적으로 동일한 금속층을 포함할 수 있다.
- [0029] 상기 표시 기관(102)은 게이트 절연층(120)을 더 포함할 수 있다. 상기 게이트 절연층(120)은 상기 게이트 라인(GL) 및 상기 제어 전극(GE)을 커버한다. 상기 게이트 패드 전극(GPE) 상의 상기 게이트 절연층(120)에 상기 게이트 홀(CT1)과 대응하는 영역에 형성된 홀이 형성되고, 상기 게이트 홀(CT1) 및 상기 게이트 절연층(120)의 상기 홀을 통해서 상기 게이트 패드 전극(GPE)이 부분적으로 노출될 수 있다.
- [0030] 상기 표시 기관(102)의 소스 패턴은 상기 데이터 라인(DL), 상기 입력 전극(SE) 및 상기 출력 전극(DE)을 포함하고, 상기 소스 패턴은 상기 게이트 절연층(120) 상에 형성된다. 상기 소스 패턴은 상기 데이터 패드 전극(DPE)을 더 포함할 수 있다. 상기 소스 패턴을 구성하는 상기 데이터 라인(DL), 상기 입력 전극(SE), 상기 출력 전극(DE) 및 상기 데이터 패드 전극(DPE)은 실질적으로 동일한 금속층을 포함할 수 있다. 상기 소스 패턴의 금속층은, 제1 소스 금속층(ML1) 및 상기 제1 소스 금속층(ML1) 상에 형성된 제2 소스 금속층(ML2)을 포함할 수 있다. 일례로, 상기 제1 소스 금속층(ML1)은 티타늄(titanium, Ti)을 포함할 수 있고, 상기 제2 소스 금속층(ML2)은 구리(copper, Cu)를 포함할 수 있다. 이와 달리, 상기 제1 소스 금속층(ML1) 및 상기 제2 소스 금속층(ML2) 각각은 알루미늄(Al) 및 몰리브덴(Mo)을 포함할 수 있다.
- [0031] 이와 달리, 상기 소스 패턴의 금속층은 상기 제2 소스 금속층(ML2) 상에 형성된 제3 소스 금속층(미도시)을 더 포함할 수 있다. 이때, 상기 제3 소스 금속층은 티타늄을 포함할 수 있다.

- [0032] 상기 제1 소스 금속층(ML1)은 상기 게이트 절연층(120)과 상기 제2 소스 금속층(ML2) 사이의 화학 반응에 의해서 상기 제2 소스 금속층(ML2)이 변질되는 것을 방지할 수 있다. 상기 제3 소스 금속층은 상기 제2 소스 금속층(ML2) 상에 박막들을 형성하는 공정에서 상기 제2 소스 금속층(ML2)의 손상을 최소화시킬 수 있다.
- [0033] 상기 채널 패턴(AP)은 상기 제어 전극(GE)이 형성된 영역의 상기 게이트 절연층(120) 상에 배치될 수 있다. 상기 채널 패턴(AP)은 상기 입력 전극(SE)과 상기 출력 전극(DE) 사이의 이격 영역에 배치되어 상기 입력 전극(SE) 및 상기 출력 전극(DE) 각각과 부분적으로 접촉할 수 있다. 상기 입력 전극(SE) 중에서 상기 출력 전극(DE)과 마주하는 일단부와 상기 채널 패턴(AP)의 제1 단부가 중첩되고 직접적으로 접촉할 수 있다. 또한, 상기 출력 전극(DE) 중에서 상기 입력 전극(SE)과 마주하는 일단부와 상기 제1 단부의 타단인 상기 채널 패턴(AP)의 제2 단부가 중첩되고 직접적으로 접촉할 수 있다.
- [0034] 상기 채널 패턴(AP)은 산화물 반도체층(130) 및 상기 산화물 반도체층(130) 상에 형성된 제1 절연층(140)을 포함할 수 있다. 상기 채널 패턴(AP)의 상기 산화물 반도체층(130)이 상기 입력 전극(SE) 및 상기 출력 전극(DE) 각각과 직접적으로 접촉한다. 즉, 상기 산화물 반도체층(130)의 하부면이 상기 입력 전극(SE) 및 상기 출력 전극(DE) 각각의 상부면과 직접적으로 접촉할 수 있다.
- [0035] 상기 산화물 반도체층(130)은 갈륨 산화물(Gallium Oxide), 인듐 산화물(Indium Oxide), 주석 산화물(Tin Oxide), 아연 산화물(Zinc Oxide) 등의 단일 산화물이나, 갈륨 인듐 아연 산화물(Gallium Indium Zinc Oxide: Ga₂O₃-In₂O₃-ZnO, GIZO), 인듐 갈륨 주석산화물(Indium Gallium Tin Oxide: In₂O₃-Ga₂O₃-SnO), 인듐 아연 산화물(Indium Zinc Oxide: In₂O₃-Zn₂O₃), 아연 알루미늄 산화물(Zinc Aluminium Oxide: Zn₂O₃-Al₂O₃) 등의 다원계의 금속 산화물을 포함할 수 있다. 상기 제1 절연층(140)은 실리콘 산화물(SiO₂), 실리콘 질화물(SiNx) 등을 포함할 수 있다.
- [0036] 상기 채널 패턴(AP)에서, 상기 산화물 반도체층(130)의 측벽면은 상기 제1 절연층(140)의 측벽면과 동일 평면상에 배치될 수 있다. 구체적으로, 상기 이격부(HP)를 향하는 상기 채널 패턴(AP)에서 상기 산화물 반도체층(130)의 측벽면은 상기 제1 절연층(140)의 측벽면과 동일 평면상에 배치될 수 있다. 상기 산화물 반도체층(130) 및 상기 제1 절연층(140)의 측벽면들은 하나의 식각 방지막을 이용하여 식각된 식각면일 수 있다.
- [0037] 상기 절연 패턴(IP)은 상기 채널 패턴(AP)과 이격되고, 상기 채널 패턴(AP)을 둘러싼다. 일례로, 상기 절연 패턴(IP)이 상기 채널 패턴(AP)과 대응하는 영역에 형성된 홈을 포함하고, 상기 홈에 상기 채널 패턴(AP)이 상기 절연 패턴(IP)과 이격되어 배치될 수 있다. 상기 절연 패턴(IP)과 상기 채널 패턴(AP) 사이의 영역이 "이격부(HP)"로 정의될 수 있다. 상기 절연 패턴(IP)은 상기 채널 패턴(AP)이 형성된 영역 및 상기 이격부(HP)와 대응하는 영역을 제외한 상기 베이스 기판(110) 상에 전체적으로 형성될 수 있다. 상기 절연 패턴(IP)은 상기 소스 패턴과 상기 화소 전극(PE)을 서로 절연시킬 수 있다. 또한, 상기 절연 패턴(IP)은 상기 절연 패턴(IP)의 하부에 형성된 상기 게이트 패턴 및 상기 소스 패턴을 보호할 수 있다.
- [0038] 상기 절연 패턴(IP)은 상기 채널 패턴(AP)을 구성하는 상기 산화물 반도체층(130) 및 상기 제1 절연층(140)을 포함한다. 상기 절연 패턴(IP)에서, 상기 산화물 반도체층(130)의 측벽면은 상기 제1 절연층(140)의 측벽면과 동일 평면상에 배치될 수 있다. 구체적으로, 상기 이격부(HP)를 향하는 상기 절연 패턴(IP)에서 상기 산화물 반도체층(130)의 측벽면은 상기 제1 절연층(140)의 측벽면과 동일 평면상에 배치될 수 있다.
- [0039] 상기 절연 패턴(IP)은 상기 콘택홀(PCT), 상기 게이트 홀(CT1) 및 상기 데이터 홀(CT2)을 포함할 수 있다. 상기 콘택홀(PCT)은 상기 출력 전극(DE)을 부분적으로 노출시키고, 상기 게이트 홀(CT1)은 상기 게이트 절연층(120)의 상기 홀과 함께 상기 게이트 패드 전극(GPE)을 부분적으로 노출시킬 수 있다. 상기 데이터 홀(CT2)은 상기 데이터 패드 전극(DPE)을 부분적으로 노출시킬 수 있다.
- [0040] 상기 화소 전극(PE)은 상기 절연 패턴(IP) 상에 형성되고, 상기 콘택홀(PCT)을 통해서 상기 출력 전극(DE)과 직접적으로 접촉할 수 있다. 상기 화소 전극(PE)의 일부는 상기 출력 전극(DE)과 직접적으로 접촉하고, 상기 화소 전극(PE)의 일부는 상기 절연 패턴(IP)의 상기 제1 절연층(140)의 상부면과 직접적으로 접촉할 수 있다. 상기 화소 전극(PE)은 투명한 도전성 물질로 형성될 수 있다. 상기 화소 전극(PE)은 예를 들어, 인듐 틴 옥사이드(indium tin oxide, ITO) 또는 인듐 징크 옥사이드(indium zinc oxide, IZO)를 포함할 수 있다.
- [0041] 상기 게이트 콘택 전극(GCE)은 상기 게이트 패드 전극(GPE)이 형성된 영역과 대응하는 상기 절연 패턴(IP) 상에 형성되고, 상기 게이트 홀(CT1)을 통해서 상기 게이트 패드 전극(GPE)과 직접적으로 접촉할 수 있다. 상기 데이터 콘택 전극(DCE)은 상기 데이터 패드 전극(DPE)이 형성된 영역과 대응하는 상기 절연 패턴(IP) 상에

형성되고, 상기 데이터 홀(CT2)을 통해서 상기 데이터 패드 전극(DPE)과 직접적으로 접촉할 수 있다. 상기 게이트 콘택 전극(GCE) 및 상기 데이터 콘택 전극(DCE)은 상기 화소 전극(PE)과 실질적으로 동일한 금속층으로 형성될 수 있다.

- [0042] 도 3a 내지 도 3c는 도 2에 도시된 표시 기관의 제조 방법을 설명하기 위한 단면도들이다.
- [0043] 도 3a를 참조하면, 상기 베이스 기관(110) 상에 상기 제어 전극(GE) 및 상기 게이트 패드 전극(GPE)을 포함하는 상기 게이트 패턴, 상기 게이트 절연층(120) 및 상기 소스 전극(SE), 상기 드레인 전극(DE) 및 상기 데이터 패드 전극(DPE)을 포함하는 상기 소스 패턴을 순차적으로 형성한다.
- [0044] 구체적으로, 상기 게이트 패턴은 상기 베이스 기관(110) 상에 형성된 게이트 금속층을 사진 식각 공정을 통해서 패터닝함으로써 형성할 수 있다. 상기 사진 식각 공정에서, 제1 마스크(미도시)를 이용하여 식각 방지 패턴, 예를 들어 포토레지스트 패턴을 형성하고, 상기 식각 방지 패턴을 이용하여 상기 게이트 금속층을 패터닝할 수 있다. 상기 식각 방지 패턴에 의해서 커버되는 상기 게이트 금속층은 상기 베이스 기관(110) 상에 잔류하여 상기 게이트 패턴을 구성하고, 상기 식각 방지 패턴에 의해서 노출되는 상기 게이트 금속층은 제거된다.
- [0045] 상기 게이트 패턴이 형성된 베이스 기관(110) 상에 상기 게이트 절연층(120)을 형성한다. 상기 게이트 절연층(120)은 상기 베이스 기관(110) 상에 전면적으로 형성된다.
- [0046] 상기 게이트 절연층(120)이 형성된 베이스 기관(110) 상에 상기 제1 소스 금속층(ML1) 및 상기 제2 소스 금속층(ML2)을 순차적으로 형성한다. 상기 제1 소스 금속층(ML1)은 티타늄을 포함할 수 있고, 상기 제2 소스 금속층(ML2)은 구리를 포함할 수 있다. 상기 제2 소스 금속층(ML2) 상에 제2 마스크(미도시)를 이용하여 식각 방지 패턴을 형성하고, 이를 이용하여 상기 제1 및 제2 소스 금속층들(ML1, ML2)을 패터닝할 수 있다. 상기 제1 및 제2 소스 금속층들(ML1, ML2)은 일괄 에칭트를 이용하여 한번의 공정으로 습식 식각되어 상기 소스 패턴을 형성할 수 있다. 상기 제1 및 제2 소스 금속층들(ML1, ML2)을 상기 일괄 에칭트를 이용하여 습식 식각하더라도 상기 소스 패턴의 하부에는 상기 게이트 절연층(120)에 의해서 커버된 상기 게이트 패턴만이 형성되어 있는 상태이고 상기 채널 패턴(AP)은 상기 소스 패턴을 형성한 후에 형성하기 때문에 상기 일괄 에칭트에 의한 상기 산화물 반도체층(130)의 손상을 미연에 방지할 수 있다.
- [0047] 도 3b를 참조하면, 상기 소스 패턴이 형성된 베이스 기관(110) 상에 상기 산화물 반도체층(130) 및 상기 제1 절연층(140)을 순차적으로 형성하고, 상기 제1 절연층(140) 상에 제3 마스크(미도시)를 이용하여 포토레지스트 패턴(210)을 형성한다.
- [0048] 상기 산화물 반도체층(130)은 상기 입력 전극(SE), 상기 출력 전극(DE) 및 상기 데이터 패드 전극(DPE) 각각과 접촉하고, 상기 게이트 패드 전극(GPE)이 형성된 영역 상의 상기 게이트 절연층(120)과 접촉한다. 상기 산화물 반도체층(130)은 상기 소스 패턴이 형성된 베이스 기관(110)에 전면적으로 형성될 수 있다. 상기 제1 절연층(140)은 상기 산화물 반도체층(130) 상에 형성된다. 상기 제1 절연층(140)은 상기 산화물 반도체층(130)이 형성된 베이스 기관(110) 상에 전면적으로 형성될 수 있다.
- [0049] 상기 포토레지스트 패턴(210)은 상기 제1 절연층(140) 상에 형성된다. 상기 포토레지스트 패턴(210)은 도 1에 도시된 상기 채널 패턴(AP)이 형성되는 영역인 제1 영역(APA) 및 상기 절연 패턴(IP)이 형성되는 영역인 제2 영역(IPA) 상의 상기 제1 절연층(140)을 커버하고, 상기 이격부(HP)와 대응하는 상기 제1 영역(APA)과 상기 제2 영역(IPA) 사이의 제3 영역(HPA)의 상기 제1 절연층(140)은 노출시킬 수 있다. 상기 제2 영역(IPA) 중에서, 상기 절연 패턴(IP)의 상기 콘택홀(PCT), 상기 게이트 홀(CT1) 및 상기 데이터 홀(CT2)과 대응하는 영역의 상기 제1 절연층(140)은 상기 포토레지스트 패턴(210)에 노출될 수 있다.
- [0050] 상기 포토레지스트 패턴(210)을 식각 방지막으로 이용하여 상기 제1 절연층(140) 및 상기 산화물 반도체층(130)을 패터닝한다. 상기 게이트 패드 전극(GPE) 및 상기 데이터 패드 전극(DPE)이 형성된 영역의 상기 게이트 절연층(120)도 상기 제1 절연층(140) 및 상기 산화물 반도체층(130)을 패터닝하는 공정에서 동시에 패터닝될 수 있다.
- [0051] 도 3c를 참조하면, 상기 제1 절연층(140) 및 상기 산화물 반도체층(130)이 패터닝됨으로써 상기 채널 패턴(AP) 및 상기 절연 패턴(IP)이 형성된다. 상기 채널 패턴(AP)과 상기 절연 패턴(IP)은 상기 제3 영역(HPA)의 상기 제1 절연층(140) 및 상기 산화물 반도체층(130)이 제거됨으로써 서로 이격될 수 있다. 상기 채널 패턴(AP)과 상기 절연 패턴(IP)이 서로 이격됨으로써, 상기 채널 패턴(AP)은 상기 입력 전극(SE)과 상기 출력 전극(DE) 사이에서 상기 스위칭 소자(SW)의 채널 역할을 할 수 있고, 상기 절연 패턴(IP)은 상기 절연 패턴(IP)의 하부에 형성된

패턴들을 보호할 수 있다.

- [0052] 상기 절연 패턴(IP)은 상기 콘택홀(PCT), 상기 게이트 홀(CT1) 및 상기 데이터 홀(CT2)을 포함한다. 상기 출력 전극(DE) 상의 상기 산화물 반도체층(130) 및 상기 제1 절연층(140)이 제거되어 상기 콘택홀(PCT)이 형성되고, 상기 데이터 패드 전극(DPE) 상의 상기 산화물 반도체층(130) 및 상기 제1 절연층(140)이 제거되어 상기 데이터 홀(CT2)이 형성된다. 상기 게이트 패드 전극(GPE) 상의 상기 게이트 절연층(120), 상기 산화물 반도체층(130) 및 상기 제1 절연층(140)이 제거되어 상기 게이트 홀(CT1)이 형성된다.
- [0053] 상기 채널 패턴(AP) 및 상기 절연 패턴(IP)이 형성된 베이스 기판(110) 상에 투명 전극층(TEL)이 형성된다. 상기 투명 전극층(TEL)은 상기 베이스 기판(110)에 전면적으로 형성될 수 있다. 상기 투명 전극층(TEL)은 상기 채널 패턴(AP) 및 상기 절연 패턴(IP) 각각의 상기 제1 절연층(140)과 직접적으로 접촉할 수 있다.
- [0054] 상기 투명 전극층(TEL) 상에 제4 마스크(미도시)를 이용하여 포토레지스트 패턴(310)을 형성하고, 상기 포토레지스트 패턴(310)을 식각 방지막으로 이용하여 상기 투명 전극층(TEL)을 패터닝한다. 이에 따라, 상기 절연 패턴(IP) 상에 상기 화소 전극(PE), 상기 게이트 콘택 전극(GCE) 및 상기 데이터 콘택 전극(DCE)이 형성될 수 있다.
- [0055] 이에 따라, 도 1 및 도 2에 도시된 표시 기판(102)이 제조될 수 있다.
- [0056] 상기에서 설명한 바에 따르면, 상기 산화물 반도체층(130) 및 상기 제1 절연층(140)을 하나의 마스크를 이용하여 패터닝할 수 있어 상기 표시 기판(102)의 제조에 이용되는 마스크의 개수를 줄일 수 있다. 이에 따라, 마스크의 제조비용을 감소시킬 수 있고, 상기 산화물 반도체층(130) 및 상기 제1 절연층(140)의 패터닝 공정을 단순화시킬 수 있어 상기 표시 기판(102)의 생산성을 향상시킬 수 있다.
- [0057] 또한, 상기 채널 패턴(AP) 및 상기 절연 패턴(IP)을 상기 입력 전극(SE) 및 상기 출력 전극(DE)을 포함하는 상기 소스 패턴을 형성한 후에 형성함으로써 상기 채널 패턴(AP)의 상기 산화물 반도체층(130)이 상기 소스 패턴을 형성하는 공정에서 손상되는 것을 미연에 방지할 수 있다. 이에 따라, 상기 채널 패턴(AP)을 포함하는 상기 스위칭 소자(SW)의 신뢰성을 향상시킬 수 있고 나아가 상기 표시 기판(102)의 제조 신뢰성을 향상시킬 수 있다.
- [0058] 도 4는 본 발명의 다른 실시예에 따른 표시 기판의 단면도이다.
- [0059] 도 4에 도시된 표시 기판(104)의 평면도는 도 1에 도시된 표시 기판(102)의 평면도와 실질적으로 동일하다. 따라서 도 4에 도시된 표시 기판(104)의 평면도는 도 1을 참조하여 설명하고, 평면적인 구조에 있어서 중복되는 설명은 생략한다.
- [0060] 도 4를 도 1과 함께 참조하면, 표시 기판(104)은 소스 패턴, 산화물 반도체층(130) 및 제1 절연층(140)을 포함하는 채널 패턴(AP), 절연 패턴(IP), 게이트 패턴, 제2 절연층(150), 화소 전극(PE), 게이트 콘택 전극(GCE) 및 데이터 콘택 전극(DCE)을 포함한다.
- [0061] 상기 소스 패턴은 데이터 라인(DL), 상기 데이터 라인(DL)과 연결된 입력 전극(SE), 상기 입력 전극(SE)과 이격된 출력 전극(DE) 및 상기 데이터 라인(DL)의 일단부와 연결된 데이터 패드 전극(DPE)을 포함한다. 상기 소스 패턴의 하부면이 상기 베이스 기판(110)의 표면과 직접적으로 접촉할 수 있다. 상기 소스 패턴이 제1 소스 금속층(ML1), 제2 소스 금속층(ML2) 및 제3 소스 금속층(ML3)을 포함할 때, 상기 제1 소스 금속층(ML1)의 하부면이 상기 베이스 기판(110)의 표면과 접촉할 수 있다. 상기 제1 소스 금속층(ML1)은 티타늄을 포함하고, 상기 제2 소스 금속층(ML2)은 구리를 포함하며, 상기 제3 소스 금속층(ML3)은 티타늄을 포함할 수 있다. 이와 달리, 상기 소스 패턴은 상기 제3 소스 금속층(ML3) 없이 상기 제1 및 제2 소스 금속층들(ML1, ML2)을 포함할 수 있다.
- [0062] 상기 채널 패턴(AP)은 상기 입력 전극(SE) 및 상기 출력 전극(DE)이 서로 이격된 이격 영역에 형성된다. 상기 채널 패턴(AP)은 산화물 반도체층(130) 및 상기 산화물 반도체층(130) 상에 형성된 제1 절연층(140)을 포함할 수 있다. 상기 채널 패턴(AP)에서, 상기 산화물 반도체층(130)의 측면면은 상기 제1 절연층(140)의 측면면과 동일 평면상에 배치될 수 있다.
- [0063] 상기 채널 패턴(AP)은 상기 입력 전극(SE) 및 상기 출력 전극(DE) 각각과 부분적으로 접촉할 수 있다. 이에 따라, 상기 채널 패턴(AP)의 상기 산화물 반도체층(130)이 상기 입력 전극(SE) 및 상기 출력 전극(DE) 각각과 직접적으로 접촉한다. 상기 산화물 반도체층(130)의 하부면이 상기 입력 전극(SE) 및 상기 출력 전극(DE) 각각의 상부면과 직접적으로 접촉할 수 있다. 상기 입력 전극(SE) 중에서 상기 출력 전극(DE)과 마주하는 일단부와 상기 채널 패턴(AP)의 제1 단부가 중첩되고 직접적으로 접촉할 수 있다. 또한, 상기 출력 전극(DE) 중에서 상기 입력 전극(SE)과 마주하는 일단부와 상기 제1 단부의 타단인 상기 채널 패턴(AP)의 제2 단부가 중첩되고 직접적

으로 접촉할 수 있다.

- [0064] 상기 절연 패턴(IP)은 이격부(HP)에서 상기 채널 패턴(AP)과 이격되고, 상기 채널 패턴(AP)을 둘러싸도록 형성된다. 상기 절연 패턴(IP)은 상기 채널 패턴(AP)이 형성된 영역 및 상기 이격부(HP)와 대응하는 영역을 제외한 상기 베이스 기판(110) 상에 전체적으로 형성될 수 있다. 상기 절연 패턴(IP)은 상기 출력 전극(DE)을 부분적으로 노출시키는 콘택홀(PCT) 및 상기 데이터 패드 전극(DPE)을 부분적으로 노출시키는 데이터 홀(CT2)을 포함할 수 있다. 상기 절연 패턴(IP)은 상기 이격부(HP)에 의해서 상기 채널 패턴(AP)과 물리적 및 전기적으로 분리될 수 있다. 상기 절연 패턴(IP)은 상기 소스 패턴을 보호할 수 있다.
- [0065] 상기 게이트 패턴은 상기 데이터 라인(DL)과 교차하는 게이트 라인(GL), 상기 게이트 라인(GL)과 연결된 제어 전극(GE) 및 상기 게이트 라인(GL)의 일단부에 형성된 게이트 패드 전극(GPE)을 포함할 수 있다. 상기 게이트 라인(GL)은 상기 절연 패턴(IP) 상에 형성되어 상기 게이트 라인(GL)과 절연될 수 있다. 상기 제어 전극(GE)은 상기 채널 패턴(AP) 상에 형성된다. 상기 제어 전극(GE)은 상기 입력 전극(SE) 및 상기 출력 전극(DE)의 이격 영역에 배치되어, 상기 입력 전극(SE) 및 상기 출력 전극(DE) 각각의 단부들과 중첩될 수 있다. 상기 제어 전극(GE)은 상기 채널 패턴(AP)의 상기 제1 절연층(140)과 직접적으로 접촉할 수 있다. 상기 게이트 패드 전극(GPE)은 상기 절연 패턴(IP) 상에 형성되어, 상기 절연 패턴(IP)의 상기 제1 절연층(140)과 직접적으로 접촉할 수 있다.
- [0066] 상기 제2 절연층(150)은 상기 게이트 패턴, 상기 채널 패턴(AP) 및 상기 절연 패턴(IP) 상에 형성될 수 있다. 상기 채널 패턴(AP) 및 상기 절연 패턴(IP) 상에 형성된 상기 제2 절연층(150)의 측면면들은 각각 상기 채널 패턴(AP)의 측면면들과 상기 절연 패턴(IP)의 측면면들과 동일 평면상에 배치될 수 있다. 즉, 상기 제2 절연층(150)은 이격부(HP), 상기 콘택홀(PCT) 및 상기 데이터 홀(CT2)과 대응하는 영역들 각각에 형성된 홀들을 포함할 수 있다. 또한, 상기 제2 절연층(150)은 상기 게이트 패드 전극(GPE)을 부분적으로 노출시키는 게이트 홀(CT1)을 포함할 수 있다.
- [0067] 상기 화소 전극(PE), 상기 게이트 콘택 전극(GCE) 및 상기 데이터 콘택 전극(DCE)은 상기 제2 절연층(150) 상에 형성되고, 상기 화소 전극(PE)은 상기 콘택홀(PCT) 및 상기 콘택홀(PCT)과 대응하는 상기 제2 절연층(150)의 제1 홀을 통해서 상기 출력 전극(DE)과 직접적으로 접촉할 수 있다. 상기 게이트 콘택 전극(GCE)은 상기 제2 절연층(150)의 상기 게이트 홀(CT1)을 통해서 상기 게이트 패드 전극(GPE)과 직접적으로 접촉할 수 있다. 또한, 상기 데이터 콘택 전극(DCE)은 상기 데이터 홀(CT2) 및 상기 데이터 홀(CT2)과 대응하는 상기 제2 절연층(150)의 제2 홀을 통해서 상기 데이터 패드 전극(DPE)과 직접적으로 접촉할 수 있다.
- [0068] 도 5a 내지 도 5c는 도 4에 도시된 표시 기판의 제조 방법을 설명하기 위한 단면도들이다.
- [0069] 도 5a를 참조하면, 상기 베이스 기판(110) 상에 제1 마스크를 이용하여 상기 소스 패턴을 형성하고, 상기 소스 패턴이 형성된 베이스 기판(110) 상에 상기 산화물 반도체층(130) 및 상기 제1 절연층(140)을 순차적으로 형성하고, 상기 제1 절연층(140) 상에 상기 게이트 패턴을 형성한다.
- [0070] 구체적으로, 상기 베이스 기판(110) 상에 상기 제1, 제2 및 제3 소스 금속층들(ML1, ML2, ML3)을 순차적으로 형성하고, 상기 제3 소스 금속층(ML3) 상에 제1 마스크(미도시)를 이용하여 식각 방지 패턴을 형성한다. 이어서, 상기 식각 방지 패턴을 이용하여 상기 제1, 제2 및 제3 소스 금속층들(ML1, ML2, ML3)을 패터닝함으로써 상기 소스 패턴을 형성할 수 있다. 상기 제1, 제2 및 제3 소스 금속층들(ML1, ML2, ML3)은 일괄 에천트를 이용하여 한번의 습식 식각 공정을 통해서 패터닝될 수 있다.
- [0071] 상기 소스 패턴이 형성된 베이스 기판(110) 상에 상기 산화물 반도체층(130) 및 상기 제1 절연층(140)을 형성한다. 상기 산화물 반도체층(130) 및 상기 제1 절연층(140)은 상기 베이스 기판(110)에 전면적으로 형성될 수 있다. 상기 게이트 패턴은 상기 제1 절연층(140)이 형성된 베이스 기판(110) 상에 형성된다. 상기 제1 절연층(140)이 형성된 베이스 기판(110) 상에 전면적으로 게이트 금속층을 형성하고, 제2 마스크(미도시)를 이용하여 상기 게이트 금속층을 패터닝하여 상기 게이트 패턴을 형성한다. 상기 제어 전극(GE)은 상기 입력 전극(SE)과 상기 출력 전극(DE) 사이의 이격 영역에 형성된다.
- [0072] 도 5b를 참조하면, 상기 게이트 패턴이 형성된 베이스 기판(110) 상에 상기 제2 절연층(150)을 형성하고, 상기 제2 절연층(150) 상에 제3 마스크(미도시)를 이용하여 포토레지스트 패턴(220)을 형성한다.
- [0073] 상기 제2 절연층(150)은 상기 베이스 기판(110) 상에 전면적으로 형성되어 상기 게이트 패턴을 모두 커버할 수 있다. 상기 제2 절연층(150)은 상기 게이트 패턴과 상기 제1 절연층(140)과 직접적으로 접촉할 수 있다.

- [0074] 상기 포토레지스트 패턴(220)은 상기 이격부(HP)와 대응하는 영역의 상기 제2 절연층(150)을 노출시킨다. 또한, 상기 포토레지스트 패턴(220)은 상기 출력 전극(DE), 상기 게이트 패드 전극(GPE) 및 상기 데이터 패드 전극(DPE)이 형성된 영역 각각 상부에 형성된 상기 제2 절연층(150)을 노출시킬 수 있다.
- [0075] 상기 포토레지스트 패턴(220)을 식각 방지막으로 이용하여 상기 제2 절연층(150), 상기 제1 절연층(140) 및 상기 산화물 반도체층(130)을 패터닝한다. 이에 따라, 상기 게이트 패드 전극(GPE) 상의 상기 제2 절연층(150)이 제거될 수 있다. 상기 출력 전극(DE) 상의 상기 제2 절연층(150)이 제거되고, 상기 제1 절연층(140) 및 상기 산화물 반도체층(130)이 제거된다. 또한, 상기 데이터 패드 전극(DPE) 상의 상기 제1 및 제2 절연층들(140, 150) 및 상기 산화물 반도체층(130)이 제거된다.
- [0076] 도 5c를 참조하면, 상기 제1 및 제2 절연층들(140, 150) 및 상기 산화물 반도체층(130)이 패터닝됨으로써 상기 채널 패턴(AP)과, 상기 콘택홀(PCT) 및 상기 데이터 홀(CT2)을 포함하는 상기 절연 패턴(IP)이 형성된다. 또한, 상기 제2 절연층(150)에 상기 게이트 패드 전극(GPE)을 노출시키는 상기 게이트 홀(CT1), 상기 이격부(HP)와 대응하는 홀 및 상기 데이터 홀(CT2)과 대응하는 홀이 형성될 수 있다.
- [0077] 상기 채널 패턴(AP), 상기 절연 패턴(IP) 및 패터닝된 상기 제2 절연층(150)이 형성된 베이스 기판(110) 상에 투명 전극층(TEL)을 형성하고, 상기 투명 전극층(TEL) 상에 제4 마스크(미도시)를 이용하여 포토레지스트 패턴(320)을 형성한다.
- [0078] 상기 투명 전극층(TEL)은 상기 베이스 기판(110) 상에 전면적으로 형성될 수 있다. 상기 포토레지스트 패턴(320)을 이용하여 상기 투명 전극층(TEL)을 패터닝함으로써, 상기 게이트 콘택 전극(GCE), 상기 화소 전극(PE) 및 상기 데이터 콘택 전극(DCE)이 형성될 수 있다.
- [0079] 이에 따라, 도 4에 도시된 표시 기관(104)이 제조될 수 있다.
- [0080] 상기에서 설명한 바에 따르면, 상기 게이트 패턴을 보호할 수 있는 상기 제2 절연층(150)을 형성하더라도 상기 제2 절연층(150)을, 상기 제1 절연층(140) 및 상기 산화물 반도체층(130)과 함께 패터닝함으로써 추가적인 마스크 이용 없이 최소한의 마스크만으로 상기 표시 기관(104)을 제조할 수 있다. 이에 따라, 제조비용 및 공정 수를 감소시킴으로써 상기 표시 기관(104)의 생산성을 향상시킬 수 있다. 또한, 상기 표시 기관(104)을 제조하는 공정에서는, 상기 소스 패턴을 형성한 후에 상기 채널 패턴(AP) 및 상기 절연 패턴(IP)을 형성하므로 상기 소스 패턴을 형성하는데 이용되는 식각액이나 식각 가스에 의해서 상기 산화물 반도체층(130)이 손상되는 것을 원천적으로 방지할 수 있다.
- [0081] 도 6은 본 발명의 또 다른 실시예에 따른 표시 기관의 평면도이다.
- [0082] 도 7은 도 6의 III-III' 라인 및 IV-IV' 라인을 따라 절단한 단면도이다.
- [0083] 도 6에서, 게이트 패드 전극(GPE)이 게이트 콘택 전극(GCE)과 도 1 및 도 2에 도시된 게이트 홀(CT1) 없이 직접적으로 콘택하는 것을 제외하고는, 표시 기관(106)의 평면 구조는 도 1에 도시된 표시 기관(102)의 평면 구조와 실질적으로 동일하고, 단면 구조는 제2 절연층(150)을 포함하지 않는 것을 제외하고는 도 4에 도시된 표시 기관(104)의 단면 구조와 실질적으로 동일하다. 따라서 평면 구조에 있어서는 도 1에 도시된 표시 기관(102)과, 단면 구조에 있어서는 도 4에 도시된 표시 기관(104)과 중복되는 설명은 생략한다.
- [0084] 도 6 및 도 7을 참조하면, 표시 기관(106)은 베이스 기판(110) 상에 형성된 소스 패턴, 채널 패턴(AP), 절연 패턴(IP), 게이트 패턴 및 화소 전극(PE)을 포함한다. 상기 표시 기관(106)은 게이트 콘택 전극(GCE) 및 데이터 콘택 전극(DCE)을 더 포함할 수 있다.
- [0085] 상기 소스 패턴은 데이터 라인(DL), 입력 전극(SE), 출력 전극(DE) 및 데이터 패드 전극(DPE)을 포함한다. 상기 소스 패턴은 상기 베이스 기판(110) 상에 형성된다.
- [0086] 상기 채널 패턴(AP)은 상기 소스 패턴 중에서 입력 전극(SE) 및 출력 전극(DE)의 이격 영역에 형성되고 양단부가 상기 입력 및 출력 전극들(SE, DE)과 각각 직접적으로 접촉한다.
- [0087] 상기 절연 패턴(IP)은 상기 채널 패턴(AP)과 이격되어 상기 채널 패턴(AP)을 둘러싸도록 형성된다. 상기 절연 패턴(IP)에 의해서 상기 데이터 라인(DL)과 상기 게이트 패턴의 게이트 라인(GL)이 절연될 수 있다. 상기 절연 패턴(IP)은 상기 출력 전극(DE)을 노출시키는 콘택홀(PCT) 및 상기 데이터 패드 전극(DPE)을 노출시키는 데이터 홀(CT2)을 포함한다.
- [0088] 상기 게이트 패턴은 상기 게이트 라인(GL), 제어 전극(GE) 및 게이트 패드 전극(GPE)을 포함하고, 상기 제어 전

극(GE)이 상기 채널 패턴(AP)의 상기 제1 절연층(140) 상에 형성된다. 상기 게이트 패드 전극(GPE)은 상기 절연 패턴(IP)의 상기 제1 절연층(140) 상에 형성된다.

- [0089] 상기 화소 전극(PE)은 상기 절연 패턴(IP) 상에 형성되고, 상기 콘택홀(PCT)을 통해서 상기 출력 전극(DE)과 직접적으로 콘택할 수 있다. 상기 게이트 콘택 전극(GCE)은 상기 게이트 패드 전극(GPE) 상에 형성되어 상기 게이트 패드 전극(GPE) 전체가 상기 게이트 콘택 전극(GCE)에 의해서 커버될 수 있다. 상기 게이트 패드 전극(GPE)이 상기 절연 패턴(IP) 상에 형성됨으로써, 상기 게이트 콘택 전극(GCE)이 상기 게이트 패드 전극(GPE)을 전체적으로 커버할 수 있다. 상기 데이터 콘택 전극(DCE)은 상기 절연 패턴(IP) 상에 형성되어, 상기 데이터 홀(CT2)을 통해서 상기 데이터 패드 전극(DPE)의 일부와 직접적으로 접촉할 수 있다.
- [0090] 도 8a 및 도 8b는 도 7에 도시된 표시 기관의 제조 방법을 설명하기 위한 단면도들이다.
- [0091] 도 8a를 참조하면, 상기 베이스 기관(110) 상에 제1 마스크(미도시)를 이용하여 상기 소스 패턴을 형성한 후, 상기 소스 패턴이 형성된 베이스 기관(110) 상에 상기 산화물 반도체층(130) 및 상기 제1 절연층(140)을 순차적으로 형성한다. 상기 산화물 반도체층(130) 및 상기 제1 절연층(140)은 상기 베이스 기관(110)에 전면적으로 형성될 수 있다. 이어서, 상기 제1 절연층(140) 상에 제2 마스크(미도시)를 이용하여 포토레지스트 패턴(230)을 형성한다.
- [0092] 상기 포토레지스트 패턴(220)은 도 6 및 도 7에 도시된 상기 채널 패턴(AP)이 형성되는 영역인 제1 영역(APA) 및 상기 절연 패턴(IP)이 형성되는 영역인 제2 영역(IPA) 상의 상기 제1 절연층(140)은 커버하고, 상기 이격부(HP)와 대응하는 상기 제1 영역(APA)과 상기 제2 영역(IPA) 사이의 제3 영역(HPA)의 상기 제1 절연층(140)은 노출시킬 수 있다. 상기 제2 영역(IPA) 중에서, 상기 절연 패턴(IP)의 상기 콘택홀(PCT) 및 상기 데이터 홀(CT2)과 대응하는 영역의 상기 제1 절연층(140)은 상기 포토레지스트 패턴(230)에 노출될 수 있다.
- [0093] 상기 포토레지스트 패턴(230)을 식각 방지막으로 이용하여 상기 제1 절연층(140) 및 상기 산화물 반도체층(130)을 패터닝한다.
- [0094] 도 8b를 참조하면, 상기 제1 절연층(140) 및 상기 산화물 반도체층(130)이 패터닝됨으로써 상기 채널 패턴(AP) 및 상기 절연 패턴(IP)이 형성된다. 상기 채널 패턴(AP)과 상기 절연 패턴(IP)은 상기 제3 영역(HPA)의 상기 제1 절연층(140) 및 상기 산화물 반도체층(130)이 제거됨으로써 서로 이격될 수 있다.
- [0095] 상기 채널 패턴(AP) 및 상기 절연 패턴(IP)이 형성된 베이스 기관(110) 상에 상기 게이트 패턴을 형성한다. 상기 게이트 패턴은 제3 마스크(미도시)를 이용하여 형성하는 식각 방지 패턴을 이용하여 게이트 금속층을 패터닝함으로써 형성할 수 있다. 상기 제어 전극(GE)은 상기 채널 패턴(AP) 상에 형성되고, 상기 게이트 라인(GL) 및 상기 게이트 패드 전극(GPE) 각각은 상기 절연 패턴(IP) 상에 형성될 수 있다.
- [0096] 상기 게이트 패턴이 형성된 베이스 기관(110) 상에 투명 전극층(TEL)을 형성한다. 상기 투명 전극층(TEL) 상에 제4 마스크(미도시)를 이용하여 포토레지스트 패턴(330)을 형성하고, 상기 포토레지스트 패턴(330)을 식각 방지막으로 상기 투명 전극층(TEL)을 패터닝한다. 이에 따라, 상기 화소 전극(PE), 상기 게이트 콘택 전극(GCE) 및 상기 데이터 콘택 전극(DCE)이 형성될 수 있다.
- [0097] 이에 따라, 도 6 및 도 7에 도시된 표시 기관(106)이 제조될 수 있다.
- [0098] 상기에서 설명한 바에 따르면, 상기 산화물 반도체층(130) 및 상기 제1 절연층(140)을 하나의 마스크를 이용하여 패터닝할 수 있어 상기 표시 기관(106)의 제조에 이용되는 마스크의 개수를 줄일 수 있다. 또한, 상기 채널 패턴(AP) 및 상기 절연 패턴(IP)을 상기 입력 전극(SE) 및 상기 출력 전극(DE)을 포함하는 상기 소스 패턴을 형성한 후에 형성함으로써 상기 채널 패턴(AP)의 상기 산화물 반도체층(130)이 상기 소스 패턴을 형성하는 공정에서 손상되는 것을 미연에 방지할 수 있다.
- [0099] 도 9는 본 발명의 더욱 또 다른 실시예에 따른 표시 기관의 평면도이다.
- [0100] 도 10은 도 9의 V-V' 라인 및 VI-VI' 라인을 따라 절단한 단면도이다.
- [0101] 도 9 및 도 10에 도시된 표시 기관(108)은, 제어 전극(GE)을 포함하는 게이트 패턴이 화소 전극(PE)과 동일한 금속층을 포함하고 게이트 패드 전극(GPE) 상에 도 6 및 도 7에 도시된 게이트 콘택 전극(GCE)이 형성되지 않는 것을 제외하고는 도 6 및 도 7에서 설명한 표시 기관(104)과 실질적으로 동일하다. 따라서 중복되는 설명은 생략한다.
- [0102] 도 9 및 도 10을 참조하면, 표시 기관(108)은 베이스 기관(110) 상에 형성된 소스 패턴, 채널 패턴(AP), 절연

패턴(IP), 게이트 패턴, 화소 전극(PE) 및 데이터 콘택 전극(DCE)을 포함한다.

- [0103] 상기 소스 패턴은 데이터 라인(DL), 입력 전극(SE), 출력 전극(DE) 및 데이터 패드 전극(DPE)을 포함한다. 상기 소스 패턴은 제1, 제2 및 제3 소스 금속층들(ML1, ML2, ML3)을 포함할 수 있다. 이와 달리, 상기 소스 패턴은 상기 제3 소스 금속층(ML3)이 생략되고, 티타늄을 포함하는 상기 제1 소스 금속층(ML1) 및 구리를 포함하는 상기 제2 소스 금속층(ML2)을 포함하는 이중층 구조를 가질 수 있다.
- [0104] 상기 채널 패턴(AP)은 상기 입력 전극(SE)과 상기 출력 전극(DE)의 이격 영역에 형성되고, 상기 절연 패턴(IP)과 소정 간격 이격되어 형성된다. 상기 절연 패턴(IP)은 상기 출력 전극(DE)을 부분적으로 노출시키는 콘택홀(PCT) 및 상기 데이터 패드 전극(DPE)을 부분적으로 노출시키는 데이터 홀(CT2)을 포함할 수 있다. 상기 채널 패턴(AP) 및 상기 절연 패턴(IP) 각각은 상기 소스 패턴 및/또는 상기 베이스 기판(110)의 표면과 직접적으로 접촉하는 산화물 반도체층(130) 및 상기 산화물 반도체층(130) 상에 형성된 제1 절연층(140)을 포함한다.
- [0105] 상기 게이트 패턴은 게이트 라인(GL), 제어 전극(GE) 및 게이트 패드 전극(GPE)을 포함한다. 상기 게이트 패턴은 상기 화소 전극(PE)과 실질적으로 동일한 금속층을 포함한다. 즉, 상기 게이트 패턴은, 상기 화소 전극(PE)이 형성되는 공정에서 형성될 수 있다. 반대로, 상기 화소 전극(PE)이 상기 게이트 패턴을 형성하는 공정에서 형성될 수 있다. 상기 게이트 패턴은 상기 화소 전극(PE)과 같이 투명한 도전성 물질로 형성될 수 있다.
- [0106] 상기 화소 전극(PE)은 상기 출력 전극(DE)과 상기 콘택홀(PCT)을 통해서 접촉할 수 있다. 상기 데이터 패드 전극(DPE)은 상기 화소 전극(PE)과 실질적으로 동일한 금속층을 포함하는 상기 데이터 콘택 전극(DCE)과 부분적으로 접촉하여 전기적으로 연결될 수 있다.
- [0107] 도 11은 도 10에 도시된 표시 기판의 제조 방법을 설명하기 위한 단면도이다.
- [0108] 도 10에 도시된 표시 기판의 제조 방법은, 상기 게이트 패턴, 상기 화소 전극(PE) 및 상기 데이터 콘택 전극(DCE)을 형성하는 단계 이전의 단계들은 도 8a에서 설명한 것과 실질적으로 동일하다. 따라서 중복되는 설명은 생략하고 도 11을 참조하여 상기 채널 패턴(AP) 및 상기 절연 패턴(IP)이 형성된 베이스 기판(110) 상에 상기 게이트 패턴, 상기 화소 전극(PE) 및 상기 데이터 콘택 전극(DCE)을 형성하는 공정에 대해서 설명한다.
- [0109] 도 11을 참조하면, 상기 채널 패턴(AP) 및 상기 절연 패턴(IP)이 형성된 베이스 기판(110) 상에 투명 전극층(TEL)을 형성한다. 상기 투명 전극층(TEL)은 상기 채널 패턴(AP) 및 상기 절연 패턴(IP)이 형성된 베이스 기판(110)을 전체적으로 커버할 수 있다.
- [0110] 상기 투명 전극층(TEL) 상에 제3 마스크(미도시)를 이용하여 포토레지스트 패턴(340)을 형성한다. 상기 제3 마스크는, 상기 소스 패턴을 형성하는 제1 마스크와 상기 채널 패턴(AP) 및 상기 절연 패턴(IP)을 형성하는 제2 마스크와는 다른 마스크이다. 상기 포토레지스트 패턴(340)을 식각 방지막으로 이용하여 상기 투명 전극층(TEL)을 패터닝하여 상기 게이트 패턴, 상기 화소 전극(PE) 및 상기 데이터 패드 전극(DPE)을 형성한다. 즉, 상기 투명 전극층(TEL)을 패터닝하여 상기 게이트 라인(GL), 상기 제어 전극(GE), 상기 게이트 패드 전극(GPE), 상기 화소 전극(PE) 및 상기 데이터 콘택 전극(DCE)을 형성할 수 있다. 도 9 및 도 10에 도시된 상기 게이트 패턴은 상기 화소 전극(PE) 및 상기 데이터 콘택 전극(DCE)과 같이 투명한 패턴을 가질 수 있다.
- [0111] 이에 따라, 도 9 및 도 10에 도시된 표시 기판(108)이 제조될 수 있다.
- [0112] 상기에서 설명한 바에 따르면, 상기 게이트 패턴, 상기 화소 전극(PE) 및 상기 데이터 콘택 전극(DCE)을 상기 제3 마스크를 이용하여 하나의 금속층을 패터닝하여 형성함으로써 상기 표시 기판(108)을 제조하는데 이용되는 마스크의 수를 도 9 및 도 10에 도시된 표시 기판(106)을 제조하는데 이용되는 마스크의 수에 비해 상대적으로 감소시킬 수 있다. 이에 따라, 상기 표시 기판(108)의 생산성을 향상시킬 수 있다. 또한, 상기 표시 기판(108)을 제조하는 공정에서는, 상기 소스 패턴을 형성한 후에 상기 채널 패턴(AP) 및 상기 절연 패턴(IP)을 형성하므로 상기 소스 패턴을 형성하는데 이용되는 식각액이나 식각 가스에 의해서 상기 산화물 반도체층(130)이 손상되는 것을 원천적으로 방지할 수 있다.
- [0113] 이상 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

산업상 이용가능성

- [0114] 이상에서 상세하게 설명한 바에 의하면, 표시 기판이 산화물 반도체층의 손상은 최소화된 박막 트랜지스터를 포

함할 수 있다. 이에 따라, 상기 박막 트랜지스터를 포함하는 표시 기관의 신뢰성을 향상시킬 수 있다.

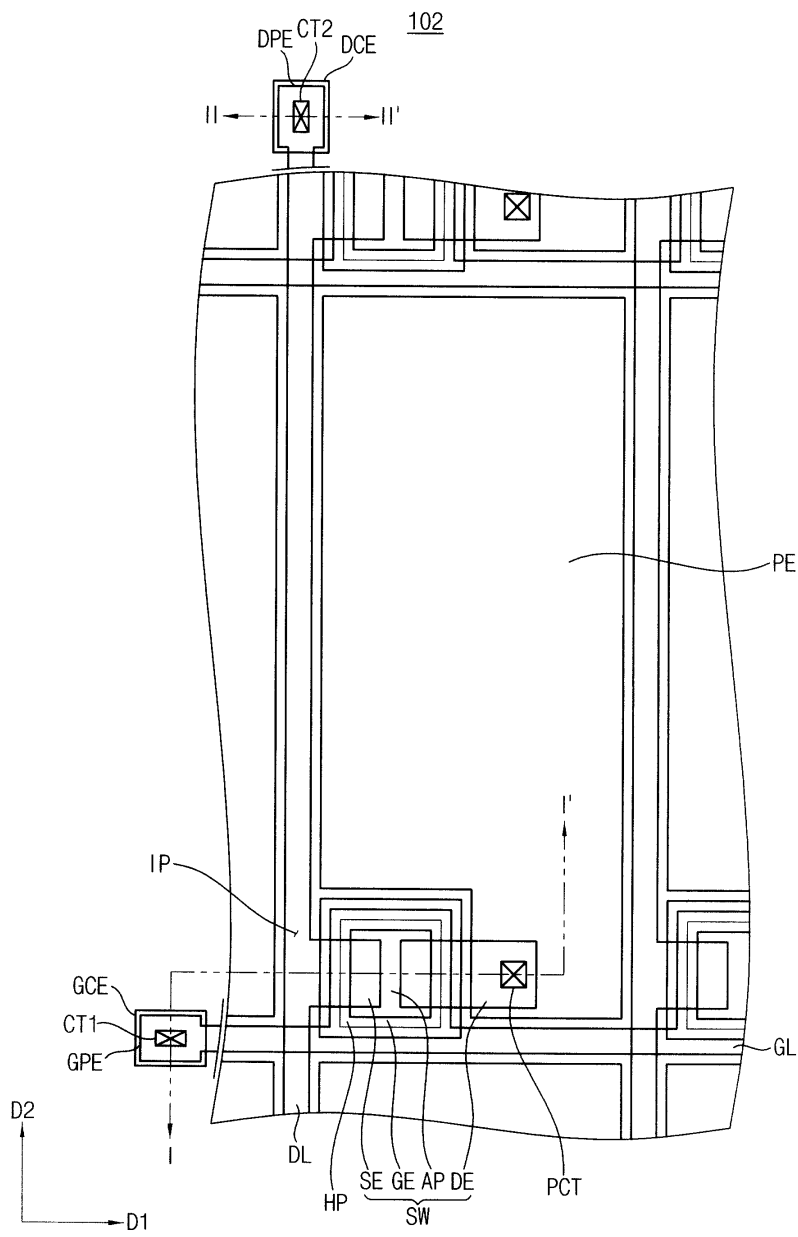
[0115] 또한, 상기 산화물 반도체층을, 상기 산화물 반도체층 상에 형성된 제1 절연층과 하나의 마스크를 이용하여 패터닝함으로써 상기 표시 기관의 제조에 이용되는 마스크의 수를 줄일 수 있다. 나아가, 상기 산화물 반도체층 및 상기 제1 절연층의 패터닝 공정에서 상기 산화물 반도체층의 손상을 최소화시킬 수 있다. 이에 따라, 상기 표시 기관의 생산성 및 제조 신뢰성을 향상시킬 수 있다.

부호의 설명

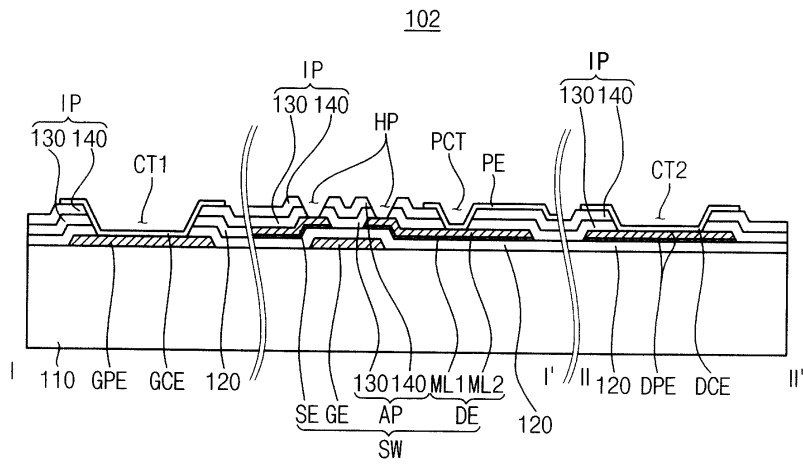
[0116] 102, 104, 106, 108: 표시 기관 110: 베이스 기관
 GL: 게이트 라인 DL: 데이터 라인
 AP: 채널 패턴 IP: 절연 패턴
 HP: 이격부 120: 게이트 절연층
 130, 150: 제1, 제2 절연층 140: 산화물 반도체층
 GE: 제어 전극 SE: 입력 전극
 DE: 출력 전극 PCT: 콘택홀
 CT1: 게이트 홀 CT2: 데이터 홀
 ML1, ML2, ML3: 제1, 제2, 제3 소스 금속층

도면

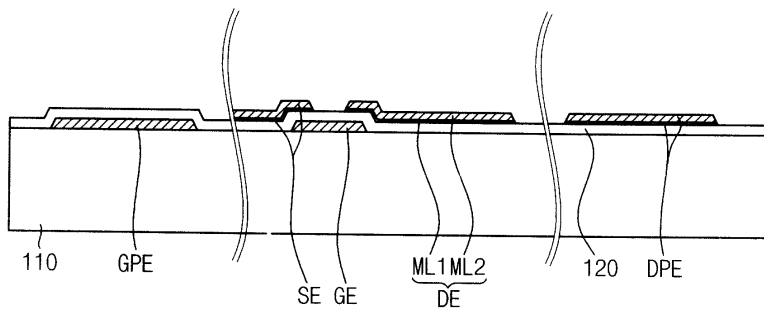
도면1



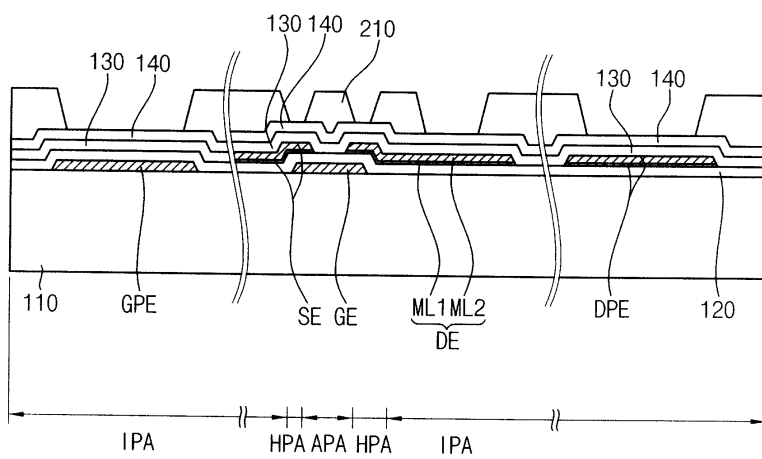
도면2



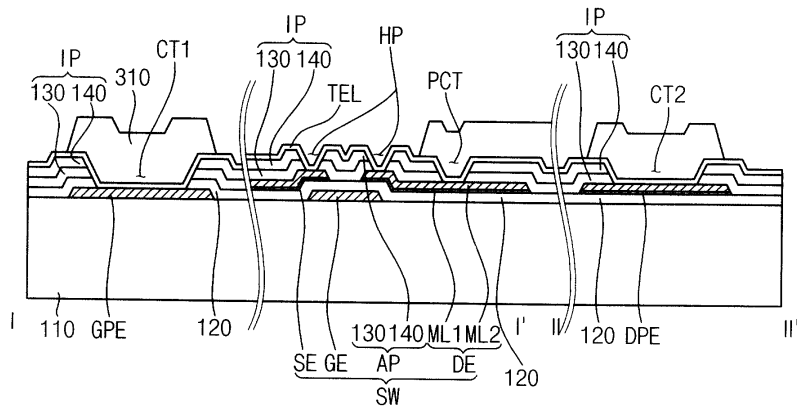
도면3a



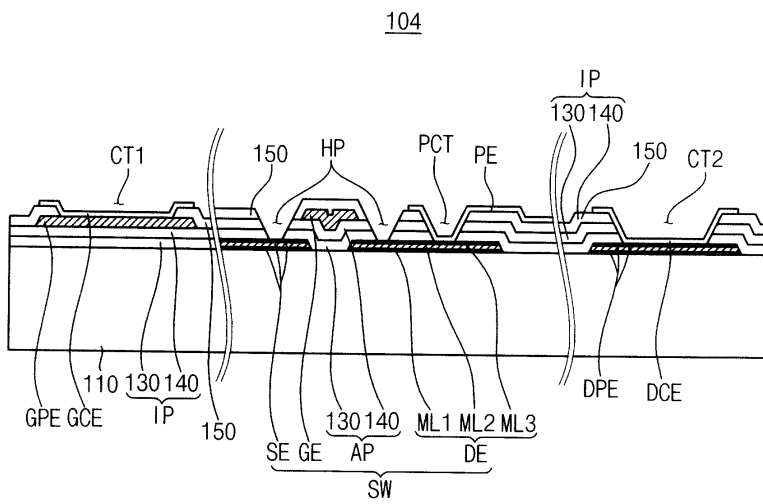
도면3b



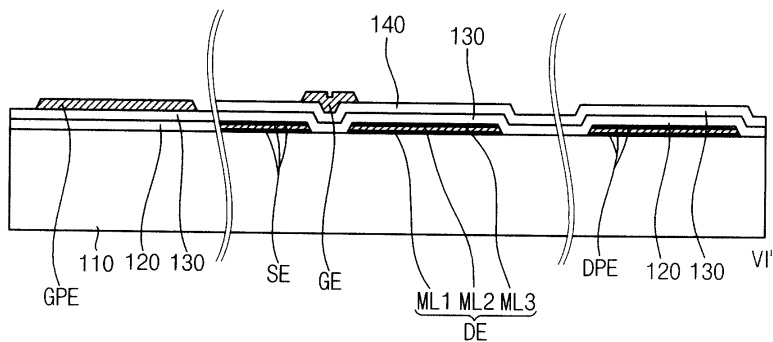
도면3c



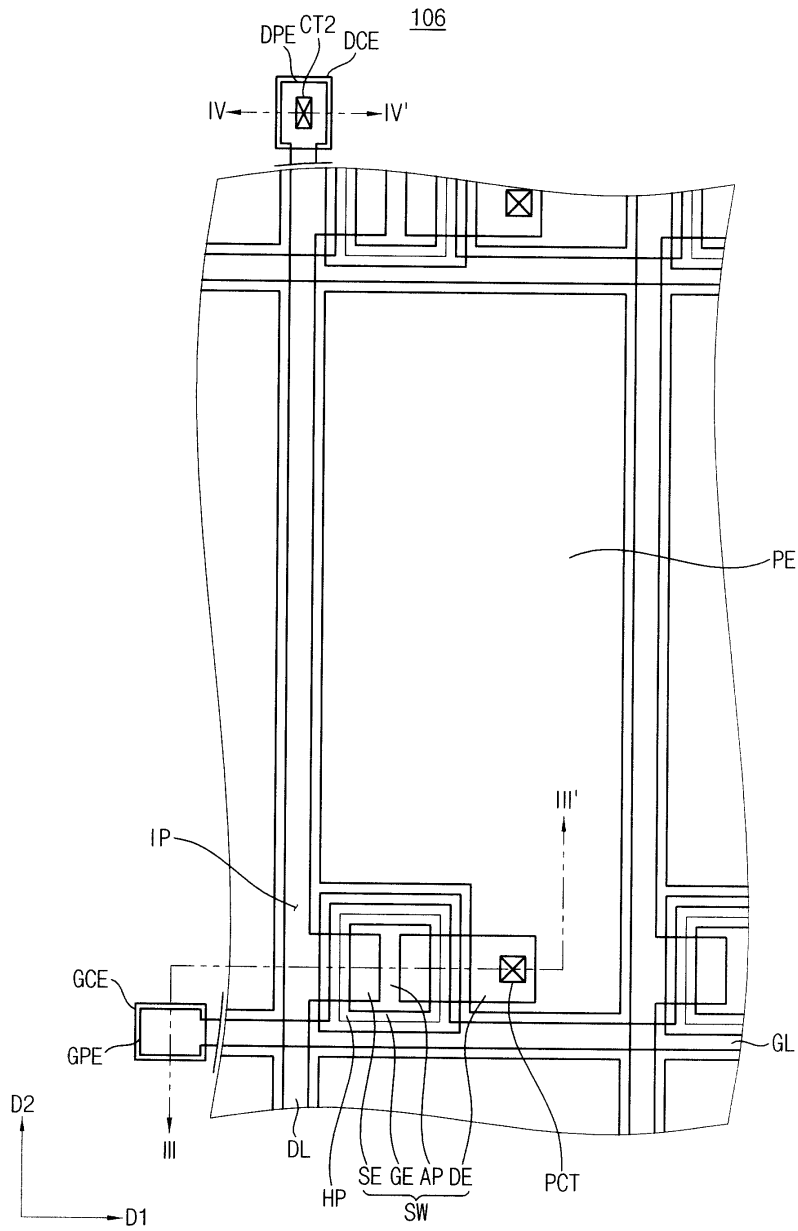
도면4



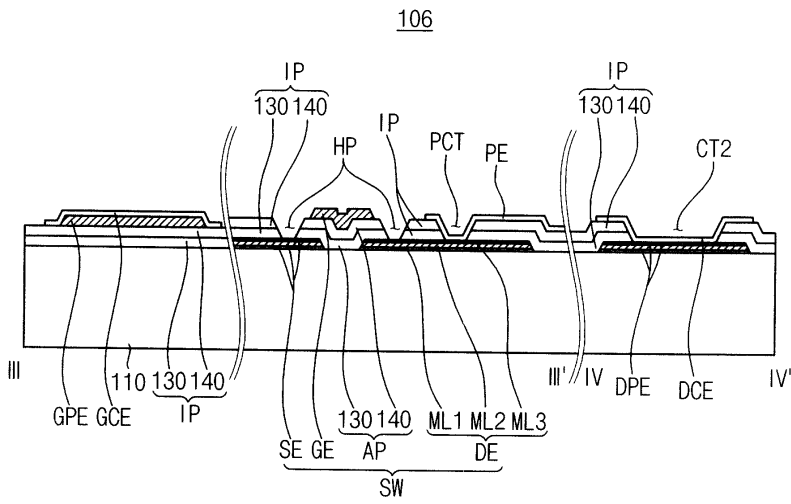
도면5a



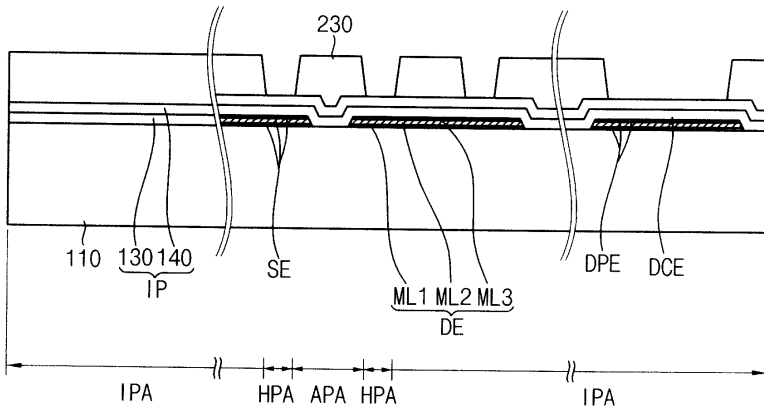
도면6



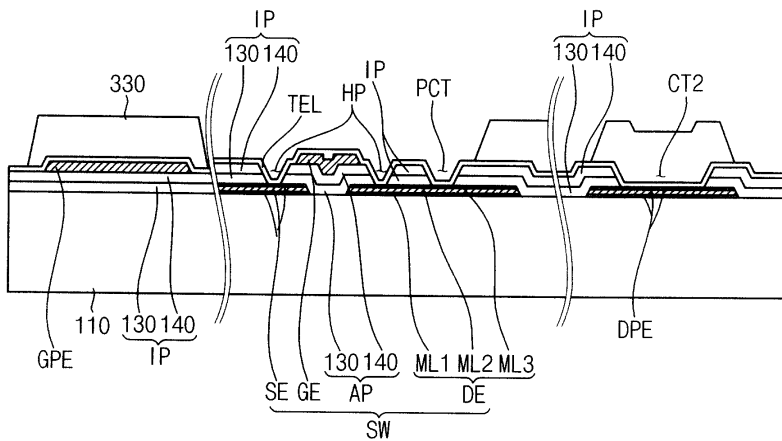
도면7



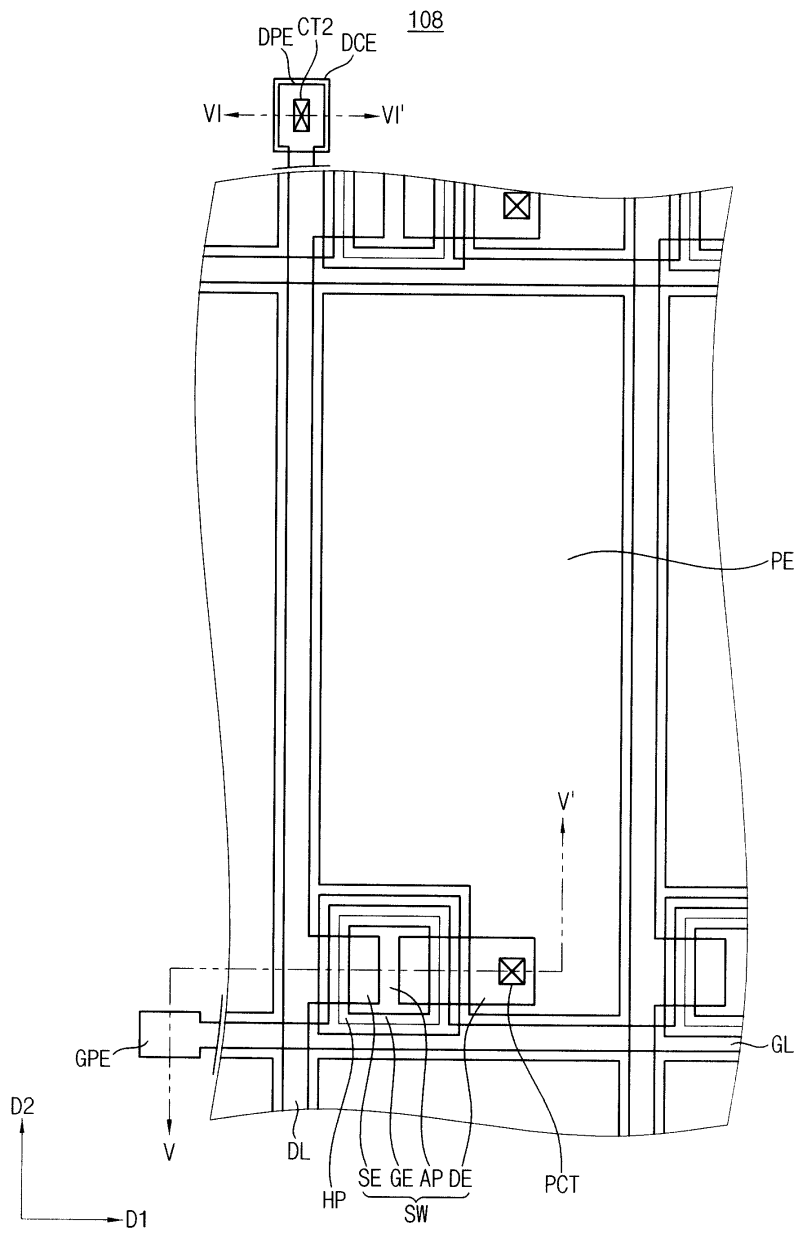
도면8a



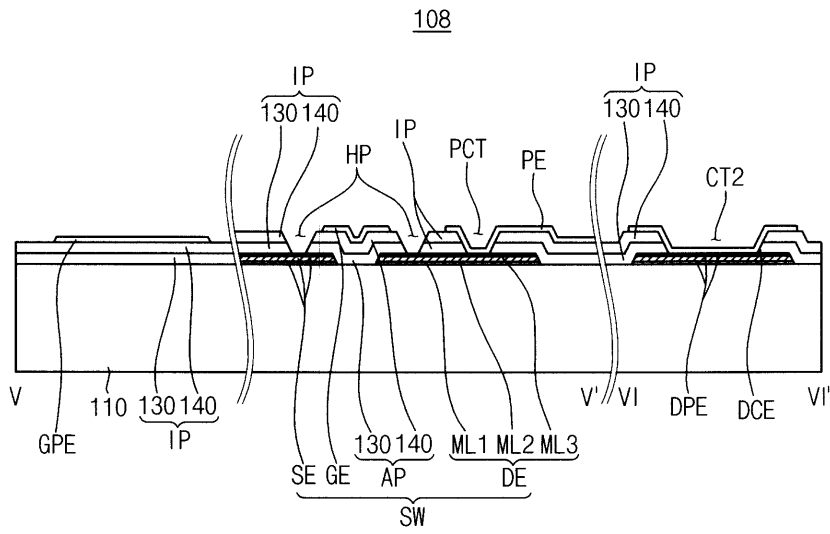
도면8b



도면9



도면10



도면11

