

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-86090

(P2016-86090A)

(43) 公開日 平成28年5月19日(2016.5.19)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 C	5 F 0 3 3
HO 1 L 27/04 (2006.01)	HO 1 L 21/88 Z	5 F 0 3 8
HO 1 L 21/3205 (2006.01)		
HO 1 L 21/768 (2006.01)		
HO 1 L 23/522 (2006.01)		

審査請求 未請求 請求項の数 14 O L (全 30 頁)

(21) 出願番号 特願2014-218267 (P2014-218267)  
 (22) 出願日 平成26年10月27日 (2014.10.27)

(71) 出願人 302062931  
 ルネサスエレクトロニクス株式会社  
 東京都江東区豊洲三丁目2番24号  
 (74) 代理人 110001195  
 特許業務法人深見特許事務所  
 (72) 発明者 常峰 美和  
 茨城県ひたちなか市堀口751番地 ルネ  
 サスセミコンダクタマニュファクチャリ  
 ング株式会社内

F ターム (参考) 5F033 HH04 HH08 HH11 HH33 MM01  
 MM08 MM12 MM13 MM21 MM28  
 PP15 QQ08 QQ09 QQ10 QQ12  
 QQ19 QQ30 QQ37 QQ48 QQ91  
 QQ96 RR04 RR06 SS11 SS15  
 SS21 UU03 VV10 XX00 XX28

最終頁に続く

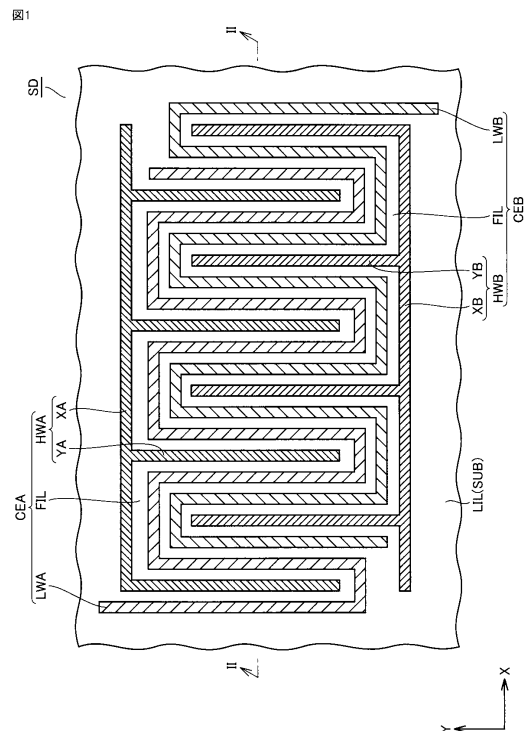
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】半導体装置におけるペアの容量素子において、一方の容量素子の容量と他方の容量素子の容量との容量差を縮める。

【解決手段】低電圧側配線LWA、LWBは、それぞれ半導体基板SUBの主表面に沿って蛇行しながらX方向に延在している。高電圧側配線HAWは、蛇行する低電圧側配線LWAと対向し、高電圧側配線HWBは、蛇行する低電圧側配線LWBと対向している。高電圧側配線HWA、HWBは、X方向に延在するX方向延在部XA、XBと、Y方向にそれぞれ延在する複数のY方向延在部YA、YBとを有している。低電圧側配線LWAがX方向延在部XAから遠ざかっている部分に向かってY方向延在部YAが入り込み、低電圧側配線LWBがX方向延在部XBから遠ざかっている部分に向かってY方向延在部YBが入り込んでいる。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

主表面を有する半導体基板と、  
 前記主表面上にそれぞれ形成された第 1 容量素子および第 2 容量素子と  
 を有し、  
 前記第 1 容量素子は、  
 前記主表面に沿って蛇行しながら第 1 方向に延在する第 1 配線と、  
 前記第 1 配線とは前記主表面の方向に間隔を隔てられて前記第 1 配線と対向する第 2 配線と、  
 前記第 1 配線と前記第 2 配線との間に充填された第 1 誘電体と  
 を備え、  
 前記第 2 容量素子は、  
 前記第 1 配線に対して前記第 2 配線が位置する側と反対側に、前記第 1 配線とは前記主表面の方向に間隔を隔てられた状態で前記第 1 配線に沿って蛇行しながら前記第 1 方向に延在する第 3 配線と、  
 前記第 3 配線とは前記主表面の方向に間隔を隔てられて前記第 3 配線と対向する第 4 配線と、  
 前記第 3 配線と前記第 4 配線との間に充填された第 2 誘電体と  
 を備えた、半導体装置。

10

## 【請求項 2】

前記第 2 配線は、  
 前記第 1 方向に延在する第 1 延在部と、  
 前記第 1 延在部から前記第 1 方向と交差する第 2 方向にそれぞれ直線状に延在するとともに、前記第 1 方向に互いに間隔を隔てて配置された複数の第 2 延在部と  
 を含み、  
 前記複数の第 2 延在部のそれぞれは、蛇行する前記第 1 配線が前記第 1 延在部から遠ざかっている部分に向かって入り込むように配置され、  
 前記第 4 配線は、  
 前記第 1 方向に延在する第 3 延在部と、  
 前記第 3 延在部から前記第 2 方向にそれぞれ直線状に延在するとともに、前記第 1 方向に互いに間隔を隔てて配置された複数の第 4 延在部と  
 を含み、  
 前記複数の第 4 延在部のそれぞれは、蛇行する前記第 3 配線が前記第 3 延在部から遠ざかっている部分に向かって入り込むように配置された、請求項 1 記載の半導体装置。

20

30

## 【請求項 3】

前記第 1 方向に沿った一断面において、前記第 1 配線、前記第 2 配線および前記第 1 配線からなる第 1 容量素子配線群と、前記第 3 配線、前記第 4 配線および前記第 3 配線からなる第 2 容量素子配線群とが、前記第 1 方向に沿って交互に位置する、請求項 2 記載の半導体装置。

## 【請求項 4】

前記第 1 配線は、  
 第 1 配線第 1 部と、  
 前記第 1 配線第 1 部とは異なる層に形成された第 1 配線第 2 部と  
 を含み、  
 前記第 2 配線は、  
 前記第 1 配線第 1 部と同じ層から形成された第 2 配線第 1 部と、  
 前記第 1 配線第 2 部と同じ層から形成された第 2 配線第 2 部と  
 を含み、  
 前記第 1 誘電体は、  
 前記第 1 配線第 1 部と前記第 2 配線第 1 部との間に充填された第 1 誘電体第 1 部と、

40

50

前記第 1 配線第 2 部と前記第 2 配線第 2 部との間に充填された第 1 誘電体第 2 部とを含み、

前記第 3 配線は、

第 3 配線第 1 部と、

前記第 3 配線第 1 部とは異なる層に形成された第 3 配線第 2 部と

を含み、

前記第 4 配線は、

第 3 配線第 1 部と同じ層から形成された第 4 配線第 1 部と、

前記第 3 配線第 2 部と同じ層から形成された第 4 配線第 2 部と

を含み、

前記第 2 誘電体は、

前記第 3 配線第 1 部と前記第 4 配線第 1 部との間に充填された第 2 誘電体第 1 部と、

前記第 3 配線第 2 部と前記第 4 配線第 2 部との間に充填された第 2 誘電体第 2 部と

を含み、

前記第 1 容量素子は、

前記第 1 配線第 1 部、前記第 2 配線第 1 部および前記第 1 誘電体第 1 部を含む第 1 容量素子第 1 部と、

前記第 1 配線第 2 部、前記第 2 配線第 2 部および前記第 1 誘電体第 2 部を含む第 1 容量素子第 2 部と

を含み、

前記第 2 容量素子は、

前記第 3 配線第 1 部、前記第 4 配線第 1 部および前記第 2 誘電体第 1 部を含む第 2 容量素子第 1 部と、

前記第 3 配線第 2 部、前記第 4 配線第 2 部および前記第 2 誘電体第 2 部を含む第 2 容量素子第 2 部と

を含む、請求項 1 ~ 3 のいずれかに記載の半導体装置。

【請求項 5】

前記第 1 配線第 1 部、前記第 2 配線第 1 部、前記第 3 配線第 1 部および前記第 4 配線第 1 部のそれぞれと、前記第 1 配線第 2 部、前記第 2 配線第 2 部、前記第 3 配線第 2 部および前記第 4 配線第 2 部のそれぞれとは、平面視的に重なるように配置され、

平面視的に重なる配線同士は、同じ電位になるように電氣的に接続された、請求項 4 記載の半導体装置。

【請求項 6】

前記第 1 配線第 1 部、前記第 2 配線第 1 部、前記第 3 配線第 1 部および前記第 4 配線第 1 部のそれぞれと、前記第 1 配線第 2 部、前記第 2 配線第 2 部、前記第 3 配線第 2 部および前記第 4 配線第 2 部のそれぞれとは、平面視的に重なるように配置され、

平面視的に重なる配線同士は、異なる電位になるように電氣的に接続された、請求項 4 記載の半導体装置。

【請求項 7】

前記第 1 配線、前記第 2 配線、前記第 3 配線および前記第 4 配線は、デザインルールの最小線幅と最小ピッチをもって形成された、請求項 1 ~ 6 のいずれかに記載の半導体装置。

【請求項 8】

主表面を有する半導体基板と、

前記主表面上にそれぞれ形成された第 1 容量素子および第 2 容量素子と

を有し、

前記第 1 容量素子は、

前記主表面に沿って蛇行しながら第 1 方向に延在する第 1 配線と、

前記第 1 配線とは前記主表面の方向に間隔を隔てられて前記第 1 配線と対向する第 2 配線と、

10

20

30

40

50

前記第 1 配線と前記第 2 配線との間に充填された第 1 誘電体とを備え、

前記第 2 容量素子は、

前記第 1 配線と、

前記第 1 配線に対して前記第 2 配線が位置する側と反対側に、前記第 1 配線とは前記主表面の方向に間隔を隔てられて前記第 1 配線と対向する第 3 配線と、

前記第 1 配線と前記第 3 配線との間に充填された第 2 誘電体とを備えた、半導体装置。

【請求項 9】

前記第 2 配線は、

10

前記第 1 方向に延在する第 1 延在部と、

前記第 1 延在部から前記第 1 方向と交差する第 2 方向にそれぞれ直線状に延在するとともに、前記第 1 方向に互いに間隔を隔てて配置された複数の第 2 延在部とを含み、

前記複数の第 2 延在部のそれぞれは、蛇行する前記第 1 配線が前記第 1 延在部から遠ざかっている部分に向かって入り込むように配置され、

前記第 3 配線は、

前記第 1 方向に延在する第 3 延在部と、

前記第 3 延在部から前記第 2 方向にそれぞれ直線状に延在するとともに、前記第 1 方向に互いに間隔を隔てて配置された複数の第 4 延在部とを含み、

20

前記複数の第 4 延在部のそれぞれは、蛇行する前記第 1 配線が前記第 3 延在部から遠ざかっている部分に向かって入り込むように配置された、請求項 8 記載の半導体装置。

【請求項 10】

前記第 1 方向に沿った一断面において、前記第 1 配線および前記第 2 配線からなる第 1 容量素子配線群と、前記第 1 配線および前記第 3 配線からなる第 2 容量素子配線群とが、前記第 1 方向に沿って交互に位置する、請求項 9 記載の半導体装置。

【請求項 11】

前記第 1 配線、前記第 2 配線および前記第 3 配線は、デザインルールの最小線幅と最小ピッチをもって形成された、請求項 8 ~ 10 のいずれかに記載の半導体装置。

30

【請求項 12】

主表面を有する半導体基板と、

前記主表面上にそれぞれ形成された第 1 容量素子および第 2 容量素子と

を有し、

前記第 1 容量素子は、

第 1 配線と、

前記第 1 配線とは前記主表面の方向に間隔を隔てられて前記第 1 配線と対向する第 2 配線と、

前記第 1 配線と前記第 2 配線との間に充填された第 1 誘電体とを備え、

40

前記第 2 容量素子は、

前記第 1 配線と、

前記第 1 配線に対して前記第 2 配線が位置する側と反対側に、前記第 1 配線とは前記主表面の方向に間隔を隔てられて前記第 1 配線と対向する第 3 配線と、

前記第 1 配線と前記第 3 配線との間に充填された第 2 誘電体とを備え、

前記第 1 配線は、

前記主表面に沿って第 1 方向に延在する第 1 延在部と、

前記第 1 延在部から前記第 1 方向と交差する第 2 方向にそれぞれ延在するとともに、前記第 1 方向に互いに間隔を隔てて配置された複数の第 2 延在部と

50

を含み、

前記第2配線および前記第3配線は、それぞれ前記第2方向に延在し、

前記第2配線と前記第3配線とは、複数の前記第2延在部のうち、互いに隣り合う一の第2延在部と他の第2延在部との間に位置する領域に前記第2配線が配置されるとともに、複数の前記第2延在部のうち、互いに隣り合う前記他の第2延在部とさらに他の第2延在部との間に位置する領域に前記第3配線が配置される態様で、交互に前記第1方向に沿って複数配置され、

複数の前記第2配線は互いに電氣的に接続されるとともに、複数の前記第3配線は互いに電氣的に接続された、半導体装置。

【請求項13】

10

前記第1方向に沿った一断面において、前記第1配線および前記第2配線からなる第1容量素子配線群と、前記第1配線および前記第3配線からなる第2容量素子配線群とが、前記第1方向に沿って交互に位置する、請求項12記載の半導体装置。

【請求項14】

前記第1配線、前記第2配線および前記第3配線は、デザインルールの最小線幅と最小ピッチをもって形成された、請求項12または13に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、たとえば、MIM容量素子を備えた半導体装置に好適に利用できるものである。

20

【背景技術】

【0002】

半導体装置を構成する回路の一つに、たとえば、AD(Analog Digital)変換回路がある。AD変換回路内には、コンパレータ回路があり、外部信号(電圧)を基準信号(電圧)と比較するために、二つの容量素子が用いられることが多い。一方の容量素子には、基準信号が入力され、他方の容量素子には外部信号が入力される。このような容量素子として、たとえば、MIM(Metal Insulator Metal)容量素子が用いられる。

【0003】

一方の容量素子に蓄積された電荷に対応する電位と、他方の容量素子に蓄積された電荷に対応する電位とを比較することで、信号の大小関係が判定されることになる。信号の大小関係を精度よく判定するためには、二つの容量素子の容量値が揃っていること、すなわち、二つの容量素子の容量差が少ないことが求められる。

30

【0004】

二つの容量素子の容量差は、半導体装置を製造する際の二つの容量素子の加工精度のばらつきに依存する。このため、二つの容量素子の容量差を小さくする一般的な手法として、加工精度のばらつきに対して、二つの容量素子の容量(サイズ)を大きく設定する手法が採られている。なお、二つの容量素子を備えた半導体装置を開示した文献として、たとえば、特許文献1がある。

【先行技術文献】

40

【特許文献】

【0005】

【特許文献1】特開2006-228803号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、従来の半導体装置では、次のような問題点があった。二つの容量素子は、半導体基板における、それぞれ所定の領域に形成されることになる。このため、二つの容量素子の容量(サイズ)を大きく設定したとしても、半導体基板における、一方の容量素子が形成される領域と、他方の容量素子が形成される領域との位置関係によっては、一

50

方の容量素子の容量と、他方の容量素子の容量との容量差が縮まらないことが、今回、発明者らによって確認された。

【0007】

その他の課題と新規な特徴は、本明細書の記述および添付の図面から明らかになるであろう。

【課題を解決するための手段】

【0008】

一実施の形態に係る半導体装置は、ペアの容量素子として第1容量素子と第2容量素子とを有している。第1容量素子は、第1配線と第2配線と第1誘電体とを備えている。第1配線は、主表面に沿って蛇行しながら第1方向に延在している。第2配線は、第1配線とは主表面の方向に間隔を隔てられて第1配線と対向している。第1誘電体は、第1配線と第2配線との間に充填されている。第2容量素子は、第3配線と第4配線と第2誘電体とを備えている。第3配線は、第1配線に対して第2配線が位置する側と反対側に、第1配線とは主表面の方向に間隔を隔てられた状態で第1配線に沿って蛇行しながら第1方向に延在している。第4配線は、第3配線とは主表面の方向に間隔を隔てられて第3配線と対向している。第2誘電体は、第3配線と第4配線との間に充填されている。

10

【0009】

他の実施の形態に係る半導体装置は、ペアの容量素子として第1容量素子と第2容量素子とを有している。第1容量素子は、第1配線と第2配線と第1誘電体とを備えている。第1配線は、主表面に沿って蛇行しながら第1方向に延在している。第2配線は、第1配線とは主表面の方向に間隔を隔てられて第1配線と対向している。第1誘電体は、第1配線と第2配線との間に充填されている。第2容量素子は、第1配線と第3配線と第2誘電体とを有している。第3配線は、第1配線に対して第2配線が位置する側と反対側に、第1配線とは主表面の方向に間隔を隔てられて第1配線と対向している。第2誘電体は、第1配線と第3配線との間に充填されている。

20

【0010】

さらに他の実施の形態に係る半導体装置は、ペアの容量素子として第1容量素子と第2容量素子とを有している。第1容量素子は、第1配線と第2配線と第1誘電体とを備えている。第2配線は、第1配線とは主表面の方向に間隔を隔てられて第1配線と対向している。第1誘電体は、第1配線と第2配線との間に充填されている。第2容量素子は、第1配線と第3配線と第2誘電体とを有している。第3配線は、第1配線に対して第2配線が位置する側と反対側に、第1配線とは主表面の方向に間隔を隔てられて第1配線と対向している。第2誘電体は、第1配線と第3配線との間に充填されている。第1配線は、第1延在部と第2延在部とを含んでいる。第1延在部は、主表面に沿って第1方向に延在している。第2延在部は、第1延在部から第1方向と交差する第2方向にそれぞれ延在するとともに、第1方向に互いに間隔を隔てて複数配置されている。第2配線および第3配線は、それぞれ第2方向に延在している。第2配線と第3配線とは、複数の第2延在部のうち、互いに隣り合う一の第2延在部と他の第2延在部との間に位置する領域に第2配線が配置されるとともに、複数の第2延在部のうち、互いに隣り合う他の第2延在部とさらに他の第2延在部との間に位置する領域に第3配線が配置される態様で、交互に第1方向に沿って複数配置されている。複数の第2配線は互いに電氣的に接続されている。複数の第3配線は互いに電氣的に接続されている。

30

40

【発明の効果】

【0011】

一実施の形態に係る半導体装置によれば、ペアの容量素子としての第1容量素子の容量と第2容量素子の容量との容量差を縮めることができる。

【0012】

他の実施の形態に係る半導体装置によれば、ペアの容量素子としての第1容量素子の容量と第2容量素子の容量との容量差を縮めることができる。

【0013】

50

さらに他の実施の形態に係る半導体装置によれば、ペアの容量素子としての第1容量素子の容量と第2容量素子の容量との容量差を縮めることができる。

【図面の簡単な説明】

【0014】

【図1】実施の形態1に係る半導体装置の平面図である。

【図2】同実施の形態において、図1に示す断面線I I - I Iにおける断面斜視図である。

【図3】同実施の形態において、図1に示す断面線I I - I Iにおける断面図である。

【図4】同実施の形態において、ペアのM I M容量素子の等価回路を示す図である。

【図5】同実施の形態において、半導体装置の製造方法の一工程を示す断面図である。

【図6】同実施の形態において、図5に示す工程の後の行われる工程を示す断面図である。

【図7】同実施の形態において、図6に示す工程の後の行われる工程を示す断面図である。

【図8】同実施の形態において、図7に示す工程の後の行われる工程を示す断面図である。

【図9】同実施の形態において、図8に示す工程の後の行われる工程を示す断面図である。

【図10】同実施の形態において、図9に示す工程の後の行われる工程を示す断面図である。

【図11】同実施の形態において、図10に示す工程の後の行われる工程を示す断面図である。

【図12】比較例に係る半導体装置の第1の平面図である。

【図13】比較例に係る半導体装置におけるペアのM I M容量素子の等価回路を示す図である。

【図14】比較例に係る半導体装置の第2の平面図である。

【図15】図14に示す断面線X V - X Vにおける断面斜視図である。

【図16】同実施の形態において、ペアのM I M容量素子の配置の一例を示す平面図である。

【図17】実施の形態2に係る半導体装置の平面図である。

【図18】同実施の形態において、図17に示す断面線X V I I I - X V I I Iにおける断面図である。

【図19】同実施の形態において、半導体装置の製造方法の一工程を示す断面図である。

【図20】同実施の形態において、図19に示す工程の後の行われる工程を示す断面図である。

【図21】同実施の形態において、図20に示す工程の後の行われる工程を示す断面図である。

【図22】同実施の形態において、図21に示す工程の後の行われる工程を示す断面図である。

【図23】同実施の形態において、図22に示す工程の後の行われる工程を示す断面図である。

【図24】同実施の形態において、図23に示す工程の後の行われる工程を示す断面図である。

【図25】実施の形態3に係る半導体装置の平面図である。

【図26】同実施の形態において、図25に示す断面線X X V I - X X V Iにおける断面斜視図である。

【図27】同実施の形態において、変形例に係る半導体装置の平面図である。

【図28】実施の形態4に係る半導体装置における容量素子の接続関係を模式的に示す図である。

【図29】同実施の形態において、図28に示す断面線X X I X - X X I Xにおける断面

10

20

30

40

50

斜視図である。

【図 3 0】実施の形態 5 に係る半導体装置における容量素子の接続関係を模式的に示す図である。

【図 3 1】同実施の形態において、図 3 0 に示す断面線 X X X I - X X X I における断面斜視図である。

【図 3 2】同実施の形態において、半導体装置におけるペアの M I M 容量素子の等価回路を示す図である。

【図 3 3】実施の形態 6 に係る半導体装置の平面図である。

【発明を実施するための形態】

【0015】

実施の形態 1

ペアの M I M 容量素子を備えた半導体装置の第 1 例について説明する。

【0016】

図 1、図 2 および図 3 に示すように、半導体装置 S D では、半導体基板 S U B の主表面を覆うように、下部層間絶縁膜 L I L が形成されている。その下部層間絶縁膜 L I L の上に、低電圧側配線 L W A、高電圧側配線 H A W、低電圧側配線 L W B および高電圧側配線 H W A が形成されている。その低電圧側配線 L W A、高電圧側配線 H A W、低電圧側配線 L W B および高電圧側配線 H W A を覆うように、たとえば、シリコン酸化膜等からなる第 1 層間絶縁膜 F I L が形成されている。

【0017】

さらに、その第 1 層間絶縁膜 F I L を覆うように、たとえば、シリコン酸化膜等からなる第 2 層間絶縁膜 S I L が形成されている。なお、図 2 および図 3 では、低電圧側配線 L W A、高電圧側配線 H A W、低電圧側配線 L W B および高電圧側配線 H W A の厚さ（膜厚）の半導体基板 S U B の面内における不均一性（ばらつき）が、誇張されて示されている。

【0018】

図 4 に示すように、第 1 容量素子 C E A と第 2 容量素子 C E B とによって、ペアの M I M 容量素子が形成されている。第 1 容量素子 C E A が、低電圧側配線 L W A（第 1 配線）、高電圧側配線 H A W（第 2 配線）および第 1 層間絶縁膜 F I L の部分（誘電体）によって形成されている。第 2 容量素子 C E B が、低電圧側配線 L W B（第 3 配線）、高電圧側配線 H W A（第 4 配線）および第 1 層間絶縁膜 F I L の部分（誘電体）によって形成されている。

【0019】

次に、低電圧側配線 L W A、高電圧側配線 H A W、低電圧側配線 L W B および高電圧側配線 H W A のパターンについて説明する。

【0020】

図 1 および図 2 に示すように、低電圧側配線 L W A は、半導体基板 S U B の主表面に沿って蛇行しながら X 方向に延在している。高電圧側配線 H A W は、低電圧側配線 L W A とは主表面の方向に間隔を隔てられて、低電圧側配線 L W A と対向している。低電圧側配線 L W B は、低電圧側配線 L W A に対して高電圧側配線 H W A が位置する側と反対側に、低電圧側配線 L W A とは主表面の方向に間隔を隔てられた状態で低電圧側配線 L W A に沿って蛇行しながら X 方向に延在している。高電圧側配線 H W B は、低電圧側配線 L W B とは主表面の方向に間隔を隔てられて低電圧側配線 L W B と対向している。

【0021】

高電圧側配線 H W A および高電圧側配線 H W B のそれぞれは櫛形とされる。高電圧側配線 H W A は、X 方向に延在する X 方向延在部 X A と、X 方向延在部 X A から X 方向とほぼ直交する Y 方向にそれぞれ延在する複数の Y 方向延在部 Y A とを有している。高電圧側配線 H W B は、X 方向に延在する X 方向延在部 X B と、X 方向延在部 X B から Y 方向にそれぞれ延在する複数の Y 方向延在部 Y B とを有している。

【0022】

10

20

30

40

50

高電圧側配線 HWA と高電圧側配線 HWB とは、蛇行する低電圧側配線 LWA、LWB を挟み込むように配置されている。さらに、高電圧側配線 HWA、HWB は、蛇行する低電圧側配線 LWA が X 方向延在部 XA から遠ざかっている部分に向かって Y 方向延在部 YA が入り込むとともに、蛇行する低電圧側配線 LWB が X 方向延在部 XB から遠ざかっている部分に向かって Y 方向延在部 YB が入り込む態様で、Y 方向延在部 YA と Y 方向延在部 YB とが交互に噛み合うように、配置されている。低電圧側配線 LWA、LWB および高電圧側配線 HWA、HWB は、デザインルールの最小の線幅と最小ピッチをもって形成されている。

【0023】

図 2 に示すように、X 方向に沿った一断面では、低電圧側配線 LWA、高電圧側配線 HWA および低電圧側配線 LWA からなる第 1 容量素子 CE A の配線群と、低電圧側配線 LWB、高電圧側配線 HWB および低電圧側配線 LWB からなる第 2 容量素子 CE B の配線群とが、X 方向に沿って交互に位置している。なお、この種の MIM 容量素子では、各配線層の端部も容量に寄与することから、フリンジ MIM 容量素子とも称されている。

10

【0024】

次に、低電圧側配線 LWA、LWB および高電圧側配線 HWA、HWB の厚さ方向の構造について説明する。図 3 に示すように、低電圧側配線 LWA、LWB および高電圧側配線 HWA、HWB は、二層の窒化チタン層の間にアルミニウム層を介在させた三層構造とされる。

【0025】

低電圧側配線 LWA では、第 1 窒化チタン層 TN 1 LA、アルミニウム層 AFLA および第 2 窒化チタン層 TN 2 LA が積層され、高電圧側配線 HWA では、第 1 窒化チタン層 TN 1 HA、アルミニウム層 AFHA および第 2 窒化チタン層 TN 2 HA が積層されている。低電圧側配線 LWB では、第 1 窒化チタン層 TN 1 LB、アルミニウム層 AFLB および第 2 窒化チタン層 TN 2 LB が積層され、高電圧側配線 HWB では、第 1 窒化チタン層 TN 1 HB、アルミニウム層 AFHB および第 2 窒化チタン層 TN 2 HB が積層されている。

20

【0026】

次に、上述した半導体装置の製造方法の一例について説明する。まず、半導体基板の主表面に、トランジスタ等の所定の半導体素子（図示せず）が形成された後、図 5 に示すように、半導体基板 SUB の主表面を覆うように、コンタクト層間絶縁膜として、たとえば、シリコン酸化膜等の下部層間絶縁膜 LIL が形成される。

30

【0027】

次に、図 6 に示すように、スパッタ法等により、第 1 窒化チタン層 TN 1、アルミニウム層 AF および第 2 窒化チタン層 TN 2 が形成される。なお、上述したように、図 6 では、半導体基板 SUB の面内におけるアルミニウム層 AF 等の膜厚の不均一性が誇張して示されているが、これは、アルミニウム層 AF 等の膜厚の変化の形態を制限するものではない。

【0028】

次に、図 7 に示すように、所定の写真製版処理を行うことにより、配線層を形成するためのフォトレジストのパターン PR 1 が形成される。このとき、フォトレジストのパターン PR 1 は、デザインルールの最小の線幅と最小ピッチに基づいて形成される。次に、図 8 に示すように、フォトレジストのパターン PR 1 をエッチングマスクとして、第 2 窒化チタン層 TN 2、アルミニウム層 AF および第 1 窒化チタン層 TN 1 にプラズマエッチング処理を行うことにより、低電圧側配線 LWA、LWB および高電圧側配線 HWA、HWB が形成される。

40

【0029】

次に、酸素アッシング処理によりフォトレジストのパターン PR 1 を除去することによって、図 9 に示すように、低電圧側配線 LWA、LWB および高電圧側配線 HWA、HWB が露出する。なお、このとき、必要に応じて、湿式のプロセスを併用してもよい。

50

## 【0030】

次に、図10に示すように、低電圧側配線LWA、低電圧側配線LWB、高電圧側配線HWAおよび高電圧側配線HWBのそれぞれの間を充填するように、たとえば、高密度プラズマCVD (Chemical Vapor Deposition) 法によって、シリコン酸化膜からなる第1層間絶縁膜FILが形成される。第1層間絶縁膜FILの膜厚としては、第2窒化チタン層TN2LA、TN2LB、TN2HA、TN2HBを露出させない程度の膜厚が望ましい。

## 【0031】

なお、第1層間絶縁膜FILの形成方法としては、高密度プラズマCVD法に限られるものではなく、半導体素子の性能とプロセスの整合性に問題がなければ、熱CVD法やゾルゲル法等を用いて第1層間絶縁膜FILを形成してもよい。

10

## 【0032】

次に、図11に示すように、たとえば、一般的なプラズマCVD法によって、第1層間絶縁膜FILを覆うように、シリコン酸化膜からなる第2層間絶縁膜SILが形成される。なお、この第2層間絶縁膜SILの形成方法としても、半導体素子の性能とプロセスの整合性に問題がなければ、他の方法を用いて第2層間絶縁膜SILを形成してもよい。

## 【0033】

次に、第2層間絶縁膜SILに化学的機械研磨処理 (CMP: Chemical Mechanical Polishing) を行うことによって、第2層間絶縁膜SILが平坦化される (図3参照)。その後、コンタクトホール (図示せず) が形成され、さらに、必要に応じて、上層の配線構造 (図示せず) を形成することによって、半導体装置の主要部分が完成する。

20

## 【0034】

上述した半導体装置SDでは、半導体基板SUBの面内における配線層 (主としてアルミニウム層AF) の膜厚のばらつきに対して、第1容量素子CEAの容量と第2容量素子CEBの容量との容量差を抑えることができる。このことについて、比較例に係る半導体装置と比べて説明する。

## 【0035】

図12および図13に示すように、比較例に係る半導体装置CSDでは、半導体基板CSUB上に、ペアの容量素子として、第1容量素子CCEAと第2容量素子CCEBが形成されている。第1容量素子CCEAは、第1容量素子第1部CAP1と第1容量素子第2部CAP2とによって構成される。第2容量素子CCEBは、第2容量素子第1部CBP1と第2容量素子第2部CBP2とによって構成される。

30

## 【0036】

第1容量素子第1部CAP1および第1容量素子第2部CAP2と、第2容量素子第1部CBP1および第2容量素子第2部CBP2とは、互いに交差する態様で、対角線方向に配置されている。このため、X方向では、第1容量素子第1部CAP1と第2容量素子第2部CBP2とが交互に配置され、第1容量素子第2部CAP2と第2容量素子第1部CBP1とが交互に配置されていることになる。また、Y方向では、第1容量素子第1部CAP1と第2容量素子第1部CBP1とが交互に配置され、第1容量素子第2部CAP2と第2容量素子第2部CBP2とが交互に配置されていることになる。

40

## 【0037】

次に、第1容量素子CAPと第2容量素子CABの構造について、もう少し詳しく説明する。容量素子では、絶縁耐圧の自由度の観点から、平行平板型の容量素子から配線を使った容量素子の開発が進められている。すなわち、誘電体を上下方向から配線によって挟み込む構造の容量素子から、誘電体を側方から配線によって挟み込む構造の容量素子の開発が進められている。この種の容量素子では、容量は、配線の長さで配線 (層) の厚さとの積 (容量素子の極板面積に相当) に比例することになる。このため、配線層の厚さがばらつくと、容量がばらつくことになる。

## 【0038】

図14および図15に示すように、第1容量素子CCEAの第1容量素子第1部CAP

50

1では、それぞれ楕形の低電圧側配線CALW1と高電圧側配線CAHW1が形成され、低電圧側配線CALW1と高電圧側配線CAHW1は、X方向に延在する部分が交互に噛み合うように配置されている。第1容量素子第2部CAP2では、それぞれ楕形の低電圧側配線CALW2と高電圧側配線CAHW2が形成され、低電圧側配線CALW2と高電圧側配線CAHW2は、X方向に延在する部分が交互に噛み合うように配置されている。

【0039】

次に、第2容量素子CCBの第2容量素子第1部CBP1では、それぞれ楕形の低電圧側配線CBLW1と高電圧側配線CBHW1が形成され、低電圧側配線CBLW1と高電圧側配線CBHW1は、X方向に延在する部分が交互に噛み合うように配置されている。第2容量素子第2部CBP2では、それぞれ楕形の低電圧側配線CBLW2と高電圧側配線CBHW2が形成され、低電圧側配線CBLW2と高電圧側配線CBHW2は、X方向に延在する部分が交互に噛み合うように配置されている。

10

【0040】

比較例に係る半導体装置では、低電圧側配線CALW1～CBHW2および高電圧側配線CAHW1～CBHW2となるアルミニウム層等の配線層を形成する際には、半導体基板CSUBの面内において、配線層の膜厚がばらつくことがある。図15では、そのような半導体基板CSUBの面内における配線層の膜厚のばらつき（不均一性）の一態様が誇張して示されている。

【0041】

この配線層の膜厚のばらつきによる第1容量素子CCAの容量と第2容量素子CCBの容量との容量差を軽減するために、第1容量素子第1部CAP1および第1容量素子第2部CAP2とが対角線方向に配置され、第2容量素子第1部CBP1および第2容量素子第2部CBP2も対角線方向に配置されている。

20

【0042】

しかしながら、半導体基板CSUBの面内における配線層の膜厚の相対的に厚い領域と薄い領域に対して、第1容量素子CCAおよび第2容量素子CCBの配置によっては、たとえば、第1容量素子第1部CAP1の配線層の膜厚だけが、他の3つの第1容量素子第2部CAP2、第2容量素子第1部CBP1および第2容量素子第2部CBP2のそれぞれの配線層の膜厚よりも薄くなる場合があることが、発明者らによって確認された。

【0043】

このため、ペアの容量素子として、第1容量素子CCAと第2容量素子CCBとの間に、依然として容量差が生じることになり、たとえば、ペア容量素子として、このような第1容量素子CCAと第2容量素子CCBとが適用されたコンパレータ回路では、基準信号と外部信号との比較が正確に行われなくなることが判明した。

30

【0044】

比較例に係る半導体装置CSDに対して、実施の形態に係る半導体装置SDでは、図1等に示すように、第1容量素子CEAの低電圧側配線LWAと第2容量素子CEBの低電圧側配線LWBとは、半導体基板SUBの主表面の方向に間隔を隔てられた状態で、半導体基板SUBの主表面に沿って蛇行しながらX方向にそれぞれ延在している。

【0045】

その蛇行している低電圧側配線LWAに対し、第1容量素子CEAの高電圧側配線HAWが、半導体基板SUBの主表面の方向に間隔を隔てられて対向し、また、蛇行している低電圧側配線LWBに対し、第2容量素子CEBの高電圧側配線HWBが、主表面の方向に間隔を隔てられて対向している。

40

【0046】

このため、半導体基板SUBの面内において、たとえ、配線層の膜厚が相対的に厚い領域と薄い領域とが存在したとしても、第1容量素子CEAおよび第2容量素子CEBのそれぞれでは、配線層の厚い領域と薄い領域とがほぼ同じ割合で存在することになり、配線層の膜厚が平均化されることになる。これにより、配線層の厚い領域または薄い領域が、たとえば、一方の第1容量素子第1部CAP1の領域にだけ存在する比較例に係る半導体

50

装置 C S D と比べて、第 1 容量素子 C E A の容量と第 2 容量素子 C E B の容量との容量差を縮めることができる。

【 0 0 4 7 】

図 1 等 に示される第 1 容量素子 C E A および第 2 容量素子 C E B を、たとえば、図 1 2 ( 比較例 ) に示される  $4 \times 4$  の第 1 容量素子 C C E A および第 2 容量素子 C C E B が配置された領域 ( 領域 A ) に配置してもよい。すなわち、図 1 6 に示すように、Y 方向については、低電圧側配線 L W A、高電圧側配線 H A W、低電圧側配線 L W B および高電圧側配線 H W A ( 配線層 ) をそれぞれ延ばし、X 方向については、蛇行させる回数を増やすことで、第 1 容量素子 C E A および第 2 容量素子 C E B のそれぞれでは、配線層の膜厚がさらに平均化されることになる。その結果、第 1 容量素子 C E A の容量と第 2 容量素子 C E B の容量との容量差を確実に縮めることができる。

10

【 0 0 4 8 】

また、第 1 容量素子 C E A および第 2 容量素子 C E B を領域 A に配置する場合には、第 1 容量素子 C C E A および第 2 容量素子 C C E B のそれぞれを電気的に分離する分離領域 ( 幅 d : 図 1 2 参照 ) も不要になり、半導体装置 S D の微細化に貢献することも可能である。

【 0 0 4 9 】

なお、上述した半導体装置では、層間絶縁膜として、第 1 層間絶縁膜 F I L と第 2 層間絶縁膜 S I L との二層を形成する場合を例に挙げて説明したが、第 1 層間絶縁膜 F I L を省いて、通常のプラズマ C V D 法によって、第 2 層間絶縁膜 S I L に対応する一層の層間絶縁膜を形成するようにしてもよい。この場合には、配線層間にシリコン酸化膜が十分に充填されず、空隙が形成されることが考えられるが、製造上および半導体素子の性能上、問題がなければ、その空隙を許容できる場合もある。

20

【 0 0 5 0 】

また、第 2 層間絶縁膜 S I L を省いて、高密度プラズマ C V D 法によって、第 1 層間絶縁膜 F I L に対応する一層の層間絶縁膜を形成するようにしてもよい。このとき、高密度プラズマ C V D 装置において、成膜条件を変更するなどして、成膜速度の改善を試みてもよい。いずれの場合にも、層間絶縁膜に十分な絶縁性があれば、成膜方法および膜種等は限定されるものではない。

【 0 0 5 1 】

さらに、上述した半導体装置では、配線層として、主成分がアルミニウム層の配線層を例に挙げて説明したが、ポリシリコン層の配線層を適用してもよい。この場合には、たとえば、ポリシリコン層によってゲート配線を形成する際に、同時に配線層を形成することができる。

30

【 0 0 5 2 】

実施の形態 2

ペアの M I M 容量素子を備えた半導体装置の第 2 例について説明する。第 1 例では、配線層として、アルミニウムを主成分とする配線層を例に挙げた ( 図 1 参照 ) 。第 2 例では、配線層として銅配線を例に挙げる。

【 0 0 5 3 】

図 1 7 および図 1 8 に示すように、低電圧側配線 L W A、L W B および高電圧側配線 H W A、H W B は、パリアメタル層としての窒化タンタル層に銅膜を積層させた構造とされる。第 1 層間絶縁膜 F I L を貫通するように、低電圧側配線 L W A、高電圧側配線 H W A、低電圧側配線 L W B および高電圧側配線 H W B が形成されている。なお、図 1 8 では、半導体基板 S U B の面内における第 1 層間絶縁膜 F I L の膜厚の不均一性が誇張して示されている。

40

【 0 0 5 4 】

低電圧側配線 L W A では、窒化タンタル層 T T L A の上に銅膜 D F L A が形成され、高電圧側配線 H W A では、窒化タンタル層 T T H A の上に銅膜 D F H A が形成されている。低電圧側配線 L W B では、窒化タンタル層 T T L B の上に銅膜 D F L B が形成され、高電

50

圧側配線 H W B では、窒化タンタル層 T T H B の上に銅膜 D F H B が形成されている。

【 0 0 5 5 】

銅膜 D F L A、D F H A、D F L B、D F H B 等を覆うように、たとえば、シリコン窒化膜の銅拡散防止膜 D K F が形成されている。その銅拡散防止膜 D K F を覆うように、第 2 層間絶縁膜 S I L が形成されている。なお、これ以外の構成については、図 1 ~ 図 3 に示す半導体装置 S D と同様なので、同一部材には同一符号を付し、必要である場合を除きその説明を繰り返さないこととする。

【 0 0 5 6 】

次に、上述した半導体装置の製造方法の一例について説明する。半導体基板の主表面に、トランジスタ等の所定の半導体素子（図示せず）が形成された後、図 1 9 に示すように、半導体基板 S U B の主表面を覆うように、たとえば、シリコン酸化膜等の下部層間絶縁膜 L I L が形成される。次に、下部層間絶縁膜 L I L を覆うように、第 1 層間絶縁膜 F I L が形成される。なお、図 1 9 では、半導体基板 S U B の面内における第 1 層間絶縁膜 F I L の膜厚の不均一性が誇張して示されているが、これは、第 1 層間絶縁膜 F I L の膜厚の変化の形態を制限するものではない。

10

【 0 0 5 7 】

次に、ダマシン法によって配線が形成される。図 2 0 に示すように、所定の写真製版処理を行うことにより、フォトレジストのパターン P R 2 が形成される。次に、そのフォトレジストのパターン P R 2 をエッチングマスクとして、第 1 層間絶縁膜 F I L にプラズマエッチング処理を行うことによって、下部層間絶縁膜 L I L に達する配線溝 W T が形成される。

20

【 0 0 5 8 】

次に、図 2 1 に示すように、酸素アッシング処理を行うことによって、フォトレジストのパターン P R 2 が除去される。次に、図 2 2 に示すように、銅の拡散を防止するための窒化タンタル層 T T が形成される。次に、メッキ法によって、窒化タンタル層 T T の表面に銅膜 D F が形成される。

【 0 0 5 9 】

次に、図 2 3 に示すように、化学的機械研磨処理を行うことによって、配線溝 W T に位置する窒化タンタル層 T T の部分および銅膜 C F の部分を残して、第 1 層間絶縁膜 F I L の上面上に位置する銅膜 C F の部分および窒化タンタル層 T T の部分が除去される。こうして、第 1 層間絶縁膜 F I L を貫通するように、低電圧側配線 L W A、高電圧側配線 H W A、低電圧側配線 L W B および高電圧側配線 H W B が形成される。

30

【 0 0 6 0 】

次に、図 2 4 に示すように、露出した低電圧側配線 L W A、高電圧側配線 H W A、低電圧側配線 L W B および高電圧側配線 H W B 等を覆うように、たとえば、プラズマ C V D 法により、シリコン窒化膜の銅拡散防止膜 D K F が形成される。次に、図 1 0 に示す工程と同様に、第 2 層間絶縁膜 S I L（図示せず）が形成される。

【 0 0 6 1 】

次に、第 2 層間絶縁膜に化学的機械研磨処理を行うことによって、第 2 層間絶縁膜 S I L が平坦化される（図 1 8 参照）。その後、コンタクトホール（図示せず）が形成され、さらに、必要に応じて、上層の配線構造（図示せず）を形成することによって、半導体装置の主要部分が完成する。

40

【 0 0 6 2 】

上述した半導体装置 S D では、図 1 等に示す半導体装置と同様に、第 1 容量素子 C E A の低電圧側配線 L W A と第 2 容量素子 C E B の低電圧側配線 L W B とは、半導体基板 S U B の主表面の方向に間隔を隔てられた状態で、半導体基板 S U B の主表面に沿って蛇行しながら X 方向にそれぞれ延在している。

【 0 0 6 3 】

その蛇行している低電圧側配線 L W A に対し、第 1 容量素子 C E A の高電圧側配線 H A W が、半導体基板 S U B の主表面の方向に間隔を隔てられて対向し、また、蛇行している

50

低電圧側配線 L W B に対し、第 2 容量素子 C E B の高電圧側配線 H W B が、主表面の方向に間隔を隔てられて対向している。

【 0 0 6 4 】

これにより、半導体基板 S U B の面内において、たとえ、配線層の厚さに対応する第 1 層間絶縁膜 F I L の膜厚が相対的に厚い領域と薄い領域とが存在したとしても、第 1 容量素子 C E A および第 2 容量素子 C E B のそれぞれでは、配線層の厚い領域と薄い領域とがほぼ同じ割合で存在することになり、配線層の膜厚が平均化されることになる。その結果、実施の形態 1 において説明したのと同様に、比較例に係る半導体装置 C S D と比べて、第 1 容量素子 C E A の容量と第 2 容量素子 C E B の容量との容量差を縮めることが可能になる。

10

【 0 0 6 5 】

さらに、上述した半導体装置 S D では、その第 1 容量素子 C E A の低電圧側配線 L W A および高電圧側配線 H W A と、第 2 容量素子 C E B の低電圧側配線 L W B および高電圧側配線 H W B とは、ダマシン法によって銅配線として第 1 層間絶縁膜 F I L に形成されている。ダマシン法によって銅配線を形成する際のフォトレジストのパターン P R 2 では、フォトレジストに配線溝に対応する開口部が形成される（図 2 0 参照）。

【 0 0 6 6 】

これにより、フォトレジストのパターン P R 2 としては倒れにくい構造になって、銅配線を精度よく形成することができる。特に、ダマシン法は、銅配線の幅と銅配線の間隔が狭くなるにしたがい有利になる。また、銅配線の間隔が狭くなるにしたがって、第 1 容量素子 C E A および第 2 容量素子 C E B のそれぞれの単位面積当たりの静電容量を増やすことができる。

20

【 0 0 6 7 】

実施の形態 3

ペアの M I M 容量素子を備えた半導体装置の第 3 例について説明する。第 1 例では、第 1 容量素子 C E A の低電圧側配線 L W A と、第 2 容量素子 C E B の低電圧側配線 L W B とが、個別に形成されている場合を例に挙げた（図 1 参照）。

【 0 0 6 8 】

第 3 例では、その低電圧側配線 L W A と低電圧側配線 L W B とを電気的に短絡させて使用する場合を例に挙げる。低電圧側配線 L W A と低電圧側配線 L W B とを電気的に短絡させて使用する態様として、共用の低電圧側配線が用いられる。

30

【 0 0 6 9 】

図 2 5 および図 2 6 に示すように、ペアの M I M 容量素子のうちの一方の第 1 容量素子 C E A が、共用の低電圧側配線 L W（第 1 配線）、高電圧側配線 H A W（第 2 配線）および第 1 層間絶縁膜 F I L の部分（誘電体）によって形成されている。ペアの M I M 容量素子のうちの他方の第 2 容量素子 C E B が、共用の低電圧側配線 L W（第 1 配線）、高電圧側配線 H W A（第 4 配線）および第 1 層間絶縁膜 F I L の部分（誘電体）によって形成されている。

【 0 0 7 0 】

共用の低電圧側配線 L W は、半導体基板 S U B の主表面に沿って蛇行しながら X 方向に延在している。高電圧側配線 H A W は、低電圧側配線 L W とは主表面の方向に間隔を隔てられて、低電圧側配線 L W と対向している。高電圧側配線 H W B は、低電圧側配線 L W に対して高電圧側配線 H W A が位置する側と反対側に、低電圧側配線 L W とは主表面の方向に間隔を隔てられて、低電圧側配線 L W と対向している。

40

【 0 0 7 1 】

図 2 6 に示すように、X 方向に沿った一断面では、高電圧側配線 H W A および低電圧側配線 L W からなる第 1 容量素子 C E A の配線群と、高電圧側配線 H W B および低電圧側配線 L W からなる第 2 容量素子 C E B の配線群とが、X 方向に沿って交互に位置している。

【 0 0 7 2 】

低電圧側配線 L W、高電圧側配線 H W A および高電圧側配線 H W B は、第 1 例の場合と

50

同様に、二層の窒化チタン層の間にアルミニウム層を介在させた三層構造とされる。なお、図26では、低電圧側配線LW、高電圧側配線HWAおよび高電圧側配線HWBの厚さの半導体基板SUBの面内における不均一性(ばらつき)が、誇張されて示されている。これ以外の構成については、図1~図3に示す半導体装置SDと同様なので、同一部材には同一符号を付し、必要である場合を除きその説明を繰り返さないこととする。

【0073】

上述した半導体装置は、低電圧側配線が共用の低電圧側配線LWであることを除けば、第1例の場合の製造方法と実質的に同様の製造方法によって製造することができる。

【0074】

まず、半導体基板の主表面を覆う下部層間絶縁膜が形成された後、第1窒化チタン層、アルミニウム層および第2窒化チタン層(いずれも図示せず)が形成される。次に、共用の低電圧側配線LW等をパターニングするためのフォトレジストのパターン(図示せず)が形成され、次に、そのフォトレジストのパターンをエッチングマスクとしてプラズマエッチング処理を行うことにより、低電圧側配線LW、高電圧側配線HWAおよび高電圧側配線HWBが形成される(図26参照)。

10

【0075】

その後、低電圧側配線LW、高電圧側配線HWAおよび高電圧側配線HWBを覆うように第1層間絶縁膜FILを形成し、さらに、その第1層間絶縁膜FILを覆うように第2層間絶縁膜SIF等を形成することで、半導体装置の主要部分が完成する(図26参照)。

20

【0076】

上述した半導体装置SDでは、第1容量素子CEAおよび第2容量素子CEBの共用の低電圧側配線LWは、半導体基板SUBの主表面に沿って蛇行しながらX方向に延在している。その蛇行している低電圧側配線LWに対し、第1容量素子CEAの高電圧側配線HWAが、半導体基板SUBの主表面の方向に間隔を隔てられて対向しているとともに、第2容量素子CEBの高電圧側配線HWBが、主表面の方向に間隔を隔てられて対向している。

【0077】

これにより、実施の形態1において説明したのと同様に、半導体基板SUBの面内において、たとえ、配線層の厚さに対応するアルミニウム層の膜厚が相対的に厚い領域と薄い領域とが存在したとしても、第1容量素子CEAおよび第2容量素子CEBのそれぞれでは、配線層の厚い領域と薄い領域とがほぼ同じ割合で存在することになり、配線層の膜厚が平均化されることになる。その結果、比較例に係る半導体装置CSD(図13等参照)と比べて、第1容量素子CEAの容量と第2容量素子CEBの容量との容量差を縮めることが可能になる。

30

【0078】

さらに、上述した半導体装置SDでは、第1容量素子CEAの低電圧側配線と第2容量素子CEBの低電圧側配線とが、共用の低電圧側配線LWとされる。これにより、低電圧側配線を2本形成する場合と比べて、ペアのMIM容量として単位面積当たりの静電容量を増やすことができる。

40

【0079】

また、静電容量をさらに確保するためには、図27に示すように、低電圧側配線LWの一端側を高電圧側配線HWAに沿ってX方向(正)に延在させるとともに、低電圧側配線LWの他端側を高電圧側配線HWBに沿ってX方向(負)に延在させてもよい。

【0080】

なお、上述した半導体装置SDでは、低電圧側配線LW、高電圧側配線HWAおよび高電圧側配線HWBとして、アルミニウムを主成分とする配線層を例に挙げたが、実施の形態2の場合と同様に銅配線を適用してもよい。

【0081】

実施の形態4

50

ペアのMIM容量素子を備えた半導体装置の第4例について説明する。第1例～第3例では、配線層として一層からなる配線層を例に挙げた。第4例では、二層からなる配線層を例に挙げる。

【0082】

図28および図29に示すように、第1容量素子CEAおよび第2容量素子CEBは、一層目の配線層と二層目の配線層とによって形成される。一層目の配線層によって、第1容量素子CEAの第1容量素子第1部CEA1と第2容量素子CEBの第2容量素子第1部CEB1とが形成されている。二層目の配線層によって、第1容量素子CEAの第1容量素子第2部CEA2と第2容量素子CEBの第2容量素子第2部CEB2とが形成されている。

10

【0083】

第1容量素子第1部CEA1は、低電圧側配線LWA1、高電圧側配線HWA1および第1層間絶縁膜FILによって形成されている。第1容量素子第2部CEA2は、低電圧側配線LWA2、高電圧側配線HWA2および第2層間絶縁膜SILによって形成されている。低電圧側配線LWA1と低電圧側配線LWA2とは、ビアVALを介して電氣的に接続されている。高電圧側配線HWA1と高電圧側配線HWA2とは、ビアVAHを介して電氣的に接続されている。

【0084】

第2容量素子第1部CEB1は、低電圧側配線LWB1、高電圧側配線HWB1および第1層間絶縁膜FILによって形成されている。第2容量素子第2部CEB2は、低電圧側配線LWB2、高電圧側配線HWB2および第2層間絶縁膜SILによって形成されている。低電圧側配線LWB1と低電圧側配線LWB2とは、ビアVBLを介して電氣的に接続されている。高電圧側配線HWB1と高電圧側配線HWB2とは、ビアVBHを介して電氣的に接続されている。

20

【0085】

なお、図28では、説明の便宜上、一層目の配線層と二層目の配線層とをずらし、所定の配線層同士が、ビアVAL、VAH、VBL、VBHによって電氣的に接続される図が示されているが、実際の半導体装置では、一層目の配線層と二層目の配線層とは、平面視的に重なるように配置されている。「平面視的」とは、二次元のパターンを意図するものであり、半導体基板SUBの主表面に対してほぼ垂直な方向から見たときのパターンを意図する。この半導体装置SDでは、平面視的に重なる一層目の配線層の電位と二層目の配線層の電位とは同じ電位に設定される。

30

【0086】

また、図29では、それぞれ一層目の低電圧側配線LWA1、LWB1および高電圧側配線HWA1、HWB1の厚さの半導体基板SUBの面内における不均一性(ばらつき)が、誇張されて示されている。同様に、それぞれ二層目の低電圧側配線LWA2、LWB2および高電圧側配線HWA2、HWB2の厚さの半導体基板SUBの面内における不均一性(ばらつき)も、誇張されて示されている。

【0087】

一層目の低電圧側配線LWA1、LWB1および高電圧側配線HWA1、HWB1は、第1例の場合と同様に、二層の窒化チタン層の間にアルミニウム層を介在させた三層構造とされる。また、二層目の低電圧側配線LWA2、LWB2および高電圧側配線HWA2、HWB2も、二層の窒化チタン層の間にアルミニウム層を介在させた三層構造とされる。なお、これ以外の構成については、図1～図3に示す半導体装置SDと同様なので、同一部材には同一符号を付し、必要である場合を除きその説明を繰り返さないこととする。

40

【0088】

上述した半導体装置SDは、配線層が二層であり、第1例の場合の製造方法と実質的に同様の製造方法を繰り返すことによって製造することができる。

【0089】

まず、半導体基板の主表面を覆う下部層間絶縁膜が形成された後、第1窒化チタン層、

50

アルミニウム層および第2窒化チタン層（いずれも図示せず）が形成される。次に、一層目の配線層をパターンニングするためのフォトレジストのパターン（図示せず）が形成され、次に、そのフォトレジストのパターンをエッチングマスクとしてプラズマエッチング処理を行うことにより、低電圧側配線LWA1、LWB1および高電圧側配線HWA1、HWB1が形成される（図29参照）。

【0090】

次に、低電圧側配線LWA1、LWB1および高電圧側配線HWA1、HWB1を覆うように、第1層間絶縁膜FILが形成される。次に、第1層間絶縁膜FILを貫通して、低電圧側配線LWA1、LWB1および高電圧側配線HWA1、HWB1のそれぞれに電氣的に接続されるビアVAH、VAL、VBL、VBHが形成される。

10

【0091】

次に、第1窒化チタン層、アルミニウム層および第2窒化チタン層（いずれも図示せず）が形成される。次に、二層目の配線層をパターンニングするためのフォトレジストのパターン（図示せず）が形成され、次に、そのフォトレジストのパターンをエッチングマスクとしてプラズマエッチング処理を行うことにより、低電圧側配線LWA2、LWB2および高電圧側配線HWA2、HWB2が形成される（図29参照）。

【0092】

低電圧側配線LWA2は、ビアVALを介して低電圧側配線LWA1と電氣的に接続されることになり、低電圧側配線LWB2は、ビアVBLを介して低電圧側配線LWB1と電氣的に接続されることになる。高電圧側配線HWA2は、ビアVAHを介して高電圧側配線HWA1と電氣的に接続されることになり、高電圧側配線HWB2は、ビアVBHを介して高電圧側配線HWB1と電氣的に接続されることになる。

20

【0093】

その後、低電圧側配線LWA2、LWB2および高電圧側配線HWA2、HWB2を覆うように第2層間絶縁膜SIF等を形成することで、半導体装置の主要部分が完成する（図29参照）。

【0094】

上述した半導体装置SDでは、まず、第1容量素子第1部CEA1の低電圧側配線LWA1と、第2容量素子第1部CEB1の低電圧側配線LWB1とは、半導体基板SUBの主表面の方向に間隔を隔てられた状態で、半導体基板SUBの主表面に沿って蛇行しながらX方向にそれぞれ延在している。

30

【0095】

その蛇行している低電圧側配線LWA1に対し、第1容量素子第1部CEA1の高電圧側配線HWA1が、半導体基板SUBの主表面の方向に間隔を隔てられて対向し、また、蛇行している低電圧側配線LWB1に対し、第2容量素子第1部CEB1の高電圧側配線HWB1が、主表面の方向に間隔を隔てられて対向している。

【0096】

また、第1容量素子第2部CEA2の低電圧側配線LWA2と、第2容量素子第2部CEB2の低電圧側配線LWB2とは、半導体基板SUBの主表面の方向に間隔を隔てられた状態で、半導体基板SUBの主表面に沿って蛇行しながらX方向にそれぞれ延在している。

40

【0097】

その蛇行している低電圧側配線LWA2に対し、第1容量素子第2部CEA2の高電圧側配線HWA2が、半導体基板SUBの主表面の方向に間隔を隔てられて対向し、また、蛇行している低電圧側配線LWB2に対し、第2容量素子第2部CEB2の高電圧側配線HWB2が、主表面の方向に間隔を隔てられて対向している。

【0098】

これにより、実施の形態1において説明したように、第1容量素子CEAおよび第2容量素子CEBにおける、一層目の配線層の膜厚と二層目の配線層の膜厚とがそれぞれ平均化される。その結果、第1容量素子第1部CEA1の容量と第2容量素子第1部CEB1

50

の容量との容量差を縮めることができるとともに、第1容量素子第2部CEA2の容量と第2容量素子第2部CEB2の容量との容量差も縮めることができる。

【0099】

こうして、第1容量素子第1部CEA1と第1容量素子第2部CEA2とが並列に接続された第1容量素子CEAの容量と、第2容量素子第1部CEB1と第2容量素子第2部CEB2とが並列に接続された第2容量素子CEBの容量との容量差を縮めることが可能になる。

【0100】

さらに、上述した半導体装置SDでは、一層目の配線層によって、第1容量素子第1部CEA1と第2容量素子第1部CEB1とが形成され、二層目の配線層によって、第1容量素子第2部CEA2と第2容量素子第2部CEB2とが形成されており、第1容量素子CEAおよび第2容量素子CEBは積層構造とされている。これにより、単位面積当たりの静電容量を増やすことができる。

10

【0101】

また、第1容量素子CEAでは、第1容量素子第1部CEA1と第1容量素子第2部CEA2とが、ビアVAL、VAHを介して電氣的に接続され、第2容量素子CEBでは、第2容量素子第1部CEB1と第2容量素子第2部CEB2とが、ビアVBL、VBHを介して電氣的に接続されている。このビアVAL、VAH、VBL、VBHの数には、特に制限はない。多くのビアVAL、VAH、VBL、VBHを形成することで、ビアとビアとの間の静電容量を増やすことができ、その結果、単位面積当たりの静電容量を増やすことができる。

20

【0102】

なお、複数のビアは、対称性をもたせるように配置することが望ましい。また、ビアを形成せずに、第1容量素子第1部および第2容量素子第1部を一容量素子とし、第1容量素子第2部および第2容量素子第2部を他の容量素子としてもよく、容量素子を積層化することで、単位容量当たりの面積を削減させるようにしてもよい。さらに、上述した半導体装置SDでは、アルミニウムを主成分とする配線層を例に挙げたが、実施の形態2の場合と同様に銅配線を適用してもよい。

【0103】

実施の形態5

ペアのMIM容量素子を備えた半導体装置の第5例について説明する。第4例では、平面視的に重なる一層目の配線層の電位と二層目の配線層の電位とが同電位の場合を例に挙げた。第5例では、平面視的に重なる一層目の配線層の電位と二層目の配線層の電位とが異なる電位の場合を例に挙げる。

30

【0104】

図30および図31に示すように、一層目の配線層によって、第1容量素子CEAの第1容量素子第1部CEA1と第2容量素子CEBの第2容量素子第1部CEB1とが形成されている。二層目の配線層によって、第1容量素子CEAの第1容量素子第2部CEA2と第2容量素子CEBの第2容量素子第2部CEB2とが形成されている。

【0105】

第1容量素子第1部CEA1は、低電圧側配線LWA1、高電圧側配線HWA1および第1層間絶縁膜FILによって形成されている。第1容量素子第2部CEA2は、低電圧側配線LWA2、高電圧側配線HWA2および第2層間絶縁膜SILによって形成されている。低電圧側配線LWA1と低電圧側配線LWA2とは、配線EJALを介して電氣的に接続されている。高電圧側配線HWA1と高電圧側配線HWA2とは、配線EJAHを介して電氣的に接続されている。

40

【0106】

第2容量素子第1部CEB1は、低電圧側配線LWB1、高電圧側配線HWB1および第1層間絶縁膜FILによって形成されている。第2容量素子第2部CEB2は、低電圧側配線LWB2、高電圧側配線HWB2および第2層間絶縁膜SILによって形成されて

50

いる。低電圧側配線LWB1と低電圧側配線LWB2とは、配線EJBLを介して電氣的に接続されている。高電圧側配線HWB1と高電圧側配線HWB2とは、配線EJBHを介して電氣的に接続されている。なお、配線EJAH、EJAL、EJBH、EJBLは、第1容量素子CEAおよび第2容量素子CEBが形成されている領域の外側の領域に配置されている。

【0107】

なお、図30では、説明の便宜上、一層目の配線層と二層目の配線層とをずらし、所定の配線層同士が、配線EJAH、EJAL、EJBH、EJBLによって電氣的に接続される図が示されているが、実際の半導体装置では、一層目の配線層と二層目の配線層とは、平面視的に重なるように配置されている。また、この半導体装置SDでは、平面視的に重なる一層目の配線層の電位と二層目の配線層の電位とは異なる電位に設定される。

10

【0108】

また、図31では、それぞれ一層目の低電圧側配線LWA1、LWB1および高電圧側配線HWA1、HWB1の厚さの半導体基板SUBの面内における不均一性(ばらつき)が、誇張されて示されている。同様に、それぞれ二層目の低電圧側配線LWA2、LWB2および高電圧側配線HWA2、HWB2の厚さの半導体基板SUBの面内における不均一性(ばらつき)も、誇張されて示されている。

【0109】

一層目の低電圧側配線LWA1、LWB1および高電圧側配線HWA1、HWB1は、第1例の場合と同様に、二層の窒化チタン層の間にアルミニウム層を介在させた三層構造とされる。また、二層目の低電圧側配線LWA2、LWB2および高電圧側配線HWA2、HWB2も、二層の窒化チタン層の間にアルミニウム層を介在させた三層構造とされる。なお、これ以外の構成については、図1~図3に示す半導体装置SDと同様なので、同一部材には同一符号を付し、必要である場合を除きその説明を繰り返さないこととする。

20

【0110】

上述した半導体装置SDは、配線層が二層であり、第1例の場合の製造方法と実質的に同様の製造方法を繰り返すことによって製造することができる。

【0111】

まず、半導体基板の主表面を覆う下部層間絶縁膜が形成された後、第1窒化チタン層、アルミニウム層および第2窒化チタン層(いずれも図示せず)が形成される。次に、一層目の配線層をパターニングするためのフォトレジストのパターン(図示せず)が形成され、次に、そのフォトレジストのパターンをエッチングマスクとしてプラズマエッチング処理を行うことにより、低電圧側配線LWA1、LWB1および高電圧側配線HWA1、HWB1が形成される(図31参照)。

30

【0112】

次に、低電圧側配線LWA1、LWB1および高電圧側配線HWA1、HWB1を覆うように、第1層間絶縁膜FILが形成される。次に、第1窒化チタン層、アルミニウム層および第2窒化チタン層(いずれも図示せず)が形成される。次に、二層目の配線層をパターニングするためのフォトレジストのパターン(図示せず)が形成され、次に、そのフォトレジストのパターンをエッチングマスクとしてプラズマエッチング処理を行うことにより、低電圧側配線LWA2、LWB2および高電圧側配線HWA2、HWB2が形成される(図31参照)。

40

【0113】

次に、低電圧側配線LWA2、LWB2および高電圧側配線HWA2、HWB2を覆うように第2層間絶縁膜SIF等が形成される。また、一連の工程の中の適当な工程において、第1容量素子CEAおよび第2容量素子CEBが形成され領域の外側の所定の領域に、配線EJAH、EJAL、EJBH、EJBL(図30参照)が形成される。こうして、半導体装置の主要部分が完成する(図31参照)。

【0114】

上述した半導体装置SDでは、まず、第1容量素子第1部CEA1の低電圧側配線LW

50

A 1 と、第 2 容量素子第 1 部 C E B 1 の高電圧側配線 H W B 1 とは、半導体基板 S U B の主表面の方向に間隔を隔てられた状態で、半導体基板 S U B の主表面に沿って蛇行しながら X 方向にそれぞれ延在している。

【 0 1 1 5 】

その蛇行している低電圧側配線 L W A 1 に対し、第 1 容量素子第 1 部 C E A 1 の高電圧側配線 H A W 1 が、半導体基板 S U B の主表面の方向に間隔を隔てられて対向し、また、蛇行している高電圧側配線 H W B 1 に対し、第 2 容量素子第 1 部 C E B 1 の低電圧側配線 L W B 1 が、主表面の方向に間隔を隔てられて対向している。

【 0 1 1 6 】

また、第 1 容量素子第 2 部 C E A 2 の高電圧側配線 H W A 2 と、第 2 容量素子第 2 部 C E B 2 の低電圧側配線 L W B 2 とは、半導体基板 S U B の主表面の方向に間隔を隔てられた状態で、半導体基板 S U B の主表面に沿って蛇行しながら X 方向にそれぞれ延在している。

【 0 1 1 7 】

その蛇行している高電圧側配線 H W A 2 に対し、第 1 容量素子第 2 部 C E A 2 の低電圧側配線 L A W 2 が、半導体基板 S U B の主表面の方向に間隔を隔てられて対向し、また、蛇行している低電圧側配線 L W B 2 に対し、第 2 容量素子第 2 部 C E B 2 の高電圧側配線 H W B 2 が、主表面の方向に間隔を隔てられて対向している。

【 0 1 1 8 】

これにより、実施の形態 1 において説明したように、第 1 容量素子 C E A および第 2 容量素子 C E B における、一層目の配線層の膜厚と二層目の配線層の膜厚とがそれぞれ平均化される。その結果、第 1 容量素子第 1 部 C E A 1 の容量と第 2 容量素子第 1 部 C E B 1 の容量との容量差を縮めることができるとともに、第 1 容量素子第 2 部 C E A 2 の容量と第 2 容量素子第 2 部 C E B 2 の容量との容量差も縮めることができる。

【 0 1 1 9 】

こうして、第 1 容量素子第 1 部 C E A 1 と第 1 容量素子第 2 部 C E A 2 とが並列に接続された第 1 容量素子 C E A の容量と、第 2 容量素子第 1 部 C E B 1 と第 2 容量素子第 2 部 C E B 2 とが並列に接続された第 2 容量素子 C E B の容量との容量差を縮めることが可能になる。

【 0 1 2 0 】

そして、上述した半導体装置 S D では、一層目の配線層によって、第 1 容量素子第 1 部 C E A 1 と第 2 容量素子第 1 部 C E B 1 とが形成され、二層目の配線層によって、第 1 容量素子第 2 部 C E A 2 と第 2 容量素子第 2 部 C E B 2 とが形成されており、第 1 容量素子 C E A および第 2 容量素子 C E B は積層構造とされている。

【 0 1 2 1 】

さらに、上述した半導体装置 S D では、平面視的に重なる一層目の配線層の電位と二層目の配線層の電位とは異なる。これにより、図 3 1 および図 3 2 に示すように、第 1 容量素子 C E A の容量に、一層目の配線層と二層目の配線層との間の寄生容量 P C A が加わることになる。また、第 2 容量素子 C E B の容量に、一層目の配線層と二層目の配線層との間の寄生容量 P C B が加わることになる。その結果、単位面積当たりの静電容量をさらに増やすことができる。

【 0 1 2 2 】

なお、上述した半導体装置 S D では、上述した半導体装置 S D では、第 1 容量素子 C E A および第 2 容量素子 C E B の配線として、アルミニウムを主成分とする配線層を例に挙げたが、実施の形態 2 の場合と同様に銅配線を適用してもよい。

【 0 1 2 3 】

実施の形態 6

ペアの M I M 容量素子を備えた半導体装置の第 6 例について説明する。

【 0 1 2 4 】

図 3 3 に示すように、ペアの M I M 容量素子のうちの一方の第 1 容量素子 C E A が、共

10

20

30

40

50

用の低電圧側配線LW、高電圧側配線HWAおよび第1層間絶縁膜FILの部分によって形成されている。ペアのMIM容量素子のうちの他方の第2容量素子CEBが、共用の低電圧側配線LW、高電圧側配線HWAおよび第1層間絶縁膜FILの部分によって形成されている。

【0125】

低電圧側配線LWは、X方向に延在するX方向延在部XLと、X方向延在部XLからX方向とほぼ直交するY方向にそれぞれ延在する複数のY方向延在部YLとを有している。高電圧側配線HWAは、それぞれY方向に延在する複数の高電圧側配線HWA1、HWA2、HWA3、HWA4を有している。高電圧側配線HWAは、それぞれY方向に延在する複数の高電圧側配線HWA1、HWA2、HWA3、HWA4を有している。

10

【0126】

高電圧側配線HWA1、HWA2、HWA3、HWA4と高電圧側配線HWA1、HWA2、HWA3、HWA4とは、互いに隣り合う一のY方向延在部YLと他のY方向延在部YLとの間に位置する領域に高電圧側配線HWA1が配置されるとともに、互いに隣り合う他のY方向延在部YLとさらに他のY方向延在部YLとの間に位置する領域に高電圧側配線HWA1が配置される態様で、交互にX方向に沿って配置されて、低電圧側配線LWと対向している。

【0127】

高電圧側配線HWA1、HWA2、HWA3、HWA4のそれぞれは、ビアVAH1、VAH2、VAH3、VAH4を介して、配線EJAHによって互いに電氣的に接続されている。高電圧側配線HWA1、HWA2、HWA3、HWA4のそれぞれは、ビアVBH1、VBH2、VBH3、VBH4を介して、配線EJBHによって互いに電氣的に接続されている。配線EJAHと配線EJBHは、高電圧側配線HWA、HWAが配置されている層とは異なる層にそれぞれ形成されている。

20

【0128】

上述した半導体装置SDは、第3例の場合の製造方法と実質的に同様の製造方法によって、製造することができる。

【0129】

まず、半導体基板の主表面を覆う下部層間絶縁膜が形成された後、第1窒化チタン層、アルミニウム層および第2窒化チタン層（いずれも図示せず）が形成される。次に、共用の低電圧側配線LW等をパターニングするためのフォトリソのパターン（図示せず）が形成され、次に、そのフォトリソのパターンをエッチングマスクとしてプラズマエッチング処理を行うことにより、低電圧側配線LW、高電圧側配線HWAおよび高電圧側配線HWAが形成される（図33参照）。

30

【0130】

次に、低電圧側配線LW、高電圧側配線HWAおよび高電圧側配線HWAを覆うように第1層間絶縁膜FILが形成され、さらに、その第1層間絶縁膜FILを覆うように第2層間絶縁膜（図示せず）等が形成される。

【0131】

その後、高電圧側配線HWA1、HWA2、HWA3、HWA4を互いに電氣的に接続するビアVAH1、VAH2、VAH3、VAH4および配線EJAHが形成されるとともに、高電圧側配線HWA1、HWA2、HWA3、HWA4を互いに電氣的に接続するビアVBH1、VBH2、VBH3、VBH4および配線EJBHが形成される。こうして、半導体装置の主要部分が完成する（図33参照）。

40

【0132】

上述した半導体装置SDでは、第1容量素子CEAおよび第2容量素子CEBの共用の低電圧側配線LWは、X方向に延在するX方向延在部XLと、X方向延在部XLからX方向とほぼ直交するY方向にそれぞれ延在する複数のY方向延在部YLとを有している。

【0133】

その複数のY方向延在部YLに対して、互いに隣り合う一のY方向延在部YLと他のY

50

方向延在部 Y L との間に位置する領域に高電圧側配線 H W A 1 が配置されるとともに、互いに隣り合う他の Y 方向延在部 Y L とさらに他の Y 方向延在部 Y L との間に位置する領域に高電圧側配線 H W B 1 が配置される態様で、高電圧側配線 H W A と高電圧側配線 H W B とが、交互に X 方向に沿って配置されている。

【 0 1 3 4 】

これにより、実施の形態 1 において説明したのと同様に、第 1 容量素子 C E A および第 2 容量素子 C E B のそれぞれでは、配線層の膜厚が平均化されることになる。その結果、第 1 容量素子 C E A の容量と第 2 容量素子 C E B の容量との容量差を縮めることが可能になる。

【 0 1 3 5 】

さらに、上述した半導体装置 S D では、低電圧側配線 L W を構成する X 方向延在部 X L および Y 方向延在部 Y L のそれぞれは直線状に延在する。また、高電圧側配線 H W A、H W B は、それぞれ直線状に Y 方向に延在する。これにより、低電圧側配線 L W、高電圧側配線 H W A、H W B をパターンニングする際に、フォトレジストが丸まりやすい、フォトレジストのパターンが屈曲する箇所が少なくなり、フォトレジストが丸まることに起因する悪影響を抑えることができる。

【 0 1 3 6 】

なお、上述した半導体装置 S D では、上述した半導体装置 S D では、第 1 容量素子 C E A および第 2 容量素子 C E B の配線として、アルミニウムを主成分とする配線層を例に挙げたが、実施の形態 2 の場合と同様に銅配線を適用してもよい。また、各実施の形態において説明した半導体装置 S D については、必要に応じて種々組み合わせることが可能である。

【 0 1 3 7 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 符号の説明 】

【 0 1 3 8 】

S D 半導体装置、S U B 半導体基板、L I L 下部層間絶縁膜、C E A 第 1 容量素子、C E B 第 2 容量素子、T N 1 第 1 窒化チタン層、A F アルミニウム層、T N 2 第 2 窒化チタン層、L W A、L W B、L W、L W A 1、L W B 1、L W A 2、L W B 2 低電圧側配線、H W A、H W B、H W A 1、H W B 1、H W A 2、H W B 2、H W A 3、H W A 4、H W B 3、H W B 4 高電圧側配線、T N 1 L A、T N 1 L B、T N 1 H A、T N 1 H B 第 1 窒化チタン層、A F L A、A F L B、A F H A、A F H B アルミニウム層、T N 2 L A、T N 2 L B、T N 2 H A、T N 2 H B 第 2 窒化チタン層、F I L 第 1 層間絶縁膜、S I L 第 2 層間絶縁膜、P R 1、P R 2 フォトレジストパターン、T T 窒化タンタル層、D F 銅膜、T T L A、T T L B、T T H A、T T H B 窒化タンタル層、D F L A、D F L B、D F H A、D F H B 銅膜、W T 配線溝、D K F 銅拡散防止膜、C E A 1 第 1 容量素子第 1 部、C E B 1 第 2 容量素子第 1 部、C E A 2 第 1 容量素子第 2 部、C E B 2 第 2 容量素子第 2 部、V A H、V A L、V B H、V B L、V A H 1、V A H 2、V A H 3、V A H 4、V B H 1、V B H 2、V B H 3、V B H 4 ヴィア、E J A H、E J A L、E J B H、E J B L 配線、P C A、P C B 寄生容量。

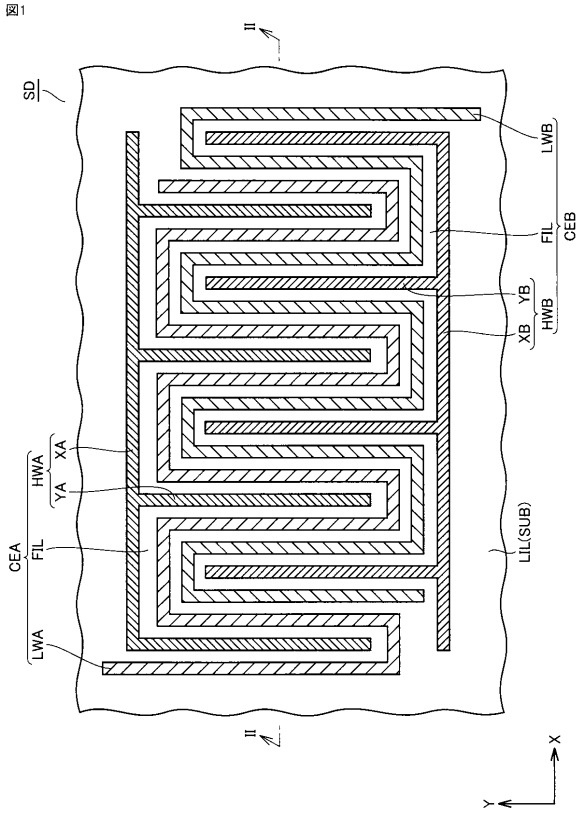
10

20

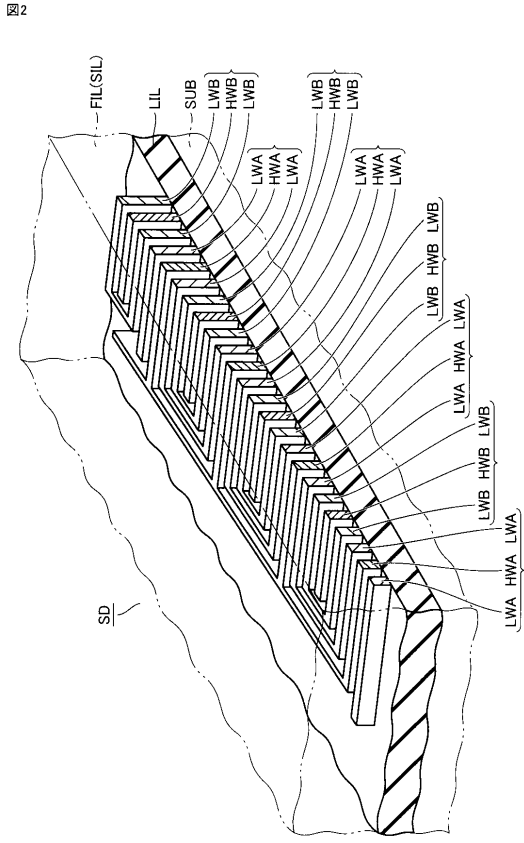
30

40

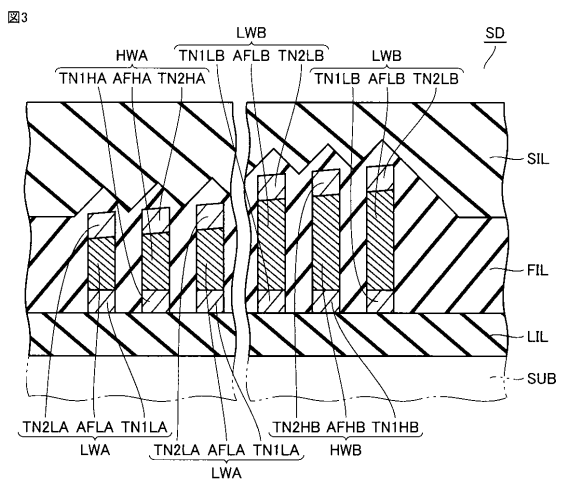
【 図 1 】



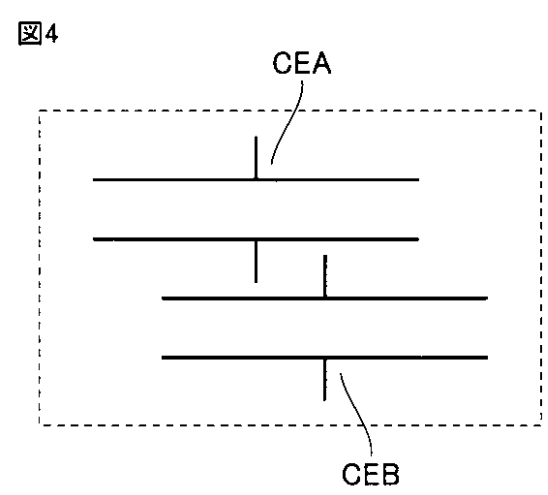
【 図 2 】



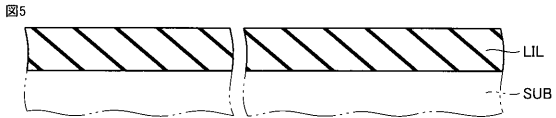
【 図 3 】



【 図 4 】

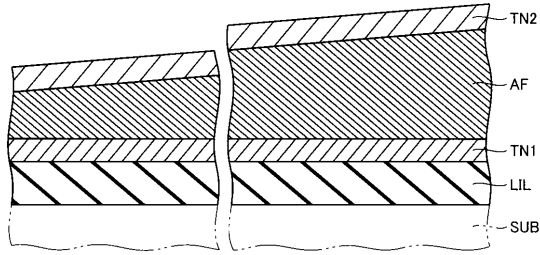


【 図 5 】



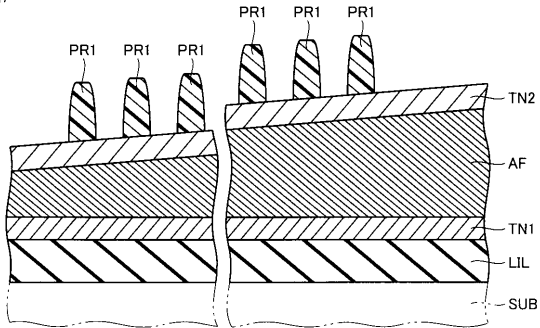
【 図 6 】

図6



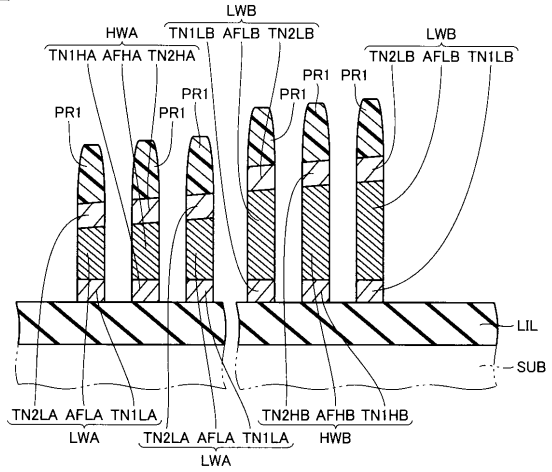
【 図 7 】

図7



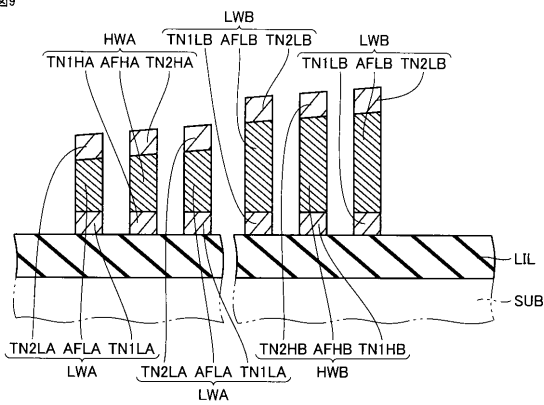
【 図 8 】

図8



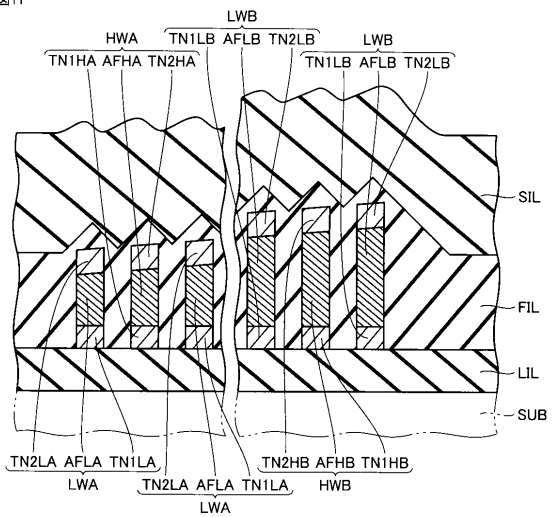
【 図 9 】

図9



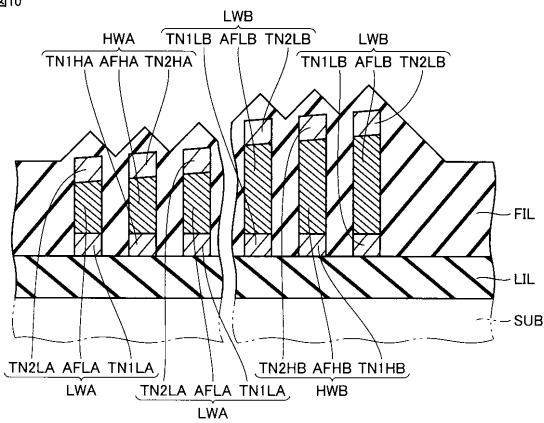
【 図 1 1 】

図11



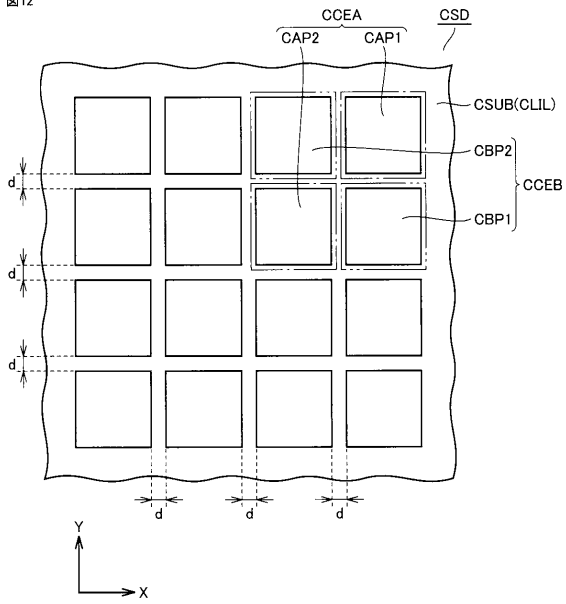
【 図 1 0 】

図10



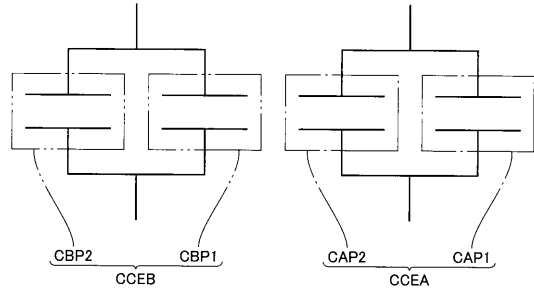
【 図 1 2 】

図12



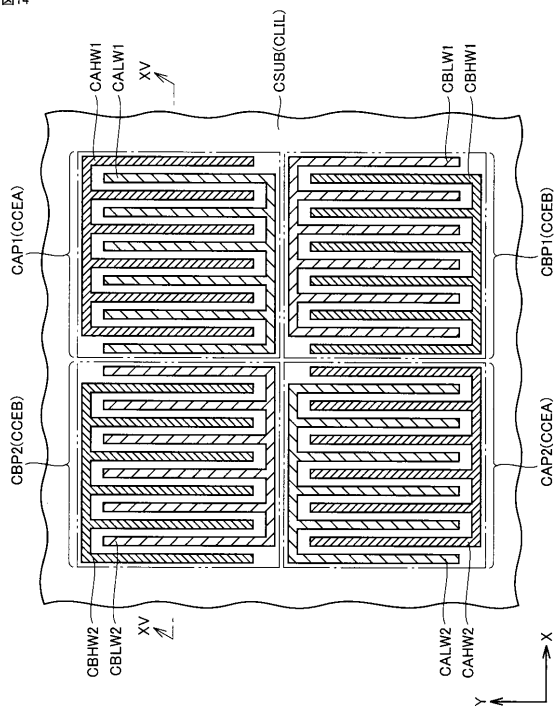
【 図 1 3 】

図13



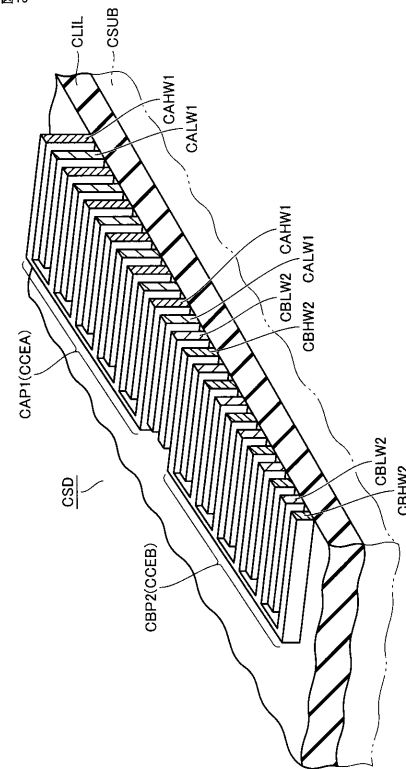
【 図 1 4 】

図14

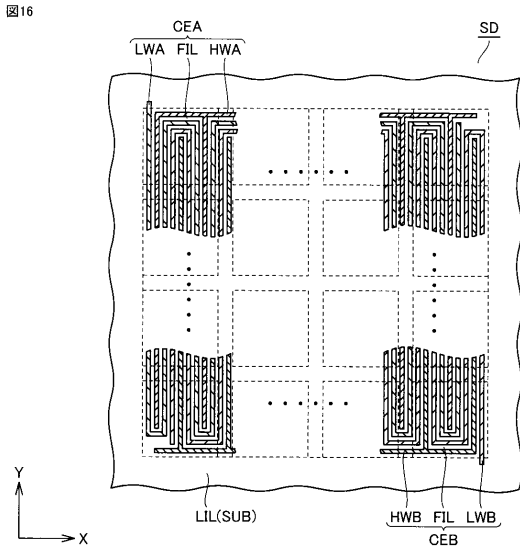


【 図 1 5 】

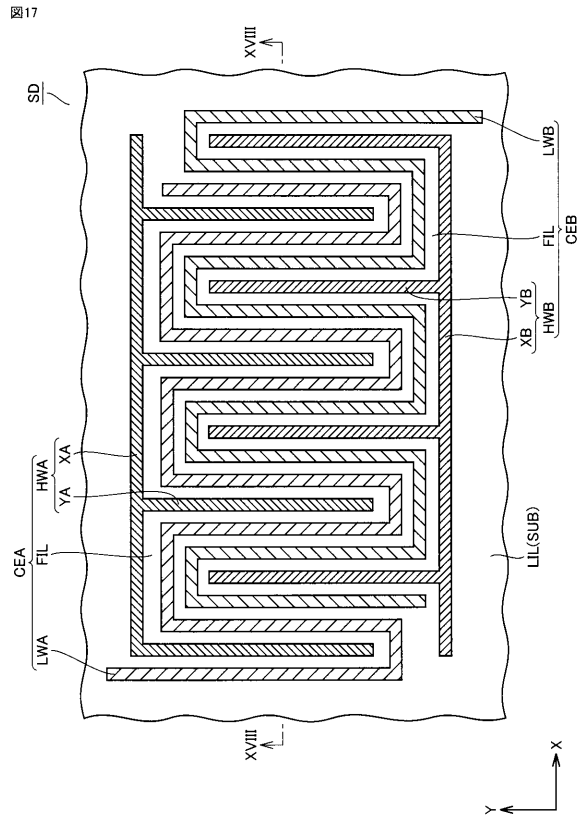
図15



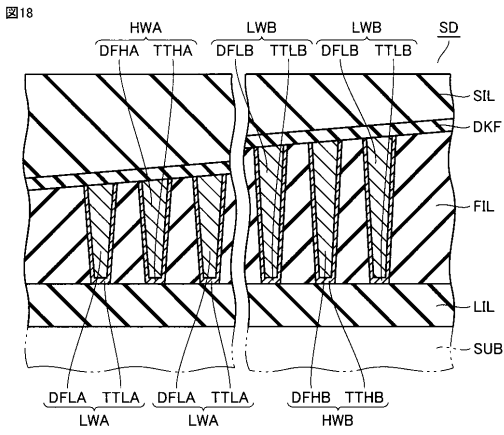
【 図 16 】



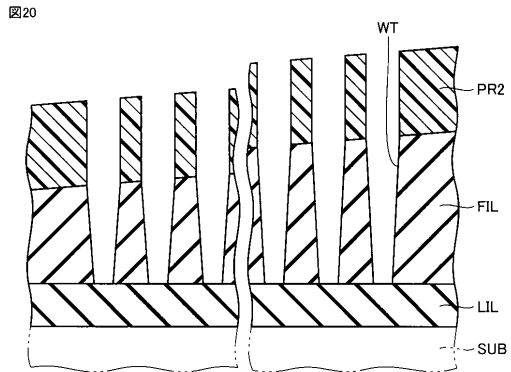
【 図 17 】



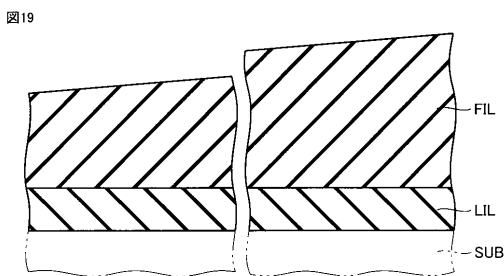
【 図 18 】



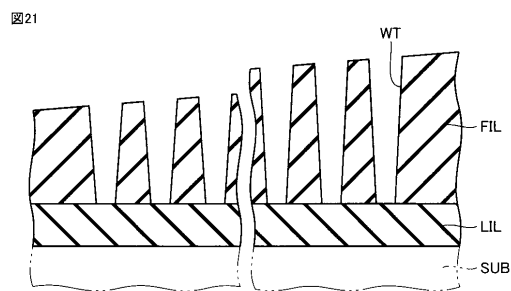
【 図 20 】



【 図 19 】

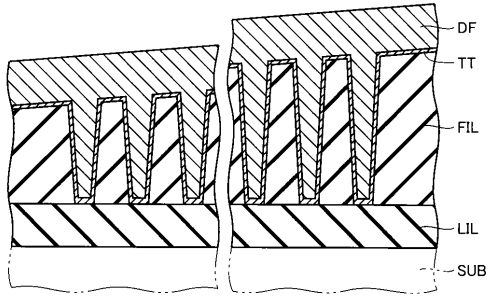


【 図 21 】



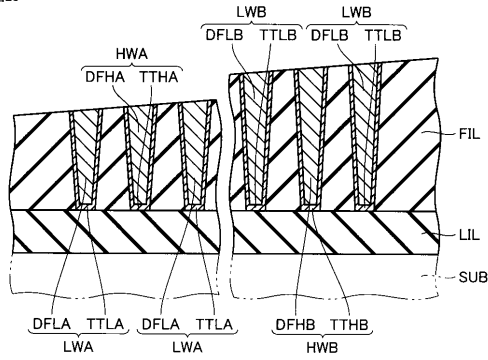
【 図 2 2 】

図22



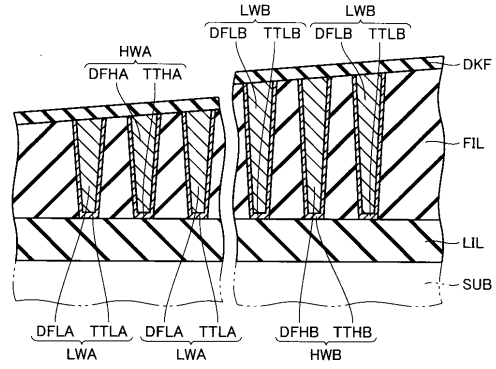
【 図 2 3 】

図23



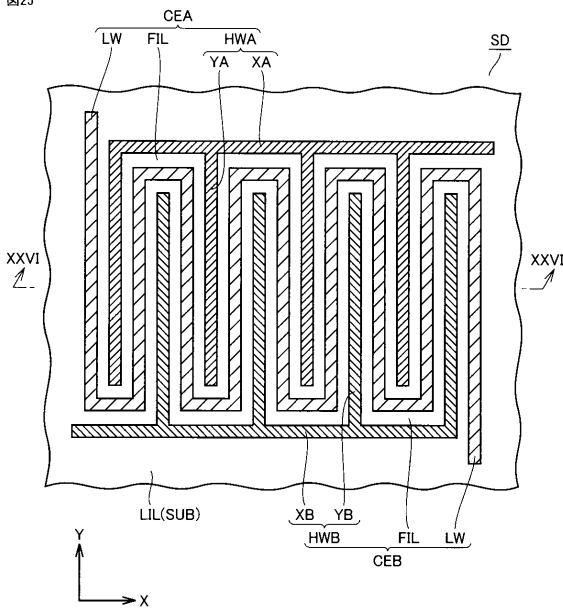
【 図 2 4 】

図24



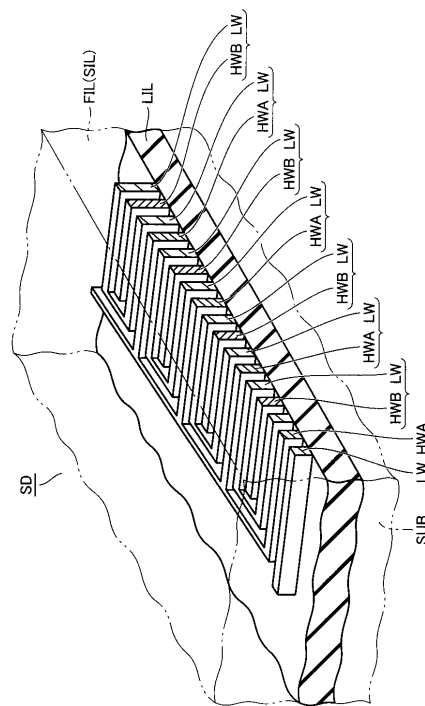
【 図 2 5 】

図25



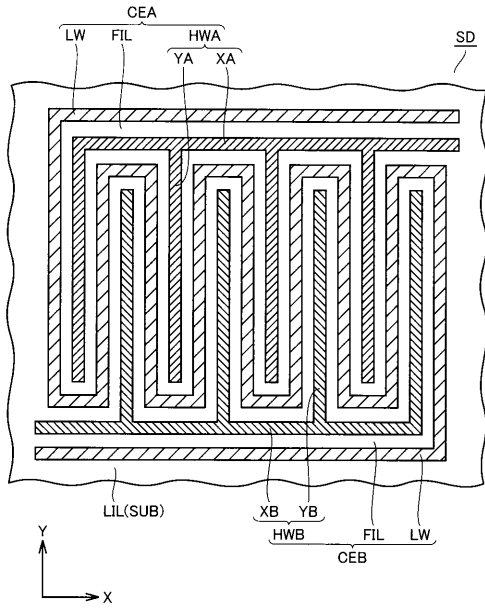
【 図 2 6 】

図26



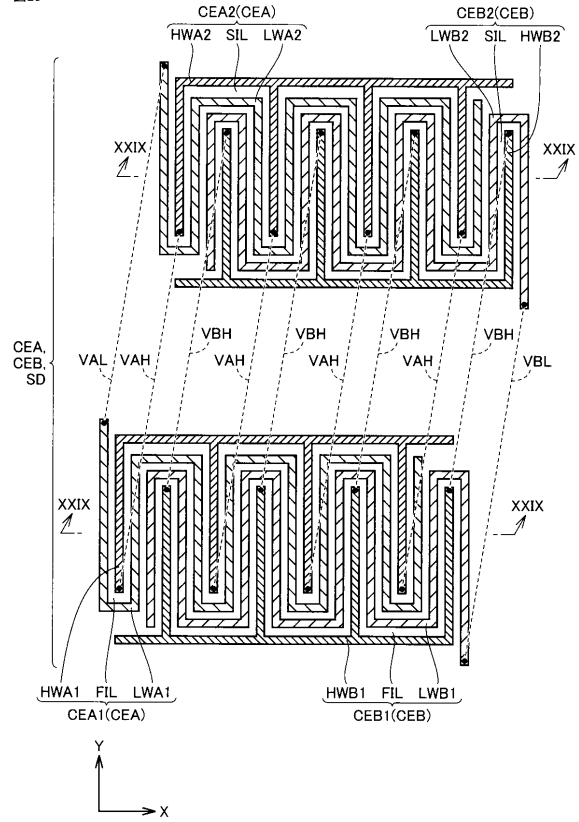
【 図 27 】

図27



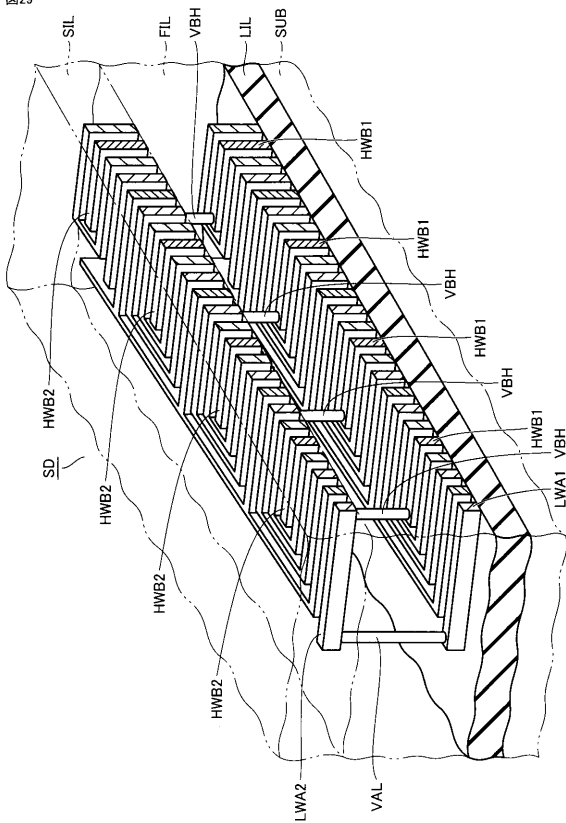
【 図 28 】

図28



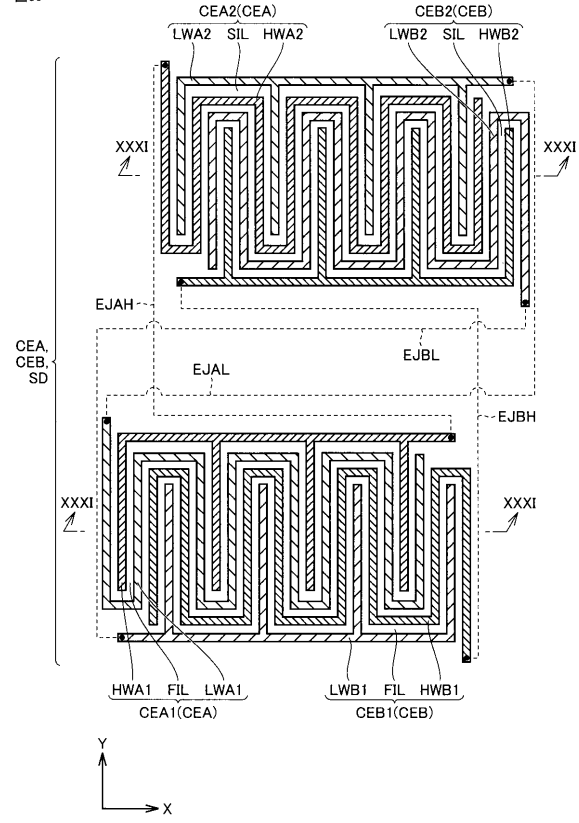
【 図 29 】

図29



【 図 30 】

図30





フロントページの続き

Fターム(参考) 5F038 AC04 AC05 AC09 AC14 CA06 CD13 EZ20