

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5375007号
(P5375007)

(45) 発行日 平成25年12月25日 (2013.12.25)

(24) 登録日 平成25年10月4日 (2013.10.4)

(51) Int.Cl.		F I	
GO2F	1/167	(2006.01)	GO2F 1/167
GO9G	3/20	(2006.01)	GO9G 3/20 623H
GO9G	3/34	(2006.01)	GO9G 3/20 623G
			GO9G 3/34 C
			GO9G 3/20 670M

請求項の数 9 (全 19 頁)

(21) 出願番号	特願2008-253422 (P2008-253422)	(73) 特許権者	000002369
(22) 出願日	平成20年9月30日 (2008.9.30)		セイコーエプソン株式会社
(65) 公開番号	特開2010-85618 (P2010-85618A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成22年4月15日 (2010.4.15)	(74) 代理人	100064908
審査請求日	平成23年8月1日 (2011.8.1)		弁理士 志賀 正武
		(74) 代理人	100140774
			弁理士 大浪 一徳
		(72) 発明者	下平 泰裕
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	山口 裕之

最終頁に続く

(54) 【発明の名称】マトリクス装置の駆動回路、マトリクス装置、画像表示装置、電気泳動表示装置、及び電子機器

(57) 【特許請求の範囲】

【請求項1】

マトリクス状に配列された複数の機能素子を備えたマトリクス装置に適用され、前記機能素子とデータ線を介して接続される駆動回路であって、

シフトレジスタと、データ信号線と、前記シフトレジスタの出力端子及び前記データ信号線と接続された第1のデータラッチ回路と、前記シフトレジスタの出力端子及び前記第1のデータラッチ回路の出力端子に接続されるとともに前記データ線と直接又は他の回路を介して接続された第2のデータラッチ回路とを有し、

前記第1及び第2のデータラッチ回路は、一又は複数の前記データ線に対応するラッチ回路により構成される複数段の動作単位にそれぞれ分割されており、

同一段に属する前記第1及び第2のデータラッチ回路の前記動作単位に対して、前記シフトレジスタの異なる前記出力端子が接続され、

前記第2のデータラッチ回路の各々の前記動作単位に対して、前記シフトレジスタの互いに異なる前記出力端子が接続されていることを特徴とするマトリクス装置の駆動回路。

【請求項2】

前記シフトレジスタの同一の前記出力端子に、前記第1のデータラッチ回路の前記動作単位と、前記第1のデータラッチ回路の前記動作単位とは異なる段に属する前記第2のデータラッチ回路の前記動作単位と、が接続されていることを特徴とする請求項1に記載のマトリクス装置の駆動回路。

【請求項3】

前記第 2 のデータラッチ回路の前記動作単位が、前記第 1 のデータラッチ回路の前記動作単位に対して前記シフトレジスタの走査方向の前段に配置されていることを特徴とする請求項 2 に記載のマトリクス装置の駆動回路。

【請求項 4】

前記第 2 のデータラッチ回路の前記動作単位が、前記第 1 のデータラッチ回路の前記動作単位の直前の段に配置されていることを特徴とする請求項 3 に記載のマトリクス装置の駆動回路。

【請求項 5】

前記第 1 及び第 2 のデータラッチ回路における各々の前記動作単位に対応する前記データ線の本数が同一であることを特徴とする請求項 1 から 4 のいずれか 1 項に記載のマトリクス装置の駆動回路。

10

【請求項 6】

請求項 1 から 5 のいずれか 1 項に記載の駆動回路を備えたことを特徴とするマトリクス装置。

【請求項 7】

マトリクス状に配列された複数の画素を有する画像表示装置であって、
複数の前記画素とデータ線を介して接続された請求項 1 から 5 のいずれか 1 項に記載の駆動回路を備えたことを特徴とする画像表示装置。

【請求項 8】

一对の基板間に電気泳動素子を挟持してなり、マトリクス状に配列された複数の画素を有する電気泳動表示装置であって、
複数の前記画素とデータ線を介して接続された請求項 1 から 5 のいずれか 1 項に記載の駆動回路を備えたことを特徴とする電気泳動表示装置。

20

【請求項 9】

請求項 6 に記載のマトリクス装置、請求項 7 に記載の画像表示装置、及び請求項 8 に記載の電気泳動表示装置の少なくとも一つを備えたことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マトリクス装置の駆動回路、マトリクス装置、画像表示装置、電気泳動表示装置、及び電子機器に関するものである。

30

【背景技術】

【0002】

マトリクス状に配列された機能素子を備え、かかる機能素子を順次選択して所定の機能を発揮させるマトリクス装置は、種々のデバイスに用いられている。例えば、電気泳動表示装置、液晶表示装置、EL表示装置などの画像表示装置や、指紋センサ等の構成要素である静電容量検出装置などの種々のデバイスに用いられている。

【0003】

マトリクス装置には、機能素子に配線を介して接続された駆動回路が備えられている。例えば、画像表示装置では、機能素子である画素に選択信号を入力する走査線駆動回路と、画素に画像信号を入力するデータ線駆動回路とが備えられている。さらに、データ線駆動回路においても用途に応じて複数の方式（点順次方式、線順次方式、ブロック順次方式等）が採用されている。

40

【0004】

上記複数の方式のデータ線駆動回路のうちでも、線順次方式は、他の方式に比べて信号入力時間を長く確保できるため、画像表示装置に好適な駆動方式である（特許文献 1 参照）。

ここで図 1 2 は、線順次方式のデータ線駆動回路の一部を示す図である。データ線駆動回路 300 は、シフトレジスタ 310 と、第 1 のデータラッチ回路 311 と、第 2 のデータラッチ回路 312 と、データバッファ回路 313 とを備えている。

50

【 0 0 0 5 】

データ線駆動回路 3 0 0 では、シフトレジスタ 3 1 0 から順次出力される選択信号 S E L [0] ~ S E L [2] により第 1 のデータラッチ回路 3 1 1 のラッチ回路が有効化され、各々のラッチ回路に、対応するデータ信号線 3 1 5 を介して供給される画像信号 D 1 ~ D 3 が書き込まれる。この第 1 のデータラッチ回路 3 1 1 への書き込みが終了した後、ラッチ制御線 3 1 7 を介して第 2 のデータラッチ回路 3 1 2 にラッチ有効化信号 L A T が入力される。これにより、第 1 のデータラッチ回路 3 1 1 の出力（画像信号）が第 2 のデータラッチ回路 3 1 2 に転送される。そして、第 2 のデータラッチ回路 3 1 2 から出力される画像信号が、データバッファ回路 3 1 3 を介してすべてのデータ線 6 8 に対して一斉に出力される。以上の動作により、表示部 5 の画素 4 0 に対して画像信号が入力される。

10

【特許文献 1】特開 2 0 0 6 - 1 1 9 4 0 9 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

しかし、線順次方式のデータ線駆動回路を備えた画像表示装置では、ラッチ有効化信号 L A T を入力すると第 2 のデータラッチ回路 3 1 2 を構成するすべてのラッチ回路が一斉に動作し、すべてのデータ線 6 8 に対して一斉に画像信号が出力される。このとき、データバッファ回路 3 1 3 において瞬間的に大電流が流れるために、電源の電圧降下が生じる。そうすると、画像表示装置の電源がボタン電池などの電源能力の低いものである場合には、電源が一度遮断されて再投入されたような状態となり機器が初期化されてしまうおそれがある。

20

【 0 0 0 7 】

本発明は、上記従来技術の問題点に鑑み成されたものであって、瞬間的に大きな電力消費が発生するのを抑えることができ、安定して動作させることができるマトリクス装置の駆動回路、及びかかる駆動回路を備えたマトリクス装置、画像表示装置、及び電気泳動表示装置を提供することを目的の一つとする。

【課題を解決するための手段】

【 0 0 0 8 】

本発明の駆動回路は、上記課題を解決するために、マトリクス状に配列された複数の機能素子を備えたマトリクス装置に適用され、前記機能素子とデータ線を介して接続される駆動回路であって、シフトレジスタと、データ信号線と、前記シフトレジスタの出力端子及び前記データ信号線と接続された第 1 のデータラッチ回路と、前記シフトレジスタの出力端子及び前記第 1 のデータラッチ回路の出力端子に接続されるとともに前記データ線と直接又は他の回路を介して接続された第 2 のデータラッチ回路とを有し、前記第 1 及び第 2 のデータラッチ回路は、一又は複数の前記データ線に対応するラッチ回路により構成される複数段の動作単位にそれぞれ分割されており、同一段に属する前記第 1 及び第 2 のデータラッチ回路の前記動作単位に対して、前記シフトレジスタの異なる前記出力端子が接続され、前記第 2 のデータラッチ回路の各々の前記動作単位に対して、前記シフトレジスタの互いに異なる前記出力端子が接続されていることを特徴とする。

30

【 0 0 0 9 】

この構成によれば、第 1 及び第 2 のデータラッチ回路が複数の動作単位に分割され、動作単位ごとにデータ線に対して信号入力を行うので、線順次方式のデータ線駆動回路のようにすべてのデータ線に対して一斉に信号が入力される場合に比して、1 動作単位当たりの電流量が大幅に少なくなる。したがって、瞬間的に大きなピーク電流が発生することはない。よって、本発明によれば、能力の低い電源を備えたマトリクス装置においても安定動作する駆動回路を提供することができる。

40

【 0 0 1 0 】

また、本発明では、同一段に属する第 1 のデータラッチ回路の動作単位と第 2 のデータラッチ回路の動作単位とを、シフトレジスタの異なる段に接続している。このように、第 2 のデータラッチ回路の動作制御をシフトレジスタにより行う構成とすることで、ラッチ

50

有効化信号を供給する配線が不要になり、回路面積を大きくすることなく形成することができる。

【0011】

前記シフトレジスタの同一の前記出力端子に、前記第1のデータラッチ回路の前記動作単位と、前記第1のデータラッチ回路の前記動作単位とは異なる段に属する前記第2のデータラッチ回路の前記動作単位と、が接続されていることが好ましい。

すなわち、シフトレジスタの出力端子に接続された配線を分岐させて第1のデータラッチ回路の動作単位と第2のデータラッチ回路の動作単位とに接続した構成とすることが好ましい。このような構成とすることで、第1のデータラッチ回路の動作単位と第2のデータラッチ回路の動作単位とを同時に動作させて信号入力動作を行うことができる。また、シフトレジスタの段数を最小限に抑えることができるので、駆動回路の小型化に有利な構成となる。

10

【0012】

前記第2のデータラッチ回路の前記動作単位が、前記第1のデータラッチ回路の前記動作単位に対して前記シフトレジスタの走査方向の前段に配置されていることが好ましい。

このような構成とすれば、シフトレジスタの1回の走査において、第1のデータラッチ回路の動作単位に対する信号入力と、第1のデータラッチ回路から第2のデータラッチ回路への信号転送とを実行することができる。

【0013】

前記第2のデータラッチ回路の前記動作単位が、前記第1のデータラッチ回路の前記動作単位の直前の段に配置されていることが好ましい。

20

このような構成とすれば、シフトレジスタの出力端子と第2のデータラッチ回路とを接続する配線長を短くすることができ、駆動回路の小型化に有利な構成となる。

【0014】

前記第1及び第2のデータラッチ回路における各々の前記動作単位に対応する前記データ線の本数が同一であることが好ましい。このような構成とすることで、動作単位ごとに必要な電流や電力を均一化することができる。

【0015】

次に、本発明のマトリクス装置は、先に記載の駆動回路を備えたことを特徴とする。

この構成によれば、駆動回路における瞬間的なピーク電流の発生が抑えられ、能力の低い電源でも安定して動作するマトリクス装置を提供することができる。

30

【0016】

本発明の画像表示装置は、マトリクス状に配列された複数の画素を有する画像表示装置であって、複数の前記画素とデータ線を介して接続された先に記載の駆動回路を備えたことを特徴とする。

この構成によれば、駆動回路における瞬間的なピーク電流の発生が抑えられ、能力の低い電源でも安定して動作する画像表示装置を提供することができる。

【0017】

本発明の電気泳動表示装置は、一对の基板間に電気泳動素子を挟持してなり、マトリクス状に配列された複数の画素を有する電気泳動表示装置であって、複数の前記画素とデータ線を介して接続された先に記載の駆動回路を備えたことを特徴とする。

40

この構成によれば、駆動回路における瞬間的なピーク電流の発生が抑えられ、能力の低い電源でも安定して動作する電気泳動表示装置を提供することができる。

【0018】

本発明の電子機器は、先に記載のマトリクス装置、画像表示装置、及び電気泳動表示装置の少なくとも一つを備えたことを特徴とする。

この構成によれば、駆動回路における瞬間的なピーク電流の発生が抑えられ、能力の低い電源でも安定して動作する表示装置や容量検出装置を具備した電子機器を提供することができる。

【発明を実施するための最良の形態】

50

【 0 0 1 9 】

以下、図面を用いて本発明に係るマトリクス装置の一実施形態であるアクティブマトリクス方式電気泳動表示装置について説明する。

なお、以下の実施の実施形態は、本発明の一態様を示すものであり、この発明を限定するものではなく、本発明の技術的思想の範囲内で任意に変更可能である。また、以下の図面においては、各構成をわかりやすくするために、実際の構造と各構造における縮尺や数等を異ならせている。

【 0 0 2 0 】

図 1 は、本実施形態に係る電気泳動表示装置 1 0 0 の概略構成図である。

電気泳動表示装置 1 0 0 は、複数の画素 4 0 (機能素子) がマトリクス状に配列された表示部 5 を備えている。表示部 5 の周辺には、走査線駆動回路 6 1、データ線駆動回路 6 2、コントローラ(制御部) 6 3、及び共通電源変調回路 6 4 が配置されている。走査線駆動回路 6 1、データ線駆動回路 6 2、及び共通電源変調回路 6 4 は、それぞれコントローラ 6 3 と接続されている。コントローラ 6 3 は、上位装置から供給される画像データや同期信号に基づき、これらの回路を総合的に制御する。

【 0 0 2 1 】

表示部 5 には走査線駆動回路 6 1 から延びる複数の走査線 6 6 と、データ線駆動回路 6 2 から延びる複数のデータ線 6 8 とが形成されており、これらの交差位置に対応して画素 4 0 が設けられている。

【 0 0 2 2 】

走査線駆動回路 6 1 は、 i 本の走査線 6 6 (Y_1 、 Y_2 、...、 Y_i) を介して各々の画素 4 0 に接続されており、コントローラ 6 3 の制御のもと、1 行目から i 行目までの走査線 6 6 を順次選択し、画素 4 0 に設けられた選択トランジスタ 4 1 (図 2 参照) のオンタイミングを規定する選択信号を、選択した走査線 6 6 を介して供給する。

【 0 0 2 3 】

データ線駆動回路 6 2 は、 j 本のデータ線 6 8 (X_1 、 X_2 、...、 X_j) を介して各々の画素 4 0 に接続されており、コントローラ 6 3 の制御のもと、画素 4 0 の各々に対応する 1 ビットの画素データを規定する画像信号を画素 4 0 に供給する。

なお、本実施形態では、画素データ「0」を規定する場合にはローレベル(L)の画像信号を画素 4 0 に供給し、画素データ「1」を規定する場合はハイレベル(H)の画像信号を画素 4 0 に供給するものとする。

【 0 0 2 4 】

表示部 5 にはまた、共通電源変調回路 6 4 から延びる低電位電源線 4 9、高電位電源線 5 0、及び共通電極配線 5 5 が設けられており、それぞれの配線は画素 4 0 と接続されている。共通電源変調回路 6 4 は、コントローラ 6 3 の制御のもと、上記の配線の各々に供給すべき各種信号を生成する一方、これら各配線の電氣的な接続及び切断(ハイインピーダンス化)を行う。

【 0 0 2 5 】

図 2 は、表示部 5 に設けられた画素 4 0 の回路構成図である。

画素 4 0 は、選択トランジスタ 4 1 (画素スイッチング素子) と、ラッチ回路 7 0 と、電気泳動素子 3 2 と、画素電極 3 5 (第 1 電極) と、共通電極 3 7 (第 2 電極; 対向電極) とを備えて構成されている。これらの素子を取り囲むように、走査線 6 6、データ線 6 8、低電位電源線 4 9、及び高電位電源線 5 0 が配置されている。画素 4 0 は、ラッチ回路 7 0 により画像信号を電位として保持する S R A M (Static Random Access Memory) 方式の構成である。

【 0 0 2 6 】

選択トランジスタ 4 1 は、N - M O S (Negative Metal Oxide Semiconductor) トランジスタであり、そのゲート端子は走査線 6 6 に接続され、ソース端子はデータ線 6 8 に接続され、ドレイン端子はラッチ回路 7 0 のデータ入力端子 N 1 に接続されている。ラッチ回路 7 0 のデータ出力端子 N 2 は画素電極 3 5 と接続されている。画素電極 3 5 と共通電

10

20

30

40

50

極 37 との間に電気泳動素子 32 が挟持されている。

【0027】

ラッチ回路 70 は、転送インバータ 70t と帰還インバータ 70f とを備えている。転送インバータ 70t 及び帰還インバータ 70f はいずれも C-MOS インバータである。転送インバータ 70t と帰還インバータ 70f とは、互いの入力端子に他方の出力端子が接続されたループ構造を成しており、それぞれのインバータには、高電位電源端子 PH を介して接続された高電位電源線 50 と、低電位電源端子 PL を介して接続された低電位電源線 49 とから電源電圧が供給される。

【0028】

転送インバータ 70t は、P-MOS (Positive Metal Oxide Semiconductor) トランジスタ 71 と N-MOS トランジスタ 72 とを有する。P-MOS トランジスタ 71 のソース端子は高電位電源端子 PH に接続され、ドレイン端子はデータ出力端子 N2 に接続されている。N-MOS トランジスタ 72 のソース端子は低電位電源端子 PL に接続され、ドレイン端子はデータ出力端子 N2 に接続されている。P-MOS トランジスタ 71 及び N-MOS トランジスタ 72 のゲート端子 (転送インバータ 70t の入力端子) は、データ入力端子 N1 (帰還インバータ 70f の出力端子) に接続されている。

10

【0029】

帰還インバータ 70f は、P-MOS トランジスタ 73 と N-MOS トランジスタ 74 とを有する。P-MOS トランジスタ 73 のソース端子は高電位電源端子 PH に接続され、ドレイン端子はデータ入力端子 N1 に接続されている。N-MOS トランジスタ 74 のソース端子は低電位電源端子 PL に接続され、ドレイン端子はデータ入力端子 N1 に接続されている。P-MOS トランジスタ 73 及び N-MOS トランジスタ 74 のゲート端子 (帰還インバータ 70f の入力端子) は、データ出力端子 N2 (転送インバータ 70t の出力端子) と接続されている。

20

【0030】

上記構成のラッチ回路 70 において、ハイレベル (H) の画像信号 (画素データ「1」) が記憶されると、ラッチ回路 70 のデータ出力端子 N2 からローレベル (L) の信号が出力される。一方、ラッチ回路 70 にローレベル (L) の画像信号 (画素データ「0」) が記憶されると、データ出力端子 N2 からハイレベル (H) の信号が出力される。

そして、データ出力端子 N2 から出力された電位が画素電極 35 に入力される。一方、共通電極 37 には、共通電極配線 55 (図 1) を介して共通電極電位 Vcom が供給される。電気泳動素子 32 は、画素電極 35 と共通電極 37 との電位差によって生じる電界により画像を表示させる。

30

【0031】

次に、図 3 (a) は、表示部 5 における電気泳動表示装置 100 の部分断面図である。電気泳動表示装置 100 は、素子基板 (第 1 基板) 30 と対向基板 (第 2 基板) 31 との間に、複数のマイクロカプセル 20 を配列してなる電気泳動素子 32 を挟持した構成を備えている。

【0032】

表示部 5 において、素子基板 30 の電気泳動素子 32 側には、図 1 や図 2 に示した走査線 66、データ線 68、選択トランジスタ 41、ラッチ回路 70 などが形成された回路層 34 が設けられており、回路層 34 上に複数の画素電極 35 が配列形成されている。

40

素子基板 30 は、ガラスやプラスチック等からなる基板であり、画像表示面とは反対側に配置されるため透明なものでなくてもよい。画素電極 35 は、Cu (銅) 箔上にニッケルメッキと金メッキとをこの順番で積層したものや、Al (アルミニウム)、ITO (インジウム・スズ酸化物) などにより形成された電気泳動素子 32 に電圧を印加する電極である。

【0033】

一方、対向基板 31 の電気泳動素子 32 側には複数の画素電極 35 と対向する平面形状の共通電極 37 が形成されており、共通電極 37 上に電気泳動素子 32 が設けられている

50

。対向基板 31 はガラスやプラスチック等からなる基板であり、画像表示側に配置されるため透明基板とされる。共通電極 37 は、画素電極 35 とともに電気泳動素子 32 に電圧を印加する電極であり、MgAg (マグネシウム銀)、ITO (インジウム・スズ酸化物)、IZO (インジウム・亜鉛酸化物) などから形成された透明電極である。

そして、電気泳動素子 32 と画素電極 35 とが、接着剤層 33 を介して接着されることで、素子基板 30 と対向基板 31 とが接合されている。

【0034】

なお、電気泳動素子 32 は、あらかじめ対向基板 31 側に形成され、接着剤層 33 までを含めた電気泳動シートとして取り扱われるのが一般的である。製造工程において、電気泳動シートは接着剤層 33 の表面に保護用の離型シートが貼り付けられた状態で取り扱われる。そして、別途製造された素子基板 30 (画素電極 35 や各種回路などが形成されている) に対して、離型シートを剥がした当該電気泳動シートを貼り付けることによって、表示部 5 を形成する。このため、接着剤層 33 は画素電極 35 側のみに存在することになる。

【0035】

図 3 (b) は、マイクロカプセル 20 の模式断面図である。マイクロカプセル 20 は、例えば 50 μm 程度の粒径を有しており、内部に分散媒 21 と、複数の白色粒子 (電気泳動粒子) 27 と、複数の黒色粒子 (電気泳動粒子) 26 とを封入した球状体である。マイクロカプセル 20 は、図 3 に示すように共通電極 37 と画素電極 35 とで挟持され、1 つの画素 40 内に 1 つ又は複数のマイクロカプセル 20 が配置される。

【0036】

マイクロカプセル 20 の外殻部 (壁膜) は、ポリメタクリル酸メチル、ポリメタクリル酸エチルなどのアクリル樹脂、ユリア樹脂、アラビアガムなどの透光性を持つ高分子樹脂などを用いて形成される。

分散媒 21 は、白色粒子 27 と黒色粒子 26 とをマイクロカプセル 20 内に分散させる液体である。分散媒 21 としては、水、アルコール系溶媒 (メタノール、エタノール、イソプロパノール、ブタノール、オクタノール、メチルセルソルブなど)、エステル類 (酢酸エチル、酢酸ブチルなど)、ケトン類 (アセトン、メチルエチルケトン、メチルイソブチルケトンなど)、脂肪族炭化水素 (ペンタン、ヘキサン、オクタンなど)、脂環式炭化水素 (シクロヘキサン、メチルシクロヘキサンなど)、芳香族炭化水素 (ベンゼン、トルエン、長鎖アルキル基を有するベンゼン類 (キシレン、ヘキシルベンゼン、ヘプチルベンゼン、オクチルベンゼン、ノニルベンゼン、デシルベンゼン、ウンデシルベンゼン、ドデシルベンゼン、トリデシルベンゼン、テトラデシルベンゼンなど))、ハロゲン化炭化水素 (塩化メチレン、クロロホルム、四塩化炭素、1, 2 - ジクロロエタンなど)、カルボン酸塩などを例示することができ、その他の油類であってもよい。これらの物質は単独又は混合物として用いることができ、さらに界面活性剤などを配合してもよい。

【0037】

白色粒子 27 は、例えば、二酸化チタン、亜鉛華、三酸化アンチモン等の白色顔料からなる粒子 (高分子あるいはコロイド) であり、例えば負に帯電されて用いられる。黒色粒子 26 は、例えば、アニリンブラック、カーボンブラック等の黒色顔料からなる粒子 (高分子あるいはコロイド) であり、例えば正に帯電されて用いられる。

これらの顔料には、必要に応じ、電解質、界面活性剤、金属石鹸、樹脂、ゴム、油、ワニス、コンパウンドなどの粒子からなる荷電制御剤、チタン系カップリング剤、アルミニウム系カップリング剤、シラン系カップリング剤等の分散剤、潤滑剤、安定化剤などを添加することができる。

また、黒色粒子 26 及び白色粒子 27 に代えて、例えば赤色、緑色、青色などの顔料を用いてもよい。かかる構成によれば、表示部 5 に赤色、緑色、青色などを表示することができる。

【0038】

図4は、電気泳動素子の動作説明図である。図4(a)は、画素40を白表示する場合、図4(b)は、画素40を黒表示する場合をそれぞれ示している。

電気泳動表示装置100では、選択トランジスタ41を介して入力される画像信号をラッチ回路70に記憶し、画像信号を保持したラッチ回路70から出力される電位を画素電極35に入力する。これにより、画素電極35に所定の電位が入力され、図4に示すように、画素電極35と共通電極37との電位差に基づいて画素40が黒又は白表示される。

【0039】

図4(a)に示す白表示の場合には、共通電極37が相対的に高電位、画素電極35が相対的に低電位に保持される。これにより、負に帯電した白色粒子27が共通電極37に引き寄せられる一方、正に帯電した黒色粒子26が画素電極35に引き寄せられる。その結果、表示面側となる共通電極37側からこの画素を見ると、白色(W)が認識される。

10

図4(b)に示す黒表示の場合、共通電極37が相対的に低電位、画素電極35が相対的に高電位に保持される。これにより、正に帯電した黒色粒子26が共通電極37に引き寄せられる一方、負に帯電した白色粒子27が画素電極35に引き寄せられる。その結果、共通電極37側からこの画素を見ると黒色(B)が認識される。

【0040】

次に、図5は、本実施形態の電気泳動表示装置100に備えられたデータ線駆動回路62の一部を示す部分構成図である。図6は、図5に示すデータ線駆動回路62の具体的な構成の一例を示す図である。

【0041】

20

図5に示すように、データ線駆動回路62は、シフトレジスタ160と、第1のデータラッチ回路161と、第2のデータラッチ回路162と、データバッファ回路163とを有する。

本実施形態の場合、データ線駆動回路62は、4本のデータ線68に画像信号を出力する部分を1つの動作単位(ブロック)とする複数段のブロックblkに分割されている。

具体的には、第1のデータラッチ回路161は、複数のブロックblkにそれぞれ対応する複数のブロックLAT1に分割されている。また、第2のデータラッチ回路162は、複数のブロックblkにそれぞれ対応する複数のブロックLAT2に分割されている。さらに、データバッファ回路163は、複数のブロックblkにそれぞれ対応する複数のブロックBUFに分割されている。

30

【0042】

なお、本願明細書では、データ線駆動回路62がN段のblkに分割されているとき、任意のn段目のブロックblkをblk[n](nは0 ≤ n ≤ N - 1なる範囲の整数)と表記し、blk[n]に属する構成要素に対して添字[n]を有する符号(SR[n]、LAT1[n]等)を付し、他の構成要素と明確に区別することとする。

ここで、シフトレジスタの走査方向は、nが増加する方向とする。また、相対的にnが大きいブロックblkを「後段」のブロックblkとも呼び、相対的にnの小さいブロックblkを「前段」のブロックblkとも呼ぶ。また、以下の説明では、SR[n - 1]、LAT1[n - 2]などと表記する場合もあるが、これらはブロックの相対位置を示すために表記したものであり、ブロックblk[0]より前の段は存在しない。

40

【0043】

シフトレジスタ160は、各々のブロックblkに対応するレジスタ部SRを縦続接続してなる構成を備えている。シフトレジスタ160は、クロックパルスに同期して入力信号をレジスタ部SR[0]、SR[1]、...に順次転送することで各々のレジスタ部SRを順に動作させ、レジスタ部SRの出力端子160aから選択信号SELを順次出力する。

【0044】

シフトレジスタ160のn段目のレジスタ部SR[n]の出力端子は、第1のデータラッチ回路161のn段目のブロックLAT1[n]と、第2のデータラッチ回路162の(n - 1)段目のブロックLAT2[n - 1]と、に接続されている。換言すれば、ある

50

レジスタ部 $SR[n]$ の出力端子に接続される第2のデータラッチ回路162のブロック $LAT2[n-1]$ は、当該レジスタ部 $SR[n]$ の出力端子に接続される第1のデータラッチ回路161のブロック $LAT1[n]$ に対してシフトレジスタ160の走査方向の前段に配置されている。

【0045】

第1のデータラッチ回路161のブロック $LAT1[n]$ には、レジスタ部 $SR[n]$ とともに複数本（本実施形態では4本）のデータ信号線165が接続されている。また、ブロック $LAT1[n]$ の出力端子は、第2のデータラッチ回路162の n 段目のブロック $LAT2[n]$ の入力端子と接続されている。

【0046】

第2のデータラッチ回路162のブロック $LAT2[n]$ には、第1のデータラッチ回路161のブロック $LAT1[n]$ とともにシフトレジスタ160の $(n+1)$ 段目のレジスタ部 $SR[n+1]$ が接続されている。また、第2のデータラッチ回路162の出力端子は、データバッファ回路163の n 段目のブロック $BUF[n]$ の入力端子に接続されている。ブロック $BUF[n]$ の出力端子は、4本のデータ線68に接続されている。

【0047】

図6に示す具体例では、シフトレジスタ160は、レジスタ部 SR ごとに一对の出力端子を有している。レジスタ部 $SR[n]$ の一方の出力端子（第1出力端子）からは選択信号 $sel[n]$ が出力され、他方の出力端子（第2出力端子）からは反転選択信号 $xsel[n]$ が出力される。したがって、図3に示した選択信号 $SEL[n]$ は、同期出力される選択信号 $sel[n]$ と反転選択信号 $xsel[n]$ の2つの信号により構成される。

【0048】

レジスタ部 $SR[n]$ の第1及び第2出力端子は、レジスタ部 $SR[n]$ に対応する第1のデータラッチ回路161の n 段目のブロック $LAT1[n]$ に接続されるとともに、第2のデータラッチ回路162の $(n-1)$ 段目のブロック $LAT2[n-1]$ に接続されている。

【0049】

第1のデータラッチ回路161は、各々のデータ線68に対応して設けられた複数のラッチ回路 $LT1$ と、各々のラッチ回路 $LT1$ に接続されたトランスミッションゲート $SW1$ とを有する。本実施形態の場合、それぞれのブロック $LAT1$ は、4つのラッチ回路 $LT1$ と4つのトランスミッションゲート $SW1$ とを備えて構成されている。

【0050】

第1のデータラッチ回路161の n 段目のブロック $LAT1[n]$ において、4つのトランスミッションゲート $SW1$ のそれぞれの入力端子は互いに異なるデータ信号線165に接続されている。各々のトランスミッションゲート $SW1$ の出力端子は、対応するラッチ回路 $LT1$ の入力端子に接続されている。

トランスミッションゲート $SW1$ の制御入力端子には、レジスタ部 $SR[n]$ の第1出力端子（選択信号 $sel[n]$ ）が接続され、反転制御入力端子には、レジスタ部 $SR[n]$ の第2出力端子（反転選択信号 $xsel[n]$ ）が接続されている。

トランスミッションゲート $SW1$ は、レジスタ部 $SR[n]$ から入力される選択信号 $sel[n]$ 及び反転選択信号 $xsel[n]$ に基づいてオンオフ動作し、データ信号線165とラッチ回路 $LT1$ との接続状態をスイッチングする。

【0051】

ラッチ回路 $LT1$ は、図4に示す構成では2つのインバータをループ接続した構成である。ラッチ回路 $LT1$ は、トランスミッションゲート $SW1$ を介して入力されるデータ信号線165の電位（画像信号 $D1 \sim D4$ ）を保持する。ラッチ回路 $LT1$ の出力端子は、第2のデータラッチ回路162のブロック $LAT2[n]$ に接続されている。

なお、ラッチ回路 $LT1$ には、レジスタ部 $SR[n]$ の第2出力端子から反転選択信号 $xsel[n]$ が入力されるようになっており、反転選択信号 $xsel[n]$ の入力によ

10

20

30

40

50

リラッチ回路 L T 1 への書き込みが有効化される構成である。

【 0 0 5 2 】

第 2 のデータラッチ回路 1 6 2 は、各々のデータ線 6 8 に対応して設けられた複数のラッチ回路 L T 2 と、各々のラッチ回路 L T 2 の入力端子に接続されたトランスミッションゲート S W 2 とを有する。本実施形態の場合、それぞれのブロック L A T 2 は、4 つのラッチ回路 L T 2 と 4 つのトランスミッションゲート S W 2 とを備えて構成されている。

【 0 0 5 3 】

第 2 のデータラッチ回路 1 6 2 の n 段目のブロック L A T 2 [n] を構成する 4 つのトランスミッションゲート S W 2 の入力端子は、対応するブロック L A T 1 [n] のラッチ回路 L T 1 の出力端子とそれぞれ接続されている。トランスミッションゲート S W 1 の出力端子は、対応するラッチ回路 L T 2 の入力端子に接続されている。

10

【 0 0 5 4 】

各々のトランスミッションゲート S W 2 の制御入力端子には、(n + 1) 段目 (次段) のレジスタ部 S R [n + 1] の第 1 出力端子 (選択信号 s e l [n + 1]) が接続され、反転制御入力端子には、レジスタ部 S R [n + 1] の第 2 出力端子 (反転選択信号 x s e l [n + 1]) が接続されている。

n 段目のブロック L A T 2 [n] に属するトランスミッションゲート S W 2 は、(n + 1) 段目のレジスタ部 S R [n + 1] から入力される選択信号 s e l [n + 1] 及び反転選択信号 x s e l [n + 1] に基づいて、ラッチ回路 L T 1 とラッチ回路 L T 2 との接続状態をスイッチングする。

20

【 0 0 5 5 】

ラッチ回路 L T 2 は、図 4 に示す構成では 2 つのインバータをループ接続した構成である。ラッチ回路 L T 2 は、トランスミッションゲート S W 2 を介して入力されるラッチ回路 L T 1 の出力電位を保持する。ラッチ回路 L T 2 の出力端子は、データバッファ回路 1 6 3 の n 段目のブロック B U F [n] に接続されている。

なお、ラッチ回路 L T 2 には、(n + 1) 段目のレジスタ部 S R [n + 1] の第 2 出力端子から反転選択信号 x s e l [n + 1] が入力されるようになっており、反転選択信号 x s e l [n + 1] の入力によりラッチ回路 L T 2 への書き込みが有効化される構成である。

【 0 0 5 6 】

データバッファ回路 1 6 3 は、各々のデータ線 6 8 に対応して設けられたバッファ b u f を有する複数のブロック B U F からなる。本実施形態の場合、それぞれのブロック B U F は、4 つのバッファ b u f を備えて構成されている。さらにそれぞれのバッファ b u f は、対応するデータ線 6 8 に縦続接続されたインバータ I N V 1 ~ I N V 4 を有する。

n 段目のブロック B U F [n] に属する 4 つのバッファ b u f の入力端子は、同一段に属するブロック L A T 2 [n] の対応するラッチ回路 L T 2 の出力端子にそれぞれ接続されている。

30

【 0 0 5 7 】

以上の構成を備えたデータ線駆動回路 6 2 では、シフトレジスタ 1 6 0 のレジスタ部 S R [n] の第 1 及び第 2 出力端子から選択信号 S E L [n] (s e l [n] 及び x s e l [n]) が出力される。すると、第 1 のデータラッチ回路 1 6 1 のブロック L A T 1 [n] に属する 4 つのトランスミッションゲート S W 1 がオン状態になるとともに、4 つのラッチ回路 L T 1 への書き込みが有効化される。これにより、4 つのラッチ回路 L T 1 とそれらに対応するデータ信号線 1 6 5 とが接続され、データ信号線 1 6 5 からラッチ回路 L T 1 に画像信号 D 1 ~ D 4 が入力される。

40

【 0 0 5 8 】

なお、この時点では、同一のブロック b l k [n] に属する第 2 のデータラッチ回路 1 6 2 のブロック L A T 2 [n] において、トランスミッションゲート S W 2 はオフ状態である。したがって、ブロック L A T 1 [n] のラッチ回路 L T 1 の出力電位は、第 2 のデータラッチ回路 1 6 2 のブロック L A T 2 [n] に転送されない。

50

【 0 0 5 9 】

その後、シフトレジスタ 1 6 0 のシフト動作によりレジスタ部 $S R [n]$ が非動作状態とされ、次段のレジスタ部 $S R [n + 1]$ が動作状態に移行すると、レジスタ部 $S R [n + 1]$ の第 1 及び第 2 の出力端子から選択信号 $S E L [n + 1]$ ($s e l [n + 1]$ 及び $x s e l [n + 1]$) が出力される。この選択信号 $S E L [n + 1]$ は、第 1 のデータラッチ回路 1 6 1 の $(n + 1)$ 段目のブロック $L A T 1 [n + 1]$ と、第 2 のデータラッチ回路 1 6 2 の n 段目のブロック $L A T 2 [n]$ に入力される。

【 0 0 6 0 】

そして、第 2 のデータラッチ回路 1 6 2 の n 段目のブロック $L A T 2 [n]$ では、選択信号 $S E L [n + 1]$ によりトランスマッションゲート $S W 2$ がオン状態になるとともに、4 つのラッチ回路 $L T 2$ への書き込みが有効化される。これにより、4 つのラッチ回路 $L T 2$ に対して、ブロック $L A T 1 [n]$ の 4 つのラッチ回路 $L T 1$ がそれぞれ接続され、ラッチ回路 $L T 1$ が保持している画像信号 $D 1 \sim D 4$ が、第 2 のデータラッチ回路 1 6 2 の対応するラッチ回路 $L T 2$ に転送される。

10

【 0 0 6 1 】

そして、ブロック $L A T 2 [n]$ のラッチ回路 $L T 2$ は、保持した画像信号 $D 1 \sim D 4$ をデータバッファ回路 1 6 3 の対応するバッファ $b u f$ に出力し、バッファ $b u f$ により電流増幅された画像信号 $D 1 \sim D 4$ が、対応するデータ線 6 8 に入力される。これにより、ブロック $b l k [n]$ に対応する表示部 5 の 4 つの画素 4 0 に対して画像信号が入力される。

20

【 0 0 6 2 】

また、第 1 のデータラッチ回路 1 6 1 のブロック $L A T 1 [n]$ から第 2 のデータラッチ回路 1 6 2 のブロック $L A T 2 [n]$ への画像信号の転送動作に並行して、第 1 のデータラッチ回路 1 6 1 の $(n + 1)$ 段目のブロック $L A T 1 [n + 1]$ において、データ信号線 1 6 5 からラッチ回路 $L T 1$ への画像信号 $D 1 \sim D 4$ の書き込みが行われる。

すなわち、本実施形態のデータ線駆動回路 6 2 では、 n 段目のレジスタ部 $S R [n]$ の動作に連動して、第 1 のデータラッチ回路 1 6 1 の n 段目のブロック $L A T 1 [n]$ への画像信号入力と、第 2 のデータラッチ回路 1 6 2 の $(n - 1)$ 段目のブロック $L A T 2 [n - 1]$ への画像信号入力（データ線 6 8 への画像信号出力）とが実行される。

【 0 0 6 3 】

なお、本実施形態の構成において、第 1 及び第 2 のデータラッチ回路 1 6 1、1 6 2、並びにデータバッファ回路 1 6 3 が N 段に分割されている場合、シフトレジスタ 1 6 0 は $(N + 1)$ 段のレジスタ部 $S R$ を備えた構成とされる。これは、第 2 のデータラッチ回路 1 6 2 の最終段のブロック $L A T 2 [N - 1]$ への画像信号の転送を行うために、レジスタ部 $S R [N - 1]$ の後段にさらに 1 段のレジスタ部 $S R [N]$ が必要になるためである。

30

【 0 0 6 4 】

以上の構成を備えた本実施形態の電気泳動表示装置 1 0 0 によれば、図 5 及び図 6 に示した構成を具備したデータ線駆動回路 6 2 を備えたことで、瞬間的なピーク電流の発生を回避することができる。

40

本実施形態のデータ線駆動回路 6 2 では、第 1 及び第 2 のデータラッチ回路 1 6 1、1 6 2 と、データバッファ回路 1 6 3 とが、複数本（4 本）のデータ線 6 8 ごとのブロックに分割されており、ブロックごとにデータ線 6 8 に対する画像信号の書き込みが成されるようになっている。

これにより、線順次方式のデータ線駆動回路のように、すべてのデータ線 6 8 に対して一斉に画像信号が送信される場合に比して、1 ブロックごとのデータバッファ回路 1 6 3 の電流量が大幅に少なくなり、瞬間的に大きなピーク電流が発生することがなくなる。

【 0 0 6 5 】

また本実施形態に係るデータ線駆動回路 6 2 では、第 2 のデータラッチ回路 1 6 2 の n 段目のブロック $L A T 2 [n]$ への画像信号の転送を、シフトレジスタ 1 6 0 の $(n + 1$

50

) 段目のレジスタ部 [$n + 1$] から出力される選択信号 $SEL [n + 1]$ に基づいて行うようになっている。

このように、複数段に分割された第2のデータラッチ回路162の動作制御をシフトレジスタ160により行う構成とすることで、第2のデータラッチ回路162のラッチ回路LT2を有効化する信号を供給する配線(図12に示したラッチ制御線317)を別途形成する必要がなくなり、回路面積を大きくすることなくデータ線駆動回路62を形成することができる。

【0066】

また、レジスタ部SR[n] から出力される選択信号 $SEL [n]$ により有効化される第1のデータラッチ回路161のブロックLAT1[n] と第2のデータラッチ回路162のブロックLAT2[$n - 1$] は、互いに異なるブロックblk[n]、blk[$n - 1$] にそれぞれ属するので、動作時にデータ信号線165とデータ線68とが直接接続されることはない。つまり、データ信号線165から第1のデータラッチ回路161に画像信号を供給するに際して、データ線68の寄生容量を充電する必要がないため、データ信号線165における消費電力を低く抑えることができる。

10

【0067】

上記のデータ信号線165において大きな電流量が不要であることは、点順次方式のデータ線駆動回路に対して本発明に係る駆動回路が有利な点である。以下、この点について、本発明に係る駆動回路と点順次方式の駆動回路とを比較しつつ説明する。

【0068】

20

図7は、本発明に係るデータ線駆動回路62のタイミングチャートの一例を示す図である。図13は、点順次方式のデータ線駆動回路を示す概略構成図である。図14及び図15は、点順次方式のデータ線駆動回路の2種類の駆動方法におけるタイミングチャートを示す図である。

なお、図7、図14、及び図15のタイミングチャートにおいて、符号Xとともに模様を付して示す期間は、当該配線が電氣的に切断された状態(ハイインピーダンス状態)であることを示す。

【0069】

図7において、“Clock”はシフトレジスタ160のクロック、“SEL[n]”は n 段目のレジスタ部SR[n] から出力される選択信号である。“Q[n]”は、図5に示すように、第1のデータラッチ回路161の n 段目のブロックLAT1[n] に属する複数のラッチ回路LT1のうち、画像信号D1を入力されるラッチ回路LT1の出力端子の電位である。また、“X[n]”は、第2のデータラッチ回路162の n 段目のブロックLAT2[n] に属する複数のラッチ回路LT2のうち、ブロックLAT1[n] から画像信号D1を転送されるラッチ回路LT2の出力端子の電位である。

30

【0070】

まず、図13に示す点順次方式のデータ線駆動回路400は、シフトレジスタ410から順次出力される選択信号 $SEL [0] \sim SEL [2]$ により、データ線68とデータ信号線415との間に設けられたスイッチング素子411を順次駆動し、データ信号線415を介して供給される画像信号DATAをデータ線68に入力する構成である。

40

【0071】

図14のタイミングチャートには、3本のデータ線68についての上記の動作が、シフトレジスタ410のクロックClock及び外部システムのクロックとともに示されている。図14において、“Clock”はシフトレジスタ410のクロック、“SEL[n]”はシフトレジスタ410の n 段目のレジスタ部から出力される選択信号である。また、“X[n]”は、選択信号SEL[n]によりデータ信号線415と接続されるデータ線68の電位である。

【0072】

図14に示す駆動方法では、シフトレジスタ310は、クロックClockの立上がり及び立下がりに同期して選択信号 $SEL [0] \sim SEL [2]$ を順次連続して出力する。

50

そのため、ハイレベルの画像信号DATAをデータ線68(X[0])に供給する場合には、データ信号線415の電位(DATA)を、選択信号SEL[0]の出力期間にローレベルからハイレベルに遷移させることになる。一方、ローレベルの画像信号DATAをデータ線68(X[2])に供給する場合には、データ信号線415の電位(DATA)は、選択信号SEL[2]の出力期間にハイレベルからローレベルに遷移させることになる。

【0073】

そうすると、ハイレベルの画像信号DATAを入力されるデータ線68の電位X[0]は、データ信号線165と接続されている期間に一度ローレベルまで下降し、その後ハイレベルに遷移することになる。また、ローレベルの画像信号DATAを入力されるデータ線68の電位X[2]は、データ信号線165と接続されている期間に一度ハイレベルに上昇し、その後ローレベルに遷移することとなる。

10

【0074】

つまり、画像信号DATAの電位が変動するタイミングで画像信号を入力されるデータ線68(X[0]、X[2])では、データ信号線415と接続されている期間に最大の幅で電位が変動する。そのため、データ信号線165は、データ線68の最大の寄生容量を充電しながら画像信号入力を行うこととなり、消費電力が大きくなる。特に、配列されたデータ線68に対してハイレベルとローレベルの画像信号を交互に入力する場合には、すべてのデータ線68において最大の寄生容量を充電しながら画像信号入力を行うため、消費電力が大幅に増加する。

20

【0075】

上記の消費電力の問題は、例えば図15にタイミングチャートを示す駆動方法を採用することで解消することが可能である。図15に示す駆動方法は、データ信号線415の電位(DATA)が遷移している期間には、データ信号線415とデータ線68とを接続させないようにしたものである。

つまり、シフトレジスタ410をクロックClockの立ち下がりにのみ同期して選択信号SEL[n]を出力するように構成する。そして、クロックClockの立ち上がりから立ち下がりまでの期間をシフトレジスタ410の非動作期間(Wt)とし、非動作期間Wt中にデータ信号線415の電位(DATA)を遷移させる。

そうすると、データ線68とデータ信号線415とが接続される期間では、データ信号線415の電位が一定になっているため、充電すべき寄生容量が必ず最大の寄生容量となってしまうことはない。したがって、上述した消費電力の問題を解決できる。

30

【0076】

しかしながら、図15に示す駆動方法では、非動作期間Wtを設ける必要があるため、シフトレジスタ410のクロックClockが一定周波数であるとすれば、図14の駆動方法に対して2倍の書き込み時間を要することになる。

一方、図15に示す駆動方法を採用するに際して、シフトレジスタ410のクロックClockを2倍にすれば、図14の駆動方法と同等の時間で書き込みを終了することができる。しかしこの場合には、データ線68の一本当たりの書き込み時間が1/2になる。また、シフトレジスタ410に選択信号SELの出力タイミングを調整するための段が必要になり、シフトレジスタ410の回路規模が2倍になる。

40

【0077】

一方、本実施形態に係るデータ線駆動回路62では、図7に示すように、シフトレジスタ160から選択信号SEL[0]~SEL[2]が順次連続して出力される。そのため、データ信号線165の電圧(DATA)は、図14に示した点順次方式の駆動方法と同様に、選択信号SEL[0]、SEL[2]の出力期間中に遷移する。

【0078】

しかし、データ線駆動回路62では、シフトレジスタ160から選択信号SEL[n]が出力されている期間に、ブロックLAT1[n]のラッチ回路LT1への画像信号入力は行われるが、ブロックLAT1[n]のラッチ回路LT1からブロックLAT2[n]

50

のラッチ回路 L T 2 への画像信号の転送は行われない。

そのため、選択信号 S E L [0] の出力期間中に、ラッチ回路 L T 1 の出力端子の電位 Q [0] はローレベルからハイレベルに遷移するが、対応するラッチ回路 L T 2 の出力端子の電位 X [0] は変動しない。また、選択信号 S E L [2] の出力期間中に、ラッチ回路 L T 1 の出力端子の電位 Q [2] は変動するが、対応するラッチ回路 L T 2 の出力端子の電位 X [2] は変動しない。

【 0 0 7 9 】

そして、次段の選択信号 S E L によりラッチ回路 L T 2 が有効化され、ラッチ回路 L T 2 からデータ線 6 8 に対して画像信号が出力される際には、ラッチ回路の出力端子の電位 X [0] ~ X [2] はいずれも一定電位となっているため、充電すべきデータ線 6 8 の寄生容量が必ず最大の寄生容量となってしまうことはない。

10

したがって、本実施形態のデータ線駆動回路 6 2 では、シフトレジスタ 1 6 0 から順次連続的に選択信号 S E L を出力しつつ、データ線 6 8 の寄生容量充電に伴う消費電力の増加も抑えることができる。

このように、本実施形態のデータ線駆動回路 6 2 は、図 1 4 及び図 1 5 のいずれの駆動方法を採用した点順次方式のデータ線駆動回路に対しても有利な効果を奏するものである。

【 0 0 8 0 】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内において種々の構成を取りうる。

20

例えば、図 3 に示したデータ線駆動回路 6 2 では、4 本のデータ線 6 8 に対応させてブロック b l k (ブロック L A T 1、L A T 2、B U F) を設定したが、ブロック b l k に対応するデータ線 6 8 の本数は任意に設定することができる。例えば、8 本のデータ線 6 8 ごとにブロック b l k を設定してもよく、1 本や 2 本のデータ線 6 8 ごとにブロック b l k を設定してもよい。ただし、ブロックごとのデータ線 6 8 の本数を少なくするとデータ線 6 8 の 1 本当たりの画像信号入力期間が短くなり、データ線 6 8 の本数を多くすると、シフトレジスタ 1 6 0 の出力端子に設けられるバッファを大きくする必要が生じる。

【 0 0 8 1 】

さらに、動作単位に対応するデータ線 6 8 の本数を動作単位間で異ならせてもよい。例えば、2 本のデータ線 6 8 に対応する動作単位と、4 本のデータ線 6 8 に対応する動作単位とを、1 つのデータ線駆動回路 6 2 内に混在させてもよい。

30

【 0 0 8 2 】

また、先の実施形態では、n 段目のレジスタ部 S R [n] から出力される選択信号 S E L [n] を、第 1 のデータラッチ回路 1 6 1 の n 段目のブロック L A T 1 [n] と、第 2 のデータラッチ回路 1 6 2 の (n - 1) 段目のブロック L A T 2 [n - 1] とに入力する構成としたが、第 2 のデータラッチ回路 1 6 2 の異なる段のブロック L A T 2 に選択信号 [n] を入力する構成としてもよい。

例えば、図 8 (a) に示すように、選択信号 S E L [n] を、第 2 のデータラッチ回路 1 6 2 の (n + 1) 段目のブロック L A T 2 [n + 1] に入力する構成としてもよい。あるいは、図 8 (b) に示すように、選択信号 S E L [n] を (n - 2) 段目のブロック L A T 2 [n - 2] に入力する構成としてもよい。このうち、図 8 (b) 構成においては、電圧低下などに起因して回路動作が遅延したとしても、同一のブロック b l k [n] に属する L A T 1 [n]、L A T 2 [n] を有効にするスイッチが同時にオン状態となることがない。このため、より確実に低電圧動作を実現することができる。

40

【 0 0 8 3 】

また、先の実施形態では、1 つのレジスタ部 S R [n] の出力を分岐させ、第 1 のデータラッチ回路 1 6 1 のブロック L A T 1 [n] と、第 2 のデータラッチ回路 1 6 2 のブロック L A T 2 [n - 1] とに選択信号 S E L [n] を出力する構成としたが、レジスタ部 S R [n] の出力を分岐させない構成とすることもできる。

例えば、図 8 (c) に示すように、1 つのブロック b l k [n] ごとに 2 つのレジスタ

50

部 $SR[m]$ 、 $SR[m+1]$ ($m=2n$) を割り当て、レジスタ部 $SR[m]$ から出力される選択信号 $SEL[m]$ を、第1のデータラッチ回路161のブロック $LAT1[n]$ に入力し、次段のレジスタ部 $SR[m+1]$ から出力される選択信号 $SEL[m+1]$ を第2のデータラッチ回路162のブロック $LAT2[n]$ に入力する構成とすることができる。

【0084】

さらに、先の実施形態では、データ線駆動回路62に本発明の駆動回路の構成を採用した場合について説明したが、走査線駆動回路61に本発明の駆動回路の構成を採用することもできる。

【0085】

また、上述した各実施形態では、マトリクス装置として、電気泳動素子を備えた画素を機能素子として採用した電気泳動表示装置を例示して説明したが、本発明に係るマトリクス装置は、電気泳動表示装置に限定されるものではなく、液晶表示装置、有機EL表示装置等の画像表示装置、静電容量検出装置などとして構成することができる。

【0086】

(電子機器)

次に、上記実施形態の電気泳動表示装置100を、電子機器に適用した場合について説明する。

図9は、腕時計1000の正面図である。腕時計1000は、時計ケース1002と、時計ケース1002に連結された一対のバンド1003とを備えている。

時計ケース1002の正面には、上記実施形態の電気泳動表示装置100からなる表示部1005と、秒針1021と、分針1022と、時針1023とが設けられている。時計ケース1002の側面には、操作子としての竜頭1010と操作ボタン1011とが設けられている。竜頭1010は、ケース内部に設けられる巻真(図示は省略)に連結されており、巻真と一体となって多段階(例えば2段階)で押し引き自在、かつ、回転自在に設けられている。表示部1005では、背景となる画像、日付や時間などの文字列、あるいは秒針、分針、時針などを表示することができる。

【0087】

図10は電子ペーパー1100の構成を示す斜視図である。電子ペーパー1100は、上記実施形態の電気泳動表示装置100を表示領域1101に備えている。電子ペーパー1100は可撓性を有し、従来の紙と同様の質感及び柔軟性を有する書き換え可能なシートからなる本体1102を備えて構成されている。

【0088】

図11は、電子ノート1200の構成を示す斜視図である。電子ノート1200は、上記の電子ペーパー1100が複数枚束ねられ、カバー1201に挟まれているものである。カバー1201は、例えば外部の装置から送られる表示データを入力する図示は省略の表示データ入力手段を備える。これにより、その表示データに応じて、電子ペーパーが束ねられた状態のまま、表示内容の変更や更新を行うことができる。

【0089】

以上の腕時計1000、電子ペーパー1100、及び電子ノート1200によれば、本発明に係る電気泳動表示装置100が採用されているので、低能力の電源でも安定して動作する表示部を備え、省電力性に優れた電子機器となる。

なお、上記の電子機器は、本発明に係る電子機器を例示するものであって、本発明の技術範囲を限定するものではない。例えば、携帯電話、携帯用オーディオ機器などの電子機器の表示部にも、本発明に係る電気泳動表示装置は好適に用いることができる。

【図面の簡単な説明】

【0090】

【図1】実施形態に係る電気泳動表示装置の概略構成図。

【図2】画素の回路構成図。

【図3】電気泳動表示装置及びマイクロカプセルの断面図。

10

20

30

40

50

- 【図4】電気泳動素子の動作説明図。
- 【図5】実施形態に係るデータ線駆動回路の部分構成図。
- 【図6】実施形態に係るデータ線駆動回路の具体的構成例を示す図。
- 【図7】実施形態に係るタイミングチャートの一例を示す図
- 【図8】実施形態に係る電気泳動表示装置の変形例を示す図。
- 【図9】電子機器の一例を示す図。
- 【図10】電子機器の一例を示す図。
- 【図11】電子機器の一例を示す図。
- 【図12】線順次方式のデータ線駆動回路の概略構成図。
- 【図13】点順次方式のデータ線駆動回路の概略構成図。
- 【図14】点順次方式のデータ線駆動回路におけるタイミングチャートを示す図。
- 【図15】点順次方式のデータ線駆動回路におけるタイミングチャートを示す図。
- 【符号の説明】

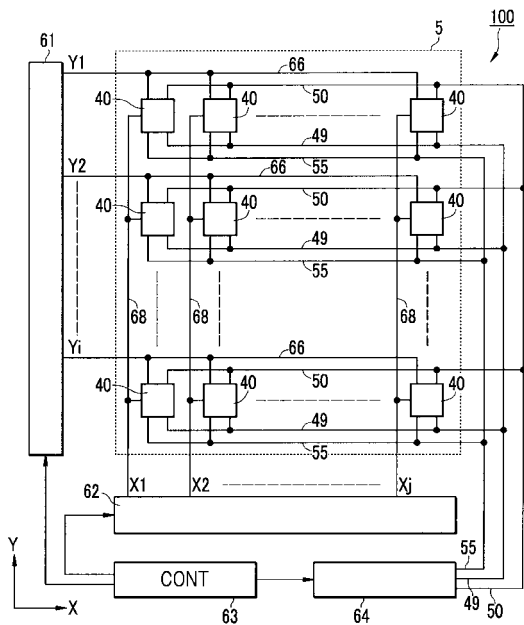
【0091】

100 電気泳動表示装置（マトリクス装置／画像表示装置）、5 表示部、20 マイクロカプセル、32 電気泳動素子、35 画素電極、37 共通電極（対向電極）、40 画素（機能素子）、61 走査線駆動回路、62 データ線駆動回路、63 コントローラ（制御部）、64 共通電源変調回路、66 走査線、68 データ線、160 シフトレジスタ、161 第1のデータラッチ回路、162 第2のデータラッチ回路、163 データバッファ回路、165 データ信号線、blk, LAT1, LAT2, BUF ブロック（動作単位）、SR レジスタ部、LT1, LT2 ラッチ回路、SW1, SW2 トランスマッションゲート、buf バッファ

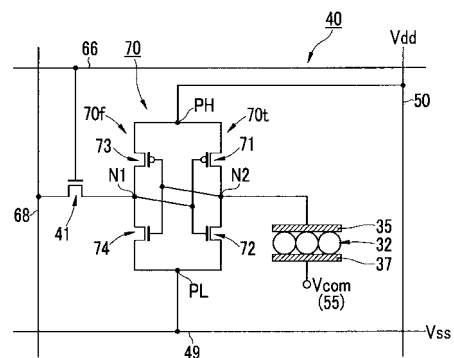
10

20

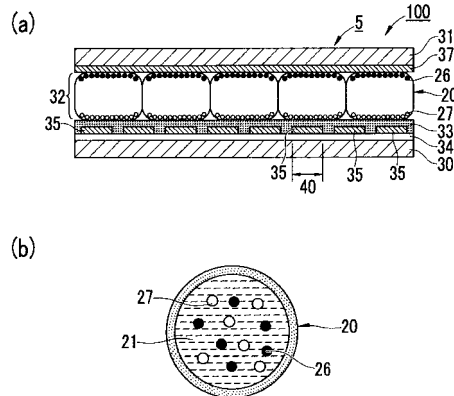
【図1】



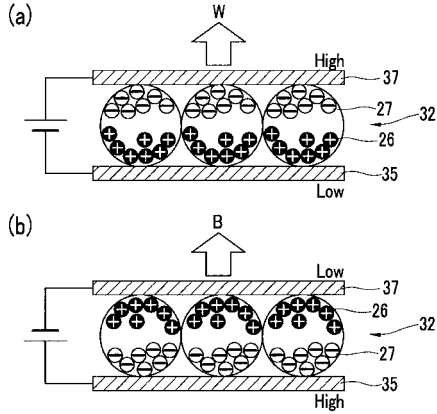
【図2】



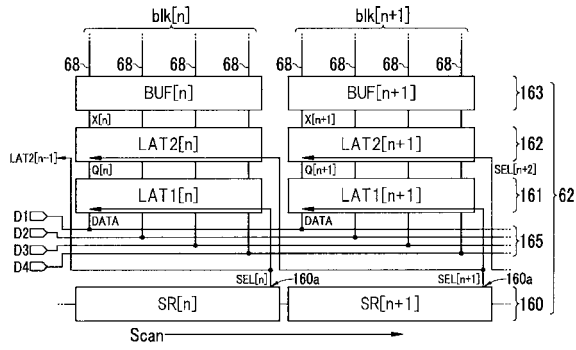
【図3】



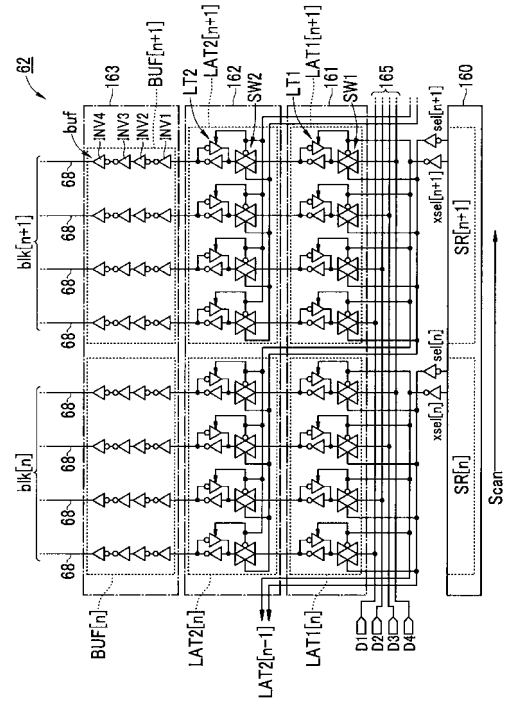
【図4】



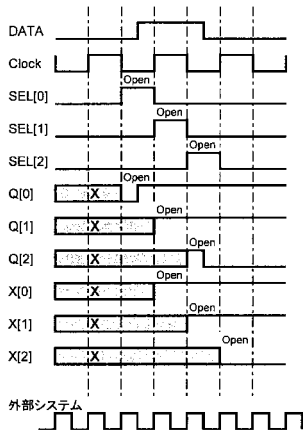
【図5】



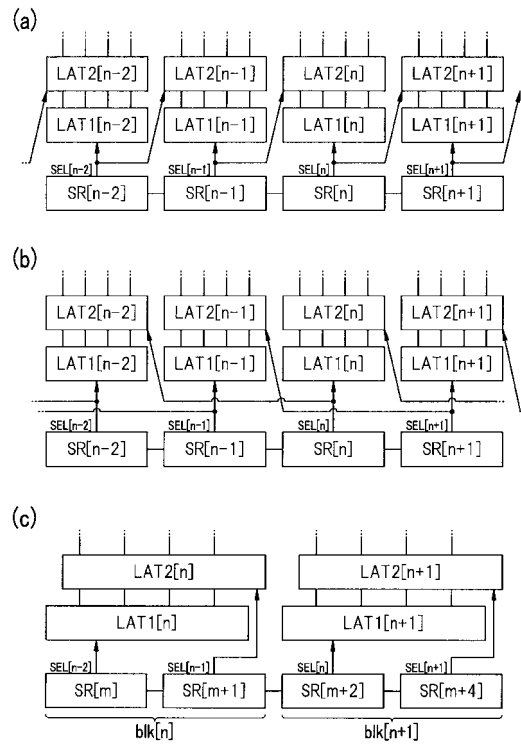
【図6】



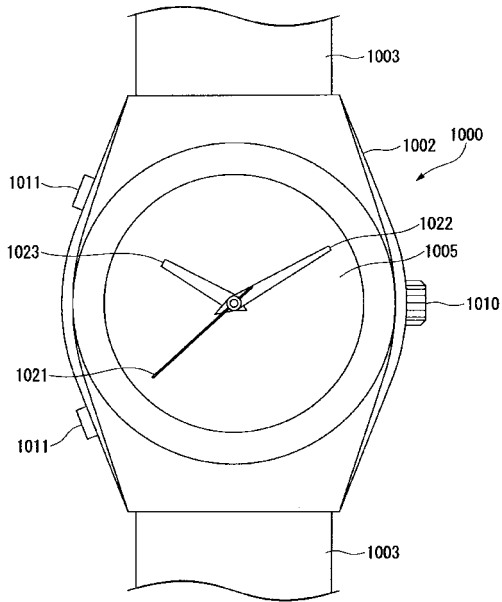
【図7】



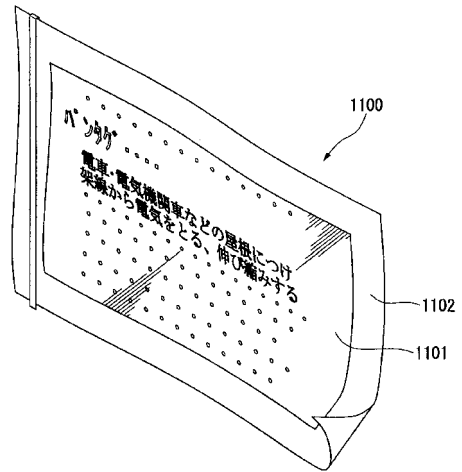
【図8】



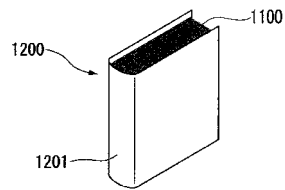
【図9】



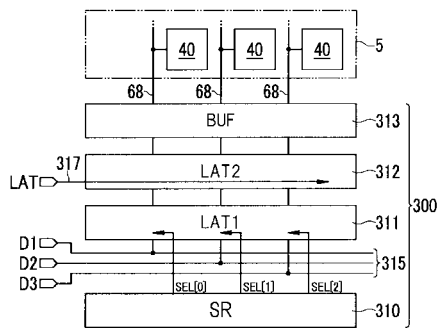
【図10】



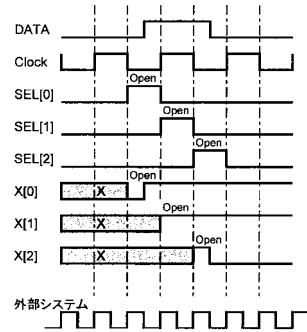
【図11】



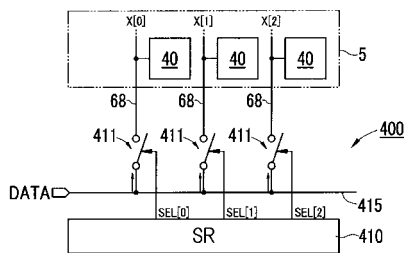
【図12】



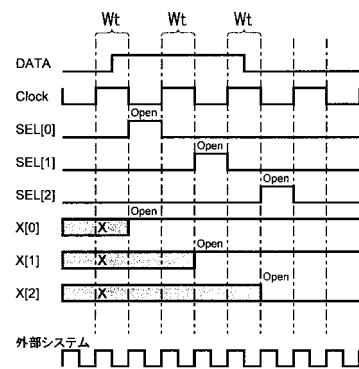
【図14】



【図13】



【図15】



フロントページの続き

- (56)参考文献 特開2002-140053(JP,A)
特開平06-082754(JP,A)
特開2001-306015(JP,A)
特開2004-272184(JP,A)
特開2007-140511(JP,A)
国際公開第2006/043374(WO,A1)
米国特許出願公開第2005/0264518(US,A1)

- (58)調査した分野(Int.Cl., DB名)
G02F 1/167