

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5752877号  
(P5752877)

(45) 発行日 平成27年7月22日 (2015. 7. 22)

(24) 登録日 平成27年5月29日 (2015. 5. 29)

(51) Int. Cl.	F I
<b>GO2F 1/1343 (2006.01)</b>	GO2F 1/1343
<b>GO2F 1/1368 (2006.01)</b>	GO2F 1/1368
<b>GO2F 1/133 (2006.01)</b>	GO2F 1/133 575

請求項の数 16 (全 18 頁)

(21) 出願番号	特願2009-116545 (P2009-116545)	(73) 特許権者	512187343
(22) 出願日	平成21年5月13日 (2009. 5. 13)		三星ディスプレイ株式会社
(65) 公開番号	特開2009-276767 (P2009-276767A)		Samsung Display Co., Ltd.
(43) 公開日	平成21年11月26日 (2009. 11. 26)		大韓民国京畿道龍仁市器興区三星二路95
審査請求日	平成24年3月22日 (2012. 3. 22)		95, Samsung 2 Ro, Giheung-Gu, Yongin-City, Gyeonggi-Do, Korea
(31) 優先権主張番号	10-2008-0044140	(74) 代理人	100121382
(32) 優先日	平成20年5月13日 (2008. 5. 13)		弁理士 山下 託嗣
(33) 優先権主張国	韓国 (KR)	(72) 発明者	金 東 奎
			大韓民国京畿道龍仁市豊徳川2洞三星5次アパート523棟1305号
		最終頁に続く	

(54) 【発明の名称】 アレイ基板、アレイ基板を有する表示装置、及び表示装置の駆動方法

(57) 【特許請求の範囲】

【請求項 1】

液晶表示装置のアレイ基板であって、  
ベース基板と、

前記ベース基板上で第1方向へ延長されたゲート線と、  
前記ベース基板上で前記第1方向と交差する第2方向へ延長されたデータ線と、  
各前記ゲート線及び各前記データ線に接続されるスイッチング素子と、  
前記スイッチング素子に電気的に接続された画素電極を含み、  
前記スイッチング素子及び前記画素電極は、単位画素を形成し、  
前記画素電極は、

第1スリットパターンを有する第1サブ画素電極と、第2スリットパターンを有して前記第1サブ画素電極と隣接する第2サブ画素電極を含む画素電極を有し、

前記第1スリットパターン及び前記第2スリットパターンは、前記スイッチング素子と電気的に接続され、

前記第1スリットパターンは前記第1方向及び前記第2方向と交差する第3方向に沿って配置され、

前記第2スリットパターンは前記第3方向と交差する第4方向に沿って配置され、

前記画素電極は、第2方向に沿って交互に第1画素電圧と第2画素電圧が印加され、

前記第1画素電圧は、前記単位画素によって表示される画像の階調より高いレベルの画素電圧であり、

10

20

前記第 2 画素電圧は、前記単位画素によって表示される画像の階調より低いレベルの画素電圧であり、

互いに隣接する 4 つの単位画素が 2 行 2 列を有するマトリックスタイプに配置されて画素ユニットを形成し、前記画素ユニットは、8 つのドメインを形成する、ことを特徴とするアレイ基板。

【請求項 2】

前記第 2 方向に沿って前記ベース基板上に配置された縦電極棒をさらに含み、

前記第 1 スリットパターンは前記第 3 方向に沿って延長されて前記縦電極棒に接続され、前記第 2 スリットパターンは前記第 4 方向へ延長されて前記縦電極棒に接続されることを特徴とする請求項 1 に記載のアレイ基板。

10

【請求項 3】

前記ゲート線付近で前記縦電極棒と交差するように配置され、前記スイッチング素子の出力電極と電氣的に接続された横電極棒をさらに含むことを特徴とする請求項 2 に記載のアレイ基板。

【請求項 4】

前記第 1 スリットパターンと前記第 2 スリットパターンは各々前記第 1 スリット方向及び前記第 2 方向に沿って順次に単位画素に交互に配置されることを特徴とする請求項 2 に記載のアレイ基板。

【請求項 5】

液晶表示装置のアレイ基板であって、

ベース基板と、

前記ベース基板上で第 1 方向へ延長されたゲート線と、

前記ベース基板上で前記第 1 方向と交差する第 2 方向へ延長されたデータ線と、

各前記ゲート線及び各前記データ線に接続されるスイッチング素子と、

前記スイッチング素子に電氣的に接続された画素電極を含み、

前記スイッチング素子及び前記画素電極は単位画素を形成し、

第 1 単位画素は第 1 スwitchング素子及び第 1 画素電極を含み、

前記第 1 単位画素と隣り合った第 2 単位画素は第 2 スwitchング素子及び第 2 画素電極を含み、

20

前記第 1 画素電極は、前記第 1 方向及び前記第 2 方向と交差する第 3 方向に沿って配置されて、前記第 1 スwitchング素子に電氣的に連結される第 1 スリットパターンを含み、

30

前記第 2 画素電極は前記第 3 方向と交差する第 4 方向に沿って配置されて、前記第 2 スwitchング素子に電氣的に連結される第 2 スリットパターンを含み、

前記画素電極は、第 2 方向に沿って交互に第 1 画素電圧と第 2 画素電圧が印加され、

前記第 1 画素電圧は、前記単位画素によって表示される画像の階調より高いレベルの画素電圧であり、

前記第 2 画素電圧は、前記単位画素によって表示される画像の階調より低いレベルの画素電圧であり、

互いに隣接する 4 つの単位画素が 2 行 2 列に配列されて画素ユニットを形成し、前記画素ユニットは、4 つのドメインを形成することを特徴とするアレイ基板。

40

【請求項 6】

前記第 2 方向に沿って前記ベース基板上に配置された縦電極棒をさらに含み、

前記第 1 スリットパターンと前記第 2 スリットパターンのうち、何れかの 1 つは前記第 3 方向と前記第 4 方向のうち、何れかの 1 つに沿って延長されて前記縦電極棒に接続されることを特徴とする請求項 5 に記載のアレイ基板。

【請求項 7】

複数の縦電極棒をさらに含み、縦電極棒のうち、第 1 縦電極棒はデータラインの左側周辺に隣接するように前記マトリックスの第 1 行に配置され、

縦電極棒のうち、第 2 縦電極棒はデータラインの右側周辺に隣接するように前記マトリックスの第 2 行に配置され、

50

前記第 1 スリットパターンと前記第 2 スリットパターンとは前記行方向及び前記列方向各々に沿って交互に配置されることを特徴とする請求項 6 に記載のアレイ基板。

【請求項 8】

ベース基板、前記ベース基板上で第 1 方向に延長されたゲート線、前記ベース基板上で前記第 1 方向と交差する第 2 方向に延長されたデータ線、各前記ゲート線及び各前記データ線を接続するスイッチング素子、前記スイッチング素子に電氣的に接続された画素電極を含むアレイ基板と、

前記画素電極と対向する共通電極を含む対向基板と、

前記アレイ基板と前記対向基板との間で垂直に配向される液晶層と、

前記単位画素に表示される画像の階調より高いレベルの第 1 画素電圧及び低いレベルの第 2 画素電圧を交互に印加する駆動装置と、  
を有し、

前記スイッチング素子及び前記画素電極は、単位画素を形成し、

前記画素電極は、

第 1 スリットパターンを有する第 1 サブ画素電極と、第 2 スリットパターンを有して、前記第 1 サブ画素電極と隣接する第 2 サブ画素電極を含む画素電極を有し、

前記第 1 スリットパターン及び前記第 2 スリットパターンは、前記スイッチング素子と電氣的に接続され、

前記第 1 スリットパターンは前記第 1 方向及び前記第 2 方向と交差する第 3 方向に沿って配置され、

前記第 2 スリットパターンは前記第 3 方向と交差する第 4 方向に沿って配置され、

前記駆動装置は、第 2 方向に沿って交互に前記第 1 画素電圧と前記第 2 画素電圧を印加し、

互いに隣接する 4 つの単位画素が 2 行 2 列を有するマトリックスタイプに配置されて画素ユニットを形成し、前記画素ユニットは、8 つのドメインを形成することを特徴とする液晶表示装置。

【請求項 9】

前記スリットパターンは、前記第 1 スリットパターン及び前記第 2 スリットパターンの境界に配置された縦電極棒をさらに含み、

前記第 1 スリットパターン及び第 2 スリットパターンは、液晶の方向子を前記縦電極棒に向かって整列することを特徴とする請求項 8 に記載の液晶表示装置。

【請求項 10】

前記第 1 スリットパターン及び前記第 2 スリットパターンのスリットの幅は、前記液晶層の厚さより小さいことを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 11】

1 行 1 列及び 2 行 2 列の単位画素では前記行方向に前記第 2 スリットパターン及び第 1 スリットパターンの順序に配置し、

1 行 2 列及び 2 行 1 列の単位画素では前記行方向に前記第 1 スリットパターン及び第 2 スリットパターンの順序に配置したことを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 12】

前記駆動装置が前記 1 行の単位画素を前記第 1 画素電圧でドット反転駆動し、前記 2 行の単位画素を前記第 2 画素電圧でドット反転駆動して前記画像の階調を表示することを特徴とする請求項 11 に記載の液晶表示装置。

【請求項 13】

前記対向基板は、各前記単位画素と対応して前記共通電極上に形成されたカラーフィルタをさらに含むことを特徴とする請求項 8 に記載の液晶表示装置。

【請求項 14】

前記カラーフィルタは、前記行方向に各前記単位画素と対応するように配置された赤色フィルタ、緑色フィルタ、及び青色フィルタを含むことを特徴とする請求項 13 に記載の液晶表示装置。

10

20

30

40

50

## 【請求項 15】

ベース基板、前記ベース基板上で第1方向に延長されたゲート線、前記ベース基板上で前記第1方向と交差する第2方向に延長されたデータ線、各前記ゲート線及び各前記データ線を接続するスイッチング素子、前記スイッチング素子に電氣的に接続された画素電極を含むアレイ基板と、

前記画素電極と対向する共通電極を含む対向基板と、

前記アレイ基板と前記対向基板との間で垂直に配向される液晶層と、  
を有し、

前記スイッチング素子及び前記画素電極は、単位画素を形成して、互いに隣接する4つの単位画素が2行2列に配列されて画素ユニットを形成し、

前記各画素電極に形成された前記スリットパターンは、前記第1方向及び前記第2方向と交差する第3方向に配列された第1スリットパターンまたは前記第3方向と交差する第4方向に配列された第2スリットパターンのうち、選択されたいずれか1つを含み、

前記画素電極は、列方向に沿って交互に第1画素電圧と第2画素電圧が印加され、

前記第1画素電圧は、前記単位画素によって表示される画像の階調より高いレベルの画素電圧であり、

前記第2画素電圧は、前記単位画素によって表示される画像の階調より低いレベルの画素電圧であり、

前記画素ユニットは、4つのドメインを形成することを特徴とする液晶表示装置。

## 【請求項 16】

第1スリットパターンを有する第1サブ画素電極、第2スリットパターンを有して前記第1サブ画素電極と隣接する第2サブ画素電極を含み、前記第1サブ画素電極と前記第2サブ画素電極とが第1の位置関係にある第1画素電極及び第2画素電極と、前記第1サブ画素電極と前記第2サブ画素電極とを含み、前記第1サブ画素電極と前記第2サブ画素電極とが前記第1の位置関係とは異なる第2の位置関係にある第3画素電極及び第4画素電極とを含むアレイ基板、対向基板、及び前記アレイ基板と対向基板との間に介在された液晶層を含み、前記第1乃至第4画素電極を含む4つの画素が2行2列を有するマトリックスタイプに配置されて画素ユニットを形成された液晶表示装置の駆動方法であって、

前記第1スリットパターンは行方向及び列方向と交差する第3方向に沿って配置され、

前記第2スリットパターンは前記第3方向と交差する第4方向に沿って配置され、

前記第1画素電極に画像の階調電圧より高い第1画素電圧を印加する第1段階と、

前記第3画素電極に前記画像の階調電圧より低い第2画素電圧を印加する第2段階と、

前記第2画素電極に前記第2画素電圧を印加する第3段階と、

前記第4画素電極に前記第1画素電圧を印加する第4段階と、

を含み、

前記画素ユニットは、前記第1段階乃至前記第4段階により、8つのドメインを形成することを特徴とする液晶表示装置の駆動方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、アレイ基板、これを有する表示装置、及びこれの駆動方法に関する。より詳しくはスリットパターンが形成された電極に垂直配向された液晶を制御するアレイ基板、アレイ基板を有する表示装置、及び表示装置の駆動方法に関する。

## 【背景技術】

## 【0002】

一般的に、液晶表示装置は現在最も広く使われている平板表示装置の1つで、電界生成電極が形成されている2枚の表示板とその間に挿入されている液晶層からなり、電極に電圧を印加して液晶層の液晶分子を再配列させることによって液晶層を通過する光の透過率を調節する表示装置である。

## 【 0 0 0 3 】

液晶表示装置は、2つの表示板と前記2つの基板各々に具備される電界生成電極とを含む。1つの表示板には複数の画素電極が行列形態で配列されており、他の表示板には1つの共通電極が全面的に形成されている。前記液晶表示装置の画像表示は各画素電極に別途の電圧を印加することによって遂行される。これのために前記画素電極に印加される電圧をスイッチングするための薄膜トランジスタが各画素電極に接続され、前記薄膜トランジスタを制御するための信号を伝達するゲート線と前記画素電極に印加される電圧を伝達するデータ線が表示板に形成される。

## 【 0 0 0 4 】

液晶表示装置は他の液晶表示装置に比べて視野角が狭い。このような短所を克服するために視野角を広げる多様な技術が開発されている。中でも、液晶分子を上下基板に対して垂直に配向し、画素電極とその対向電極である共通電極に一定のスリットパターンを形成するか或いは突起パターンを形成して画素を多重ドメインに分割する方法が有力化されている。

10

## 【 0 0 0 5 】

単位画素でドメインの個数を増加させるために画素電極をサブ画素電極に分割し、レベルの差がある画素電圧を各々印加する電荷分割方式の駆動方法も使用される。

## 【 0 0 0 6 】

しかし、マルチドメインを具現するために1つの単位画素に4つ以上のドメインを形成し、複数のサブ電極を形成すると、スイッチング素子の個数及び配線個数が増加して画素の開口率が大きく低下する短所がある。

20

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 7 】

これに本発明の技術的課題はこのような従来の問題点を解決することで、本発明は開口率及び視野角を向上させるアレイ基板を提供する。

## 【 0 0 0 8 】

また、本発明は前記アレイ基板を有する表示装置を提供する。

## 【 0 0 0 9 】

また、本発明は前記表示装置の駆動方法を提供する。

30

## 【 課題を解決するための手段 】

## 【 0 0 1 0 】

前述の本発明の技術的課題を解決するために、実施例によるアレイ基板はベース基板、ゲート線、データ線、スイッチング素子、及び画素電極を含む。前記ゲート線は前記ベース基板の行方向に伸び、前記データ配線は前記ベース基板の列方向に伸びる。前記スイッチング素子は各前記ゲート線及び前記データ線に接続される。前記画素電極は前記スイッチング素子に接続され、前記画素電極にはスリットパターンが形成される。前記画素電極は隣接する画素電極に形成されたスリットパターンとは別の方向に互いに平行して配列される。

## 【 0 0 1 1 】

40

本発明の一実施例で、前記スイッチング素子及び前記画素電極は単位画素を形成し、互いに隣接する4つの単位画素が2行2列に配列されて前記4つの単位画素のスリットパターンからなる1対のスリットパターンを有する画素ユニットを形成する。

## 【 0 0 1 2 】

本発明の一実施例で、前記スリットパターンは縦電極棒、第1スリットパターン、及び第2スリットパターンを含む。前記縦電極棒は前記データ線と平行に配置される。前記第1スリットパターンは第1方向に延長されて前記縦電極棒に接続される。前記第2スリットパターンは前記第1方向に交差する第2方向に延長されて、前記縦電極棒に接続される。前記スリットパターンは横電極棒をさらに含むことができる。前記横電極棒は前記ゲート線付近で前記縦電極棒と直交するように配置され、前記スイッチング素子の出力電極と

50

電氣的に接続される。

【 0 0 1 3 】

本発明の一実施例で、1行1列及び2行2列に配置された前記単位画素においては前記行方向に前記第2スリットパターン及び前記第1スリットパターン順に配置され、2行1列及び1行2列に配置された前記単位画素においては前記行方向に前記第1スリットパターン及び前記第2スリットパターン順に配置されることが出来る。

【 0 0 1 4 】

本発明の他の実施例で、前記スイッチング素子及び前記画素電極は単位画素を形成し、互いに隣接する8つの単位画素が2行4列に配列され、前記8つの単位画素のスリットパターンからなる1対のスリットパターンを有する画素ユニットを形成することが出来る。

10

【 0 0 1 5 】

本発明の一実施例で、前記スリットパターンは第1スリットパターン及び第2スリットパターンのうち、選択された1つと縦電極棒を含むことが出来る。前記縦電極棒は前記データ線と平行に前記データ線付近に配置される。前記第1スリットパターンは前記行方向と交差する第1方向に伸びて縦電極棒に接続される。前記第2スリットパターンは前記第1方向と交差する第2方向に伸びて前記縦電極棒に接続される。

【 0 0 1 6 】

本発明の一実施例で、第1行に配置された縦電極棒は左側データ線付近に配置され、第2行に配置された前記縦電極棒は右側データ線付近に配置され、前記行方向及び列方向に前記第1スリットパターン及び第2スリットパターンが交互に配置されることが出来る。

20

【 0 0 1 7 】

前述の本発明の技術的課題を解決するために、実施例による表示装置は、アレイ基板、対向基板、及び液晶層を含む。アレイ基板はベース基板、ゲート線、データ線、スイッチング素子、及び画素電極を含む。前記ゲート線は前記ベース基板の行方向に伸び、前記データ配線は前記ベース基板の列方向に伸びる。前記スイッチング素子は各前記ゲート線及び前記データ線に接続される。前記画素電極は前記スイッチング素子に接続され、前記画素電極にはスリットパターンが形成される。前記画素電極は隣接する画素電極に形成されたスリットパターンとは別の方向に互いに平行に配列される。前記対向基板は前記画素電極と対向する共通電極を含む。前記液晶層は前記アレイ基板と前記対向基板との間で垂直に配向される。

30

【 0 0 1 8 】

前述の本発明の技術的課題を解決するために、表示装置の駆動方法で、前記表示装置は第1スリットパターンを有する第1サブ画素電極、第2スリットパターンを有して前記第1サブ画素電極と隣接する第2サブ画素電極を含むアレイ基板、対向基板、及び前記アレイ基板と対向基板間に介在された液晶層を含む。前記表示装置の駆動方法で、前記画素電極には画像の階調より高い第1画素電圧を印加し、前記画素電極には前記画像の階調より低い第2画素電圧を印加して、画素ユニットによって表示されるドメインの数は前記液晶層のドメイン数の倍であることを特徴とする。

【 発明の効果 】

【 0 0 1 9 】

本発明によるアレイ基板、アレイ基板を有する表示装置、及び表示装置の駆動方法によると、1つの画素ユニットで1行の単位画素は前記第1画素電圧に反転駆動され、2行の単位画素は前記第2画素電圧に反転駆動される。画素ユニットは2つのスリットパターンが配置された4つの領域を有し、第1画素電圧及び第2画素電圧によって駆動されるため、8つのドメインを具現する。従って、単位画素の開口率が増加される。従って、表示装置の視野角が向上される。

40

【 図面の簡単な説明 】

【 0 0 2 0 】

【 図 1 】 実施例 1 による表示装置の平面図である。

【 図 2 】 図 1 に図示された表示装置を I - I ' 線に沿って切断した断面図である。

50

【図 3】図 1 に示したアレイ基板を製造する方法を説明する平面図である。  
【図 4】図 1 に示したアレイ基板を製造する方法を説明する平面図である。  
【図 5】図 1 に示した表示装置のブロック図である。  
【図 6】図 5 に示した駆動装置に適用されたガンマ曲線を表すグラフである。  
【図 7】図 5 に示した駆動装置に対する詳細なブロック図である。  
【図 8】図 5 に示した表示装置の駆動信号に対するタイミング図である。  
【図 9】実施例 2 による表示装置が含むアレイ基板の平面図である。  
【発明を実施するための最良の形態】

【 0 0 2 1 】

以下、添付図面を参照しつつ、本発明の表示装置の望ましい実施例をより詳しく説明する。

10

【 0 0 2 2 】

本発明は多様な変更を加えることができ、様々な形態を有することができるため、特定実施例を図面に例示し、本明細書に詳しく説明する。しかし、これは本発明を特定の開示形態に対して限定しようとするのではなく、本発明の思想及び技術範囲に含まれる全ての変更、均等物、ないしは代替物を含むことと理解されるべきである。

【 0 0 2 3 】

各図面を説明しながら類似する参照符号を、類似する構成要素に対して使用した。添付図面において、構造物のサイズは本発明の明確性に基づくために実際より拡大して示した。

20

【 0 0 2 4 】

第 1、第 2 などの用語は多様な構成要素を説明するにあたって使用することができるが、各構成要素は使用される用語によって限定されるものではない。各用語は 1 つの構成要素を他の構成要素と区別する目的で使用されるものであって、例えば、明細書中において、第 1 構成要素を第 2 構成要素に書き換えることも可能であり、同様に第 2 構成要素を第 1 構成要素とすることができる。単数表現は文脈上、明白に異なる意味を有しない限り、複数の表現を含む。

【 0 0 2 5 】

本明細書において、「含む」または「有する」などの用語は、明細書上に記載された特徴、数字、段階、動作、構成要素、部分品、またはこれらを組み合わせたものが存在することを指定しようとするものであって、1 つまたはそれ以上の別の特徴、数字、段階、動作、構成要素、部分品、またはこれらを組み合わせたものの存在または付加可能性を予め排除しないことと理解されるべきである。

30

【 0 0 2 6 】

また、別に定義しない限り、技術的或いは科学的用語を含んで、ここにおいて使用される全ての用語は本発明が属する技術分野で通常の知識を有する者であれば、一般的に理解されることと同一な意味を有する。一般的に使用される辞書において定義する用語と同じ用語は関連技術の文脈上に有する意味と一致する意味を有することと理解されるべきで、本明細書において明白に定義しない限り、理想的或いは形式的な意味として解釈しない。

【 0 0 2 7 】

40

< 実施例 1 >

図 1 は、実施例 1 による表示装置の平面図である。図 2 は、図 1 に図示された表示装置を I - I' 線に沿って切断した断面図である。

【 0 0 2 8 】

図 1 及び図 2 を参照すると、表示装置 100 はアレイ基板 101、対向基板 105、及び液晶層 107 を含む。

【 0 0 2 9 】

図 1 には、説明の便宜上、アレイ基板 101 の平面図のみ図示されており、図 2 にはアレイ基板 101、対向基板 105、及び液晶層 107 の断面が図示されている。

【 0 0 3 0 】

50

図 3 及び図 4 は、図 1 に示したアレイ基板 101 を製造する方法を説明する平面図である。

【0031】

図 1、図 3 及び図 4 を参照すると、アレイ基板 101 はベース基板 102、複数のゲート線 GL、データ線 DL、スイッチング素子 108、及び画素電極 170 を含む。

【0032】

まず、ガラス質のベース基板 102 上にゲート金属を蒸着させ、エッチングして、図 3 に示したようにゲート線 GL を形成する。ゲート線 GL はベース基板 102 上で略行方向 DI1 へ互いに平行して伸びる。ゲート線 GL の一部は突起形状のゲート電極 111 を形成する。その後、図 2 に示したように、ゲート線 GL を覆うゲート絶縁膜 113 を形成する。

10

【0033】

その後、ゲート絶縁膜 113 上に半導体層及びソース金属層を順次に形成しエッチングして、図 2 及び図 4 に示したように、データ線 DL、チャンネル層 115、及びドレイン電極 123 を形成する。データ線 DL はゲート絶縁膜 113 上に略列方向 DI3 へ延長されている。ゲート線 GL とデータ線 DL の交差点近くのデータ線 DL でソース電極 121 が突出されて、ゲート電極 111 と一部重畳するように形成される。ドレイン電極 123 はゲート電極 111 上にソース電極 121 付近で一部が配置されて画素領域 PA に一部が延長されている。

【0034】

20

ゲート線 GL 及びデータ線 DL が交差して略長方形の領域を定義し、前記長方形領域には、その後、画素電極 170 が形成される。従って、前記長方形領域を前記画素領域 PA に定義する。

【0035】

半導体層とソース金属層を単一エッチング工程で共にエッチングする場合、データ線 DL、ソース電極 121、ドレイン電極 123 の下、及びゲート電極 111 の上部に半導体層が形成され、ソース電極 121 とドレイン電極 123 との間の半導体層はチャンネル層 115 に形成される。

【0036】

ゲート電極 111、ゲート絶縁膜 113、チャンネル層 115、ソース電極 121、及びドレイン電極 123 は三端子素子であるスイッチング素子 108 を構成する。

30

【0037】

その後、図 2 に示したように、データ線 DL が形成されたベース基板 102 を覆うパッシベーション膜 130 を形成し、パッシベーション膜 130 上に有機絶縁膜 140 を形成する。有機絶縁膜 140 及びパッシベーション膜 130 にドレイン電極 123 の一部を露出させるコンタクトホール 143 を形成する。

【0038】

その後、有機絶縁膜 140 上に ITO または IZO のような透明な伝導性物質層を蒸着する。伝導性物質層はコンタクトホール 143 を通じてドレイン電極 123 に接触される。伝導性物質をエッチングして、図 1 に示したように、画素電極 170 を形成する。画素電極 170 にはスリットパターン 172 が形成されている。

40

【0039】

最後に、図 2 に示したように、画素電極 170 を覆う下部配向膜 20 を形成し、ベース基板 102 の背面に下部偏光板 30 を付着してアレイ基板 101 を製造する。

【0040】

下部配向膜 20 は、後述される対向基板 105 と共に液晶層 107 の液晶分子を垂直方向、即ち、アレイ基板 101 から対向基板 105 に向かう方向に配向する。

【0041】

下部偏光板 30 は下部偏光軸が行方向 DI1 と実質的に一致するように配置される。画素電極 170 には、図 1 に示したように、下部偏光軸と略 45° または 135° を成すス

50



リットが形成されている。

【0042】

前記スイッチング素子108及び前記画素電極170は単位画素を形成し、互いに隣接する4つの単位画素が2行2列に配列されて画素ユニットを形成する。

【0043】

再び、図2を参照すると、対向基板105は上部基板104、遮光パターン181、カラーフィルタパターン185、オーバーコーティング層187、共通電極190、上部配向膜60、及び上部偏光板70を含むことができる。

【0044】

遮光パターン181はゲート線GL、データ線DL、スイッチング素子108、及び図示しないストレージ電極に対応するように、上部基板104に形成されている。遮光されない前記画素領域PAにはカラーフィルタパターン185が形成される。カラーフィルタパターン185は例えば、赤フィルタ、緑フィルタ、及び青フィルタを含むことができる。赤フィルタ、緑フィルタ、及び青フィルタ順に行方向DI1に各単位画素に対応するように配置できる。オーバーコーティング層187はカラーフィルタパターン185及び遮光パターン181を覆い、共通電極190はオーバーコーティング層187上に形成されている。上部配向膜60は共通電極190上に形成されて液晶層107を垂直配向させる。上部偏光板70は上部基板104の上面に付着され、上部偏光板70の偏光軸は下部偏光板30の偏光軸と実質的に直交するように配置される。

【0045】

再び、図1及び図2を参照すると、本実施例で画素電極170がパターンニングされており、垂直配向される液晶が使用される。従って表示装置は複数の種類のドメインを形成することができる。

【0046】

画素ユニットは表示装置100が具現できるドメインの種類を全て有する画素セットである。従って画素ユニットは複数の単位画素を含み、本実施例で画素ユニットは2行2列のマトリックス形態に配列された4つの単位画素を含む。

【0047】

画素電極170に形成されたスリットパターン172は液晶の方向子を略一定方向に整列させる。画素ユニット内の単位画素は隣接する画素電極170の液晶整列方向が互いに異なるように配置される。

【0048】

本実施例で、各単位画素はスリットパターン172によって形成された2つのドメインを有する。スリットパターン172によって画素電極170は特殊な形状で形成される。例えば、スリットパターン172は縦電極棒171、第1スリットパターン173、及び第2スリットパターン175を含むことができる。

【0049】

縦電極棒171はデータ線DLと平行に2つのドメインの境界を形成する。即ち、縦電極棒171によって画素領域PAは左側ドメイン及び右側ドメインに分割される。

【0050】

第1スリットパターン173は左側または右側ドメインで行方向DI1と45°を成す第1斜線方向DI2に縦電極棒171に接続される。第2スリットパターン175は左側または右側ドメインで第1スリットパターン173と直交する第2斜線方向DI4に、即ち、行方向DI1と135°を成す方向に縦電極棒171に接続される。

【0051】

第1及び第2スリットパターン(173、175)のスリットの幅は液晶層107の厚さより薄く形成される。第1及び第2スリットパターン(173、175)は液晶層の方向子が縦電極棒171に向かうように整列する。

【0052】

画素電極170は横電極棒177をさらに含むことができる。横電極棒177はゲート

10

20

30

40

50

線 G L 付近で縦電極棒 1 7 1 と直交するように配置され、コンタクトホール 1 4 3 を通じてスイッチング素子 1 0 8 のドレイン電極と電氣的に接続される。

【 0 0 5 3 】

4 つの単位画素で第 1 スリットパターン 1 7 3 及び第 2 スリットパターン 1 7 5 が配置される順番は多様な方式で変更されることができる。本実施例においては、図 1 に示したように、1 行 1 列及び 2 行 2 列に配置された単位画素においては行方向 D I 1 に第 2 スリットパターン 1 7 5 及び第 1 スリットパターン 1 7 3 順に配置され、2 行 1 列及び 1 行 2 列に配置された単位画素においては行方向 D I 1 に第 1 スリットパターン 1 7 3 及び第 2 スリットパターン 1 7 5 順に配置されている。

【 0 0 5 4 】

第 1 スリットパターン 1 7 3 及び第 2 スリットパターン 1 7 5 の延長方向及び単位画素内に配置される位置によって、画素ユニットは液晶整列方向が規定された 4 つの領域を有する。画素電極 1 7 0 には後述される電圧レベルが互いに異なる画素電圧が印加され、その結果、表示装置 1 0 0 は画素ユニットで 8 つのドメインを形成する。ドメインは液晶の方向子が互いに異なる領域に定義される。

【 0 0 5 5 】

以下、表示装置 1 0 0 が画素ユニットで 8 つのドメインを駆動して画像を表示する表示装置 1 0 0 の駆動方法を説明する。

【 0 0 5 6 】

図 5 は、図 1 に示した表示装置 1 0 0 のブロック図である。図 6 は、図 5 に示した駆動装置に適用されたガンマ曲線を表すグラフである。

【 0 0 5 7 】

図 5 及び図 6 を参照すると、表示装置 1 0 0 は駆動装置 2 0 0 をさらに含むことができる。複数の画素ユニットを行方向 D I 1 及び列方向 D I 3 に配列されている。各単位画素 P は 1 つのデータ線 D L 1 及び 1 つのゲート線 G L 1 によって伝達されるデータ信号及びゲート信号によって駆動される。

【 0 0 5 8 】

2 行 2 列に配列された単位画素 P を含む画素ユニット P U は第 1 及び第 2 データ線 ( D L 1 、 D L 2 ) と第 1 及び第 2 ゲート線 ( G L 1 、 G L 2 ) によって伝達されるデータ信号及びゲート信号によって駆動される。

【 0 0 5 9 】

例えば、等価回路の観点で、単位画素 P はスイッチング素子 1 0 8 、液晶コンデンサ C L C 及びストレージコンデンサ C S T を含む。

【 0 0 6 0 】

スイッチング素子 1 0 8 は、上述のように、ゲート線 G L 1 に接続されたゲート電極 1 1 1 、データ線 D L 1 に接続されたソース電極 1 2 1 及び液晶コンデンサの一端と接続されたドレイン電極 1 2 3 を含む。

【 0 0 6 1 】

列方向単位画素 P にはデュアル極性のデータ信号が各々印加される。例えば、1 行 1 列の単位画素 P には基準電圧対比両極性のデータ信号 ( + ) ( 以下、第 1 画素電圧とする ) が印加され、2 行 1 列の単位画素 P には前記基準電圧対比陰極性のデータ信号 ( ) ( 以下、第 2 画素電圧とする ) が印加される。

【 0 0 6 2 】

即ち、前記第 1 画素電圧は前記単位画素 P によって表示される画像の階調より高いレベルの画素電圧であり、前記第 2 画素電圧は前記画像の階調より低いレベルの画素電圧である。

【 0 0 6 3 】

駆動装置 2 0 0 はタイミング制御部 2 1 0 、ガンマ電圧発生部 2 3 0 、データ駆動部 2 5 0 、及びゲート駆動部 2 7 0 を含む。

10

20

30

40

50

## 【 0 0 6 4 】

タイミング制御部 2 1 0 は、外部から制御信号 2 0 0 C 及びデータ 2 0 0 D を受信する。タイミング制御部 2 1 0 は受信された前記制御信号 2 0 0 C を利用してデータ駆動部 2 5 0 及びゲート駆動部 2 7 0 の駆動タイミングを制御するタイミング制御信号（以下、データ制御信号及びゲート制御信号と称す）を生成する。前記タイミング制御部 2 1 0 は前記データ制御信号 2 1 0 d 及び前記ゲート制御信号 2 1 0 g を前記データ駆動部 2 5 0 及び前記ゲート駆動部 2 7 0 に各々出力する。前記タイミング制御部 2 1 0 は外部から受信された前記データ 2 0 0 D を前記ガンマ電圧発生部 2 3 0 に伝達する。

## 【 0 0 6 5 】

前記ガンマ電圧発生部 2 3 0 は前記タイミング制御部 2 1 0 から提供された前記データを第 1 ガンマ曲線（ 1 ）及び第 2 ガンマ曲線（ 2 ）が各々適用される第 1 ガンマデータ及び第 2 ガンマデータを出力する。

10

## 【 0 0 6 6 】

図 6 に図示したガンマ曲線（ 1 、 2 、 R ）は、X 軸は階調（例えば、2 5 6 階調）を示し、Y 軸は輝度（または透過率（％））を示す。基準ガンマ曲線（ R ）は正面視認性が最適化されたガンマ曲線で、第 1 ガンマ曲線（ 1 ）と第 2 ガンマ曲線（ 2 ）は側面視認性が最適化されたガンマ曲線である。

## 【 0 0 6 7 】

前記ガンマ電圧発生部 2 3 0 は前記タイミング制御部 2 1 0 から受信された前記データを、第 1 区間には前記第 1 ガンマ曲線（ 1 ）が適用された第 1 ガンマデータを生成し、第 2 区間には前記第 2 ガンマ曲線（ 2 ）が適用された第 2 ガンマデータを生成する。前記第 1 区間は奇数行単位画素 P が充電されるフレーム区間であり、前記第 2 区間は偶数行単位画素 P が充電されるフレーム区間である。

20

## 【 0 0 6 8 】

前記データ駆動部 2 5 0 は前記ガンマ電圧発生部 2 3 0 から生成された前記第 1 及び第 2 ガンマデータをアナログのデータ電圧に変換してアレイ基板（ 1 0 1 、 1 0 0 ）の第 1 データ線 D L 1 に出力する。

## 【 0 0 6 9 】

データ駆動部 2 5 0 は前記第 2 データ線 D L 2 には前記第 1 データ線 D L 1 に出力される前記データ電圧に位相が反転されたデータ電圧を出力する。例えば、基準電圧が 0 V で、前記第 1 データ線 D L 1 に + 5 V のデータ電圧が出力される場合、前記第 2 データ線 D L 2 には - 5 V のデータ電圧が出力される。

30

## 【 0 0 7 0 】

前記ゲート駆動部 2 7 0 は前記タイミング制御部 2 1 0 から提供された前記ゲート制御信号 2 1 0 g 及び外部から受信されたゲートオン及びオフ電圧（ V o n 、 V o f f ）を利用してゲートファルスを生成する。例えば、前記ゲート駆動部 2 7 0 は前記第 1 区間の間、奇数ゲート線 G L に前記ゲートオン電圧（ V o n ）を有するゲートファルスを出し、前記第 2 区間の間、偶数ゲート線 G L に前記ゲートファルスを出力する。

## 【 0 0 7 1 】

図 7 は、図 5 に示した駆動装置に対する詳細なブロック図である。

40

## 【 0 0 7 2 】

図 5 及び図 7 を参照すると、前記タイミング制御部 2 1 0 は受信部 2 1 1 、保存部 2 1 3 を含む。前記受信部 2 1 1 は外部からデータ D を受信する。前記受信されたデータ D は前記保存部 2 1 3 に保存される。前記保存部 2 1 3 は例えば、前記表示パネル 1 0 0 の行に含まれる画素に該当するラインデータを保存するラインメモリである。

## 【 0 0 7 3 】

前記ガンマ電圧発生部 2 3 0 は、第 1 バッファ部 2 3 1 及び第 2 バッファ部 2 3 3 を含む。前記第 1 バッファ部 2 3 1 は前記第 1 ガンマ曲線（ 1 ）が適用された第 1 ガンマデータが保存され、前記第 2 バッファ部 2 3 3 は前記第 2 ガンマ曲線（ 2 ）が適用された第 2 ガンマデータが保存される。ここでは、前記ガンマ電圧発生部 2 3 0 が前記第

50

1 及び第 2 ガンマデータが保存された前記第 1 及び第 2 バッファ部 ( 2 3 1、2 3 3 ) を含むことを例としてあげたが、前記第 1 及び第 2 ガンマ曲線 ( 1、2 ) が適用された抵抗ストリングを各々適用することができる。

【 0 0 7 4 】

前記ガンマ電圧発生部 2 3 0 は前記第 1 区間には前記データを前記第 1 ガンマ曲線 ( 1 ) が適用された前記第 1 ガンマデータに生成し、前記第 2 区間には前記データを前記第 2 ガンマ曲線 ( 2 ) が適用された前記第 2 ガンマデータに生成する。

【 0 0 7 5 】

前記データ駆動部 2 5 0 は第 1 デジタルアナログ変換部 2 5 1 ( 以下、DAC 1 と称す ) 及び第 2 デジタルアナログ変換部 2 5 3 ( 以下、DAC 2 と称す ) を含む。前記 DAC 1 ( 2 5 1 ) は前記第 1 バッファ部 2 3 1 から受信された前記第 1 ガンマデータをアナログの第 1 データ信号に変換する。前記 DAC 2 ( 2 5 3 ) は前記第 2 バッファ部 2 3 3 から受信された前記第 2 ガンマデータをアナログの第 2 データ信号に変化する。例えば、前記 DAC 1 ( 2 5 1 ) から出力された前記第 1 データ信号は前記第 1 データ配線 DL 1 に印加され、前記第 1 データ信号に対して位相が反転されたデータ信号は前記第 2 データ配線 DL 2 に印加される。

【 0 0 7 6 】

図 8 は、図 5 に示した表示装置の駆動信号に対するタイミング図である。

【 0 0 7 7 】

図 1、図 5、図 7、及び図 8 を参照すると、1つのフレーム ( 1 FRAME ) の間、前記表示パネル 1 0 0 の駆動方式を説明する。前記アレイ基板 1 0 1、前記対向基板 1 0 5、及び前記液晶層 1 0 7 を含む表示パネル 1 0 0 は、 $m$  ( $m$  は、自然数) 個の垂直画素列と  $n$  ( $n$  は、自然数) 個の水平画素列を含み、前記第 1 及び第 2 データ配線 ( DL 1、DL 2 ) と接続された  $i$  ( $i < m$ ) 番目垂直画素列の駆動方式を説明する。

【 0 0 7 8 】

前記データ駆動部 2 5 0 は前記第 1 区間には前記第 1 ガンマ曲線 ( 1 ) が適用された前記第 1 データ信号  $d_1$  を前記第 1 データ配線 DL 1 に出力し、前記第 1 データ信号  $d_1$  と位相が反転されたデータ信号  $-d_1$  を前記第 2 データ配線 DL 2 に出力する。続いて、前記第 2 区間には前記第 2 ガンマ曲線 ( 2 ) が適用された前記第 2 データ信号  $d_2$  を前記第 2 データ配線 DL 2 に出力し、前記第 2 データ信号  $d_2$  と位相が反転するデータ信号  $-d_2$  を前記第 2 データ配線 DL 2 に出力する。

【 0 0 7 9 】

前記ゲート駆動部 2 7 0 は 1 つのフレームの間、ゲートファルス  $g_1$  を有するゲート信号  $G$  を  $n$  個のゲート配線に順次出力する。

【 0 0 8 0 】

例えば、前記データ駆動部 2 5 0 は前記第 1 区間の間、前記  $i$  番目垂直画素列の 1 番目から  $n$  番目画素に該当する前記第 1 データ信号、 $d_1(1)$ 、 $d_1(2)$ 、 $d_1(3)$ 、...、 $d_1(n)$  を前記第 1 データ配線 DL 1 に出力し、前記第 1 データ信号に反転するデータ信号、 $-[d_1(1)]$ 、 $-[d_1(2)]$ 、 $-[d_1(3)]$ 、...、 $-[d_1(n)]$  を前記第 2 データ配線 DL 2 に出力する。

【 0 0 8 1 】

一方、前記ゲート駆動部 2 7 0 は前記第 1 区間の間、前記  $n$  個のゲート配線に前記ゲートファルス、 $g_{11}$ 、 $g_{21}$ 、 $g_{31}$ 、...、 $g_{n1}$  を順次出力する。前記第 1 区間の間、前記  $i$  ( $i < m$ ) 番目垂直画素列は前記ゲートファルスによってスイッチング素子 1 0 8 がターン・オンされて前記第 1 ガンマ曲線 ( 1 ) が適用された画像を表示する。

【 0 0 8 2 】

続いて、前記データ駆動部 2 5 0 は前記第 2 区間の間、前記  $i$  番目垂直画素列の 1 番目から  $n$  番目画素に該当する前記第 2 データ信号、 $d_2(1)$ 、 $d_2(2)$ 、 $d_2(3)$ 、...、 $d_2(n)$  を前記第 1 データ配線 DL 1 に出力し、前記第 2 データ信号に反転されたデータ信号、 $-[d_2(1)]$ 、 $-[d_2(2)]$ 、 $-[d_2(3)]$ 、...、 $-[d_2(n)]$  を前記第 2 データ配線 DL 2 に出力する。

n) ] を前記第 2 データ配線 D L 2 に出力する。

【 0 0 8 3 】

一方、前記ゲート駆動部 2 7 0 は前記第 2 区間の間、前記 n 個のゲート配線に前記ゲートファルス g 1 2、g 2 2、g 3 2、...、g n 2 を順次に出力する。前記第 2 区間の間、前記 i ( i < m ) 番目垂直画素列は前記ゲートファルスによってスイッチング素子 1 0 8 がターン・オンされて前記第 2 ガンマ曲線 ( 2 ) が適用された画像を表示する。

【 0 0 8 4 】

その結果、列方向 D I 3 に隣接する 2 つの単位画素 P は画像表示のための 1 つの階調を表示することができる。奇数行の単位画素 P は前記第 1 画素電圧によってドット反転駆動されることができる。偶数行の単位画素 P は前記第 2 画素電圧によって反転駆動されることができる。

10

【 0 0 8 5 】

従って、駆動装置は第 1 画素電圧及び第 2 画素電圧を単位画素 P に交互的に印加して画素ユニット P U が有する、液晶配列方向が規定された領域数 4 の倍である 8 つのドメインを具現する。従って、前記表示パネル 1 0 0 の側面視認性を向上させることができる。

【 0 0 8 6 】

一般的なスーパー垂直配向モード ( S P V モード ) においては単位画素 P に複数のドメインを形成するために 1 つの単位画素 P に 4 つの方向を有するスリットが形成された画素電極 1 7 0 を形成し、電荷分割 ( c h a r g e s h a r i n g ) 方式の駆動をして 8 つのドメインを具現することができる。しかし、この場合には単位画素 P に複数のスイッチング素子 1 0 8 と配線が多数形成されて画素の開口率を大きく減少させる。

20

【 0 0 8 7 】

本発明による表示装置 1 0 0 で画素ユニット P U は前記 8 つのドメインを具現するために、4 つの単位画素 P を有する。即ち、表示装置 1 0 0 はマルチドメインを 1 つの画素領域 P A で具現するのではなく、複数の単位画素 P を含む画素ユニット P U でマルチドメインを具現する。従って、単位画素 P に形成されるスイッチング素子 1 0 8 の個数が減少され、単位画素 P に形成される配線の個数も減少される。従って、画素の開口率が大きく向上されることができる。

< 実施例 2 >

【 0 0 8 8 】

図 9 は、実施例 2 による表示装置 5 0 0 が含むアレイ基板 5 0 1 の平面図である。

30

【 0 0 8 9 】

本実施例で、表示装置 5 0 0 はアレイ基板 5 0 1 の構成を除いては図 1 ~ 図 8 で説明した表示装置 1 0 0 と実質的に同一である。従って、対応する構成要素に対しては対応する参照番号を使用し、重複される説明は省略する。

【 0 0 9 0 】

本実施例で、アレイ基板 5 0 1 は、画素ユニット P U が 2 行 2 列に配列された 4 つの単位画素 P を含み、単位画素 P に形成された画素電極 5 7 0 のスリットパターン 5 7 2 が変更されて 1 つの単位画素 P が 1 つのドメインを具現することを除いては図 1 ~ 図 4 において説明されたアレイ基板 1 0 1 と実質的に同一である。従って、対応する構成要素に対しては対応する参照番号を使用し、重複される説明は省略する。なお、図面においては連続する 2 つの画素ユニットを図示している。

40

【 0 0 9 1 】

アレイ基板 5 0 1 の画素ユニット P U は 2 行 2 列に配列された 4 つの単位画素 P を有し、各単位画素 P はスリットパターン 5 7 2 によって形成された 1 つのドメインを有することができる。

【 0 0 9 2 】

画素電極 5 7 0 は縦電極棒 5 7 1 と、第 1 スリットパターン 5 7 3 及び第 2 スリットパターン 8 7 5 のうち、選択された何れかの 1 つを含むことができる。縦電極棒 5 7 1 はデータ線 D L と平行にデータ線付近に配置される。第 1 スリットパターン 5 7 3 は行方向 D

50

I 1 と 4 5 ° を成す第 1 斜線方向 D I 2 に伸びて縦電極棒 5 7 1 に接続される。第 2 スリットパターン 8 7 5 は行方向 D I 1 と 1 3 5 ° を成す第 2 斜線方向 D I 4 に伸びて縦電極棒 5 7 1 に接続される。第 1 及び第 2 スリットパターン ( 5 7 2 、 8 7 5 ) は液層の方向子を縦電極棒 5 7 1 に向かって整列する。

#### 【 0 0 9 3 】

第 1 行の縦電極棒 5 7 1 は左側データ線 D L 付近に配置され、第 2 行の縦電極棒 5 7 1 は右側データ線 D L 付近に配置され、行方向 D I 1 及び列方向 D I 3 に第 1 スリットパターン 5 7 2 及び第 2 スリットパターン 8 7 5 が交互に配置されることができる。

#### 【 0 0 9 4 】

本実施例の表示装置 5 0 0 の駆動方法は画素ユニット P U に含まれる 2 行 2 列の 4 つの単位画素 P を 2 つつなげてみると、図 5 ~ 図 8 で説明された駆動方法と実施的に同一である。従って、重複される説明は省略する。

#### 【 0 0 9 5 】

以上、添付図面を参照しながら本発明の好適な実施形態について詳細に説明したが、本発明はかかる例に限定されない。本発明の属する技術の分野における通常の知識を有する者であれば、特徴請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本発明の技術的範囲に属するものと了解される。

#### 【 産業上の利用可能性 】

#### 【 0 0 9 6 】

本発明によるアレイ基板及びこれを有する表示装置によると、単位画素の開口率及び視野角が向上される。従って、本発明は表示装置の表示品質を向上させる技術に適用されることができる。

#### 【 符号の説明 】

#### 【 0 0 9 7 】

D I 1	行方向
D I 3	列方向
1 0	表示パネル
1 0 0	表示装置
1 0 1	アレイ基板
1 0 5	対向基板
1 0 7	液晶層
1 0 8	スイッチング素子
1 7 0	画素電極
1 7 1	縦電極棒
1 7 2	スリットパターン
1 7 3	第 1 スリットパターン
1 7 5	第 2 スリットパターン
P	単位画素
P U	画素ユニット
G L	ゲート線
D L	データ線
P A	画素領域
2 0 0	駆動装置

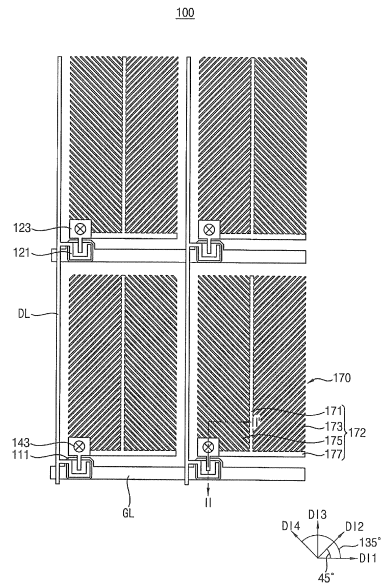
10

20

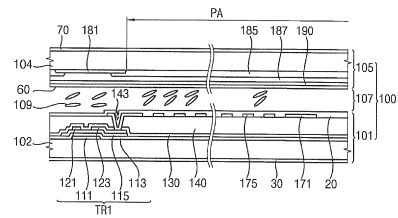
30

40

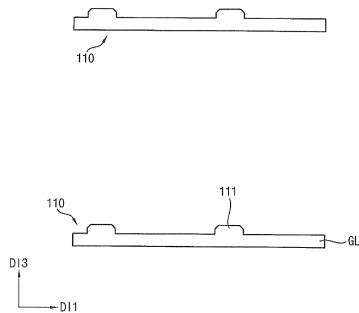
【図 1】



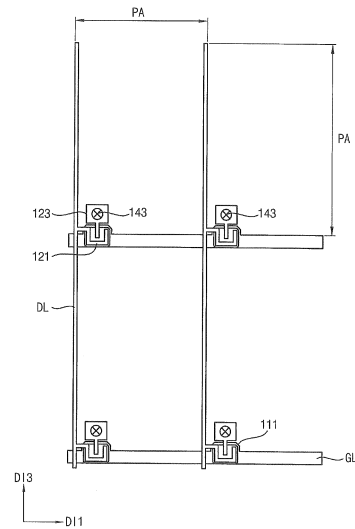
【図 2】



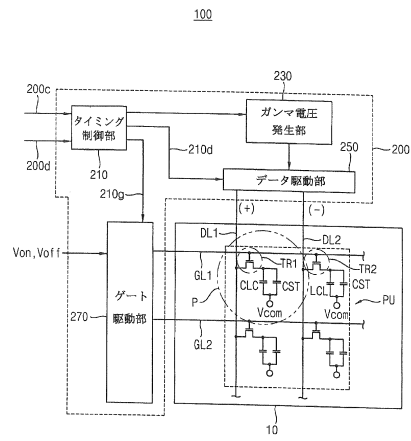
【図 3】



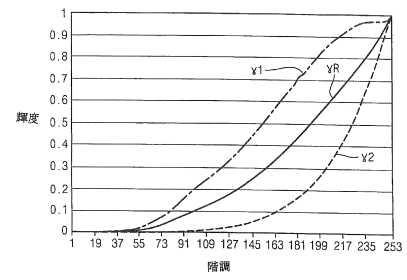
【図 4】



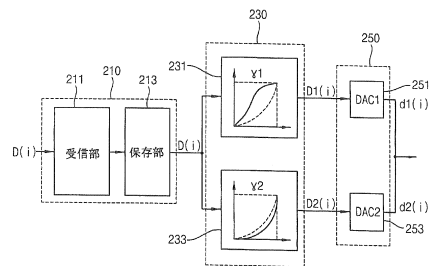
【図 5】



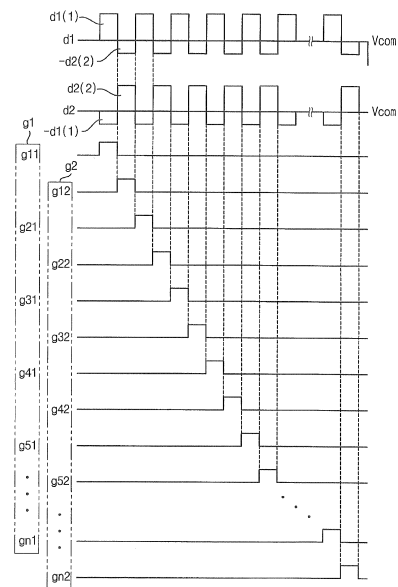
【図 6】



【図 7】

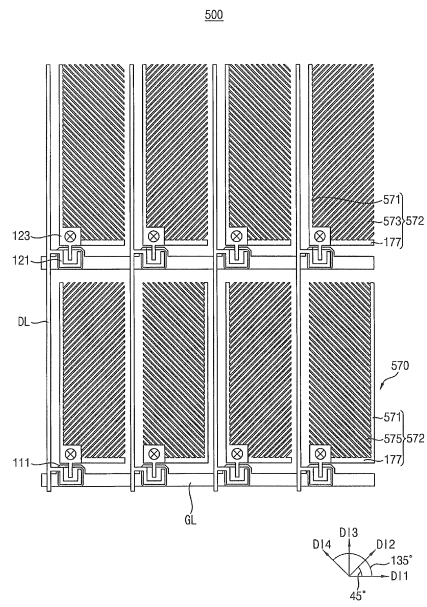


【図 8】





【図 9】



---

フロントページの続き

(72)発明者 金 相 洙

大韓民国ソウル江南区道谷2洞三星タワーパレスF棟3104号

審査官 鈴木 俊光

(56)参考文献 特開2007-256906(JP,A)

特開2003-149647(JP,A)

特開2005-352483(JP,A)

特開2005-300821(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343

G02F 1/1368

G02F 1/133

G02F 1/1337