

EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

- 添付公開書類：
- ― 国際調査報告（条約第21条(3)）
 - ― 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

driver circuit, the image data which has been subjected to the arithmetic processing.

(57) 要約：高解像度の画像を表示することができる表示装置を提供する。第1の層と、第2の層と、が積層して設けられた表示装置である。第1の層には、演算回路と、データドライバ回路と、が設けられ、第2の層には、表示部が設けられる。演算回路には、ニューラルネットワークが構成される。表示部は、データドライバ回路と重なる領域を有する。演算回路は、画像データに対して、ニューラルネットワークを用いた演算処理を行い、演算処理済の画像データをデータドライバ回路に供給する機能を有する。

発明の名称

表示装置

技術分野

[0001]

本発明の一態様は、表示装置に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置、入出力装置、それらの駆動方法、又はそれらの製造方法、を一例として挙げることができる。半導体装置は、半導体特性を利用することで機能しうる装置全般を指す。

背景技術

[0003]

拡張現実（AR：Augmented Reality）又は仮想現実（VR：Virtual Reality）用の表示装置として、ウェアラブル型の表示装置、及び据え置き型の表示装置が普及しつつある。ウェアラブル型の表示装置としては、例えば、ヘッドマウントディスプレイ（HMD：Head Mounted Display）、及び眼鏡型の表示装置等がある。据え置き型の表示装置としては、例えば、ヘッドアップディスプレイ（HUD：Head-Up Display）等がある。例えば、特許文献1では、使用者の眼を撮像しやすいHMDについて開示されている。

[先行技術文献]

[特許文献]

[0004]

[特許文献1] 特開2019-80354号公報

発明の概要

発明が解決しようとする課題

[0005]

HMD等、表示面と使用者の距離が近い表示装置においては、使用者が画素を視認しやすく粒状感を強く感じてしまうことから、AR、VRの没入感、及び臨場感が薄れる場合がある。以上のようなことから、HMD等、AR用、又はVR用の表示装置には、使用者に画素を視認されないように高い密度で画素を備えることが望まれる。例えば、画素密度を1000ppi以上とすることが好ましく、3000ppi以上とすることがより好ましく、5000ppi以上とすることがさらに好ましく、7000ppi以上とすることがさらに好ましい。以上より、AR用、又はVR用の表示装置には、多くの画素を設けて高解像度の画像を表示することが好ましい。例えば、4K2K、8K4K、又はそれ以上の解像度の画像を表示することが好ましい。

[0006]

本発明の一態様は、高解像度の画像を表示することができる表示装置を提供することを課題の一とする。又は、本発明の一態様は、高品位の画像を表示することができる表示装置を提供することを課題の一とする。又は、本発明の一態様は、狭額縁化した表示装置を提供することを課題の一とする。又は、本発明の一態様は、小型の表示装置を提供することを課題の一とする。又は、本発明の一態様は、大容量のデータを記憶することができる表示装置を提供することを課題の一とする。又は、本発

明の一態様は、低消費電力の表示装置を提供することを課題の一とする。又は、本発明の一態様は、高速に駆動させることができる表示装置を提供することを課題の一とする。又は、本発明の一態様は、低価格な表示装置を提供することを課題の一とする。又は、本発明の一態様は、レイアウトの自由度が高い表示装置を提供することを課題の一とする。又は、本発明の一態様は、高精細な画像を表示することができる表示装置を提供することを課題の一とする。又は、本発明の一態様は、画素密度が高い表示装置を提供することを課題の一とする。又は、本発明の一態様は、臨場感の高い画像を表示することができる表示装置を提供することを課題の一とする。又は、本発明の一態様は、高輝度の画像を表示することができる表示装置を提供することを課題の一とする。又は、本発明の一態様は、信頼性が高い表示装置を提供することを課題の一とする。又は、本発明の一態様は、新規な表示装置を提供することを課題の一とする。

[0007]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項等の記載から抽出することが可能である。

課題を解決するための手段

[0008]

本発明の一態様は、第1の層と、第2の層と、が積層して設けられ、第1の層には、データドライバ回路と、演算回路と、が設けられ、第2の層には、表示部と、記憶回路と、が設けられ、演算回路には、ニューラルネットワークが構成され、データドライバ回路は、表示部と重なる領域を有し、演算回路は、記憶回路と重なる領域を有し、記憶回路は、第1の画像データを保持する機能を有し、演算回路は、記憶回路に保持された第1の画像データを、記憶回路から読み出し、第1の画像データに対して、ニューラルネットワークを用いた演算処理を行うことにより、第2の画像データを生成してデータドライバ回路に供給する機能を有する表示装置である。

[0009]

又は、本発明の一態様は、第1の層と、第2の層と、第3の層と、が互いに積層して設けられ、第1の層には、データドライバ回路と、演算回路と、が設けられ、第2の層には、記憶回路が設けられ、第3の層には、表示部が設けられ、演算回路には、ニューラルネットワークが構成され、演算回路、記憶回路、及び表示部は、互いに重なる領域を有し、記憶回路は、第1の画像データを保持する機能を有し、演算回路は、記憶回路に保持された第1の画像データを、記憶回路から読み出し、第1の画像データに対して、ニューラルネットワークを用いた演算処理を行うことにより、第2の画像データを生成してデータドライバ回路に供給する機能を有する表示装置である。

[0010]

又は、上記態様において、表示部には、第1のトランジスタが設けられ、記憶回路には、第2のトランジスタが設けられ、第1及び第2のトランジスタのチャネル形成領域は、金属酸化物を有してもよい。

[0011]

又は、本発明の一態様は、第1の層と、第2の層と、第3の層と、が互いに積層して設けられ、第2の層は、第1の層と、第3の層と、の間に設けられ、第1の層には、記憶回路が設けられ、第2の層には、基板と、データドライバ回路と、演算回路と、が設けられ、及びデータドライバ回路は、演算回路、基板上に設けられ、第3の層には、表示部が設けられ、基板を貫通するように、導電体が設け

られ、記憶回路と、演算回路と、は導電体を介して電氣的に接続され、演算回路には、ニューラルネットワークが構成され、記憶回路、演算回路、及び表示部は、互いに重なる領域を有し、記憶回路は、第1の画像データを保持する機能を有し、演算回路は、記憶回路に保持された第1の画像データを、記憶回路から読み出し、第1の画像データに対して、ニューラルネットワークを用いた演算処理を行うことにより、第2の画像データを生成してデータドライバ回路に供給する機能を有する表示装置である。

[0012]

又は、上記態様において、データドライバ回路は、表示部と重なる領域を有してもよい。

[0013]

又は、上記態様において、演算回路は、第1の画像データが表す画像の解像度を高める処理を行うことにより、第2の画像データを生成する機能を有してもよい。

発明の効果

[0014]

本発明の一態様により、高解像度の画像を表示することができる表示装置を提供することができる。又は、本発明の一態様により、高品位の画像を表示することができる表示装置を提供することができる。又は、本発明の一態様により、狭額縁化した表示装置を提供することができる。又は、本発明の一態様により、小型の表示装置を提供することができる。又は、本発明の一態様により、大容量のデータを記憶することができる表示装置を提供することができる。又は、本発明の一態様により、低消費電力の表示装置を提供することができる。又は、本発明の一態様により、高速に駆動させることができる表示装置を提供することができる。又は、本発明の一態様により、低価格な表示装置を提供することができる。又は、本発明の一態様により、レイアウトの自由度が高い表示装置を提供することができる。又は、本発明の一態様により、高精細な画像を表示することができる表示装置を提供することができる。又は、本発明の一態様により、画素密度が高い表示装置を提供することができる。又は、本発明の一態様により、臨場感の高い画像を表示することができる表示装置を提供することができる。又は、本発明の一態様により、高輝度の画像を表示することができる表示装置を提供することができる。又は、本発明の一態様により、信頼性が高い表示装置を提供することができる。又は、本発明の一態様により、新規な表示装置を提供することができる。

[0015]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項等の記載から抽出することが可能である。

図面の簡単な説明

[0016]

図1は、表示装置の構成例を示すブロック図である。

図2は、表示装置の構成例を示すブロック図である。

図3A、及び図3Bは、演算処理の一例を示す図である。

図4A乃至図4Cは、演算処理の一例を示す図である。

図5は、演算処理の一例を示す図である。

図6は、表示装置の構成例を示すブロック図である。

図7は、表示装置の構成例を示すブロック図である。

図 8 は、表示装置の構成例を示すブロック図である。

図 9 は、ゲートドライバ回路及びデータドライバ回路の配置の例を示す模式図である。

図 10 は、ゲートドライバ回路及びデータドライバ回路の構成例を示す上面図である。

図 11 は、表示装置の構成例を示すブロック図である。

図 12 は、表示装置の構成例を示すブロック図である。

図 13 は、表示装置の構成例を示すブロック図である。

図 14 は、表示装置の構成例を示すブロック図である。

図 15 は、表示装置の構成例を示すブロック図である。

図 16 は、表示装置の構成例を示す断面図である。

図 17 は、表示装置の構成例を示す断面図である。

図 18 は、表示装置の構成例を示す断面図である。

図 19 は、表示装置の構成例を示す断面図である。

図 20 は、表示装置の構成例を示す断面図である。

図 21 は、表示装置の構成例を示す断面図である。

図 22 A は、トランジスタの構成例を示す上面図である。図 22 B 及び図 22 C は、トランジスタの構成例を示す断面図である。

図 23 A は、トランジスタの構成例を示す上面図である。図 23 B 及び図 23 C は、トランジスタの構成例を示す断面図である。

図 24 A は、トランジスタの構成例を示す上面図である。図 24 B 及び図 24 C は、トランジスタの構成例を示す断面図である。

図 25 A 乃至図 25 C は、画素の構成例を示す回路図である。

図 26 A は、画素の構成例を示す回路図である。図 26 B は、画素の駆動方法の一例を示すタイミングチャートである。

図 27 A は、画素のレイアウトの一例を示す図である。図 27 B は、画素の構成例を示す回路図である。

図 28 は、画素のレイアウトの一例を示す図である。

図 29 は、画素の構成例を示す模式図である。

図 30 A 乃至図 30 C は、セルの構成例を示す回路図である。

図 31 A は I G Z O の結晶構造の分類を説明する図である。図 31 B は C A A C - I G Z O 膜の X R D スペクトルを説明する図である。図 31 C は C A A C - I G Z O 膜の極微電子線回折パターンを説明する図である。

図 32 A 乃至図 32 D は、電子機器の例を示す斜視図である。

図 33 A 乃至図 33 G は、電子機器の例を示す斜視図である。

発明を実施するための形態

[0017]

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

[0018]

また、本明細書で説明する各図において、各構成の大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。

[0019]

また、本明細書にて用いる「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。

[0020]

また、本明細書において、「上に」、「下に」等の配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

[0021]

また、本明細書等において、トランジスタが有するソースとドレインの機能は、トランジスタの極性、又は回路の駆動において電流の方向が変化する場合等には入れ替わることがある。このため、ソース及びドレインの用語は、入れ替えて用いることができるものとする。

[0022]

本明細書等において「電極」「配線」「端子」等の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」、又は「配線」の用語は、複数の「電極」又は「配線」が一体となって形成されている場合等も含む。また、例えば、「端子」は「配線」又は「電極」の一部として用いられることがあり、その逆もまた同様である。更に、「端子」の用語は、複数の「電極」「配線」「端子」等が一体となって形成されている場合等も含む。そのため、例えば、「電極」は「配線」又は「端子」の一部とすることができ、また、例えば、「端子」は「配線」又は「電極」の一部とすることができる。また、「電極」「配線」「端子」等の用語は、場合によって、「領域」等の用語に置き換える場合がある。

[0023]

また、本明細書等において、「抵抗」の抵抗値を、配線の長さによって決める場合がある。又は、抵抗値は、配線で用いる導電体とは異なる抵抗率を有する導電体と接続することにより決める場合がある。又は、半導体に不純物をドーピングすることで抵抗値を決める場合がある。

[0024]

また、本明細書等において、「電氣的に接続」には、直接接続している場合と、「何らかの電氣的作用を有するもの」を介して接続される場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。よって、「電氣的に接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在しているだけの場合もある。また、「直接接続」と表現される場合であっても、異なる導電体がコンタクトを介して接続される場合が含まれる。なお、配線には、異なる導電体の一つ以上の同じ元素を含む場合と、異なる元素を含む場合と、がある。

[0025]

また、電圧は、ある電位と、基準の電位（例えば接地電位又はソース電位）との電位差のことを示す場合が多い。よって、電圧と電位は互いに言い換えることが可能な場合が多い。本明細書等では、特段の明示が無いかぎり、電圧と電位を言い換えることができるものとする。

[0026]

また、本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」及び「絶縁層」という用語は、「導電膜」及び「絶縁膜」という用語に相互に交換することが可能な場合がある。

[0027]

また、本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのドレイン電流をいう。オフ状態とは、特に断りがない場合、nチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低い（pチャネル型トランジスタでは、 V_{th} よりも高い）状態をいう。

[0028]

また、図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値等に限定されない。例えば、実際の製造工程において、エッチング等の処理により層、又はレジストマスク等が意図せずに目減りすることがあるが、理解を容易とするために図に反映しないことがある。また、図面において、同一部分又は同様な機能・材料等を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能・材料等を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

[0029]

（実施の形態1）

本実施の形態では、本発明の一態様である表示装置について説明する。

[0030]

本発明の一態様は、第1の層と、第2の層と、が積層して設けられた表示装置に関する。第1の層には、データドライバ回路と、演算回路と、が設けられ、第2の層には、表示部が設けられる。表示部には、画素がマトリクス状に配列されている。

[0031]

第1の層に設けられる演算回路は、第2の層に設けられる表示部と重なる領域を有する。これにより、表示部の面積を大きくすることができるため、表示部に多くの画素を設けることができる。したがって、表示部に高解像度の画像を表示することができる。例えば、4K2K、8K4K、又はそれ以上の解像度の画像を表示部に表示することができる。また、表示部が設けられていない領域である額縁の面積を小さくすることができるため、本発明の一態様の表示装置を狭額縁化することができる。さらに、本発明の一態様の表示装置を小型化することができる。

[0032]

ここで、演算回路には、ニューラルネットワークが構成され、例えば本発明の一態様の表示装置に入力された画像データが表す画像の解像度を高める処理、すなわちアップコンバートを行うことができる。演算回路がアップコンバートを行う機能を有することにより、本発明の一態様の表示装置に入力される画像データが表す画像の解像度が低くても、表示部に高解像度の画像を表示することができる。よって、本発明の一態様の表示装置に入力される画像データのデータ容量を小さくすることができる。また、ニューラルネットワークを用いてアップコンバートを行うことにより、アップコンバートを高い精度で行うことができるため、表示部に高品位の画像を表示することができる。以上より、演算回路がニューラルネットワークを用いて画像データのアップコンバートを行う機能を有することにより、本発明の一態様の表示装置は、高解像度かつ高品位の画像を表示することができる。

[0033]

＜表示装置の構成例__1＞

図1は、本発明の一態様の表示装置である表示装置10の構成例を示すブロック図である。表示装置10は、表示部20を有し、表示部20には画素21がマトリクス状に配列されている。また、表示装置10は、ゲートドライバ回路22と、データドライバ回路23と、を有する。さらに、表示装置10は、制御回路31と、記憶回路32と、演算回路33と、を有する。

[0034]

ゲートドライバ回路22は、配線24を介して画素21と電氣的に接続される。例えば、同一行の画素21は、同一の配線24と電氣的に接続することができる。ゲートドライバ回路22と、画素21と、を電氣的に接続する配線24は、ゲート線であるということができる。

[0035]

データドライバ回路23は、配線25を介して画素21と電氣的に接続される。例えば、同一列の画素21は、同一の配線25と電氣的に接続することができる。データドライバ回路23と、画素21と、を電氣的に接続する配線25は、データ線であるということができる。

[0036]

制御回路31と、記憶回路32と、演算回路33と、は伝送路34を介して互いに電氣的に接続される。演算回路33は、データドライバ回路23と電氣的に接続される。

[0037]

伝送路34には、画像データGDを供給することができ、画像データGDは伝送路34を介して記憶回路32に供給される。

[0038]

制御回路31は、記憶回路32、及び演算回路33の駆動を制御する機能を有する。具体的には、制御回路31は、制御信号を生成し、伝送路34を介して記憶回路32、及び演算回路33に供給することにより、記憶回路32、及び演算回路33の駆動を制御することができる。制御信号は、例えばクロック信号とすることができる。

[0039]

制御回路31は、中央演算装置(CPU: Central Processing Unit)を有する。また、制御回路31は、DSP(Digital Signal Processor)、GPU(Graphics Processing Unit)等のマイクロプロセッサを有していてもよい。マイクロプロセッサは、FPGA(Field Programmable Gate Array)、FPAA(Field Programmable Analog Array)等のPLD(Programmable Logic Device)によって実現された構成であってもよい。

[0040]

記憶回路32は、伝送路34から供給されたデータを保持する機能を有する。また、記憶回路32は、保持されたデータを伝送路34に出力する機能を有する。例えば、記憶回路32は、伝送路34を介して記憶回路32に供給された画像データGDを保持することができる。また、記憶回路32に保持されたデータは、伝送路34を介して演算回路33に供給することができる。

[0041]

記憶回路32は、例えばDRAM(Dynamic Random Access Memory)、

SRAM (S t a t i c R a n d o m A c c e s s M e m o r y) 等を有する構成とすることができる。また、記憶回路 3 2 は、ROM (R e a d O n l y M e m o r y) を有する構成とすることができる。ROM としては、マスク ROM、OTPROM (O n e T i m e P r o g r a m m a b l e R e a d O n l y M e m o r y)、EPROM (E r a s a b l e P r o g r a m m a b l e R e a d O n l y M e m o r y) 等が挙げられる。EPROM としては、紫外線照射により記憶データの消去を可能とする UV-EPROM (U l t r a - V i o l e t E r a s a b l e P r o g r a m m a b l e R e a d O n l y M e m o r y)、EEPROM (E l e c t r i c a l l y E r a s a b l e P r o g r a m m a b l e R e a d O n l y M e m o r y)、フラッシュメモリ等が挙げられる。

[0042]

演算回路 3 3 は、画像データ GD に対して演算処理を行う機能を有する。具体的には、記憶回路 3 2 に保持された画像データ GD を読み出し、演算処理を行う機能を有する。演算回路 3 3 が演算処理の過程で取得したデータは、記憶回路 3 2 に保持し、また必要に応じて記憶回路 3 2 から読み出すことができる。演算処理が完了した画像データは、データドライバ回路 2 3 に出力することができる。

[0043]

演算回路 3 3 には、ニューラルネットワーク NN が構成される。これにより、演算回路 3 3 は、ニューラルネットワーク NN を用いた演算を行うことができる。例えば、表示装置 1 0 の外部に設けられ、演算回路 3 3 に構成されるニューラルネットワーク NN と同様のニューラルネットワークが構成されたサーバ等を用いて学習を行い、学習結果を記憶回路 3 2 に保持させることができる。ここで、学習結果は、例えば重み係数とすることができる。そして、記憶回路 3 2 に保持された学習結果を用いて、ニューラルネットワーク NN は画像データ GD に対して推論を行うことができる。なお、演算回路 3 3 の演算性能が十分高い場合は、演算回路 3 3 により学習を行ってもよい。ニューラルネットワーク NN を用いた演算の具体例は後述する。また、演算回路 3 3 には、記憶回路を組み込んでもよい。例えば、記憶回路 3 2 より記憶容量が小さい記憶回路を組み込むことができる。演算回路 3 3 に組み込まれた記憶回路には、例えば学習結果を保持することができる。

[0044]

演算回路 3 3 は、GPU を有する構成とすることができる。ニューラルネットワーク NN を用いた推論等では、行列演算が多く行われる。GPU は、多くの行列演算を並列して行うことができる。よって、演算回路 3 3 に GPU を設けることにより、ニューラルネットワーク NN を用いた演算を高速に行うことができる。

[0045]

データドライバ回路 2 3 は、演算回路 3 3 が出力する、演算処理済の画像データを、配線 2 5 を介して所望の画素 2 1 に供給する機能を有する。ここで、画像データ GD はデジタルデータであり、データドライバ回路 2 3 は、入力された画像データをアナログデータに変換する機能を有する。そして、データドライバ回路 2 3 は、当該アナログデータを、配線 2 5 を介して所望の画素 2 1 に供給する機能を有する。

[0046]

ゲートドライバ回路 2 2 は、データドライバ回路 2 3 が出力する画像データを書き込む画素 2 1 を選択する機能を有する。ゲートドライバ回路 2 2 は、選択信号を生成して、特定の行の画素 2 1 に当該選択信号を供給することができる。選択信号が供給された画素 2 1 には、データドライバ回路 2 3

から出力された画像データを書き込むことができる。

[0047]

表示部20は、画素21に供給された画像データに対応する画像を表示する機能を有する。具体的には、画像データに対応する輝度の光を画素21から射出することにより、表示部20に画像が表示される。

[0048]

図2は、図1に示す表示装置10の、より具体的な構成例を示す模式図である。図2に示すように、表示装置10は層40と、層50と、の積層構成とすることができる。図2では、層40の上方に層50を設けた構成を示している。層40と層50の間には、層間絶縁膜を設けることができる。

[0049]

層40には、ゲートドライバ回路22、データドライバ回路23、制御回路31、記憶回路32、演算回路33、及び伝送路34を設けることができる。層50には、表示部20を設けることができる。

[0050]

層50に設けられる表示部20は、層40に設けられる演算回路33と重なる領域を有するように設けられる。また、表示部20は、層40に設けられるデータドライバ回路23と重なる領域を有するように設けることができる。表示部20と、演算回路33等と、を互いに重なる領域を有するように積層して設けることで、表示部20の面積を大きくすることができる。よって、表示部20に多くの画素21を設けることができるため、表示部20に高解像度の画像を表示することができる。例えば、4K2K、8K4K、又はそれ以上の解像度の画像を表示することができる。また、表示部20と、演算回路33等と、を互いに重なる領域を有するように積層して設けることで、上面から見て表示部20が設けられていない領域である額縁の面積を小さくすることができる。よって、表示装置10を狭額縁化することができる。また、表示装置10を狭額縁化することにより、表示装置10を小型化することができる。

[0051]

ここで、ゲートドライバ回路22、データドライバ回路23、演算回路33、表示部20、配線24、及び配線25は、同一のチップに設けることができる。この場合、制御回路31と、記憶回路32と、は、当該チップと異なるチップとして層40に設け、チップ同士を伝送路34により電氣的に接続することができる。なお、ゲートドライバ回路22、データドライバ回路23、演算回路33、表示部20、配線24、及び配線25の他、制御回路31、記憶回路32、及び伝送路34を全て同一のチップに設けてもよい。この場合、表示部20を、制御回路31、記憶回路32、及び伝送路34と重なる領域を有するように設けることができるため、表示部20の面積を大きくすることができる。これにより、表示部20に多くの画素を設けることができるため、表示部20に高解像度の画像を表示することができる。

[0052]

<演算処理の一例>

図3A、及び図3Bは、記憶回路32、及び演算回路33を用いて行うことができる演算処理の一例を示す図である。

[0053]

図3A、又は図3Bに示す処理を行う場合は、まず、画像データGDを記憶回路32に供給し、保持する。次に、記憶回路32に保持された画像データGDを、ニューラルネットワークNNが構成され

た演算回路 3 3 が読み出し、演算処理を行う。演算処理の際に必要なデータ等は、記憶回路 3 2 から適宜読み出す。また、演算回路 3 3 による演算結果は、記憶回路 3 2 に適宜書き込むことができる。つまり、演算回路 3 3 は、記憶回路 3 2 との間でデータ等のやり取りを行いつつ、画像データ GD に対して演算処理を行うことができる。演算処理が完了したら、演算回路 3 3 は画像データをデータドライバ回路 2 3 に供給する。なお、演算処理済みの画像データを、演算回路 3 3 から記憶回路 3 2 に書き込み、その後に、データドライバ回路 2 3 が記憶回路 3 2 から当該画像データを読み出してよい。

[0054]

図 3 A に示す処理では、演算回路 3 3 は、画像データ GD が表す画像の解像度を高める処理、すなわちアップコンバートを行うことができる。アップコンバート後の画像データを、画像データ GD_{UPC} となる。また、図 3 B に示す処理では、欠損部を含む画像データ GD に対して、欠損部を復元する処理を行うことができる。欠損部を復元した後の画像データを、画像データ GD_{Recov} となる。なお、図 3 B では、画像データ GD が表す画像の欠損部を、黒色で塗りつぶして示している。画像データ GD に欠損部がある場合、当該欠損部に対応する位置に設けられた画素 2 1 には画像データが供給されず、光を射出しないということができる。

[0055]

図 3 A に示すように、演算回路 3 3 が画像データ GD に対してアップコンバートを行う機能を有することにより、画像データ GD が表す画像の解像度が低くても、表示部 2 0 に高解像度の画像を表示することができる。よって、画像データ GD のデータ容量を小さくすることができる。また、図 3 B に示すように、演算回路 3 3 が画像データ GD に含まれる欠損部を復元する機能を有することにより、画像データ GD に欠損部を含ませることができる。よって、画像データ GD のデータ容量を小さくすることができる。なお、演算回路 3 3 は、例えば圧縮された画像データを伸張する機能を有してもよい。これにより、画像データ GD を、圧縮された画像データとすることができるため、画像データ GD のデータ容量を小さくすることができる。

[0056]

また、ニューラルネットワーク NN を用いて画像データ GD のアップコンバート、画像データ GD に含まれる欠損部の復元等を行うことにより、アップコンバート、欠損部の復元等を高い精度で行うことができる。また、圧縮された画像データ GD の伸張を、ニューラルネットワーク NN を用いて行うことにより、当該伸張を高い精度で行うことができる。以上により、表示部 2 0 に高品位の画像を表示することができる。

[0057]

以上より、演算回路 3 3 がニューラルネットワーク NN を用いて画像データ GD のアップコンバートを行う機能を有することにより、表示装置 1 0 は、高解像度かつ高品位の画像を表示することができる。また、演算回路 3 3 がニューラルネットワーク NN を用いて画像データ GD に含まれる欠損部を復元する機能を有することにより、表示装置 1 0 は、高品位の画像を表示することができる。さらに、演算回路 3 3 がニューラルネットワーク NN を用いて、圧縮された画像データ GD を伸張する機能を有することにより、表示装置 1 0 は、高品位の画像を表示することができる。

[0058]

図 4 A、図 4 B、図 4 C、及び図 5 は、画像データのアップコンバートの方法の一例を示す図である。具体的には、図 4 A に示す、解像度 $x \times y$ (x 、 y は 1 以上の整数) の画像に対応する画像データ G

Dを、図5に示す、解像度 $2x \times 2y$ の画像に対応する画像データ GD_{UPCONV} にアップコンバートする方法を示している。

[0059]

画像データは、当該画像データが表す画像の解像度に対応する個数の階調値を有する構成とすることができる。例えば、解像度 $x \times y$ の画像に対応する画像データは、 x 行 y 列の階調値を有する構成とすることができる。

[0060]

ここで、階調値とは、表示装置が有する画素から射出される光の輝度の階調を表す値を意味する。例えば、階調値を大きくするほど、画素から射出される光の輝度を高めることができる。

[0061]

図4Aでは、画像データ GD が有する階調値のうち、1行1列目の階調値を階調値 S_a とし、1行 y 列目の階調値を階調値 S_b とし、 x 行1列目の階調値を階調値 S_c とし、 x 行 y 列目の階調値を階調値 S_d として示している。

[0062]

図4Aに示す画像データ GD を、図5に示す画像データ GD_{UPCONV} にアップコンバートする場合は、まず、画像データ GD が有する階調値のそれぞれを、2行2列分コピーする。これにより、例えば図4Bに示すように、1行1列目、1行2列目、2行1列目、及び2行2列目の階調値を階調値 S_a とする。また、1行 $2y-1$ 列目、1行 $2y$ 列目、2行 $2y-1$ 列目、及び2行 $2y$ 列目の階調値を階調値 S_b とする。また、 $2x-1$ 行1列目、 $2x-1$ 行2列目、 $2x$ 行1列目、及び $2x$ 行2列目の階調値を階調値 S_c とする。さらに、 $2x-1$ 行 $2y-1$ 列目、 $2x-1$ 行 $2y$ 列目、 $2x$ 行 $2y-1$ 列目、及び $2x$ 行 $2y$ 列目の階調値を階調値 S_d とする。

[0063]

次に、図4Bに示す画像データに対して、パディングを行う。例えば、画像データの上下1行分ずつ、及び左右1列分ずつに対して、パディングを行う。パディングとして、ゼロパディング、又はエッジパディングを行うことができる。図4Cでは、画像データの上下1行分ずつ、及び左右1列分ずつに対して、ゼロパディングを行う例を示している。

[0064]

その後、パディングを行った画像データを、ニューラルネットワーク NN に入力する。ニューラルネットワーク NN を用いて、パディングを行った画像データと、フィルタ FIL と、の間で積和演算を行う。ここで、パディングが画像データの上下1行分ずつ、及び左右1列分ずつに対して行われ、またフィルタ値が3行3列のフィルタ値（重み係数）を有し、さらにストライド幅を1とする場合、積和演算後の画像データは、 $2x$ 行 $2y$ 列の階調値を有することができる。なお、フィルタ値は、学習によってあらかじめ取得されている。

[0065]

図5では、積和演算後の画像データが有する階調値のうち、1行1列目の階調値を階調値 S_{a1} 、1行2列目の階調値を階調値 S_{a2} 、2行1列目の階調値を階調値 S_{a3} 、2行2列目の階調値を階調値 S_{a4} としている。また、1行 $2y-1$ 列目の階調値を階調値 S_{b1} 、1行 $2y$ 列目の階調値を階調値 S_{b2} 、2行 $2y-1$ 列目の階調値を階調値 S_{b3} 、2行 $2y$ 列目の階調値を階調値 S_{b4} としている。また、 $2x-1$ 行1列目の階調値を階調値 S_{c1} 、 $2x-1$ 行2列目の階調値を階調値 S_{c2} 、 $2x$ 行1列目の階調値を階調値 S_{c3} 、 $2x$ 行2列目の階調値を階調値 S_{c4} としている。さら

に、 $2x-1$ 行 $2y-1$ 列目の階調値を階調値 S_{d1} 、 $2x-1$ 行 $2y$ 列目の階調値を階調値 S_{d2} 、 $2x$ 行 $2y-1$ 列目の階調値を階調値 S_{d3} 、 $2x$ 行 $2y$ 列目の階調値を階調値 S_{d4} としている。
[0066]

ここで、階調値 S_{a1} 、階調値 S_{a2} 、階調値 S_{a3} 、及び階調値 S_{a4} は、互いに異なる値とすることができる。また、階調値 S_{b1} 、階調値 S_{b2} 、階調値 S_{b3} 、及び階調値 S_{b4} は、互いに異なる値とすることができる。また、階調値 S_{c1} 、階調値 S_{c2} 、階調値 S_{c3} 、及び階調値 S_{c4} は、互いに異なる値とすることができる。さらに、階調値 S_{d1} 、階調値 S_{d2} 、階調値 S_{d3} 、及び階調値 S_{d4} は、互いに異なる値とすることができる。以上により、積和演算後の画像データを、画像データ GD_{UPConv} とすることができる。

[0067]

なお、図4Cに示すパディング、及び図5に示す積和演算を複数回行くと、画像データ GD を高い精度でアップコンバートできるため好ましい。

[0068]

<表示装置の構成例__2>

図6は、表示装置10の構成例を示す模式図であり、図2に示す表示装置10の変形例である。図6に示す表示装置10は、データドライバ回路が2個（データドライバ回路23a、及びデータドライバ回路23b）設けられる点が、図2に示す表示装置10と主に異なる。なお、表示装置10を図6に示す構成とする場合、データドライバ回路23aと、データドライバ回路23bと、をまとめてデータドライバ回路23と記載する場合がある。

[0069]

図6に示す表示装置10では、データドライバ回路23aは、例えば奇数列目の画素21と電氣的に接続される。また、データドライバ回路23bは、例えば偶数列目の画素21と電氣的に接続される。

[0070]

データドライバ回路23aは、演算回路33が出力する、演算処理済の画像データを、配線25を介して所望の奇数列目の画素21に供給する機能を有する。データドライバ回路23bは、演算回路33が出力する、演算処理済の画像データを、配線25を介して所望の偶数列目の画素21に供給する機能を有する。なお、データドライバ回路23a、及びデータドライバ回路23bは、図2に示すデータドライバ回路23と同様に、入力された画像データをアナログデータに変換する機能を有する。

[0071]

図6に示すようにデータドライバ回路を複数設けることにより、データドライバ回路を構成するトランジスタ等の密度を小さくすることができる。これにより、表示装置10のレイアウトの自由度を高めることができる。

[0072]

図7は、表示装置10の構成例を示す模式図であり、図6に示す表示装置10の変形例である。図7に示す表示装置10は、例えば全ての配線25の一端がデータドライバ回路23aと接続され、全ての配線25の他端がデータドライバ回路23bと接続される点が、図6に示す表示装置10と主に異なる。つまり、配線25の両端が、データドライバ回路と接続される点が、図6に示す表示装置10と主に異なる。

[0073]

図7に示す表示装置10は、配線25の両端から画像データを入力することができる。これにより、

配線 2 5 の配線抵抗に起因する、データドライバ回路から画素 2 1 に供給される画像データの減衰を抑制することができる。これにより、表示装置 1 0 を高速に駆動させることができる。

[0074]

図 8 は、表示装置 1 0 の構成例を示す模式図であり、図 2 に示す表示装置 1 0 の変形例である。図 8 に示す表示装置 1 0 は、ゲートドライバ回路 2 2 とデータドライバ回路 2 3 が明確に分離されずに重なる領域を有する点が、図 2 に示す表示装置 1 0 と主に異なる。ここで、ゲートドライバ回路 2 2 とデータドライバ回路 2 3 が明確に分離されずに重なる領域を、領域 2 6 とする。

[0075]

ゲートドライバ回路 2 2 とデータドライバ回路 2 3 が明確に分離されずに重なる領域を有することにより、表示部 2 0 を、ゲートドライバ回路 2 2 と重なる領域を有するように設けることができる。これにより、表示部 2 0 の面積を大きくすることができる。よって、表示部 2 0 に多くの画素 2 1 を設けることができるため、表示部 2 0 に高解像度の画像を表示することができる。

[0076]

図 9 は、ゲートドライバ回路 2 2 とデータドライバ回路 2 3 が重なる領域である領域 2 6 の構成例を示す図である。図 9 に示すように、領域 2 6 には、ゲートドライバ回路 2 2 を構成する素子を有する領域と、データドライバ回路 2 3 を構成する素子を有する領域と、が一定の規則性を持って設けられる。図 9 では、ゲートドライバ回路 2 2 を構成する素子としてトランジスタ 7 1 を示し、データドライバ回路 2 3 を構成する素子としてトランジスタ 7 2 を示している。

[0077]

図 9 では、ゲートドライバ回路 2 2 を構成する素子を有する領域が 1 行目と 3 行目に設けられ、データドライバ回路 2 3 を構成する素子を有する領域が 2 行目と 4 行目に設けられる場合を示している。領域 2 6 において、ゲートドライバ回路 2 2 を構成する素子を有する各領域の間には、ダミー素子が設けられる。また、データドライバ回路 2 3 を構成する素子を有する各領域の間には、ダミー素子が設けられる。図 9 には、トランジスタ 7 1 の四方、及びトランジスタ 7 2 の四方に、ダミー素子としてダミートランジスタ 7 3 が設けられる場合の、領域 2 6 の構成例を示している。

[0078]

領域 2 6 にダミートランジスタ 7 3 等のダミー素子を設けることにより、当該ダミー素子が不純物を吸収し、トランジスタ 7 1 及びトランジスタ 7 2 等に不純物が拡散することを抑制することができる。これにより、トランジスタ 7 1 及びトランジスタ 7 2 等の信頼性を高めることができるため、表示装置 1 0 の信頼性を高めることができる。なお、図 9 では、トランジスタ 7 1 及びトランジスタ 7 2、並びにダミートランジスタ 7 3 がマトリクス状に配列されているが、マトリクス状に配列されていなくてもよい。

[0079]

図 1 0 は、領域 2 6 の一部である領域 7 0 の構成例を示す上面図である。図 9、及び図 1 0 に示すように、領域 7 0 には、トランジスタ 7 1 が 1 個、トランジスタ 7 2 が 1 個、ダミートランジスタ 7 3 が 2 個設けられる。図 1 0 に示すように、トランジスタ 7 1 は、チャネル形成領域 1 1 0 と、ソース領域 1 1 1 と、ドレイン領域 1 1 2 と、を有する。また、チャネル形成領域 1 1 0 と重なる領域を有するように、ゲート電極 1 1 3 を有する。

[0080]

なお、図 1 0 では、ゲート絶縁体等の構成要素は省略している。また、図 1 0 ではチャネル形成領域

と、ソース領域と、ドレイン領域と、を明確に分離せず記載している。

[0081]

ソース領域 1 1 1 には開口部 1 1 4 が設けられ、開口部 1 1 4 を介してソース領域 1 1 1 は配線 1 1 5 と電氣的に接続される。ドレイン領域 1 1 2 には開口部 1 1 6 が設けられ、開口部 1 1 6 を介してドレイン領域 1 1 2 は配線 1 1 7 と電氣的に接続される。

[0082]

ゲート電極 1 1 3 には開口部 1 1 8 が設けられ、開口部 1 1 8 を介してゲート電極 1 1 3 は配線 1 2 1 と電氣的に接続される。配線 1 1 5 には開口部 1 1 9 が設けられ、開口部 1 1 9 を介して配線 1 1 5 は配線 1 2 2 と電氣的に接続される。配線 1 1 7 には開口部 1 2 0 が設けられ、開口部 1 2 0 を介して配線 1 1 7 は配線 1 2 3 と電氣的に接続される。つまり、ソース領域 1 1 1 は配線 1 1 5 を介して配線 1 2 2 と電氣的に接続され、ドレイン領域 1 1 2 は配線 1 1 7 を介して配線 1 2 3 と電氣的に接続される。

[0083]

トランジスタ 7 2 は、チャネル形成領域 1 3 0 と、ソース領域 1 3 1 と、ドレイン領域 1 3 2 と、を有する。また、チャネル形成領域 1 3 0 と重なる領域を有するように、ゲート電極 1 3 3 を有する。

[0084]

ソース領域 1 3 1 には開口部 1 3 4 が設けられ、開口部 1 3 4 を介してソース領域 1 3 1 は配線 1 3 5 と電氣的に接続される。ドレイン領域 1 3 2 には開口部 1 3 6 が設けられ、開口部 1 3 6 を介してドレイン領域 1 3 2 は配線 1 3 7 と電氣的に接続される。

[0085]

ゲート電極 1 3 3 には開口部 1 3 8 が設けられ、開口部 1 3 8 を介してゲート電極 1 3 3 は配線 1 4 1 と電氣的に接続される。配線 1 3 5 には開口部 1 3 9 が設けられ、開口部 1 3 9 を介して配線 1 3 5 は配線 1 4 2 と電氣的に接続される。配線 1 3 7 には開口部 1 4 0 が設けられ、開口部 1 4 0 を介して配線 1 3 7 は配線 1 4 3 と電氣的に接続される。つまり、ソース領域 1 3 1 は配線 1 3 5 を介して配線 1 4 2 と電氣的に接続され、ドレイン領域 1 3 2 は配線 1 3 7 を介して配線 1 4 3 と電氣的に接続される。

[0086]

なお、チャネル形成領域 1 1 0 と、チャネル形成領域 1 3 0 と、は互いに同一の層に設けることができる。また、ソース領域 1 1 1 及びドレイン領域 1 1 2 と、ソース領域 1 3 1 及びドレイン領域 1 3 2 と、は互いに同一の層に設けることができる。また、ゲート電極 1 1 3 と、ゲート電極 1 3 3 と、は互いに同一の層に設けることができる。また、配線 1 1 5 及び配線 1 1 7 と、配線 1 3 5 及び配線 1 3 7 と、は互いに同一の層に設けることができる。つまり、トランジスタ 7 1 と、トランジスタ 7 2 と、は互いに同一の層に設けることができる。これにより、トランジスタ 7 1 と、トランジスタ 7 2 と、を互いに異なる層に設ける場合より、表示装置 1 0 の作製工程を簡略にすることができ、表示装置 1 0 を低価格なものとすることができる。

[0087]

ゲートドライバ回路 2 2 を構成するトランジスタ 7 1 と電氣的に接続される配線 1 2 1 乃至配線 1 2 3 は、互いに同一の層に設けられる。また、データドライバ回路 2 3 を構成するトランジスタ 7 2 と電氣的に接続される配線 1 4 1 乃至配線 1 4 3 は、互いに同一の層に設けられる。さらに、配線 1 2 1 乃至配線 1 2 3 は、配線 1 4 1 乃至配線 1 4 3 と異なる層に設けられる。以上により、ゲートド

ライバ回路 2 2 を構成する素子であるトランジスタ 7 1 と、データドライバ回路 2 3 を構成する素子であるトランジスタ 7 2 と、が電氣的に短絡することを抑制することができる。よって、ゲートドライバ回路 2 2 とデータドライバ回路 2 3 が明確に分離されず、重なる領域を有していても、ゲートドライバ回路 2 2 及びデータドライバ回路 2 3 の誤動作を抑制することができる。これにより、表示装置 1 0 の信頼性を高めることができる。

[0088]

図 1 0 では、配線 1 2 1 乃至配線 1 2 3 より上層に配線 1 4 1 乃至配線 1 4 3 が設けられる構成を示しているが、配線 1 2 1 乃至配線 1 2 3 より下層に配線 1 4 1 乃至配線 1 4 3 を設けてもよい。

[0089]

また、図 1 0 では配線 1 2 1 乃至配線 1 2 3 が水平方向に延伸し、配線 1 4 1 乃至配線 1 4 3 が垂直方向に延伸する構成を示しているが、本発明の一態様はこれに限らない。例えば、配線 1 2 1 乃至配線 1 2 3 を垂直方向に延伸し、配線 1 4 1 乃至配線 1 4 3 を水平方向に延伸する構成としてもよい。又は、配線 1 2 1 乃至配線 1 2 3、及び配線 1 4 1 乃至配線 1 4 3 の両方が、水平方向に延伸、又は垂直方向に延伸していてもよい。

[0090]

ダミートランジスタ 7 3 は、半導体 1 5 1 と、導電体 1 5 2 と、を有する。導電体 1 5 2 は半導体 1 5 1 と重なる領域を有する。半導体 1 5 1 は、トランジスタ 7 1 及びトランジスタ 7 2 のチャネル形成領域と同一の層に形成することができる。また、導電体 1 5 2 は、トランジスタ 7 1 及びトランジスタ 7 2 のゲート電極と同一の層に形成することができる。なお、ダミートランジスタ 7 3 は、半導体 1 5 1 又は導電体 1 5 2 の一方を有さない構成としてもよい。

[0091]

半導体 1 5 1 及び導電体 1 5 2 は、他の配線等と電氣的に接続されない構成とすることができる。半導体 1 5 1 及び／又は導電体 1 5 2 には、定電位を供給してもよい。例えば、接地電位を供給してもよい。

[0092]

図 1 1 は、表示装置 1 0 の構成例を示す模式図であり、図 2 に示す表示装置 1 0 の変形例である。図 1 1 に示す表示装置 1 0 は、記憶回路 3 2 が層 5 0 に設けられる点が、図 2 に示す表示装置 1 0 と主に異なる。記憶回路 3 2 は、セル 3 5 がマトリクス状に配列された構成とすることができる。

[0093]

記憶回路 3 2 は、伝送路 3 4 を介して制御回路 3 1、及び演算回路 3 3 と電氣的に接続される。具体的には、記憶回路 3 2 に設けられるセル 3 5 が、伝送路 3 4 を介して制御回路 3 1、及び演算回路 3 3 と電氣的に接続される。

[0094]

図 1 1 に示す表示装置 1 0 は、ゲートドライバ回路 2 2、データドライバ回路 2 3、表示部 2 0、配線 2 4、及び配線 2 5 を、同一のチップに設けることができる。また、制御回路 3 1、記憶回路 3 2、演算回路 3 3、及び伝送路 3 4 を、同一のチップに設けることができる。よって、図 1 1 に示す表示装置 1 0 では、層 5 0 に設けられる表示部 2 0 は、層 4 0 に設けられるデータドライバ回路 2 3 と重なる領域を有するように設けることができる。また、層 5 0 に設けられる記憶回路 3 2 は、層 4 0 に設けられる制御回路 3 1、及び演算回路 3 3 と重なる領域を有するように設けることができる。

[0095]

図 1 1 に示す表示装置 1 0 では、記憶回路 3 2 を、制御回路 3 1、及び演算回路 3 3 と重なる領域を有するように設けることができる。これにより、記憶回路 3 2 の占有面積を大きくすることができるため、記憶回路 3 2 に保持できるデータ容量を大きくすることができる。よって、演算回路 3 3 が複雑な演算処理を行うことができる。また、多くの演算処理を並行して行うことができる。例えば、記憶回路 3 2 に保持できるデータ容量が小さい場合より、多くのフレームの画像データ G D に対して、並行して演算処理を行うことができる。以上により、表示装置 1 0 を高速に駆動させることができ、例えば表示装置 1 0 のフレーム周波数を高めることができる。

[0096]

また、図 1 1 に示す表示装置 1 0 では、表示部 2 0 と、ゲートドライバ回路 2 2 と、データドライバ回路 2 3 と、が含まれるチップに、演算回路 3 3 等を含めない構成とすることができる。よって、データドライバ回路 2 3 の占有面積を大きくすることができる。例えば、表示部 2 0 の全体が、データドライバ回路 2 3 と重なるようにすることができる。データドライバ回路 2 3 の占有面積を大きくすることにより、データドライバ回路 2 3 を構成するトランジスタ等の密度を小さくすることができる。これにより、表示装置 1 0 のレイアウトの自由度を高めることができる。

[0097]

ここで、図 1 1 に示す表示装置 1 0 では、データドライバ回路 2 3 が、層 5 0 に形成された配線 2 5 の端部と接続されていなくてもよい。例えば、データドライバ回路 2 3 を、層 5 0 に形成された配線 2 5 の中心部と接続してもよい。この場合、データドライバ回路 2 3 から画素 2 1 に供給される画像データの伝送距離を短くすることができる。よって、配線 2 5 の抵抗に起因する、画素 2 1 に供給される画像データの減衰を抑制することができる。したがって、表示装置 1 0 の消費電力を低減することができる。また、表示装置 1 0 を高速に駆動させることができる。

[0098]

図 1 2 は、表示装置 1 0 の構成例を示す模式図であり、図 2 に示す表示装置 1 0 の変形例である。図 1 2 に示す表示装置 1 0 は、層 4 0 と、層 5 0 と、の間に層 6 0 が設けられる点が、図 2 に示す表示装置 1 0 と主に異なる。層 6 0 には、記憶回路 3 2 が設けられる。記憶回路 3 2 は、図 1 1 に示す表示装置 1 0 と同様に、セル 3 5 がマトリクス状に配列された構成とすることができる。

[0099]

記憶回路 3 2 は、伝送路 3 4 を介して制御回路 3 1、及び演算回路 3 3 と電氣的に接続される。具体的には、記憶回路 3 2 に設けられるセル 3 5 が、伝送路 3 4 を介して制御回路 3 1、及び演算回路 3 3 と電氣的に接続される。また、演算回路 3 3 と、セル 3 5 と、は配線 3 6 を介して電氣的に接続することができる。例えば、セル 3 5 と同数の配線 3 6 を設けることができる。

[0100]

図 1 2 に示す表示装置 1 0 では、層 4 0 に設けられる演算回路 3 3 と、層 6 0 に設けられる記憶回路 3 2 と、層 5 0 に設けられる表示部 2 0 と、が互いに重なる領域を有するように設けることができる。また、表示部 2 0 は、層 4 0 に設けられるデータドライバ回路 2 3 と重なる領域を有するように設けることができる。

[0101]

記憶回路 3 2 を、演算回路 3 3 が設けられる層、及び表示部 2 0 が設けられる層のいずれとも異なる層に設けることにより、記憶回路 3 2 の占有面積を確保することができる。よって、記憶回路 3 2 に保持できるデータ容量を大きくすることができる。これにより、演算回路 3 3 が、複雑な演算処理を

行うことができる。また、多くの演算処理を並行して行うことができる。例えば、記憶回路 3 2 に保持できるデータ容量が小さい場合より、多くのフレームの画像データ G D に対して、並行して演算処理を行うことができる。以上により、表示装置 1 0 を高速に駆動させることができ、例えば表示装置 1 0 のフレーム周波数を高めることができる。

[0102]

また、図 1 2 に示す表示装置 1 0 では、記憶回路 3 2 と、演算回路 3 3 と、が伝送路 3 4 を介してだけでなく、配線 3 6 を介して電氣的に接続される。当該構成とすることで、例えば、画像データ G D を、伝送路 3 4 を介して記憶回路 3 2 に供給した後は、記憶回路 3 2 と演算回路 3 3 の間のデータのやり取りを、伝送路 3 4 を介さずに行うことができる。よって、記憶回路 3 2 と演算回路 3 3 の間でデータをやり取りする際の、当該データの伝送距離を短くすることができる。また、伝送路 3 4 を流れるデータの大きさを低減することができる。以上により、表示装置 1 0 を高速に駆動させることができる。

[0103]

図 1 2 に示す表示装置 1 0 では、記憶回路 3 2 と演算回路 3 3 とは、伝送路 3 4 を介して電氣的に接続されるが、記憶回路 3 2 と演算回路 3 3 が、伝送路 3 4 とは異なる伝送路により電氣的に接続されてもよい。これにより、伝送路 3 4 を流れるデータの大きさを低減することができるため、表示装置 1 0 を高速に駆動させることができる。

[0104]

図 1 2 に示す表示装置 1 0 では、記憶回路 3 2 が設けられる層 6 0 を 1 層としたが、2 層以上としてもよい。図 1 3 は、層 6 0 が n 層 (n は 2 以上の整数) 設けられる構成を示している。なお、図 1 3 では、n 層の層 6 0 を、層 6 0__1 乃至層 6 0__n と記載して区別している。n を大きくすることにより、記憶回路 3 2 に保持できるデータ容量を大きくすることができる。これにより、演算回路 3 3 が、複雑な演算処理を行うことができる。また、多くの演算処理を並行して行うことができる。例えば、記憶回路 3 2 に保持できるデータ容量が小さい場合より、多くのフレームの画像データ G D に対して、並行して演算処理を行うことができる。以上により、表示装置 1 0 を高速に駆動させることができ、例えば表示装置 1 0 のフレーム周波数を高めることができる。

[0105]

図 1 4 は、表示装置 1 0 の構成例を示す模式図であり、図 1 2 に示す表示装置 1 0 の変形例である。図 1 4 に示す表示装置 1 0 は、層 4 0 が層 6 0 と、層 5 0 と、の間に設けられる点が、図 1 2 に示す表示装置 1 0 と主に異なる。図 1 4 では、層 6 0 の上方に層 4 0 を設け、層 4 0 の上方に層 5 0 を設ける構成を示している。

[0106]

図 1 4 に示す表示装置 1 0 では、ゲートドライバ回路 2 2 から画素 2 1 に供給される選択信号の伝送距離、及びデータドライバ回路 2 3 から画素 2 1 に供給される画像データの伝送距離を、図 1 2 に示す表示装置 1 0 より短くすることができる。よって、画素 2 1 に供給される選択信号、及び画像データの、配線抵抗に起因する減衰を抑制することができる。よって、表示装置 1 0 の消費電力を低減することができる。また、表示装置 1 0 を高速に駆動させることができる。

[0107]

図 1 5 は、表示装置 1 0 の構成例を示す模式図であり、図 1 4 に示す表示装置 1 0 の変形例である。図 1 5 に示す表示装置 1 0 は、ゲートドライバ回路 2 2 が層 5 0 に設けられる点が、図 1 4 に示す表

示装置 10 と主に異なる。

[0108]

図 15 に示す表示装置 10 では、ゲートドライバ回路 22 から画素 21 に供給される選択信号の伝送距離を、図 14 に示す表示装置 10 よりさらに短くすることができる。よって、画素 21 に供給される選択信号の、配線抵抗に起因する減衰を抑制することができる。よって、表示装置 10 の消費電力を低減することができる。また、表示装置 10 を高速に駆動させることができる。

[0109]

なお、図 2、図 6 乃至図 8、図 11、及び図 12 等 に示す表示装置 10 でも、ゲートドライバ回路 22 を層 50 に設けることができる。

[0110]

<表示装置の断面構成例>

図 16 は、図 2、図 6 乃至図 8、図 11 等 に示す表示装置 10 の具体的な構成例を示す断面図である。表示装置 10 は、基板 701 及び基板 705 を有し、基板 701 と基板 705 はシール材 712 により貼り合わされている。

[0111]

基板 701 として、例えば、絶縁体基板、半導体基板、又は導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板等）、樹脂基板等がある。また、半導体基板としては、例えば、シリコン、ゲルマニウムを材料とした半導体基板、又は窒化ガリウム、炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板等がある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI (Silicon On Insulator) 基板等がある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板等がある。又は、金属の窒化物を有する基板、金属の酸化物を有する基板等がある。さらには、絶縁体基板に導電体又は半導体が設けられた基板、半導体基板に導電体又は絶縁体が設けられた基板、導電体基板に半導体又は絶縁体が設けられた基板等がある。

[0112]

基板 701 上にトランジスタ 441、及びトランジスタ 601 が設けられる。トランジスタ 441 及びトランジスタ 601 は、層 40 に設けられるトランジスタとすることができる。図 2、又は図 6 乃至図 8 に示す表示装置 10 において、トランジスタ 441 は、例えば制御回路 31、記憶回路 32、又は演算回路 33 に設けられるトランジスタとすることができる。また、図 11 に示す表示装置 10 において、トランジスタ 441 は、例えば制御回路 31、又は演算回路 33 に設けられるトランジスタとすることができる。さらに、図 2、図 6 乃至図 8、及び図 11 に示す表示装置 10 において、トランジスタ 601 は、例えばゲートドライバ回路 22、又はデータドライバ回路 23 に設けられるトランジスタとすることができる。

[0113]

トランジスタ 441 は、ゲート電極としての機能を有する導電体 443 と、ゲート絶縁体としての機能を有する絶縁体 445 と、基板 701 の一部と、からなり、チャネル形成領域を含む半導体領域 447、ソース領域又はドレイン領域の一方としての機能を有する低抵抗領域 449a、及びソース領域又はドレイン領域の他方としての機能を有する低抵抗領域 449b を有する。トランジスタ 441 は、p チャネル型又は n チャネル型のいずれでもよい。

[0114]

トランジスタ441は、素子分離層403によって他のトランジスタと電氣的に分離される。図16では、素子分離層403によってトランジスタ441とトランジスタ601が電氣的に分離される場合を示している。素子分離層403は、LOCOS (LOCAl Oxidation of Silicon) 法、又はSTI (Shallow Trench Isolation) 法等を用いて形成することができる。

[0115]

ここで、図16に示すトランジスタ441は、半導体領域447が凸形状を有する。また、半導体領域447の側面及び上面を、絶縁体445を介して、導電体443が覆うように設けられる。なお、図16では、導電体443が半導体領域447の側面を覆う様子は図示していない。また、導電体443には仕事関数を調整する材料を用いることができる。

[0116]

トランジスタ441のような、半導体領域が凸形状を有するトランジスタは、半導体基板の凸部を利用していることから、フィン型トランジスタと呼ぶことができる。なお、凸部の上部に接して、凸部を形成するためのマスクとしての機能を有する絶縁体を有していてもよい。また、図16では基板701の一部を加工して凸部を形成する構成を示しているが、SOI基板を加工して凸形状を有する半導体を形成してもよい。

[0117]

なお、図16に示すトランジスタ441の構成は一例であり、その構成に限定されず、回路構成又は回路の駆動方法等に応じて適切な構成とすればよい。例えば、トランジスタ441は、プレーナー型トランジスタであってもよい。

[0118]

トランジスタ601は、トランジスタ441と同様の構成とすることができる。なお、トランジスタ601のソース領域又はドレイン領域の一方としての機能を有する低抵抗領域を低抵抗領域459aとする。また、トランジスタ601のソース領域又はドレイン領域の他方としての機能を有する低抵抗領域を低抵抗領域459bとする。

[0119]

基板701上には、素子分離層403、並びにトランジスタ441及びトランジスタ601の他、絶縁体405、絶縁体407、絶縁体409、及び絶縁体411が設けられる。絶縁体405中、絶縁体407中、絶縁体409中、及び絶縁体411中に導電体451、及び導電体457が埋設されている。ここで、導電体451及び導電体457の上面の高さと、絶縁体411の上面の高さは同程度にできる。

[0120]

導電体451上、導電体457上、及び絶縁体411上に絶縁体421、及び絶縁体214が設けられる。絶縁体421中、及び絶縁体214中に導電体453、及び導電体473が埋設されている。ここで、導電体453、及び導電体473の上面の高さと、絶縁体214の上面の高さは同程度にできる。

[0121]

導電体453上、導電体473上、及び絶縁体214上に絶縁体216が設けられる。絶縁体216中に導電体455、及び導電体475が埋設されている。ここで、導電体455、及び導電体475

の上面の高さと、絶縁体 2 1 6 の上面の高さは同程度にできる。

[0 1 2 2]

導電体 4 5 5 上、導電体 4 7 5 上、及び絶縁体 2 1 6 上に絶縁体 2 2 2、絶縁体 2 2 4、絶縁体 2 5 4、絶縁体 2 4 4、絶縁体 2 8 0、絶縁体 2 7 4、及び絶縁体 2 8 1 が設けられる。絶縁体 2 2 2 中、絶縁体 2 2 4 中、絶縁体 2 5 4 中、絶縁体 2 4 4 中、絶縁体 2 8 0 中、絶縁体 2 7 4 中、及び絶縁体 2 8 1 中に導電体 3 0 5、及び導電体 3 6 5 が埋設されている。ここで、導電体 3 0 5、及び導電体 3 6 5 の上面の高さと、絶縁体 2 8 1 の上面の高さは同程度にできる。

[0 1 2 3]

導電体 3 0 5 上、導電体 3 6 5 上、及び絶縁体 2 8 1 上に絶縁体 3 6 1 が設けられる。絶縁体 3 6 1 中に導電体 3 1 7、導電体 3 3 7、及び導電体 3 6 7 が埋設されている。ここで、導電体 3 3 7 の上面の高さと、絶縁体 3 6 1 の上面の高さは同程度にできる。

[0 1 2 4]

導電体 3 3 7 上、及び絶縁体 3 6 1 上に絶縁体 3 6 3 が設けられる。絶縁体 3 6 3 中に導電体 3 4 7、導電体 3 5 3、導電体 3 5 5、及び導電体 3 5 7 が埋設されている。ここで、導電体 3 5 3、導電体 3 5 5、及び導電体 3 5 7 の上面の高さと、絶縁体 3 6 3 の上面の高さは同程度にできる。

[0 1 2 5]

導電体 3 5 3 上、導電体 3 5 5 上、導電体 3 5 7 上、及び絶縁体 3 6 3 上に接続電極 7 6 0 が設けられる。また、接続電極 7 6 0 と電氣的に接続されるように異方性導電体 7 8 0 が設けられ、異方性導電体 7 8 0 と電氣的に接続されるように F P C (F l e x i b l e P r i n t e d C i r c u i t) 7 1 6 が設けられる。F P C 7 1 6 によって、表示装置 1 0 の外部から、表示装置 1 0 に各種信号等が供給される。

[0 1 2 6]

図 1 6 に示すように、トランジスタ 4 4 1 のソース領域又はドレイン領域の他方としての機能を有する低抵抗領域 4 4 9 b は、導電体 4 5 1、導電体 4 5 3、導電体 4 5 5、導電体 3 0 5、導電体 3 1 7、導電体 3 3 7、導電体 3 4 7、導電体 3 5 3、導電体 3 5 5、導電体 3 5 7、接続電極 7 6 0、及び異方性導電体 7 8 0 を介して、F P C 7 1 6 と電氣的に接続される。ここで、図 1 6 では接続電極 7 6 0 と導電体 3 4 7 を電氣的に接続する機能を有する導電体として、導電体 3 5 3、導電体 3 5 5、及び導電体 3 5 7 の 3 つを示しているが本発明の一態様はこれに限らない。接続電極 7 6 0 と導電体 3 4 7 を電氣的に接続する機能を有する導電体を 1 つとしてもよいし、2 つとしてもよいし、4 つ以上としてもよい。接続電極 7 6 0 と導電体 3 4 7 を電氣的に接続する機能を有する導電体を複数設けることで、接触抵抗を小さくすることができる。

[0 1 2 7]

また、図 1 6 に示すように、トランジスタ 6 0 1 のソース領域又はドレイン領域の一方としての機能を有する低抵抗領域 4 5 9 a は、導電体 4 5 7、導電体 4 7 3、導電体 4 7 5、及び導電体 3 6 5 を介して、導電体 3 6 7 と電氣的に接続される。

[0 1 2 8]

絶縁体 2 1 4 上には、トランジスタ 7 5 0 が設けられる。トランジスタ 7 5 0 は、層 5 0 に設けられるトランジスタとすることができる。具体的には、表示部 2 0 に設けられるトランジスタとすることができる。なお、表示装置 1 0 が図 1 1 に示す構成である場合、トランジスタ 7 5 0 と同一の層に、記憶回路 3 2 が有するトランジスタを設けることができる。

[0129]

本明細書等において、「Aと同一の層」とは、例えばAと同一工程において形成された同一材料を有する層を意味する。

[0130]

トランジスタ750には、チャネル形成領域に金属酸化物(metal oxide)を用いたトランジスタ(OSトランジスタともいう)を好適に用いることができる。

[0131]

本明細書等において、金属酸化物とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体(透明酸化物導電体を含む)、酸化物半導体(Oxide Semiconductor又は単にOSともいう)等に分類される。例えば、トランジスタのチャネル形成領域に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OSトランジスタと記載する場合においては、酸化物又は酸化物半導体を有するトランジスタと換言することができる。

[0132]

OSトランジスタは、半導体層のエネルギーギャップが大きいこと、チャネル幅が1 μm あたりのオフ電流値が数 $\text{y A}/\mu\text{m}$ (yは 10^{-24}) という極めて小さいオフ電流特性を示すことができる。よって、画像データ等の保持時間を長くすることができるため、リフレッシュ動作の頻度を少なくできる。したがって、表示装置10の消費電力を低減することができる。

[0133]

OSトランジスタに用いる半導体材料として、エネルギーギャップが2 eV以上、好ましくは2.2 eV以上、より好ましくは2.5 eV以上である金属酸化物を用いることができる。代表的には、インジウムを含む酸化物半導体等であり、例えば、後述するCAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor)又はCAC-OS(Cloud-Aligned Composite Oxide Semiconductor)等を用いることができる。CAAC-OSは安定な結晶構造を有し、信頼性を重視するトランジスタ等に適する。また、CAC-OSは、高移動度特性を示すため、高速駆動を行うトランジスタ等に適する。

[0134]

OSトランジスタが有する半導体層は、例えばインジウム、亜鉛及び元素M(アルミニウム、チタン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、セリウム、スズ、ネオジム又はハフニウムの一以上)を含むIn-M-Zn系酸化物で表記される膜とすることができる。

[0135]

絶縁体254中、絶縁体244中、絶縁体280中、絶縁体274中、及び絶縁体281中に導電体301a、及び導電体301bが埋設されている。導電体301aは、トランジスタ750のソース又はドレインの一方と電気的に接続され、導電体301bは、トランジスタ750のソース又はドレインの他方と電気的に接続される。ここで、導電体301a、及び導電体301bの上面の高さと、絶縁体281の上面の高さは同程度にできる。

[0136]

絶縁体361中に導電体311、導電体313、導電体331、キャパシタ790、導電体333、及び導電体335が埋設されている。図2、図6乃至図8、及び図11に示す表示装置10において、

キャパシタ 790 は、例えば表示部 20 に設けられるキャパシタとすることができる。また、図 11 に示す表示装置 10 において、キャパシタ 790 は、例えば記憶回路 32 に設けられるキャパシタとすることができる。

[0137]

導電体 311 及び導電体 313 はトランジスタ 750 と電氣的に接続され、配線としての機能を有する。導電体 333 及び導電体 335 は、キャパシタ 790 と電氣的に接続される。ここで、導電体 331、導電体 333、及び導電体 335 の上面の高さと、絶縁体 361 の上面の高さは同程度にできる。

[0138]

導電体 367 は、導電体 311、導電体 313、及び導電体 317 と同一の層に形成することができる。導電体 367 は、層 50 に設けられるトランジスタ等の素子、つまりトランジスタ 750 と同一の層に設けられるトランジスタ等と電氣的に接続することができる。例えば、導電体 367 は、表示部 20 に設けられるトランジスタと電氣的に接続することができる。

[0139]

絶縁体 363 中に導電体 341、導電体 343、及び導電体 351 が埋設されている。導電体 343 は、絶縁体 361 上、導電体 333 上、及び導電体 335 上に設けられる。ここで、導電体 351 の上面の高さと、絶縁体 363 の上面の高さは同程度にできる。

[0140]

絶縁体 405、絶縁体 407、絶縁体 409、絶縁体 411、絶縁体 421、絶縁体 214、絶縁体 280、絶縁体 274、絶縁体 281、絶縁体 361、及び絶縁体 363 は、層間膜としての機能を有し、それぞれの下方の凹凸形状を被覆する平坦化膜としての機能を有してもよい。例えば、絶縁体 363 の上面は、平坦性を高めるために化学機械研磨 (CMP: Chemical Mechanical Polishing) 法等を用いた平坦化処理により平坦化されていてもよい。なお、絶縁体 405、絶縁体 407、絶縁体 409、絶縁体 411、絶縁体 421、絶縁体 214、絶縁体 280、絶縁体 274、絶縁体 281、絶縁体 361 等の上面も、CMP 法等を用いた平坦化処理により平坦化されていてもよい。

[0141]

図 16 に示すように、キャパシタ 790 は下部電極 321 と、上部電極 325 と、を有する。また、下部電極 321 と上部電極 325 との間には、絶縁体 323 が設けられる。すなわち、キャパシタ 790 は、一対の電極間に誘電体としての機能を有する絶縁体 323 が挟持された積層型の構造である。なお、図 16 では絶縁体 281 上にキャパシタ 790 を設ける例を示しているが、絶縁体 281 と異なる絶縁体上に、キャパシタ 790 を設けてもよい。

[0142]

図 16 において、導電体 301a、導電体 301b、導電体 305、及び導電体 365 が同一の層に形成される例を示している。また、導電体 311、導電体 313、導電体 317、導電体 367、及び下部電極 321 が同一の層に形成される例を示している。また、導電体 331、導電体 333、導電体 335、及び導電体 337 が同一の層に形成される例を示している。また、導電体 341、導電体 343、及び導電体 347 が同一の層に形成される例を示している。さらに、導電体 351、導電体 353、導電体 355、及び導電体 357 が同一の層に形成される例を示している。複数の導電体を同一の層に形成することにより、表示装置 10 の作製工程を簡略にすることができるため、表示装

置 1 0 を低価格なものとすることができる。なお、これらはそれぞれ異なる層に形成されてもよく、異なる種類の材料を有してもよい。

[0143]

図 1 6 に示す表示装置 1 0 は、発光素子 5 0 0 を有する。ここで、発光素子は、発光デバイスともいうことができる。発光素子 5 0 0 は、導電体 7 7 2、E L 層 7 8 6、及び導電体 7 8 8 を有する。E L 層 7 8 6 は、有機化合物、又は量子ドット等の無機化合物を有する。

[0144]

有機化合物に用いることのできる材料として、蛍光性材料又は燐光性材料等が挙げられる。また、量子ドットに用いることのできる材料として、コロイド状量子ドット材料、合金型量子ドット材料、コア・シェル型量子ドット材料、コア型量子ドット材料等が挙げられる。

[0145]

導電体 7 7 2 は、導電体 3 5 1、導電体 3 4 1、導電体 3 3 1、導電体 3 1 3、及び導電体 3 0 1 b を介して、トランジスタ 7 5 0 のソース又はドレインの他方と電氣的に接続される。導電体 7 7 2 は絶縁体 3 6 3 上に形成され、画素電極としての機能を有する。

[0146]

導電体 7 7 2 には、可視光に対して透光性の材料、又は反射性の材料を用いることができる。透光性の材料として、例えば、インジウム、亜鉛、スズ等を含む酸化物材料を用いるとよい。反射性の材料として、例えば、アルミニウム、銀等を含む材料を用いるとよい。

[0147]

図 1 6 には図示しないが、表示装置 1 0 は、偏光部材、位相差部材、反射防止部材等の光学部材（光学基板）等設けることができる。

[0148]

基板 7 0 5 側には、遮光層 7 3 8 と、絶縁体 7 3 4 と、が設けられる。絶縁体 7 3 4 は、遮光層 7 3 8 と接する領域を有する。遮光層 7 3 8 は、隣接する領域から発せられる光を遮る機能を有する。又は、遮光層 7 3 8 は、外光がトランジスタ 7 5 0 等に達することを遮る機能を有する。

[0149]

図 1 6 に示す表示装置 1 0 には、絶縁体 3 6 3 上に絶縁体 7 3 0 が設けられる。ここで、絶縁体 7 3 0 は、導電体 7 7 2 の一部を覆う構成とすることができる。また、発光素子 5 0 0 は透光性の導電体 7 8 8 を有し、トップエミッション型の発光素子とすることができる。なお、発光素子 5 0 0 は、導電体 7 7 2 側に光を射出するボトムエミッション構造、又は導電体 7 7 2 側及び導電体 7 8 8 側の双方に光を射出するデュアルエミッション構造としてもよい。

[0150]

なお、遮光層 7 3 8 は絶縁体 7 3 0 と重なる領域を有するように設けられる。また、遮光層 7 3 8 は、絶縁体 7 3 4 で覆われている。また、発光素子 5 0 0 と絶縁体 7 3 4 の間は封止層 7 3 2 で充填されている。

[0151]

さらに、構造体 7 7 8 は、絶縁体 7 3 0 と E L 層 7 8 6 との間に設けられる。また、構造体 7 7 8 は、絶縁体 7 3 0 と絶縁体 7 3 4 との間に設けられる。

[0152]

図 1 6 に示す表示装置 1 0 には、着色層 7 3 6 が設けられる。着色層 7 3 6 は、発光素子 5 0 0 と重

なる領域を有するように設けられる。着色層 736 を設けることにより、発光素子 500 から取り出される光の色純度を高めることができる。これにより、表示装置 10 に高品位の画像を表示することができる。また、表示装置 10 の例えば全ての発光素子 500 を、白色光を発する発光素子とすることができるため、EL 層 786 を塗り分けにより形成しなくてもよく、画素 21 を微細化することができる。よって、表示部 20 に設けられる画素 21 の密度を高め、表示装置 10 に高精細な画像を表示することができる。

[0153]

図 17 は、表示装置 10 の具体的な構成例を示す断面図であり、図 16 に示す表示装置 10 の変形例である。図 17 に示す表示装置 10 は、トランジスタ 750 を有する層と、トランジスタ 441 及びトランジスタ 601 を有する層と、の間に、トランジスタ 800、及びキャパシタ 890 が設けられる点で、図 16 に示す表示装置 10 と主に異なる。

[0154]

図 17 に示す構成は、図 12 等 に示す表示装置 10 に適用することができる。この場合、トランジスタ 800、及びキャパシタ 890 は、層 60 に設けることができる。つまり、トランジスタ 800、及びキャパシタ 890 は、記憶回路 32 に設けることができる。

[0155]

図 17 に示す表示装置 10 では、導電体 451 上、導電体 457 上、及び絶縁体 411 上に絶縁体 821 及び絶縁体 814 が設けられる。絶縁体 821 中、及び絶縁体 814 中に導電体 853、及び導電体 857 が埋設されている。ここで、導電体 853、及び導電体 857 の上面の高さと、絶縁体 814 の上面の高さは同程度にできる。

[0156]

導電体 853 上、導電体 857 上、及び絶縁体 814 上に絶縁体 816 が設けられる。絶縁体 816 中に導電体 855、及び導電体 859 が埋設されている。ここで、導電体 855、及び導電体 859 の上面の高さと、絶縁体 816 の上面の高さは同程度にできる。

[0157]

導電体 855 上、導電体 859 上、及び絶縁体 816 上に絶縁体 822、絶縁体 824、絶縁体 854、絶縁体 844、絶縁体 880、絶縁体 874、及び絶縁体 881 が設けられる。絶縁体 822 中、絶縁体 824 中、絶縁体 854 中、絶縁体 844 中、絶縁体 880 中、絶縁体 874 中、及び絶縁体 881 中に導電体 805、及び導電体 861 が埋設されている。ここで、導電体 805、及び導電体 861 の上面の高さと、絶縁体 881 の上面の高さは同程度にできる。

[0158]

導電体 805 上、導電体 861 上、及び絶縁体 881 上に絶縁体 883 が設けられる。絶縁体 883 中に導電体 817、導電体 831、導電体 863、及び導電体 865 が埋設されている。ここで、導電体 831、及び導電体 865 の上面の高さと、絶縁体 883 の上面の高さは同程度にできる。

[0159]

導電体 831 上、導電体 865 上、及び絶縁体 883 上に絶縁体 421、及び絶縁体 214 が設けられる。絶縁体 421 中に導電体 833、及び導電体 867 が埋設されている。また、絶縁体 421 中、及び絶縁体 214 中に導電体 453、及び導電体 473 が埋設されている。ここで、導電体 453、及び導電体 473 の上面の高さと、絶縁体 214 の上面の高さは同程度にできる。

[0160]

図 1 7 に示すように、トランジスタ 4 4 1 のソース領域又はドレイン領域の他方としての機能を有する低抵抗領域 4 4 9 b は、導電体 4 5 1、導電体 8 5 3、導電体 8 5 5、導電体 8 0 5、導電体 8 1 7、導電体 8 3 1、導電体 8 3 3、導電体 4 5 3、導電体 4 5 5、導電体 3 0 5、導電体 3 1 7、導電体 3 3 7、導電体 3 4 7、導電体 3 5 3、導電体 3 5 5、導電体 3 5 7、接続電極 7 6 0、及び異方性導電体 7 8 0 を介して、F P C 7 1 6 と電氣的に接続される。

[0 1 6 1]

また、図 1 7 に示すように、トランジスタ 6 0 1 のソース領域又はドレイン領域の一方としての機能を有する低抵抗領域 4 5 9 a は、導電体 4 5 7、導電体 8 5 7、導電体 8 5 9、導電体 8 6 1、導電体 8 6 3、導電体 8 6 5、導電体 8 6 7、導電体 4 7 3、導電体 4 7 5、及び導電体 3 6 5 を介して、導電体 3 6 7 と電氣的に接続される。

[0 1 6 2]

絶縁体 8 1 4 上には、トランジスタ 8 0 0 が設けられる。前述のように、トランジスタ 8 0 0 は、層 6 0 に設けられるトランジスタとすることができる。例えば、図 1 2 に示す表示装置 1 0 において、トランジスタ 8 0 0 は、記憶回路 3 2 に設けられるトランジスタとすることができる。トランジスタ 8 0 0 は、OS トランジスタとすることが好ましい。

[0 1 6 3]

絶縁体 8 5 4 中、絶縁体 8 4 4 中、絶縁体 8 8 0 中、絶縁体 8 7 4 中、及び絶縁体 8 8 1 中に導電体 8 0 1 a、及び導電体 8 0 1 b が埋設されている。導電体 8 0 1 a は、トランジスタ 8 0 0 のソース又はドレインの一方と電氣的に接続され、導電体 8 0 1 b は、トランジスタ 8 0 0 のソース又はドレインの他方と電氣的に接続される。ここで、導電体 8 0 1 a、及び導電体 8 0 1 b の上面の高さと、絶縁体 8 8 1 の上面の高さは同程度にできる。

[0 1 6 4]

絶縁体 8 8 3 中に導電体 8 1 1、キャパシタ 8 9 0、導電体 8 9 3、及び導電体 8 9 5 が埋設されている。ここで、キャパシタ 8 9 0 は、キャパシタ 7 9 0 と同様の構成とすることができる。前述のように、図 1 2 に示す表示装置 1 0 において、キャパシタ 8 9 0 は、例えば記憶回路 3 2 に設けられるキャパシタとすることができる。

[0 1 6 5]

導電体 8 1 1 はトランジスタ 8 0 0 と電氣的に接続され、配線としての機能を有する。導電体 8 0 1 b は、トランジスタ 8 0 0 の他、キャパシタ 8 9 0 の一方の電極と電氣的に接続される。導電体 8 9 3、及び導電体 8 9 5 は、キャパシタ 8 9 0 の他方の電極と電氣的に接続される。ここで、導電体 8 9 3、及び導電体 8 9 5 の上面の高さと、絶縁体 8 8 3 の上面の高さは同程度にできる。

[0 1 6 6]

絶縁体 4 2 1 中に導電体 8 9 7 が埋設されている。導電体 8 9 7 は、絶縁体 8 8 3 上、導電体 8 9 3 上、及び導電体 8 9 5 上に設けられる。

[0 1 6 7]

絶縁体 8 2 1、絶縁体 8 1 4、絶縁体 8 8 0、絶縁体 8 7 4、絶縁体 8 8 1、及び絶縁体 8 8 3 は、層間膜としての機能を有し、それぞれの下方の凹凸形状を被覆する平坦化膜としての機能を有してもよい。

[0 1 6 8]

図 1 7 において、導電体 8 0 1 a、導電体 8 0 1 b、導電体 8 0 5、及び導電体 8 6 1 が同一の層に

形成される例を示している。また、導電体 8 1 1、導電体 8 1 7、及び導電体 8 6 3 が同一の層に形成される例を示している。また、導電体 8 9 3、導電体 8 9 5、導電体 8 3 1、及び導電体 8 6 5 が同一の層に形成される例を示している。さらに、導電体 8 9 7、導電体 8 3 3、及び導電体 8 6 7 が同一の層に形成される例を示している。前述のように、複数の導電体を同一の層に形成することにより、表示装置 1 0 の作製工程を簡略にすることができるため、表示装置 1 0 の製造コストを削減することができる。なお、これらはそれぞれ異なる層に形成されてもよく、異なる種類の材料を有してもよい。

[0 1 6 9]

図 1 8 は、図 1 4、又は図 1 5 等を示す表示装置 1 0 の具体的な構成例を示す断面図である。表示装置 1 0 が図 1 4、又は図 1 5 に示す構成である場合、層 6 0 には基板 9 0 1 が設けられ、基板 9 0 1 上にトランジスタ 9 1 1 が設けられる。また、層 4 0 には基板 9 0 3 が設けられ、基板 9 0 3 上にトランジスタ 9 1 3、トランジスタ 9 1 5、及びトランジスタ 9 1 7 が設けられる。さらに、層 5 0 には基板 9 0 5 が設けられ、基板 9 0 5 上にはトランジスタ 9 1 9 が設けられる。そして、基板 9 0 1 と、基板 9 0 3 と、基板 9 0 5 と、のそれぞれが、貼り合わせで接合されている。

[0 1 7 0]

基板 9 0 1、基板 9 0 3、及び基板 9 0 5 は、基板 7 0 1 と同様の構成とすることができる。トランジスタ 9 1 1、トランジスタ 9 1 3、トランジスタ 9 1 5、トランジスタ 9 1 7、及びトランジスタ 9 1 9 は、トランジスタ 4 4 1、及びトランジスタ 6 0 1 と同様の構成とすることができる。

[0 1 7 1]

図 1 4、又は図 1 5 に示す表示装置 1 0 において、トランジスタ 9 1 1 は、例えば記憶回路 3 2 に設けられるトランジスタとすることができる。また、トランジスタ 9 1 3、及びトランジスタ 9 1 7 は、制御回路 3 1、又は演算回路 3 3 に設けられるトランジスタとすることができる。また、トランジスタ 9 1 5 は、データドライバ回路 2 3 に設けられるトランジスタとすることができる。さらに、トランジスタ 9 1 9 は、表示部 2 0 に設けられるトランジスタとすることができる。また、図 1 4 に示す表示装置 1 0 において、トランジスタ 9 1 5 は、ゲートドライバ回路 2 2 に設けられるトランジスタとすることができる。

[0 1 7 2]

トランジスタ 9 1 1 と、トランジスタ 9 1 3、トランジスタ 9 1 5、及びトランジスタ 9 1 7 と、の間には、絶縁体 9 2 1、及び絶縁体 9 2 3 が設けられる。トランジスタ 9 1 3、トランジスタ 9 1 5、及びトランジスタ 9 1 7 と、トランジスタ 9 1 9 と、の間には、絶縁体 9 2 5、及び絶縁体 9 2 7 が設けられる。

[0 1 7 3]

絶縁体 9 2 1 には、導電体 9 3 1 が埋設されている。また、絶縁体 9 2 5 には、導電体 9 3 7、導電体 9 3 9、及び導電体 9 4 1 が埋設されている。導電体 9 3 1 は、絶縁体 9 2 1 と高さが一致するように平坦化されている。また、導電体 9 3 7、導電体 9 3 9、及び導電体 9 4 1 は、絶縁体 9 2 5 と高さが一致するように平坦化されている。

[0 1 7 4]

絶縁体 9 2 3、及び基板 9 0 3 に埋設される領域を有するように、導電体 9 3 3 が設けられる。導電体 9 3 3 は、基板 9 0 3 と絶縁するため、絶縁体 9 3 5 で覆われた領域を有する。導電体 9 3 1 と導電体 9 3 7 は、導電体 9 3 3 を介して互いに電氣的に接続される。トランジスタ 9 1 1 のソース領域

又はドレイン領域の一方と、トランジスタ 9 1 3 のソース領域又はドレイン領域の一方と、は導電体 9 3 1、導電体 9 3 3、及び導電体 9 3 7 を介して電氣的に接続される。

[0 1 7 5]

絶縁体 9 2 7、及び基板 9 0 5 に埋設される領域を有するように、導電体 9 4 3、及び導電体 9 4 7 が設けられる。導電体 9 4 3 は、基板 9 0 5 と絶縁するため、絶縁体 9 4 5 で覆われた領域を有する。導電体 9 4 7 は、基板 9 0 5 と絶縁するため、絶縁体 9 4 9 で覆われた領域を有する。導電体 9 4 3 は、導電体 9 3 9 と電氣的に接続され、導電体 9 4 7 は、導電体 9 4 1 と電氣的に接続される。また、導電体 9 4 3 は、導電体 9 4 3 上、及び絶縁体 9 4 5 上に設けられる導電体 9 5 1 と電氣的に接続され、導電体 9 4 7 は、F P C 7 1 6 と電氣的に接続される。

[0 1 7 6]

導電体 9 5 1 は、層 5 0 に設けられるトランジスタ等の素子、つまりトランジスタ 9 1 9 と同一の層に設けられるトランジスタ等と電氣的に接続することができる。例えば、導電体 9 5 1 は、画素 2 1 に設けられるトランジスタと電氣的に接続することができる。

[0 1 7 7]

トランジスタ 9 1 5 のソース領域又はドレイン領域の一方と、導電体 9 5 1 と、は導電体 9 3 9、及び導電体 9 4 3 を介して電氣的に接続される。トランジスタ 9 1 7 のソース領域又はドレイン領域の一方と、F P C 7 1 6 と、は導電体 9 4 1、及び導電体 9 4 7 を介して電氣的に接続される。トランジスタ 9 1 9 のソース領域又はドレイン領域の一方は、発光素子 5 0 0 と電氣的に接続される。

[0 1 7 8]

導電体 9 3 3 は、基板 9 0 3 を貫通して設けられる。また、導電体 9 4 3、及び導電体 9 4 7 は、基板 9 0 5 を貫通して設けられる。よって、導電体 9 3 3、導電体 9 4 3、及び導電体 9 4 7 は、貫通電極であるということができる。特に、基板 9 0 3 が、シリコンを有する基板（シリコン基板ともいう）である場合は、導電体 9 3 3 は T S V (T h r o u g h S i l i c o n V i a) であるということができる。また、基板 9 0 5 がシリコン基板である場合は、導電体 9 4 3、及び導電体 9 4 7 は、T S V であるということができる。

[0 1 7 9]

絶縁体 9 2 1 と、絶縁体 9 2 3 と、の貼り合わせによって、層 6 0 と層 4 0 は機械的な強度を有するように接合される。また、絶縁体 9 2 5 と、絶縁体 9 2 7 と、の貼り合わせによって、層 4 0 と層 5 0 は機械的な強度を有するように接合される。

[0 1 8 0]

例えば、基板 9 0 3 をシリコン基板とすると、トランジスタ 9 1 3、トランジスタ 9 1 5、及びトランジスタ 9 1 7 は、チャンネル形成領域にシリコンを用いたトランジスタ (S i トランジスタともいう) とすることができる。よって、層 4 0 に設けられるデータドライバ回路 2 3、制御回路 3 1、及び演算回路 3 3 等を構成するトランジスタを、S i トランジスタとすることができる。また、図 1 4 に示す表示装置では、ゲートドライバ回路 2 2 を構成するトランジスタを、S i トランジスタとすることができる。なお、基板 9 0 5 をシリコン基板とすると、図 1 5 に示す表示装置 1 0 でも、ゲートドライバ回路 2 2 を構成するトランジスタを S i トランジスタとすることができる。

[0 1 8 1]

S i トランジスタは、オン電流が大きいという特徴を有するため、S i トランジスタによって構成された回路等は、高速に駆動することができる。以上より、層 4 0 に設けられる基板 9 0 3 に貫通電極

を設け、層 6 0 に設けられるトランジスタ等と、層 4 0 に設けられるトランジスタ等とを、当該貫通電極を介して電氣的に接続する構成とすることで、層 4 0 を層 6 0 と層 5 0 の間に設けつつ、層 4 0 に設けられる回路等を高速に駆動させることができる。したがって、ゲートドライバ回路 2 2 から画素 2 1 に供給される選択信号の伝送距離と、データドライバ回路 2 3 から画素 2 1 に供給される画像データ信号の伝送距離と、の両方を、層 6 0 が層 4 0 と層 5 0 の間に設けられる場合より短くしつつ、層 4 0 に設けられる回路等を高速に駆動させることができる。よって、表示装置 1 0 の消費電力を低減しつつ、表示装置 1 0 を高速に駆動させることができる。

[0182]

図 1 8 に示す表示装置 1 0 では、層 5 0 に基板 9 0 5 を設け、基板 9 0 5 上にトランジスタ 9 1 9 等を設けているが、本発明の一態様はこれに限らない。図 1 9 には、絶縁体 9 2 5 上に、図 1 6、及び図 1 7 に示す絶縁体 4 2 1、及び絶縁体 2 1 4 を設ける構成を示している。

[0183]

図 1 9 に示す表示装置 1 0 において、絶縁体 2 1 4 より上層の構成は、図 1 6、及び図 1 7 と同様とすることができる。例えば、絶縁体 2 1 4 上に、OS トランジスタを設けることができる。

[0184]

図 1 6、及び図 1 7 では、トランジスタ 4 4 1 及びトランジスタ 6 0 1 を、基板 7 0 1 の内部にチャネル形成領域が形成されるように設け、トランジスタ 4 4 1 及びトランジスタ 6 0 1 の上に積層して、OS トランジスタを設ける構成を示したが、本発明の一態様はこれに限らない。図 2 0 は、図 1 6 に示す表示装置 1 0 の変形例であり、トランジスタ 4 4 1 及びトランジスタ 6 0 1 の代わりに、OS トランジスタであるトランジスタ 6 0 2 及びトランジスタ 6 0 3 を有する点が、図 1 6 に示す表示装置 1 0 と主に異なる。また、トランジスタ 7 5 0 は、OS トランジスタを用いることができる。つまり、図 2 0 に示す表示装置 1 0 は、OS トランジスタが積層して設けられる。

[0185]

基板 7 0 1 上には絶縁体 6 1 3 及び絶縁体 6 1 4 が設けられ、絶縁体 6 1 4 上にはトランジスタ 6 0 2 及びトランジスタ 6 0 3 が設けられる。

[0186]

図 2、図 6 乃至図 8、及び図 1 1 に示す表示装置 1 0 において、トランジスタ 6 0 2 及びトランジスタ 6 0 3 は、例えば層 4 0 に設けられるゲートドライバ回路 2 2、又はデータドライバ回路 2 3 が有するトランジスタとすることができる。

[0187]

トランジスタ 6 0 2 及びトランジスタ 6 0 3 は、トランジスタ 7 5 0 と同様の構成のトランジスタとすることができる。なお、トランジスタ 6 0 2 及びトランジスタ 6 0 3 を、トランジスタ 7 5 0 と異なる構成のOS トランジスタとしてもよい。

[0188]

絶縁体 6 1 4 上には、トランジスタ 6 0 2 及びトランジスタ 6 0 3 の他、絶縁体 6 1 6、絶縁体 6 2 2、絶縁体 6 2 4、絶縁体 6 5 4、絶縁体 6 4 4、絶縁体 6 8 0、絶縁体 6 7 4、及び絶縁体 6 8 1 が設けられる。絶縁体 6 5 4 中、絶縁体 6 4 4 中、絶縁体 6 8 0 中、絶縁体 6 7 4 中、及び絶縁体 6 8 1 中に導電体 4 6 1、及び導電体 4 6 5 が埋設されている。ここで、導電体 4 6 1 及び導電体 4 6 5 の上面の高さと、絶縁体 6 8 1 の上面の高さは同程度にできる。

[0189]

導電体461上、導電体465上、及び絶縁体681上に絶縁体421、及び絶縁体214が設けられる。絶縁体421中に導電体463、及び導電体467が埋設されている。また、絶縁体421中、及び絶縁体214中に導電体453、及び導電体473が埋設されている。ここで、導電体453及び導電体473の上面の高さと、絶縁体214の上面の高さは同程度にできる。

[0190]

図20に示すように、トランジスタ602のソース又はドレインの一方は、導電体461、導電体463、導電体453、導電体455、導電体305、導電体317、導電体337、導電体347、導電体353、導電体355、導電体357、接続電極760、及び異方性導電体780を介して、FPC716と電氣的に接続される。また、トランジスタ603のソース又はドレインの一方は、導電体465、導電体467、導電体473、導電体475、及び導電体365を介して、導電体367と電氣的に接続される。

[0191]

絶縁体613、絶縁体614、絶縁体680、絶縁体674、及び絶縁体681は、層間膜としての機能を有し、それぞれの下方の凹凸形状を被覆する平坦化膜としての機能を有してもよい。

[0192]

表示装置10を図20に示す構成とすることにより、表示装置10が有するトランジスタを、全て同一の種類のトランジスタとすることができる。例えば、表示装置10が有するトランジスタを、全てOSトランジスタとすることができる。これにより、例えば層40に設けられるトランジスタと、層50に設けられるトランジスタと、を同一の装置を用いて作製することができる。よって、表示装置10の作製コストを削減することができ、表示装置10を低価格なものとすることができる。

[0193]

図16乃至図20では、表示素子（表示デバイスともいう）として発光素子を表示装置10に設ける構成を示したが、本発明の一態様はこれに限らない。図21は、図16に示す表示装置10の変形例であり、発光素子500の代わりに、液晶素子510を有する点が、図16に示す表示装置10と主に異なる。

[0194]

液晶素子510は、導電体772、導電体774、及びこれらの間に液晶層776を有する。ここで、液晶素子は、液晶デバイスともいうことができる。導電体774は、基板705側に設けられ、共通電極としての機能を有する。また、導電体772は、導電体351、導電体341、導電体331、導電体313、及び導電体301bを介して、トランジスタ750のソース又はドレインの他方と電氣的に接続される。導電体772は絶縁体363上に形成され、画素電極としての機能を有する。

[0195]

導電体772には、可視光に対して透光性の材料、又は反射性の材料を用いることができる。透光性の材料としては、例えば、インジウム、亜鉛、スズ等を含む酸化物材料を用いるとよい。反射性の材料としては、例えば、アルミニウム、銀等を含む材料を用いるとよい。

[0196]

導電体772に反射性の材料を用いると、表示装置10は反射型の液晶表示装置となる。一方、導電体772に透光性の材料を用い、また基板701等にも透光性の材料を用いると、表示装置10は透過型の液晶表示装置となる。表示装置10が反射型の液晶表示装置である場合、視認側に偏光板を設ける。一方、表示装置10が透過型の液晶表示装置である場合、液晶素子を挟むように一対の偏光板

を設ける。

[0197]

また、図21には図示しないが、液晶層776と接する配向膜を設ける構成としてもよい。また、偏光部材、位相差部材、反射防止部材等の光学部材（光学基板）、及びバックライト、サイドライト等の光源を適宜設けることができる。

[0198]

絶縁体363と、導電体774との間に、構造体778が設けられる。構造体778は柱状のスペーサであり、基板701と基板705の間の距離（セルギャップ）を制御する機能を有する。なお、構造体778として、球状のスペーサを用いてもよい。

[0199]

液晶層776には、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶（PDL C : Polymer Dispersed Liquid Crystal）、高分子ネットワーク型液晶（PNLC : Polymer Network Liquid Crystal）、強誘電性液晶、反強誘電性液晶等を用いることができる。また、横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。

[0200]

また、液晶素子のモードとしては、TN（Twisted Nematic）モード、VA（Vertical Alignment）モード、IPS（In-Plane-Switching）モード、FFS（Fringe Field Switching）モード、ASM（Axially Symmetric aligned Micro-cell）モード、OCB（Optically Compensated Birefringence）モード、ECB（Electrically Controlled Birefringence）モード、ゲストホストモード等を用いることができる。

[0201]

また、液晶層776に高分子分散型液晶、又は高分子ネットワーク型液晶等を用いた、散乱型の液晶を用いることもできる。このとき、着色層736を設けずに白黒表示を行う構成としてもよいし、着色層736を用いてカラー表示を行う構成としてもよい。

[0202]

また、液晶素子の駆動方法として、継時加法混色法に基づいてカラー表示を行う、時間分割表示方式（フィールドシーケンシャル駆動方式ともいう）を適用してもよい。その場合、着色層736を設けない構成とすることができる。時間分割表示方式を用いた場合、例えばR（赤色）、G（緑色）、B（青色）のそれぞれの色を呈する画素を設ける必要がないため、画素の開口率を向上させることができる、及び精細度を高めることができる等の利点がある。

[0203]

<トランジスタの構成例>

図22A、図22B、及び図22Cは、本発明の一態様である表示装置に用いることができるトランジスタ200A、及びトランジスタ200A周辺の上上面図及び断面図である。例えば、図16、図17、及び図19乃至図21に示すトランジスタ750に、トランジスタ200Aを適用することができる。また、図17に示すトランジスタ800、並びに図20に示すトランジスタ602及びトランジスタ603に、トランジスタ200Aを適用することができる。

[0204]

図22Aは、トランジスタ200Aの上面図である。また、図22B、及び図22Cは、トランジスタ200Aの断面図である。ここで、図22Bは、図22AにA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200Aのチャネル長方向の断面図でもある。また、図22Cは、図22AにA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200Aのチャネル幅方向の断面図でもある。なお、図22Aの上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0205]

図22に示すように、トランジスタ200Aは、基板（図示しない。）の上に配置された金属酸化物230aと、金属酸化物230aの上に配置された金属酸化物230bと、金属酸化物230bの上に、互いに離隔して配置された導電体242a、及び導電体242bと、導電体242a及び導電体242b上に配置され、導電体242aと導電体242bの間に開口が形成された絶縁体280と、開口の中に配置された導電体260と、金属酸化物230b、導電体242a、導電体242b、及び絶縁体280と、導電体260と、の間に配置された絶縁体250と、金属酸化物230b、導電体242a、導電体242b、及び絶縁体280と、絶縁体250と、の間に配置された金属酸化物230cと、を有する。ここで、図22B及び図22Cに示すように、導電体260の上面は、絶縁体250、絶縁体254、金属酸化物230c、及び絶縁体280の上面と略一致することが好ましい。なお、以下において、金属酸化物230a、金属酸化物230b、及び金属酸化物230cをまとめて金属酸化物230という場合がある。また、導電体242a及び導電体242bをまとめて導電体242という場合がある。

[0206]

図22に示すトランジスタ200Aでは、導電体242a及び導電体242bの導電体260側の側面が、概略垂直な形状を有している。なお、図22に示すトランジスタ200Aは、これに限られるものではなく、導電体242a及び導電体242bの側面と底面がなす角が、 10° 以上 80° 以下、好ましくは、 30° 以上 60° 以下としてもよい。また、導電体242a及び導電体242bの対向する側面が、複数の面を有していてもよい。

[0207]

図22に示すように、絶縁体224、金属酸化物230a、金属酸化物230b、導電体242a、導電体242b、及び金属酸化物230cと、絶縁体280と、の間に絶縁体254が配置されることが好ましい。ここで、絶縁体254は、図22B及び図22Cに示すように、金属酸化物230cの側面、導電体242aの上面と側面、導電体242bの上面と側面、金属酸化物230a及び金属酸化物230bの側面、並びに絶縁体224の上面に接することが好ましい。

[0208]

なお、トランジスタ200Aでは、チャネルが形成される領域（以下、チャネル形成領域ともいう。）と、その近傍において、金属酸化物230a、金属酸化物230b、及び金属酸化物230cの3層を積層する構成について示しているが、本発明の一態様はこれに限られるものではない。例えば、金属酸化物230bと金属酸化物230cの2層構造、又は4層以上の積層構造を設ける構成にしてもよい。また、トランジスタ200Aでは、導電体260を2層の積層構造として示しているが、本発明の一態様はこれに限られるものではない。例えば、導電体260が、単層構造であってもよいし、3層以上の積層構造であってもよい。また、金属酸化物230a、金属酸化物230b、及び金属酸

化物 2 3 0 c のそれぞれが 2 層以上の積層構造を有していてもよい。

[0 2 0 9]

例えば、金属酸化物 2 3 0 c が第 1 の金属酸化物と、第 1 の金属酸化物上の第 2 の金属酸化物からなる積層構造を有する場合、第 1 の金属酸化物は、金属酸化物 2 3 0 b と同様の組成を有し、第 2 の金属酸化物は、金属酸化物 2 3 0 a と同様の組成を有することが好ましい。

[0 2 1 0]

ここで、導電体 2 6 0 は、トランジスタのゲート電極として機能し、導電体 2 4 2 a 及び導電体 2 4 2 b は、それぞれソース電極又はドレイン電極としての機能を有する。上記のように、導電体 2 6 0 は、絶縁体 2 8 0 の開口、及び導電体 2 4 2 a と導電体 2 4 2 b に挟まれた領域に埋め込まれるように形成される。ここで、導電体 2 6 0、導電体 2 4 2 a 及び導電体 2 4 2 b の配置は、絶縁体 2 8 0 の開口に対して、自己整合的に選択される。つまり、トランジスタ 2 0 0 A において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体 2 6 0 を位置合わせのマージンを設けることなく形成することができるため、トランジスタ 2 0 0 A の占有面積の縮小を図ることができる。これにより、表示装置に設けられる画素を微細化することができるため、画素密度を高め、表示装置に高精細な画像を表示することができる。例えば、表示装置 1 0 の表示部 2 0 に設けられる画素 2 1 の密度を、1 0 0 0 p p i 以上、3 0 0 0 p p i 以上、5 0 0 0 p p i 以上、又は 7 0 0 0 p p i 以上とすることができる。よって、表示装置 1 0 に、粒状感が少ない高品位の画像を表示することができ、臨場感の高い画像を表示することができる。したがって、表示装置 1 0 は、特に、AR、又は VR 用の電子機器として用いることができる、ウェアラブル型の電子機器、又は据え置き型の電子機器等に好適に用いることができる。例えば、HMD、及び眼鏡型の電子機器に、表示装置 1 0 を好適に用いることができる。

[0 2 1 1]

図 2 2 に示すように、導電体 2 6 0 は、絶縁体 2 5 0 の内側に設けられた導電体 2 6 0 a と、導電体 2 6 0 a の内側に埋め込まれるように設けられた導電体 2 6 0 b と、を有することが好ましい。

[0 2 1 2]

トランジスタ 2 0 0 A は、基板（図示しない。）の上に配置された絶縁体 2 1 4 と、絶縁体 2 1 4 の上に配置された絶縁体 2 1 6 と、絶縁体 2 1 6 に埋め込まれるように配置された導電体 2 0 5 と、絶縁体 2 1 6 と導電体 2 0 5 の上に配置された絶縁体 2 2 2 と、絶縁体 2 2 2 の上に配置された絶縁体 2 2 4 と、を有することが好ましい。絶縁体 2 2 4 の上に金属酸化物 2 3 0 a が配置されることが好ましい。

[0 2 1 3]

トランジスタ 2 0 0 A の上に、層間膜としての機能を有する絶縁体 2 7 4、及び絶縁体 2 8 1 が配置されることが好ましい。ここで、絶縁体 2 7 4 は、導電体 2 6 0、絶縁体 2 5 0、絶縁体 2 5 4、金属酸化物 2 3 0 c、及び絶縁体 2 8 0 の上面に接して配置されることが好ましい。

[0 2 1 4]

絶縁体 2 2 2、絶縁体 2 5 4、及び絶縁体 2 7 4 は、水素（例えば、水素原子、水素分子等）の少なくとも一の拡散を抑制する機能を有することが好ましい。例えば、絶縁体 2 2 2、絶縁体 2 5 4、及び絶縁体 2 7 4 は、絶縁体 2 2 4、絶縁体 2 5 0、及び絶縁体 2 8 0 より水素透過性が低いことが好ましい。また、絶縁体 2 2 2、及び絶縁体 2 5 4 は、酸素（例えば、酸素原子、酸素分子等）の少なくとも一の拡散を抑制する機能を有することが好ましい。例えば、絶縁体 2 2 2、及び絶縁体 2 5 4

は、絶縁体 2 2 4、絶縁体 2 5 0、及び絶縁体 2 8 0 より酸素透過性が低いことが好ましい。

[0 2 1 5]

ここで、絶縁体 2 2 4、金属酸化物 2 3 0、及び絶縁体 2 5 0 は、絶縁体 2 8 0 及び絶縁体 2 8 1 と、絶縁体 2 5 4、及び絶縁体 2 7 4 によって離隔されている。ゆえに、絶縁体 2 2 4、金属酸化物 2 3 0、及び絶縁体 2 5 0 に、絶縁体 2 8 0 及び絶縁体 2 8 1 に含まれる水素等の不純物、又は過剰な酸素が、絶縁体 2 2 4、金属酸化物 2 3 0 a、金属酸化物 2 3 0 b、及び絶縁体 2 5 0 に混入するのを抑制することができる。

[0 2 1 6]

トランジスタ 2 0 0 A と電氣的に接続し、プラグとしての機能を有する導電体 2 4 0 (導電体 2 4 0 a、及び導電体 2 4 0 b) が設けられることが好ましい。なお、プラグとしての機能を有する導電体 2 4 0 の側面に接して絶縁体 2 4 1 (絶縁体 2 4 1 a、及び絶縁体 2 4 1 b) が設けられる。つまり、絶縁体 2 5 4、絶縁体 2 8 0、絶縁体 2 7 4、及び絶縁体 2 8 1 の開口の内壁に接して絶縁体 2 4 1 が設けられる。また、絶縁体 2 4 1 の側面に接して導電体 2 4 0 の第 1 の導電体が設けられ、さらに内側に導電体 2 4 0 の第 2 の導電体が設けられる構成にしてもよい。ここで、導電体 2 4 0 の上面の高さと、絶縁体 2 8 1 の上面の高さは同程度にできる。なお、トランジスタ 2 0 0 A では、導電体 2 4 0 の第 1 の導電体及び導電体 2 4 0 の第 2 の導電体を積層する構成について示しているが、本発明の一態様はこれに限られるものではない。例えば、導電体 2 4 0 を単層、又は 3 層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

[0 2 1 7]

トランジスタ 2 0 0 A は、チャネル形成領域を含む金属酸化物 2 3 0 (金属酸化物 2 3 0 a、金属酸化物 2 3 0 b、及び金属酸化物 2 3 0 c) に、酸化物半導体としての機能を有する金属酸化物(以下、酸化物半導体ともいう。)を用いることが好ましい。例えば、金属酸化物 2 3 0 のチャネル形成領域となる金属酸化物として、バンドギャップが 2 e V 以上、好ましくは 2.5 e V 以上のものを用いることが好ましい。

[0 2 1 8]

上記金属酸化物として、少なくともインジウム (I n) 又は亜鉛 (Z n) を含むことが好ましい。特に、インジウム (I n) 及び亜鉛 (Z n) を含むことが好ましい。また、これらに加えて、元素 M が含まれていることが好ましい。元素 M として、アルミニウム (A l)、ガリウム (G a)、イットリウム (Y)、スズ (S n)、ホウ素 (B)、チタン (T i)、鉄 (F e)、ニッケル (N i)、ゲルマニウム (G e)、ジルコニウム (Z r)、モリブデン (M o)、ランタン (L a)、セリウム (C e)、ネオジウム (N d)、ハフニウム (H f)、タンタル (T a)、タングステン (W)、マグネシウム (M g) 又はコバルト (C o) の一以上を用いることができる。特に、元素 M は、アルミニウム (A l)、ガリウム (G a)、イットリウム (Y)、又はスズ (S n) の一以上とすることが好ましい。また、元素 M は、G a 及び S n のいずれか一方又は双方を有することがさらに好ましい。

[0 2 1 9]

また、図 2 2 B に示すように、金属酸化物 2 3 0 b は、導電体 2 4 2 と重ならない領域の膜厚が、導電体 2 4 2 と重なる領域の膜厚より薄くなる場合がある。これは、導電体 2 4 2 a 及び導電体 2 4 2 b を形成する際に、金属酸化物 2 3 0 b の上面の一部を除去することにより形成される。金属酸化物 2 3 0 b の上面には、導電体 2 4 2 となる導電膜を成膜した際に、当該導電膜との界面近傍に抵抗の

低い領域が形成される場合がある。このように、金属酸化物 230b の上面の導電体 242a と導電体 242b の間に位置する、抵抗の低い領域を除去することにより、当該領域にチャネルが形成されることを防ぐことができる。

[0220]

本発明の一態様により、サイズが小さいトランジスタを有し、精細度が高い表示装置を提供することができる。又は、オン電流が大きいトランジスタを有し、輝度が高い表示装置を提供することができる。又は、駆動速度が速いトランジスタを有し、駆動速度が速い表示装置を提供することができる。又は、電気特性が安定したトランジスタを有し、信頼性が高い表示装置を提供することができる。又は、オフ電流が小さいトランジスタを有し、消費電力が低い表示装置を提供することができる。

[0221]

本発明の一態様である表示装置に用いることができるトランジスタ 200A の詳細な構成について説明する。

[0222]

導電体 205 は、金属酸化物 230、及び導電体 260 と、重なる領域を有するように配置する。また、導電体 205 は、絶縁体 216 に埋め込まれて設けることが好ましい。ここで、導電体 205 の上面の平坦性を良好にすることが好ましい。例えば、導電体 205 上面の平均面粗さ (Ra) を 1 nm 以下、好ましくは 0.5 nm 以下、より好ましくは 0.3 nm 以下にすればよい。これにより、導電体 205 の上に形成される、絶縁体 224 の平坦性を良好にし、金属酸化物 230b 及び金属酸化物 230c の結晶性の向上を図ることができる。

[0223]

ここで、導電体 260 は、第 1 のゲート (トップゲートともいう。) 電極としての機能を有する場合がある。また、導電体 205 は、第 2 のゲート (ボトムゲートともいう。) 電極としての機能を有する場合がある。その場合、導電体 205 に印加する電位を、導電体 260 に印加する電位と連動させず、独立して変化させることで、トランジスタ 200A の V_{th} を制御することができる。特に、導電体 205 に負の電位を印加することにより、トランジスタ 200A の V_{th} を 0 V より大きくし、オフ電流を小さくすることが可能となる。したがって、導電体 205 に負の電位を印加したほうが、印加しない場合よりも、導電体 260 に印加する電位が 0 V のときのドレイン電流を小さくすることができる。

[0224]

導電体 205 は、金属酸化物 230 におけるチャネル形成領域よりも、大きく設けるとよい。特に、図 22C に示すように、導電体 205 は、金属酸化物 230 のチャネル幅方向と交わる端部よりも外側の領域においても、延伸していることが好ましい。つまり、金属酸化物 230 のチャネル幅方向における側面の外側において、導電体 205 と、導電体 260 とは、絶縁体を介して重畳していることが好ましい。

[0225]

上記構成を有することで、第 1 のゲート電極としての機能を有する導電体 260 の電界と、第 2 のゲート電極としての機能を有する導電体 205 の電界によって、金属酸化物 230 のチャネル形成領域を電氣的に取り囲むことができる。

[0226]

図 22C に示すように、導電体 205 は延伸させて、配線としても機能させている。ただし、これに

限られることなく、導電体 205 の下に、配線としての機能を有する導電体を設ける構成にしてもよい。

[0227]

導電体 205 は、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。なお、導電体 205 を単層で図示したが、積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層としてもよい。

[0228]

導電体 205 の下に水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (N_2O 、 NO 、 NO_2 等)、銅原子等の不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）導電体を用いてもよい。又は、酸素（例えば、酸素原子、酸素分子等の少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）導電体を用いることが好ましい。なお、本明細書において、不純物、又は酸素の拡散を抑制する機能とは、上記不純物、又は上記酸素のいずれか一又はすべての拡散を抑制する機能とする。

[0229]

導電体 205 の下に、酸素の拡散を抑制する機能を有する導電体を用いることにより、導電体 205 が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電体として、例えば、タンタル、窒化タンタル、ルテニウム又は酸化ルテニウム等を用いることが好ましい。したがって、導電体 205 として、上記導電性材料を単層又は積層とすればよい。

[0230]

絶縁体 214 は、水又は水素等の不純物が、基板側からトランジスタ 200A に混入するのを抑制するバリア絶縁膜としての機能を有することが好ましい。したがって、絶縁体 214 は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (N_2O 、 NO 、 NO_2 等)、銅原子等の不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）絶縁性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子等）の少なくとも一の拡散を抑制する機能を有する（上記酸素が透過しにくい。）絶縁性材料を用いることが好ましい。

[0231]

例えば、絶縁体 214 として、酸化アルミニウム又は窒化シリコン等を用いることが好ましい。これにより、水又は水素等の不純物が絶縁体 214 よりも基板側からトランジスタ 200A 側に拡散するのを抑制することができる。又は、絶縁体 224 等に含まれる酸素が、絶縁体 214 よりも基板側に、拡散するのを抑制することができる。

[0232]

層間膜としての機能を有する絶縁体 216、絶縁体 280、及び絶縁体 281 は、絶縁体 214 よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 216、絶縁体 280、及び絶縁体 281 として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコン、又は空孔を有する酸化シリコン等を適宜用いればよい。

[0233]

絶縁体 222 及び絶縁体 224 は、ゲート絶縁体としての機能を有する。

[0234]

ここで、金属酸化物 230 と接する絶縁体 224 は、加熱により酸素を脱離することが好ましい。本明細書では、加熱により離脱する酸素を過剰酸素と呼ぶことがある。例えば、絶縁体 224 は、酸化シリコン又は酸化窒化シリコン等を適宜用いればよい。酸素を含む絶縁体を金属酸化物 230 に接して設けることにより、金属酸化物 230 中の酸素欠損を低減し、トランジスタ 200A の信頼性を向上させることができる。

[0235]

絶縁体 224 として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、又は $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記 TDS 分析時における膜の表面温度は、 100°C 以上 700°C 以下、又は 100°C 以上 400°C 以下の範囲が好ましい。

[0236]

図 22C に示すように、絶縁体 224 は、絶縁体 254 と重ならず、且つ金属酸化物 230b と重ならない領域の膜厚が、それ以外の領域の膜厚より薄くなる場合がある。絶縁体 224 において、絶縁体 254 と重ならず、且つ金属酸化物 230b と重ならない領域の膜厚は、上記酸素を十分に拡散できる膜厚であることが好ましい。

[0237]

絶縁体 222 は、絶縁体 214 等と同様に、水又は水素等の不純物が、基板側からトランジスタ 200A に混入するのを抑制するバリア絶縁膜としての機能を有することが好ましい。例えば、絶縁体 222 は、絶縁体 224 より水素透過性が低いことが好ましい。絶縁体 222、絶縁体 254、及び絶縁体 274 によって、絶縁体 224、金属酸化物 230、及び絶縁体 250 等を囲むことにより、外方から水又は水素等の不純物がトランジスタ 200A に侵入することを抑制することができる。

[0238]

さらに、絶縁体 222 は、酸素（例えば、酸素原子、酸素分子等）の少なくとも一の拡散を抑制する機能を有する（上記酸素が透過しにくい。）ことが好ましい。例えば、絶縁体 222 は、絶縁体 224 より酸素透過性が低いことが好ましい。絶縁体 222 が、酸素及び不純物の拡散を抑制する機能を有することで、金属酸化物 230 が有する酸素が、基板側へ拡散することを低減できるため、好ましい。また、導電体 205 が、絶縁体 224 及び金属酸化物 230 が有する酸素と反応することを抑制することができる。

[0239]

絶縁体 222 は、絶縁性材料であるアルミニウム及びハフニウム的一方又は双方の酸化物を含む絶縁体を用いるとよい。アルミニウム及びハフニウム的一方又は双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）等を用いることが好ましい。このような材料を用いて絶縁体 222 を形成した場合、絶縁体 222 は、金属酸化物 230 からの酸素の放出、及びトランジスタ 200A の周辺部から金属酸化物 230 への水素等の不純物の混入を抑制する層としての機能を有する。

[0240]

又は、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオ

ブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。又はこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン又は窒化シリコンを積層して用いてもよい。

[0241]

絶縁体222は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム(SrTiO_3)又は(Ba, SrTiO_3) (BST)等のいわゆるhigh-k材料を含む絶縁体を単層又は積層で用いてもよい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流等の問題が生じる場合がある。ゲート絶縁体としての機能を有する絶縁体にhigh-k材料を用いることで、物理膜厚を保ちながら、トランジスタ駆動時のゲート電位の低減が可能となる。

[0242]

なお、絶縁体222、及び絶縁体224が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。例えば、絶縁体222の下に絶縁体224と同様の絶縁体を設ける構成にしてもよい。

[0243]

金属酸化物230は、金属酸化物230aと、金属酸化物230a上の金属酸化物230bと、金属酸化物230b上の金属酸化物230cと、を有する。金属酸化物230b下に金属酸化物230aを有することで、金属酸化物230aよりも下方に形成された構造物から、金属酸化物230bへの不純物の拡散を抑制することができる。また、金属酸化物230b上に金属酸化物230cを有することで、金属酸化物230cよりも上方に形成された構造物から、金属酸化物230bへの不純物の拡散を抑制することができる。

[0244]

なお、金属酸化物230は、各金属原子の原子数比が異なる複数の酸化物層の積層構造を有することが好ましい。例えば、金属酸化物230が、少なくともインジウム(In)と、元素Mと、を含む場合、金属酸化物230aを構成する全元素の原子数に対する、金属酸化物230aに含まれる元素Mの原子数の割合が、金属酸化物230bを構成する全元素の原子数に対する、金属酸化物230bに含まれる元素Mの原子数の割合より高いことが好ましい。また、金属酸化物230aに含まれる元素Mの、Inに対する原子数比が、金属酸化物230bに含まれる元素Mの、Inに対する原子数比より大きいことが好ましい。ここで、金属酸化物230cは、金属酸化物230a又は金属酸化物230bに用いることができる金属酸化物を用いることができる。

[0245]

金属酸化物230a及び金属酸化物230cの伝導帯下端のエネルギーが、金属酸化物230bの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、金属酸化物230a及び金属酸化物230cの電子親和力が、金属酸化物230bの電子親和力より小さいことが好ましい。この場合、金属酸化物230cは、金属酸化物230aに用いることができる金属酸化物を用いることが好ましい。具体的には、金属酸化物230cを構成する全元素の原子数に対する、金属酸化物230cに含まれる元素Mの原子数の割合が、金属酸化物230bを構成する全元素の原子数に対する、金属酸化物230bに含まれる元素Mの原子数の割合より高いことが好ましい。また、金属酸化物230cに含まれる元素Mの、Inに対する原子数比が、金属酸化物230bに含まれる元素Mの、Inに対する原子数比より大きいことが好ましい。

[0246]

ここで、金属酸化物230a、金属酸化物230b、及び金属酸化物230cの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、金属酸化物230a、金属酸化物230b、及び金属酸化物230cの接合部における伝導帯下端のエネルギー準位は、連続的に変化又は連続接合するともいうことができる。このようにするためには、金属酸化物230aと金属酸化物230bとの界面、及び金属酸化物230bと金属酸化物230cとの界面において形成される混合層の欠陥準位密度を低くするとよい。

[0247]

具体的には、金属酸化物230aと金属酸化物230b、金属酸化物230bと金属酸化物230cが、酸素以外に共通の元素を有する（主成分とする。）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、金属酸化物230bがIn-Ga-Zn酸化物の場合、金属酸化物230a及び金属酸化物230cとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウム等を用いてもよい。また、金属酸化物230cを積層構造としてもよい。例えば、In-Ga-Zn酸化物と、当該In-Ga-Zn酸化物上のGa-Zn酸化物との積層構造、又はIn-Ga-Zn酸化物と、当該In-Ga-Zn酸化物上の酸化ガリウムとの積層構造を用いることができる。別言すると、In-Ga-Zn酸化物と、Inを含まない酸化物との積層構造を、金属酸化物230cとして用いてもよい。

[0248]

具体的には、金属酸化物230aとして、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ [原子数比]、又は $1:1:0.5$ [原子数比]の金属酸化物を用いればよい。また、金属酸化物230bとして、 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ [原子数比]、又は $3:1:2$ [原子数比]の金属酸化物を用いればよい。また、金属酸化物230cとして、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ [原子数比]、 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ [原子数比]、 $\text{Ga}:\text{Zn}=2:1$ [原子数比]、又は $\text{Ga}:\text{Zn}=2:5$ [原子数比]の金属酸化物を用いればよい。また、金属酸化物230cを積層構造とする場合の具体例として、 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ [原子数比]と、 $\text{Ga}:\text{Zn}=2:1$ [原子数比]との積層構造、 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ [原子数比]と、 $\text{Ga}:\text{Zn}=2:5$ [原子数比]との積層構造、 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ [原子数比]と、酸化ガリウムとの積層構造等が挙げられる。

[0249]

このとき、キャリアの主たる経路は金属酸化物230bとなる。金属酸化物230a、金属酸化物230cを上述の構成とすることで、金属酸化物230aと金属酸化物230bとの界面、及び金属酸化物230bと金属酸化物230cとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ200Aは高いオン電流、及び高い周波数特性を得ることができる。なお、金属酸化物230cを積層構造とした場合、上述の金属酸化物230bと、金属酸化物230cとの界面における欠陥準位密度を低くする効果に加え、金属酸化物230cが有する構成元素が、絶縁体250側に拡散するのを抑制することが期待される。より具体的には、金属酸化物230cを積層構造とし、積層構造の上方にInを含まない酸化物を位置させるため、絶縁体250側に拡散しうるInを抑制することができる。絶縁体250は、ゲート絶縁体としての機能を有するため、Inが拡散した場合、トランジスタの特性不良となる。したがって、金属酸化物230cを積層構造とすることで、信頼性の高い表示装置を提供することが可能となる。

[0250]

金属酸化物230b上には、ソース電極、及びドレイン電極としての機能を有する導電体242（導電体242a、及び導電体242b）が設けられる。導電体242として、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、又は上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物等を用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、又は、酸素を吸収しても導電性を維持する材料であるため、好ましい。

[0251]

金属酸化物230と接するように上記導電体242を設けることで、金属酸化物230の導電体242近傍において、酸素濃度が低減する場合がある。また、金属酸化物230の導電体242近傍において、導電体242に含まれる金属と、金属酸化物230の成分とを含む金属化合物層が形成される場合がある。このような場合、金属酸化物230の導電体242近傍の領域において、キャリア密度が増加し、当該領域は、低抵抗領域となる。

[0252]

ここで、導電体242aと導電体242bの間の領域は、絶縁体280の開口に重畳して形成される。これにより、導電体242aと導電体242bの間に導電体260を自己整合的に配置することができる。

[0253]

絶縁体250は、ゲート絶縁体としての機能を有する。絶縁体250は、金属酸化物230cの上面に接して配置することが好ましい。絶縁体250は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、及び酸化窒化シリコンは熱に対し安定であるため好ましい。

[0254]

絶縁体250は、絶縁体224と同様に、絶縁体250中の水又は水素等の不純物濃度が低減されていることが好ましい。絶縁体250の膜厚は、1nm以上20nm以下とするのが好ましい。

[0255]

絶縁体250と導電体260との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体250から導電体260への酸素拡散を抑制することが好ましい。これにより、絶縁体250の酸素による導電体260の酸化を抑制することができる。

[0256]

当該金属酸化物は、ゲート絶縁体の一部としての機能を有する場合がある。したがって、絶縁体250に酸化シリコン、又は酸化窒化シリコン等を用いる場合、当該金属酸化物は、比誘電率が高いhigh-k材料である金属酸化物を用いることが好ましい。ゲート絶縁体を、絶縁体250と当該金属

酸化物との積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ駆動時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体としての機能を有する絶縁体の等価酸化膜厚(EOT)の薄膜化が可能となる。

[0257]

具体的には、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、又は、マグネシウム等から選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。特に、アルミニウム、又はハフニウムの一方又は双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）等を用いることが好ましい。

[0258]

導電体260は、図22では2層構造として示しているが、単層構造でもよいし、3層以上の積層構造であってもよい。

[0259]

導電体260aは、上述の、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 等)、銅原子等の不純物の拡散を抑制する機能を有する導電体を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子等）の少なくとも一の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0260]

導電体260aが酸素の拡散を抑制する機能を持つことにより、絶縁体250に含まれる酸素により、導電体260bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料として、例えば、タンタル、窒化タンタル、ルテニウム、又は酸化ルテニウム等を用いることが好ましい。

[0261]

導電体260bは、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体260は、配線としての機能も有するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることができる。また、導電体260bは積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層構造としてもよい。

[0262]

図22A及び図22Cに示すように、金属酸化物230bの導電体242と重ならない領域、言い換えると、金属酸化物230のチャネル形成領域において、金属酸化物230の側面が導電体260で覆うように配置されている。これにより、第1のゲート電極としての機能を有する導電体260の電界を、金属酸化物230の側面に作用させやすくなる。よって、トランジスタ200Aのオン電流を増大させ、周波数特性を向上させることができる。

[0263]

絶縁体254は、絶縁体214等と同様に、水又は水素等の不純物が、絶縁体280側からトランジスタ200Aに混入するのを抑制するバリア絶縁膜としての機能を有することが好ましい。例えば、絶縁体254は、絶縁体224より水素透過性が低いことが好ましい。さらに、図22B及び図22Cに示すように、絶縁体254は、金属酸化物230cの側面、導電体242aの上面と側面、導電

体 2 4 2 b の上面と側面、金属酸化物 2 3 0 a 及び金属酸化物 2 3 0 b の側面、並びに絶縁体 2 2 4 の上面に接することが好ましい。このような構成にすることで、絶縁体 2 8 0 に含まれる水素が、導電体 2 4 2 a、導電体 2 4 2 b、金属酸化物 2 3 0 a、金属酸化物 2 3 0 b 及び絶縁体 2 2 4 の上面又は側面から金属酸化物 2 3 0 に侵入するのを抑制することができる。

[0 2 6 4]

さらに、絶縁体 2 5 4 は、酸素（例えば、酸素原子、酸素分子等）の少なくとも一の拡散を抑制する機能を有する（上記酸素が透過しにくい。）ことが好ましい。例えば、絶縁体 2 5 4 は、絶縁体 2 8 0 又は絶縁体 2 2 4 より酸素透過性が低いことが好ましい。

[0 2 6 5]

絶縁体 2 5 4 は、スパッタリング法を用いて成膜されることが好ましい。絶縁体 2 5 4 を、酸素を含む雰囲気中でスパッタリング法を用いて成膜することで、絶縁体 2 2 4 の絶縁体 2 5 4 と接する領域近傍に酸素を添加することができる。これにより、当該領域から、絶縁体 2 2 4 を介して金属酸化物 2 3 0 中に酸素を供給することができる。ここで、絶縁体 2 5 4 が、上方への酸素の拡散を抑制する機能を有することで、酸素が金属酸化物 2 3 0 から絶縁体 2 8 0 へ拡散することを防ぐことができる。また、絶縁体 2 2 2 が、下方への酸素の拡散を抑制する機能を有することで、酸素が金属酸化物 2 3 0 から基板側へ拡散することを防ぐことができる。このようにして、金属酸化物 2 3 0 のチャネル形成領域に酸素が供給される。これにより、金属酸化物 2 3 0 の酸素欠損を低減し、トランジスタのノーマリーオン化を抑制することができる。

[0 2 6 6]

絶縁体 2 5 4 として、例えば、アルミニウム及びハフニウム的一方又は双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウム及びハフニウム的一方又は双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）等を用いることが好ましい。

[0 2 6 7]

水素に対してバリア性を有する絶縁体 2 5 4 によって、絶縁体 2 2 4、絶縁体 2 5 0、及び金属酸化物 2 3 0 が覆うことで、絶縁体 2 8 0 は、絶縁体 2 5 4 によって、絶縁体 2 2 4、金属酸化物 2 3 0、及び絶縁体 2 5 0 と離隔されている。これにより、トランジスタ 2 0 0 A の外方から水素等の不純物が浸入することを抑制できるため、トランジスタ 2 0 0 A に良好な電気特性及び信頼性を与えることができる。

[0 2 6 8]

絶縁体 2 8 0 は、絶縁体 2 5 4 を介して、絶縁体 2 2 4、金属酸化物 2 3 0、及び導電体 2 4 2 上に設けられる。例えば、絶縁体 2 8 0 として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコン、又は空孔を有する酸化シリコン等を有することが好ましい。特に、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコン等の材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

[0 2 6 9]

絶縁体 2 8 0 中の水又は水素等の不純物濃度が低減されていることが好ましい。また、絶縁体 2 8 0 の上面は、平坦化されていてもよい。

[0270]

絶縁体274は、絶縁体214等と同様に、水又は水素等の不純物が、上方から絶縁体280に混入するのを抑制するバリア絶縁膜としての機能を有することが好ましい。絶縁体274として、例えば、絶縁体214、絶縁体254等に用いることができる絶縁体を用いればよい。

[0271]

絶縁体274の上に、層間膜としての機能を有する絶縁体281を設けることが好ましい。絶縁体281は、絶縁体224等と同様に、膜中の水又は水素等の不純物濃度が低減されていることが好ましい。

[0272]

絶縁体281、絶縁体274、絶縁体280、及び絶縁体254に形成された開口に、導電体240a及び導電体240bを配置する。導電体240a及び導電体240bは、導電体260を挟んで対向して設ける。なお、導電体240a及び導電体240bの上面の高さは、絶縁体281の上面と、同一平面上としてもよい。

[0273]

なお、絶縁体281、絶縁体274、絶縁体280、及び絶縁体254の開口の内壁に接して、絶縁体241aが設けられ、その側面に接して導電体240aの第1の導電体が形成されている。当該開口の底部の少なくとも一部には導電体242aが位置しており、導電体240aが導電体242aと接する。同様に、絶縁体281、絶縁体274、絶縁体280、及び絶縁体254の開口の内壁に接して、絶縁体241bが設けられ、その側面に接して導電体240bの第1の導電体が形成されている。当該開口の底部の少なくとも一部には導電体242bが位置しており、導電体240bが導電体242bと接する。

[0274]

導電体240a及び導電体240bは、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体240a及び導電体240bは積層構造としてもよい。

[0275]

導電体240を積層構造とする場合、金属酸化物230a、金属酸化物230b、導電体242、絶縁体254、絶縁体280、絶縁体274、絶縁体281と接する導電体には、上述の、水又は水素等の不純物の拡散を抑制する機能を有する導電体を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、又は酸化ルテニウム等を用いることが好ましい。また、水又は水素等の不純物の拡散を抑制する機能を有する導電性材料は、単層又は積層で用いてもよい。当該導電性材料を用いることで、絶縁体280に添加された酸素が導電体240a及び導電体240bに吸収されるのを防ぐことができる。また、絶縁体281より上層から水又は水素等の不純物が、導電体240a及び導電体240bを通じて金属酸化物230に混入するのを抑制することができる。

[0276]

絶縁体241a及び絶縁体241bとして、例えば、絶縁体254等に用いることができる絶縁体を用いればよい。絶縁体241a及び絶縁体241bは、絶縁体254に接して設けられるため、絶縁体280等から水又は水素等の不純物が、導電体240a及び導電体240bを通じて金属酸化物230に混入することを抑制できる。また、絶縁体280に含まれる酸素が導電体240a及び導電体240bに吸収されるのを防ぐことができる。

[0277]

図示しないが、導電体240aの上面、及び導電体240bの上面に接して配線としての機能を有する導電体を配置してもよい。配線としての機能を有する導電体は、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層としてもよい。当該導電体は、絶縁体に設けられた開口に埋め込むように形成してもよい。

[0278]

図23A、図23B、及び図23Cは、本発明の一態様である表示装置に用いることができるトランジスタ200B、及びトランジスタ200B周辺の上面図及び断面図である。トランジスタ200Bは、トランジスタ200Aの変形例である。

[0279]

図23Aは、トランジスタ200Bの上面図である。また、図23B、及び図23Cは、トランジスタ200Bの断面図である。ここで、図23Bは、図23AにB1-B2の一点鎖線で示す部位の断面図であり、トランジスタ200Bのチャネル長方向の断面図でもある。また、図23Cは、図23AにB3-B4の一点鎖線で示す部位の断面図であり、トランジスタ200Bのチャネル幅方向の断面図でもある。なお、図23Aの上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0280]

トランジスタ200Bでは、導電体242a及び導電体242bが、金属酸化物230c、絶縁体250、及び導電体260と重なる領域を有する。これにより、トランジスタ200Bはオン電流が高いトランジスタとすることができる。また、トランジスタ200Bは制御しやすいトランジスタとすることができる。

[0281]

ゲート電極としての機能を有する導電体260は、導電体260aと、導電体260a上の導電体260bと、を有する。導電体260aは、水素原子、水素分子、水分子、銅原子等の不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子等の少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0282]

導電体260aが酸素の拡散を抑制する機能を有することにより、導電体260bの材料選択性を向上することができる。つまり、導電体260aを有することで、導電体260bの酸化が抑制され、導電率が低下することを防止することができる。

[0283]

導電体260の上面及び側面、絶縁体250の側面、及び金属酸化物230cの側面を覆うように絶縁体254を設けることが好ましい。なお、絶縁体254は、水又は水素等の不純物、及び酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。

[0284]

絶縁体254を設けることで、導電体260の酸化を抑制することができる。また、絶縁体254を有することで、絶縁体280が有する水、水素等の不純物がトランジスタ200Bへ拡散することを抑制することができる。

[0285]

図 2 4 A、図 2 4 B、及び図 2 4 C は、本発明の一態様である表示装置に用いることができるトランジスタ 2 0 0 C、及びトランジスタ 2 0 0 C 周辺の上面図及び断面図である。トランジスタ 2 0 0 C は、トランジスタ 2 0 0 A の変形例である。

[0286]

図 2 4 A は、トランジスタ 2 0 0 C の上面図である。また、図 2 4 B、及び図 2 4 C は、トランジスタ 2 0 0 C の断面図である。ここで、図 2 4 B は、図 2 4 A に C 1 - C 2 の一点鎖線で示す部位の断面図であり、トランジスタ 2 0 0 C のチャネル長方向の断面図でもある。また、図 2 4 C は、図 2 4 A に C 3 - C 4 の一点鎖線で示す部位の断面図であり、トランジスタ 2 0 0 C のチャネル幅方向の断面図でもある。なお、図 2 4 A の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0287]

トランジスタ 2 0 0 C では、金属酸化物 2 3 0 c 上に絶縁体 2 5 0 を有し、絶縁体 2 5 0 上に金属酸化物 2 5 2 を有する。また、金属酸化物 2 5 2 上に導電体 2 6 0 を有し、導電体 2 6 0 上に絶縁体 2 7 0 を有する。また、絶縁体 2 7 0 上に絶縁体 2 7 1 を有する。

[0288]

金属酸化物 2 5 2 は、酸素拡散を抑制する機能を有することが好ましい。絶縁体 2 5 0 と導電体 2 6 0 との間に、酸素の拡散を抑制する金属酸化物 2 5 2 を設けることで、導電体 2 6 0 への酸素の拡散が抑制される。つまり、金属酸化物 2 3 0 へ供給する酸素量の減少を抑制することができる。また、酸素による導電体 2 6 0 の酸化を抑制することができる。

[0289]

なお、金属酸化物 2 5 2 は、ゲート電極の一部としての機能を有してもよい。例えば、金属酸化物 2 3 0 として用いることができる酸化物半導体を、金属酸化物 2 5 2 として用いることができる。その場合、導電体 2 6 0 をスパッタリング法で成膜することで、金属酸化物 2 5 2 の電気抵抗値を低下させて導電体とすることができる。これを OC (O x i d e C o n d u c t o r) 電極と呼ぶことができる。

[0290]

金属酸化物 2 5 2 は、ゲート絶縁体の一部としての機能を有する場合がある。したがって、絶縁体 2 5 0 に酸化シリコン、又は酸化窒化シリコン等を用いる場合、金属酸化物 2 5 2 は、比誘電率が高い h i g h - k 材料である金属酸化物を用いることが好ましい。当該積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、物理膜厚を保持したまま、トランジスタ駆動時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体としての機能を有する絶縁層の等価酸化膜厚 (E O T) の薄膜化が可能となる。

[0291]

トランジスタ 2 0 0 C において、金属酸化物 2 5 2 を単層で示したが、2 層以上の積層構造としてもよい。例えば、ゲート電極の一部としての機能を有する金属酸化物と、ゲート絶縁体の一部としての機能を有する金属酸化物とを積層して設けてもよい。

[0292]

金属酸化物 2 5 2 を有することで、ゲート電極としての機能を有する場合は、導電体 2 6 0 からの電界の影響を弱めることなく、トランジスタ 2 0 0 C のオン電流の向上を図ることができる。又は、ゲート絶縁体としての機能を有する場合は、絶縁体 2 5 0 及び金属酸化物 2 5 2 の物理的な厚みによ

り、導電体 2 6 0 と、金属酸化物 2 3 0 との間の距離を保つことで、導電体 2 6 0 と金属酸化物 2 3 0 との間のリーク電流を抑制することができる。したがって、絶縁体 2 5 0 と金属酸化物 2 5 2 との積層構造を設けることで、導電体 2 6 0 と金属酸化物 2 3 0 との間の物理的な距離、及び導電体 2 6 0 から金属酸化物 2 3 0 へかかる電界強度を、容易に調整することができる。

[0 2 9 3]

具体的には、金属酸化物 2 5 2 として、金属酸化物 2 3 0 に用いることができる酸化物半導体を低抵抗化したものを用いることができる。又は、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、又はマグネシウム等から選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。

[0 2 9 4]

特に、アルミニウム、又はハフニウムの一方又は双方の酸化物を含む絶縁層である、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）等を用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウムよりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいため好ましい。なお、金属酸化物 2 5 2 は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

[0 2 9 5]

絶縁体 2 7 0 は、水又は水素等の不純物、及び酸素の透過を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウム又は酸化ハフニウム等を用いることが好ましい。これにより、絶縁体 2 7 0 よりも上方からの酸素で導電体 2 6 0 が酸化するのを抑制することができる。また、絶縁体 2 7 0 よりも上方からの水又は水素等の不純物が、導電体 2 6 0 及び絶縁体 2 5 0 を介して、金属酸化物 2 3 0 に混入することを抑制することができる。

[0 2 9 6]

絶縁体 2 7 1 はハードマスクとしての機能を有する。絶縁体 2 7 1 を設けることで、導電体 2 6 0 の加工の際、導電体 2 6 0 の側面が概略垂直、具体的には、導電体 2 6 0 の側面と基板表面のなす角を、7 5 度以上 1 0 0 度以下、好ましくは 8 0 度以上 9 5 度以下とすることができる。

[0 2 9 7]

なお、絶縁体 2 7 1 に、水又は水素等の不純物、及び酸素の透過を抑制する機能を有する絶縁性材料を用いることで、バリア層としての機能を兼ねさせてもよい。その場合、絶縁体 2 7 0 は設けなくともよい。

[0 2 9 8]

絶縁体 2 7 1 をハードマスクとして用いて、絶縁体 2 7 0、導電体 2 6 0、金属酸化物 2 5 2、絶縁体 2 5 0、及び金属酸化物 2 3 0 c の一部を選択的に除去することで、これらの側面を略一致させて、かつ、金属酸化物 2 3 0 b 表面の一部を露出させることができる。

[0 2 9 9]

トランジスタ 2 0 0 C は、露出した金属酸化物 2 3 0 b 表面の一部に領域 2 4 3 a 及び領域 2 4 3 b を有する。領域 2 4 3 a 又は領域 2 4 3 b の一方はソース領域として機能し、領域 2 4 3 a 又は領域 2 4 3 b の他方はドレイン領域としての機能を有する。

[0 3 0 0]

領域 2 4 3 a 及び領域 2 4 3 b の形成は、例えば、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、又はプラズマ処理等を用いて、露出した金属酸化物 2 3 0 b 表面にリン又

はボロン等の不純物元素を導入することで実現できる。なお、本実施の形態等において「不純物元素」とは、主成分元素以外の元素のことをいう。

[0301]

金属酸化物230b表面の一部を露出させた後に金属膜を成膜し、その後加熱処理することにより、該金属膜に含まれる元素を金属酸化物230bに拡散させて領域243a及び領域243bを形成することもできる。

[0302]

金属酸化物230bの不純物元素が導入された領域は、電気抵抗率が低下する。このため、領域243a及び領域243bを「不純物領域」又は「低抵抗領域」という場合がある。

[0303]

絶縁体271及び／又は導電体260をマスクとして用いることで、領域243a及び領域243bを自己整合（セルフアライメント）的に形成することができる。よって、領域243a及び／又は領域243bと、導電体260が重ならず、寄生容量を低減することができる。また、チャネル形成領域とソースドレイン領域（領域243a又は領域243b）の間にオフセット領域が形成されない。領域243a及び領域243bを自己整合（セルフアライメント）的に形成することにより、オン電流の増加、しきい値電圧の低減、駆動周波数の向上等を実現できる。

[0304]

トランジスタ200Cは、絶縁体271、絶縁体270、導電体260、金属酸化物252、絶縁体250、及び金属酸化物230cの側面に絶縁体272を有する。絶縁体272は、比誘電率の低い絶縁体であることが好ましい。例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン、又は樹脂等であることが好ましい。特に、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、空孔を有する酸化シリコンを絶縁体272に用いると、後の工程で絶縁体272中に過剰酸素領域を容易に形成できるため好ましい。また、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため好ましい。また、絶縁体272は、酸素を拡散する機能を有することが好ましい。

[0305]

なお、オフ電流を更に小さくするため、チャネル形成領域とソースドレイン領域の間にオフセット領域を設けてもよい。オフセット領域とは、電気抵抗率が高い領域であり、前述した不純物元素の導入が行なわれない領域である。オフセット領域の形成は、絶縁体272の形成後に前述した不純物元素の導入を行うことで実現できる。この場合、絶縁体272も絶縁体271等と同様にマスクとしての機能を有する。よって、金属酸化物230bの絶縁体272と重なる領域に不純物元素が導入されず、当該領域の電気抵抗率を高いままとすることができる。

[0306]

トランジスタ200Cは、絶縁体272、金属酸化物230上に絶縁体254を有する。絶縁体254は、スパッタリング法を用いて成膜することが好ましい。スパッタリング法を用いることにより、水又は水素等の不純物の少ない絶縁体を成膜することができる。

[0307]

なお、スパッタリング法を用いた酸化膜は、被成膜構造体から水素を引き抜く場合がある。したがって、絶縁体254が金属酸化物230及び絶縁体272から水素及び水を吸収することで、金属酸化

物 2 3 0 及び絶縁体 2 7 2 の水素濃度を低減することができる。

[0308]

<画素の構成例__1>

図 2 5 A、図 2 5 B、及び図 2 5 C は、画素 2 1 の構成例を示す回路図である。図 2 5 A に示す画素 2 1 は、発光素子 5 0 0 と、トランジスタ 5 2 1 と、トランジスタ 5 2 3 と、キャパシタ 5 2 5 と、を有する。なお、トランジスタ 5 2 1 のゲート容量が十分大きい場合等は、キャパシタ 5 2 5 を設けなくてもよい。

[0309]

本実施の形態では、トランジスタは全て n チャンネル型トランジスタとして説明を行うが、電位の大小関係を適宜入れ換えること等により、一部又は全てのトランジスタを p チャンネル型トランジスタとしてもよい。

[0310]

図 2 5 A に示す画素 2 1 では、発光素子 5 0 0 のアノードは、トランジスタ 5 2 1 のソース又はドレインの一方と電氣的に接続される。トランジスタ 5 2 1 のソース又はドレインの一方は、キャパシタ 5 2 5 の一方の電極と電氣的に接続される。トランジスタ 5 2 1 のゲートは、トランジスタ 5 2 3 のソース又はドレインの一方と電氣的に接続される。トランジスタ 5 2 3 のソース又はドレインの一方は、キャパシタ 5 2 5 の他方の電極と電氣的に接続される。

[0311]

トランジスタ 5 2 3 のゲートは、配線 2 4 と電氣的に接続される。トランジスタ 5 2 3 のソース又はドレインの他方は、配線 2 5 と電氣的に接続される。トランジスタ 5 2 1 のソース又はドレインの他方は、配線 5 3 0 a と電氣的に接続される。発光素子 5 0 0 のカソードは、配線 5 3 0 b と電氣的に接続される。

[0312]

配線 5 3 0 a 及び配線 5 3 0 b には、電源電位が供給される。よって、配線 5 3 0 a 及び配線 5 3 0 b は、電源線としての機能を有するといえることができる。配線 5 3 0 a には、電源電位として高電位を供給することができ、配線 5 3 0 b には、電源電位として低電位を供給することができる。

[0313]

図 2 5 A に示す画素 2 1 では、トランジスタ 5 2 1 のゲートに供給される電位に応じて、発光素子 5 0 0 に流れる電流が制御されることにより、発光素子 5 0 0 の発光輝度が制御される。

[0314]

図 2 5 A に示す画素 2 1 と異なる構成を図 2 5 B に示す。図 2 5 B に示す画素 2 1 では、発光素子 5 0 0 のカソードは、トランジスタ 5 2 1 のソース又はドレインの一方と電氣的に接続される。トランジスタ 5 2 1 のゲートは、トランジスタ 5 2 3 のソース又はドレインの一方と電氣的に接続される。トランジスタ 5 2 3 のソース又はドレインの一方は、キャパシタ 5 2 5 の一方の電極と電氣的に接続される。

[0315]

トランジスタ 5 2 3 のゲートは、配線 2 4 と電氣的に接続される。トランジスタ 5 2 3 のソース又はドレインの他方は、配線 2 5 と電氣的に接続される。トランジスタ 5 2 1 のソース又はドレインの他方、及びキャパシタ 5 2 5 の他方の電極は、配線 5 3 0 a と電氣的に接続される。発光素子 5 0 0 のアノードは、配線 5 3 0 b と電氣的に接続される。配線 5 3 0 a には、電源電位として低電位を供給

することができ、配線 5 3 0 b には、電源電位として高電位を供給することができる。

[0 3 1 6]

図 2 5 C は、表示素子として液晶素子 5 1 0 を有する画素 2 1 の構成例を示す回路図である。図 2 5 C に示す画素 2 1 は、液晶素子 5 1 0 と、トランジスタ 5 2 7 と、キャパシタ 5 2 9 と、を有する。なお、液晶素子 5 1 0 の容量が十分大きい場合等は、キャパシタ 5 2 9 を設けなくてもよい。

[0 3 1 7]

液晶素子 5 1 0 の一方の電極は、トランジスタ 5 2 7 のソース又はドレインの一方と電氣的に接続される。トランジスタ 5 2 7 のソース又はドレインの一方は、キャパシタ 5 2 9 の一方の電極と電氣的に接続される。

[0 3 1 8]

トランジスタ 5 2 7 のゲートは、配線 2 4 と電氣的に接続される。トランジスタ 5 2 7 のソース又はドレインの他方は、配線 2 5 と電氣的に接続される。キャパシタ 5 2 9 の他方の電極は、配線 5 3 0 と電氣的に接続される。

[0 3 1 9]

配線 5 3 0 には、電源電位が供給される。よって、配線 5 3 0 は、電源線としての機能を有するということができる。配線 5 3 0 には、電源電位として低電位を供給することができる。

[0 3 2 0]

液晶素子 5 1 0 の他方の電極の電位は、画素 2 1 の仕様に応じて適宜設定される。液晶素子 5 1 0 は、画素 2 1 に書き込まれる画像データにより、液晶素子 5 1 0 に印加される電圧、つまり液晶素子 5 1 0 の一方の電極の電位と、液晶素子 5 1 0 の他方の電極の電位と、の差が設定される。これにより、液晶素子 5 1 0 の配向状態が設定される。なお、複数の画素 2 1 のそれぞれが有する液晶素子 5 1 0 の他方の電極に、共通の電位（コモン電位）を供給してもよい。また、画素 2 1 に設けられた液晶素子 5 1 0 の他方の電極に、画素 2 1 の行ごとに異なる電位を供給してもよい。

[0 3 2 1]

<画素の構成例__2>

図 2 6 A は、画素 2 1 の構成例を示す回路図である。図 2 6 A に示す画素 2 1 は、発光素子 5 0 0 と、トランジスタ 5 4 1 と、トランジスタ 5 4 3 と、トランジスタ 5 4 5 と、トランジスタ 5 4 7 と、キャパシタ 5 5 1 と、キャパシタ 5 5 3 と、を有する。また、図 2 6 A に示す画素 2 1 には、ゲート線としての機能を有する配線 2 4 として、配線 2 4 __1 及び配線 2 4 __2 が電氣的に接続される。

[0 3 2 2]

発光素子 5 0 0 の一方の電極は、トランジスタ 5 4 1 のソース又はドレインの一方と電氣的に接続される。トランジスタ 5 4 1 のゲートは、トランジスタ 5 4 3 のソース又はドレインの一方と電氣的に接続される。トランジスタ 5 4 3 のソース又はドレインの一方は、キャパシタ 5 5 1 の一方の電極と電氣的に接続される。キャパシタ 5 5 1 の他方の電極は、トランジスタ 5 4 5 のソース又はドレインの一方と電氣的に接続される。トランジスタ 5 4 5 のソース又はドレインの一方は、トランジスタ 5 4 7 のソース又はドレインの一方と電氣的に接続される。トランジスタ 5 4 7 のソース又はドレインの一方は、キャパシタ 5 5 3 の一方の電極と電氣的に接続される。

[0 3 2 3]

トランジスタ 5 4 3 のゲート、及びトランジスタ 5 4 7 のゲートは、配線 2 4 __1 と電氣的に接続される。トランジスタ 5 4 5 のゲートは、配線 2 4 __2 と電氣的に接続される。トランジスタ 5 4 3 の

ソース又はドレインの他方、及びトランジスタ 5 4 5 のソース又はドレインの他方は、配線 2 5 と電氣的に接続される。

[0 3 2 4]

トランジスタ 5 4 7 のソース又はドレインの他方は、配線 5 6 1 と電氣的に接続される。トランジスタ 5 4 1 のソース又はドレインの他方、及びキャパシタ 5 5 3 の他方の電極は、配線 5 6 3 と電氣的に接続される。発光素子 5 0 0 の他方の電極は、配線 5 6 5 と電氣的に接続される。

[0 3 2 5]

ここで、トランジスタ 5 4 1 のゲート、トランジスタ 5 4 3 のソース又はドレインの一方、及びキャパシタ 5 5 1 の一方の電極が接続されるノードを、ノードND 1 とする。また、トランジスタ 5 4 5 のソース又はドレインの一方、トランジスタ 5 4 7 のソース又はドレインの一方、キャパシタ 5 5 1 の他方の電極、及びキャパシタ 5 5 3 の一方の電極が接続されるノードを、ノードND 2 とする。

[0 3 2 6]

配線 5 6 1 には、参照電位が供給される。また、配線 5 6 3、配線 5 6 5 には、電源電位が供給される。よって、配線 5 6 3 及び配線 5 6 5 は、電源線としての機能を有することができる。例えば、配線 5 6 3 には、電源電位として高電位を供給することができる。また、配線 5 6 5 には、電源電位として低電位を供給することができる。

[0 3 2 7]

トランジスタ 5 4 1 は、発光素子 5 0 0 に流す電流量を制御する駆動トランジスタとしての機能を有する。トランジスタ 5 4 1 のゲートと電氣的に接続されるノードND 1 の電位によって、発光素子 5 0 0 に流れる電流を制御し、発光素子 5 0 0 の発光輝度を制御することができる。また、トランジスタ 5 4 3 及びトランジスタ 5 4 5 は、データを書き込む画素 2 1 を選択する、選択トランジスタとしての機能を有する。トランジスタ 5 4 7 は、参照電位を画素に供給するためのスイッチとしての機能を有する。

[0 3 2 8]

ノードND 1 は記憶ノードであり、トランジスタ 5 4 3 をオン状態とすることで、配線 2 5 に供給されたデータをノードND 1 に書き込むことができる。そして、トランジスタ 5 4 3 をオフ状態とすることで、ノードND 1 に書き込まれたデータを保持することができる。

[0 3 2 9]

ノードND 2 は記憶ノードであり、トランジスタ 5 4 5 をオン状態とすることで、配線 2 5 に供給されたデータをノードND 2 に書き込むことができる。また、トランジスタ 5 4 7 をオン状態とすることで、配線 5 6 1 の電位である参照電位をノードND 2 に供給することができる。そして、トランジスタ 5 4 5 及びトランジスタ 5 4 7 をオフ状態とすることで、ノードND 2 に書き込まれたデータを保持することができる。

[0 3 3 0]

トランジスタ 5 4 3、トランジスタ 5 4 5、及びトランジスタ 5 4 7 は、OS トランジスタを適用することが好ましい。前述のように、OS トランジスタは、オフ電流が極めて小さいという特徴を有する。よって、トランジスタ 5 4 3 にOS トランジスタを適用すると、ノードND 1 の電位を長期間保持することができる。また、トランジスタ 5 4 5、及びトランジスタ 5 4 7 にOS トランジスタを適用すると、ノードND 2 の電位を長期間保持することができる。なお、トランジスタ 5 4 1 にはOS トランジスタを適用してもよいし、Si トランジスタを適用してもよい。また、リーク電流量が許容

できる範囲で駆動を行う場合は、トランジスタ 5 4 3、トランジスタ 5 4 5、及びトランジスタ 5 4 7 を、S i トランジスタとしてもよい。

[0 3 3 1]

図 2 6 A に示す画素 2 1 では、例えば第 1 のデータと、第 2 のデータと、を画素 2 1 に供給し、第 1 のデータに第 2 のデータを付加することができる。ここで、第 1 のデータ、及び第 2 のデータは、いずれも画像データとすることができる。第 1 のデータに第 2 のデータを付加することより、第 1 のデータに対応する電位、及び第 2 のデータに対応する電位のいずれよりも高い電位を、画素 2 1 に供給することができる。具体的には、第 1 のデータに対応する電位、及び第 2 のデータに対応する電位のいずれよりも高い電位を、駆動トランジスタとしての機能を有するトランジスタ 5 4 1 のゲートに供給することができる。これにより、発光素子 5 0 0 に流れる電流を大きくすることができ、発光素子 5 0 0 の発光輝度を高めることができる。したがって、画素 2 1 を図 2 6 A に示す構成とすることにより、表示装置 1 0 は、高輝度の画像を表示することができる。

[0 3 3 2]

なお、第 1 のデータ又は第 2 のデータの一方を画像データとし、第 1 のデータ又は第 2 のデータの他方を、画像データを補正するためのデータとしてもよい。この場合、画像処理等を、画素 2 1 の内部で行うことができる。

[0 3 3 3]

<画素の駆動方法の一例>

図 2 6 B に示すタイミングチャートを用いて、図 2 6 A に示す画素 2 1 の駆動方法の一例を説明する。ここでは、第 1 のデータ及び第 2 のデータとして同じ画像データを用い、第 1 のデータに第 2 のデータを付加することで、画像データに対応する電位よりも高い電位を生成する駆動方法の一例を示す。

[0 3 3 4]

図 2 6 B では、高電位を“H i g h”、低電位を“L o w”で表す。また、画素 2 1 に書き込まれる画像データに対応する電位を電位 V d a t a、配線 5 6 1 の電位である参照電位を電位 V r e f とする。電位 V r e f は、例えば 0 V、接地電位、又は特定の基準電位とすることができる。

[0 3 3 5]

また、配線 5 6 3 の電位を電位 V a n o とする。電位 V a n o としては、例えば、発光素子 5 0 0 の輝度が最大となる場合において、トランジスタ 5 4 1 が飽和領域で駆動する電位に設定することが好ましい。また、配線 5 6 5 の電位を電位 V c a t h とする。電位 V c a t h としては、ノード N D 1 の電位が最も低電位の時に、発光素子 5 0 0 が発光しない電位とすることが好ましい。

[0 3 3 6]

まず、第 1 のデータとして、画像データに対応する電位 V d a t a をノード N D 1 に書き込むために行うことができる、画素 2 1 の駆動方法を説明する。なお、ここでは電位の分配、結合、又は損失において、回路の構成、又は駆動タイミング等に起因する詳細な変化は勘案しない。

[0 3 3 7]

時刻 T 1 に、配線 2 4 __ 1 の電位を高電位、配線 2 4 __ 2 の電位を低電位、配線 2 5 の電位を電位 V d a t a、配線 5 6 1 の電位を電位 V r e f とすると、トランジスタ 5 4 3 及びトランジスタ 5 4 7 がオン状態となり、ノード N D 1 に配線 2 5 の電位である電位 V d a t a が書き込まれ、ノード N D 2 に配線 5 6 1 の電位である電位 V r e f が書き込まれる。

[0338]

このとき、キャパシタ551の両端にかかる電位差を V_1 とすると、電位差 V_1 は式(1)で示すことができる。

[0339]

$$V_1 = V_{data} - V_{ref} \quad (1)$$

[0340]

同様に、キャパシタ553の両端にかかる電位差を V_2 とすると、電位差 V_2 は式(2)で示すことができる。

[0341]

$$V_2 = V_{ano} - V_{ref} \quad (2)$$

[0342]

時刻 T_2 に、配線24__1の電位を低電位、配線24__2の電位を低電位とすると、トランジスタ543及びトランジスタ547がオフ状態となる。

[0343]

このとき、ノードND1の電位 V_{ND1} は式(3)で示すことができ、ノードND2の電位 V_{ND2} は式(4)で示すことができる。

[0344]

$$V_{ND1} = V_{data} - a \quad (3)$$

[0345]

$$V_{ND2} = V_{ref} - b \quad (4)$$

[0346]

このとき、キャパシタ551の両端にかかる電位差 V_1 は式(5)で示すことができる。キャパシタ553の両端にかかる電位差 V_2 は式(6)で示すことができる。

[0347]

$$V_1 = (V_{data} - a) - (V_{ref} - b) \quad (5)$$

[0348]

$$V_2 = V_{ano} - (V_{ref} - b) \quad (6)$$

[0349]

なお、 a は定数であり、トランジスタ543がオフ状態となる時のフィードスルー、及びチャージインジェクション等の影響による電位の変動量を示す。 b は定数であり、トランジスタ547がオフ状態となる時のフィードスルー、及びチャージインジェクション等の影響による電位の変動量を示す。

[0350]

次に、第2のデータとして、画像データに対応する電位 V_{data} をノードND2に書き込み、ノードND1の電位を高めるために行うことができる、画素21の駆動方法を説明する。

[0351]

時刻 T_3 に、配線24__1の電位を低電位、配線24__2の電位を高電位とすると、トランジスタ545がオン状態となり、ノードND2に配線25の電位である電位 V_{data} が書き込まれる。

[0352]

このとき、キャパシタ551の両端にかかる電位差 V_1 は式(5)に示す値が保持されるため、ノー

トND 1 の電位 V_{ND1} は式 (7) で示すことができる。また、ノードND 2 の電位 V_{ND2} は式 (8) で示すことができる。

[0353]

$$V_{ND1} = 2V_{data} - V_{ref} - a + b \quad (7)$$

[0354]

$$V_{ND2} = V_{data} \quad (8)$$

[0355]

時刻T 4 に、配線2 4__1 の電位を低電位、配線2 4__2 の電位を低電位とすると、トランジスタ5 4 5 がオフ状態となる。このとき、ノードND 1 の電位 V_{ND1} は式 (9) で示すことができ、ノードND 2 の電位 V_{ND2} は式 (10) で示すことができる。

[0356]

$$V_{ND1} = 2V_{data} - V_{ref} - a + b - c \quad (9)$$

[0357]

$$V_{ND2} = V_{data} - c \quad (10)$$

[0358]

なお、c は定数であり、トランジスタ5 4 5 がオフ状態となる時のフィードスルー、及びチャージインジェクション等の影響による電位の変動量を示す。

[0359]

ここで、式 (9) において、電位 V_{ref} を0 V、定数a、定数b、及び定数c をゼロとすると、電位 V_{ND1} は“ $2V_{data}$ ”となり、画素2 1 に供給された電位 V_{data} より高い値となる。つまり、画素2 1 に供給される画像データに対応する電位 V_{data} よりも高い電位を、駆動トランジスタとしての機能を有するトランジスタ5 4 1 のゲートに供給できる。したがって、発光素子5 0 0 に流れる電流を大きくすることができ、発光素子5 0 0 の発光輝度を高めることができる。以上により、表示装置1 0 は、高輝度の画像を表示することができる。なお、図2 6 Bに示す駆動方法は、1 水平期間内で連続して行うことができる。つまり、時刻T 1 乃至時刻T 4 に示す動作を、1 水平期間内で行うことができる。

[0360]

<画素のレイアウト例>

図2 7 Aは、図2 6 Aに示す画素2 1 のレイアウトの一例を示す図である。図2 7 Aには、トランジスタ5 4 1、トランジスタ5 4 3、トランジスタ5 4 5、トランジスタ5 4 7、キャパシタ5 5 1、キャパシタ5 5 3、配線2 4__1、配線2 4__2、配線2 5、配線5 6 1、及び配線5 6 3を示している。図2 7 Bには、図2 7 Aに示すレイアウトに対応する回路図を示している。なお、図2 7 A及び図2 7 Bでは、図の明瞭化のため、発光素子5 0 0 及び配線5 6 5等を省略している。

[0361]

図2 8には、図2 7 Aの構成に加えて、発光素子5 0 0 の画素電極としての機能を有する導電体7 7 2 を設けた構成を示している。

[0362]

図2 8において、導電体7 7 2 は、トランジスタ5 4 1、配線5 6 3等の、画素2 1 を構成する素子又は配線等の一部と重ねて設けられる。このような構成は、特に上面発光型(トップエミッション型)の発光素子を用いる場合に有効である。このように、導電体7 7 2 よりも下側にトランジスタ5 4 1

等を配置することで、画素 2 1 の占有面積を縮小したとしても、大きな開口率を実現できる。

[0363]

図 2 8 に示すように、導電体 7 7 2 は、データ線としての機能を有する配線 2 5 と重ならないことが好ましい。導電体 7 7 2 と配線 2 5 が重ならないことで、配線 2 5 の電位の変化が導電体 7 7 2 の電位に影響を及ぼすことを抑制することができる。なお、導電体 7 7 2 を配線 2 5 と重ねて配置する必要がある場合には、導電体 7 7 2 の面積に対して、これらが重なる面積の割合が 1 0 % 以下、好ましくは 5 % 以下とすればよい。

[0364]

表示装置 1 0 に適用することができる副画素の構成例を、図 2 9 に示す。

[0365]

図 2 9 に示す画素 2 1 は、赤色の光を呈する副画素 2 1 R、緑色の光を呈する副画素 2 1 G、及び青色の光を呈する副画素 2 1 B を有し、これらの 3 つの副画素が 1 つの画素 2 1 を構成する例を示している。図 2 9 では、2 行 3 列のマトリクス状に配置された副画素（2 つの画素 2 1）とともに、配線 2 4 __ 1、配線 2 4 __ 2、及び配線 2 5 も示している。

[0366]

副画素 2 1 R は導電体 7 7 2 a を有し、副画素 2 1 R の表示領域 5 0 1 a は導電体 7 7 2 a の内側に位置する。副画素 2 1 G は導電体 7 7 2 b を有し、副画素 2 1 G の表示領域 5 0 1 b は導電体 7 7 2 b の内側に位置する。副画素 2 1 B は導電体 7 7 2 c を有し、副画素 2 1 B の表示領域 5 0 1 c は導電体 7 7 2 c の内側に位置する。なお、図 2 9 では、導電体 7 7 2 a、導電体 7 7 2 b、及び導電体 7 7 2 c が同じ面積である例を示しているが、それぞれ異なる面積としてもよい。また、表示領域 5 0 1 a、表示領域 5 0 1 b、及び表示領域 5 0 1 c を、それぞれ異なる面積としてもよい。

[0367]

図 2 9 に示す画素 2 1 は、配線 2 4 __ 1 及び配線 2 4 __ 2 の延伸方向に、同じ色の副画素の位置がずれている例を示している。言い換えると、画素 2 1 は、配線 2 4 __ 1 及び配線 2 4 __ 2 の延伸方向に、同じ色の副画素がジグザグに配列している。

[0368]

なお、図 2 9 では、副画素が発する光の色の組み合わせが赤色（R）、緑色（G）、青色（B）の 3 つである例を示したが、色の組み合わせ及び色の数はこれに限定されない。副画素が発する光の色の組み合わせを赤色（R）、緑色（G）、青色（B）、白色（W）の 4 つの色、又は赤色（R）、緑色（G）、青色（B）、黄色（Y）の 4 つの色としてもよい。副画素に適用される色要素は上記に限定されず、シアン（C）及びマゼンタ（M）等を組み合わせてもよい。

[0369]

<セルの構成例>

図 3 0 A、図 3 0 B、及び図 3 0 C は、記憶回路 3 2 に設けられるセル 3 5 の構成例を示す回路図である。図 3 0 A に示すセル 3 5 は、トランジスタ 5 7 1 と、キャパシタ 5 7 3 と、を有する。

[0370]

トランジスタ 5 7 1 のソース又はドレインの一方は、キャパシタ 5 7 3 の一方の電極と電氣的に接続される。トランジスタ 5 7 1 のソース又はドレインの他方は、配線 5 8 1 と電氣的に接続される。トランジスタ 5 7 1 のゲートは、配線 5 8 3 と電氣的に接続される。キャパシタ 5 7 3 の他方の電極は、配線 5 8 5 と電氣的に接続される。

[0371]

トランジスタ571は、セル35へのデータの書き込み、及びセル35からのデータの読み出しを制御する機能を有する。

[0372]

配線581は、ビット線としての機能を有する。配線583は、ワード線としての機能を有する。配線585は、電源線としての機能を有する。配線585には、電源電位として低電位を供給することができる。

[0373]

データの書き込み及び読み出しは、配線583の電位を高電位としてトランジスタ571をオン状態とし、配線581とキャパシタ573との間を導通状態とすることによって行われる。

[0374]

具体的には、データの書き込みは、書き込むデータに対応する電位を配線581に供給し、トランジスタ571を介して、キャパシタ573の一方の電極に当該電位を書き込むことにより行われる。データの書き込み後は、配線583の電位を低電位としてトランジスタ571をオフ状態とすることにより、当該電位をセル35に保持することができる。

[0375]

また、データの読み出しを行う際は、まず、配線581を適当な電位、例えば、低電位と高電位の中間の電位にプリチャージする。次に、配線581を電氣的に浮遊状態とする。その後、配線583の電位を高電位として、トランジスタ571をオン状態とする。これにより、キャパシタ573の一方の電極に書き込まれた電位に応じて、配線581の電位が変化する。よって、変化した配線581の電位に基づき、セル35に保持されたデータを読み出すことができる。

[0376]

前述のように、Siトランジスタは、オン電流が大きいという特徴を有する。よって、トランジスタ571をSiトランジスタとすると、セル35へのデータの書き込み、及び読み出しを高速に行うことができる。一方、前述のように、OSトランジスタは、オフ電流が極めて小さいという特徴を有する。よって、トランジスタ571をOSトランジスタとすると、セル35にデータを長期間保持することができる。

[0377]

図30Aに示すセル35と異なる構成を図30Bに示す。図30Bに示すセル35は、トランジスタ575と、トランジスタ577と、キャパシタ579と、を有する。

[0378]

トランジスタ575のソース又はドレインの一方は、トランジスタ577のゲートと電氣的に接続される。トランジスタ577のゲートは、キャパシタ579の一方の電極と電氣的に接続される。

[0379]

トランジスタ575のソース又はドレインの他方は、配線581aと電氣的に接続される。トランジスタ575のゲートは、配線583と電氣的に接続される。トランジスタ577のソース又はドレインの一方は、配線581bと電氣的に接続される。トランジスタ577のソース又はドレインの他方は、配線589と電氣的に接続される。キャパシタ579の他方の電極は、配線587と電氣的に接続される。

[0380]

トランジスタ 575 は、セル 35 へのデータの書き込みを制御する機能を有する。トランジスタ 577 は、セル 35 に保持されているデータの読み出しを制御する機能を有する。以上より、トランジスタ 575 は、書き込みトランジスタとしての機能を有するといふことができ、トランジスタ 577 は、読み出しトランジスタとしての機能を有するといふことができる。

[0381]

配線 581a は、書き込みトランジスタとしての機能を有するトランジスタ 575 と電氣的に接続されており、書き込みビット線としての機能を有する。配線 581b は、読み出しトランジスタとしての機能を有するトランジスタ 577 と電氣的に接続されており、読み出しビット線としての機能を有する。また、前述のように、配線 583 は、ワード線としての機能を有する。

[0382]

データの書き込みは、配線 583 の電位を高電位としてトランジスタ 575 をオン状態とし、配線 581a とキャパシタ 579 との間を導通状態とすることによって行われる。具体的には、データの書き込みは、書き込むデータに対応する電位を配線 581a に供給し、トランジスタ 575 を介して、トランジスタ 577 のゲート、及びキャパシタ 579 の一方の電極に当該電位を書き込むことにより行われる。データの書き込み後は、配線 583 の電位を低電位としてトランジスタ 575 をオフ状態とすることにより、当該電位をセル 35 に保持することができる。

[0383]

データの読み出しは、配線 589 に所定の電位を供給することによって行われる。トランジスタ 577 のドレインーソース間を流れる電流、及びトランジスタ 577 のソース又はドレインの一方の電位は、トランジスタ 577 のゲートの電位、及びトランジスタ 577 のソース又はドレインの他方の電位によって決まる。よって、トランジスタ 577 のソース又はドレインの一方と電氣的に接続される配線 581b の電位を読み出すことによって、キャパシタ 579 の一方の電極、及びトランジスタ 577 のゲートに保持されている電位を読み出すことができる。つまり、配線 581b の電位を読み出すことによって、セル 35 に保持されたデータを読み出すことができる。

[0384]

セル 35 にデータを書き込む場合、及びセル 35 からデータを読み出す場合は、配線 587 の電位を高電位とすることが好ましい。一方、データの書き込み、及び読み出しを行わず、セル 35 にデータを保持する場合は、配線 587 の電位を低電位とすることが好ましい。

[0385]

図 30C は、図 30B に示すセル 35 の変形例であり、書き込みビット線としての機能を有する配線 581a と、読み出しビット線としての機能を有する配線 581b と、を 1 本の配線 581 としてまとめた点が、図 30B に示すセル 35 と主に異なる。図 30C に示すセル 35 では、配線 581 が、トランジスタ 575 のソース又はドレインの他方、及びトランジスタ 577 のソース又はドレインの一方と電氣的に接続される。

[0386]

前述のように、S i トランジスタは、オン電流が大きいという特徴を有する。よって、トランジスタ 575 を S i トランジスタとすると、セル 35 へのデータの書き込みを高速に行うことができ、トランジスタ 577 を S i トランジスタとすると、セル 35 からのデータの読み出しを高速に行うことができる。一方、前述のように、O S トランジスタは、オフ電流が極めて小さいという特徴を有する。よって、トランジスタ 575 を O S トランジスタとすると、セル 35 にデータを長期間保持すること

ができる。なお、トランジスタ 577 を OS トランジスタとしてもよい。

[0387]

図 30A に示すセル 35 が有するトランジスタ 571 に OS トランジスタを適用する場合、当該構成のセル 35 が設けられる記憶回路 32 を、DOSRAM (Dynamic Oxide Semiconductor Random Access Memory) (登録商標) ということができる。また、図 30B、又は図 30C に示すセル 35 が有するトランジスタ 575 に OS トランジスタを適用する場合、当該構成のセル 35 が設けられる記憶回路 32 を、NOSRAM (Nonvolatile Oxide Semiconductor Random Access Memory) (登録商標) ということができる。DOSRAM は、NOSRAM よりセル 35 に設けられるトランジスタの個数を少なくすることができるため、セル 35 を微細化することができる。一方、DOSRAM は、セル 35 に書き込まれたデータを、破壊読出しにより読み出し、NOSRAM は、セル 35 に書き込まれたデータを、非破壊読出しにより読み出す。

[0388]

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、又は図面等と適宜組み合わせて実施することができる。

[0389]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

[0390]

(実施の形態 2)

本実施の形態では、上記の実施の形態で説明した OS トランジスタに用いることができる金属酸化物 (以下、酸化物半導体ともいう。) について説明する。

[0391]

金属酸化物は、少なくともインジウム又は亜鉛を含むことが好ましい。特にインジウム及び亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、スズ等が含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルト等から選ばれた一種、又は複数種が含まれていてもよい。

[0392]

<結晶構造の分類>

まず、酸化物半導体における、結晶構造の分類について、図 31A を用いて説明を行う。図 31A は、酸化物半導体、代表的には IGZO (In と、Ga と、Zn と、を含む金属酸化物) の結晶構造の分類を説明する図である。

[0393]

図 31A に示すように、酸化物半導体は、大きく分けて「Amorphous (無定形)」と、「Crystalline (結晶性)」と、「Crystal (結晶)」と、に分類される。また、「Amorphous」の中には、completely amorphous が含まれる。また、「Crystalline」の中には、CAAC、nc (nanocrystalline)、及び CAC が含まれる。なお、「Crystalline」の分類には、single crystal、polycrystal、及び completely amorphous は除かれる (excluding

single crystal and poly crystal)。また、「Crystal」の中には、single crystal、及びpoly crystalが含まれる。

[0394]

なお、図31Aに示す太枠内の構造は、「Amorphous（無定形）」と、「Crystal（結晶）」との間の中間状態であり、新しい境界領域（New crystalline phase）に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous（無定形）」、及び「Crystal（結晶）」とは全く異なる構造と言い換えることができる。

[0395]

なお、膜又は基板の結晶構造は、X線回折（XRD：X-Ray Diffraction）スペクトルを用いて評価することができる。ここで、「Crystalline」に分類されるCAAC-IGZO膜のGIXD（Grazing-Incidence XRD）測定で得られるXRDスペクトルを図31Bに示す（縦軸は発光強度（Intensity）を任意単位（a. u.）で表している）。なお、GIXD法は、薄膜法又はSeemann-Bohlin法ともいう。以降、図31Bに示すGIXD測定で得られるXRDスペクトルを、単にXRDスペクトルと記す。なお、図31Bに示すCAAC-IGZO膜の組成は、In：Ga：Zn＝4：2：3〔原子数比〕近傍である。また、図31Bに示すCAAC-IGZO膜の厚さは、500nmである。

[0396]

図31Bに示すように、CAAC-IGZO膜のXRDスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、CAAC-IGZO膜のXRDスペクトルでは、 $2\theta = 31^\circ$ 近傍に、c軸配向を示すピークが検出される。なお、図31Bに示すように、 $2\theta = 31^\circ$ 近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

[0397]

また、膜又は基板の結晶構造は、極微電子線回折法（NBED：Nano Beam Electron Diffraction）によって観察される回折パターン（極微電子線回折パターンともいう。）にて評価することができる。CAAC-IGZO膜の回折パターンを、図31Cに示す。図31Cは、電子線を基板に対して平行に入射するNBEDによって観察される回折パターンである。なお、図31Cに示すCAAC-IGZO膜の組成は、In：Ga：Zn＝4：2：3〔原子数比〕近傍である。また、極微電子線回折法では、プローブ径を1nmとして電子線回折が行われる。

[0398]

図31Cに示すように、CAAC-IGZO膜の回折パターンでは、c軸配向を示す複数のスポットが観察される。

[0399]

<<酸化物半導体の構造>>

なお、酸化物半導体は、結晶構造に着目した場合、図31Aとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のCAAC-OS、及びnc-OSがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体（a-like OS：amorphous-like oxide semiconductor）、非晶質酸化物半導体、等が含まれる。

[0400]

ここで、上述のCAAC-OS、nc-OS、及びa-like OSの詳細について、説明を行う。

[0401]

[CAAC-OS]

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、又はCAAC-OS膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC-OSは、c軸配向し、a-b面方向には明らかな配向をしていない酸化物半導体である。

[0402]

なお、上記複数の結晶領域のそれぞれは、1つ又は複数の微小な結晶（最大径が10nm未満である結晶）で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

[0403]

また、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、スズ、チタン等から選ばれた一種、又は複数種）において、CAAC-OSは、インジウム（In）、及び酸素を有する層（以下、In層）と、元素M、亜鉛（Zn）、及び酸素を有する層（以下、(M, Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、(M, Zn)層にはインジウムが含まれる場合がある。また、In層には元素Mが含まれる場合がある。なお、In層にはZnが含まれる場合もある。当該層状構造は、例えば、高分解能TEM像において、格子像として観察される。

[0404]

CAAC-OS膜に対し、例えば、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$ 又はその近傍に検出される。なお、c軸配向を示すピークの位置（ 2θ の値）は、CAAC-OSを構成する金属元素の種類、組成等により変動する場合がある。

[0405]

また、例えば、CAAC-OS膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう。）を対称中心として、点対称の位置に観測される。

[0406]

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形等の格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向にお

いて酸素原子の配列が稠密でないこと、及び金属原子が置換することで原子間の結合距離が変化すること等によって、歪みを許容することができるためと考えられる。

[0407]

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶 (polycrystal) と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下等を引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-O-Sは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-O-Sを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、及びIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

[0408]

CAAC-O-Sは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、CAAC-O-Sは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入、又は欠陥の生成等によって低下する場合があるため、CAAC-O-Sは不純物、及び欠陥（酸素欠損等）の少ない酸化物半導体ともいえる。従って、CAAC-O-Sを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-O-Sを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-O-Sは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、OSトランジスタにCAAC-O-Sを用いると、製造工程の自由度を広げることが可能となる。

[0409]

[nc-O-S]

nc-O-Sは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。別言すると、nc-O-Sは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1nm以上10nm以下、特に1nm以上3nm以下であることから、当該微小な結晶をナノ結晶ともいう。また、nc-O-Sは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-O-Sは、分析方法によっては、a-like OS、及び非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-O-S膜に対し、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、結晶性を示すピークが検出されない。また、nc-O-S膜に対し、ナノ結晶よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-O-S膜に対し、ナノ結晶の大きさと近いナノ結晶より小さいプローブ径（例えば1nm以上30nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

[0410]

[a-like OS]

a-like OSは、nc-O-Sと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆又は低密度領域を有する。即ち、a-like OSは、nc-O-S及びCAAC-O-Sと比べて、結晶性が低い。また、a-like OSは、nc-O-S及びCAAC-O-Sと比べて、膜中の水素濃度が高い。

[0411]

<<酸化物半導体の構成>>

次に、上述のCAC-O Sの詳細について、説明を行う。なお、CAC-O Sは材料構成に関する。

[0412]

[CAC-O S]

CAC-O Sとは、例えば、金属酸化物を構成する元素が、0.5 nm以上10 nm以下、好ましくは、1 nm以上3 nm以下、又はその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つ又は複数の金属元素が偏在し、該金属元素を有する領域が、0.5 nm以上10 nm以下、好ましくは、1 nm以上3 nm以下、又はその近傍のサイズで混合した状態をモザイク状、又はパッチ状ともいう。

[0413]

さらに、CAC-O Sとは、第1の領域と、第2の領域と、に材料が分離することでモザイク状となり、当該第1の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、CAC-O Sは、当該第1の領域と、当該第2の領域とが、混合している構成を有する複合金属酸化物である。

[0414]

ここで、In-Ga-Zn酸化物におけるCAC-O Sを構成する金属元素に対するIn、Ga、及びZnの原子数比のそれぞれを、[In]、[Ga]、及び[Zn]と表記する。例えば、In-Ga-Zn酸化物におけるCAC-O Sにおいて、第1の領域は、[In]が、CAC-O S膜の組成における[In]よりも大きい領域である。また、第2の領域は、[Ga]が、CAC-O S膜の組成における[Ga]よりも大きい領域である。又は、例えば、第1の領域は、[In]が、第2の領域における[In]よりも大きく、且つ、[Ga]が、第2の領域における[Ga]よりも小さい領域である。また、第2の領域は、[Ga]が、第1の領域における[Ga]よりも大きく、且つ、[In]が、第1の領域における[In]よりも小さい領域である。

[0415]

具体的には、上記第1の領域は、インジウム酸化物、インジウム亜鉛酸化物等が主成分である領域である。また、上記第2の領域は、ガリウム酸化物、ガリウム亜鉛酸化物等が主成分である領域である。つまり、上記第1の領域を、Inを主成分とする領域と言い換えることができる。また、上記第2の領域を、Gaを主成分とする領域と言い換えることができる。

[0416]

なお、上記第1の領域と、上記第2の領域とは、明確な境界が観察できない場合がある。

[0417]

例えば、In-Ga-Zn酸化物におけるCAC-O Sでは、エネルギー分散型X線分光法（EDX: Energy Dispersive X-ray spectroscopy）を用いて取得したEDXマッピングにより、Inを主成分とする領域（第1の領域）と、Gaを主成分とする領域（第2の領域）とが、偏在し、混合している構造を有することが確認できる。

[0418]

CAC-O Sをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能（On/Offさせる機能）をCAC-O Sに付与することができる。つまり、CAC-O Sとは、材料の一部では導電性の機能と、

材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC-OSをトランジスタに用いることで、高いオン電流 (I_{on})、高い電界効果移動度 (μ)、及び良好なスイッチング動作を実現することができる。

[0419]

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、CAC-OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0420]

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

[0421]

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0422]

トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のキャリア濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

[0423]

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0424]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0425]

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0426]

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

[0427]

酸化物半導体において、第14族元素の一つであるシリコン、又は炭素が含まれると、酸化物半導体

において欠陥準位が形成される。このため、酸化物半導体におけるシリコン又は炭素の濃度と、酸化物半導体との界面近傍のシリコン又は炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0428]

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0429]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体を用いたトランジスタはノーマリーオン特性となりやすい。又は、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体中の窒素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にする。

[0430]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満にする。

[0431]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0432]

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、又は図面等と適宜組み合わせる実施することができる。

[0433]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

[0434]

（実施の形態3）

本実施の形態では、本発明の一態様である表示装置を備える電子機器について説明する。

[0435]

図3 2 Aは、HMD 8 2 0 0の外観を示す図である。

[0 4 3 6]

HMD 8 2 0 0は、装着部8 2 0 1、レンズ8 2 0 2、本体8 2 0 3、表示部8 2 0 4、ケーブル8 2 0 5等を有している。また装着部8 2 0 1には、バッテリー8 2 0 6が内蔵されている。

[0 4 3 7]

ケーブル8 2 0 5は、バッテリー8 2 0 6から本体8 2 0 3に電力を供給する。本体8 2 0 3は無線受信機等を備え、受信した画像データ等に対応する画像を表示部8 2 0 4に表示させることができる。また、本体8 2 0 3に設けられたカメラで使用者の眼球、又はまぶたの動きを捉え、その情報をもとに使用者の視線の座標を算出することにより、使用者の視線を入力手段として用いることができる。

[0 4 3 8]

装着部8 2 0 1には、使用者に触れる位置に複数の電極が設けられていてもよい。本体8 2 0 3は使用者の眼球の動きに伴って電極に流れる電流を検知することにより、使用者の視線を認識する機能を有していてもよい。また、当該電極に流れる電流を検知することにより、使用者の脈拍をモニタする機能を有していてもよい。また、装着部8 2 0 1には、温度センサ、圧力センサ、加速度センサ等の各種センサを有していてもよく、使用者の生体情報を表示部8 2 0 4に表示する機能を有していてもよい。また、使用者の頭部の動き等を検出し、表示部8 2 0 4に表示する画像をその動きに合わせて変化させてもよい。

[0 4 3 9]

表示部8 2 0 4に、本発明の一態様の表示装置を適用することができる。これにより、高解像度の画像を表示部8 2 0 4に表示することができる。また、粒状感が少ない高品位の画像を表示部8 2 0 4に表示することができるため、臨場感の高い画像を表示部8 2 0 4に表示することができる。

[0 4 4 0]

図3 2 B、図3 2 C、及び図3 2 Dは、HMD 8 3 0 0の外観を示す図である。HMD 8 3 0 0は、筐体8 3 0 1と、表示部8 3 0 2と、バンド状の固定具8 3 0 4と、一対のレンズ8 3 0 5と、を有する。

[0 4 4 1]

使用者は、レンズ8 3 0 5を通して、表示部8 3 0 2の表示を視認することができる。なお、表示部8 3 0 2を湾曲して配置させると好適である。表示部8 3 0 2を湾曲して配置することで、使用者が高い臨場感を感じることができる。なお、本実施の形態においては、表示部8 3 0 2を1つ設ける構成について例示したが、これに限定されず、例えば、表示部8 3 0 2を2つ設ける構成としてもよい。この場合、使用者の片方の目に1つの表示部が配置されるような構成とすると、視差を用いた3次元表示等を行うことも可能となる。

[0 4 4 2]

なお、表示部8 3 0 2に、本発明の一態様の表示装置を適用することができる。本発明の一態様の表示装置は、極めて精細度が高いため、図3 2 Dのようにレンズ8 3 0 5を用いて拡大したとしても、使用者に画素が視認されることなく、より臨場感の高い画像を表示することができる。

[0 4 4 3]

次に、図3 2 A乃至図3 2 Dに示す電子機器と、異なる電子機器の一例を図3 3 A乃至図3 3 Gに示す。

[0 4 4 4]

図 3 3 A 乃至図 3 3 G に示す電子機器は、筐体 9 0 0 0、表示部 9 0 0 1、スピーカ 9 0 0 3、操作キー 9 0 0 5（電源スイッチ、又は操作スイッチを含む）、接続端子 9 0 0 6、センサ 9 0 0 7（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい、又は赤外線を測定する機能を含むもの）、マイクロフォン 9 0 0 8 等を有する。

[0 4 4 5]

図 3 3 A 乃至図 3 3 G に示す電子機器は、様々な機能を有する。例えば、様々な情報（静止画、動画、テキスト画像等）を表示部に表示する機能、タッチパネル機能、カレンダー、日付、又は時刻等を表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信又は受信を行う機能、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、等を有することができる。なお、図 3 3 A 乃至図 3 3 G に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。また、図 3 3 A 乃至図 3 3 G には図示していないが、電子機器には、複数の表示部を有する構成としてもよい。また、該電子機器にカメラ等を設け、静止画を撮影する機能、動画を撮影する機能、撮影した画像を記録媒体（外部又はカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有していてもよい。

[0 4 4 6]

図 3 3 A 乃至図 3 3 G に示す電子機器の詳細について、以下説明を行う。

[0 4 4 7]

図 3 3 A は、テレビジョン装置 9 1 0 0 を示す斜視図である。テレビジョン装置 9 1 0 0 は、大画面、例えば、50 インチ以上、又は 100 インチ以上の表示部 9 0 0 1 を組み込むことが可能である。

[0 4 4 8]

テレビジョン装置 9 1 0 0 が有する表示部 9 0 0 1 に、本発明の一態様の表示装置を適用することができる。これにより、高解像度の画像を表示部 9 0 0 1 に表示することができる。また、粒状感が少ない高品位の画像を表示部 9 0 0 1 に表示することができるため、臨場感の高い画像を表示部 9 0 0 1 に表示することができる。

[0 4 4 9]

図 3 3 B は、携帯情報端末 9 1 0 1 を示す斜視図である。携帯情報端末 9 1 0 1 は、例えば電話機、手帳、又は情報閲覧装置等から選ばれた一つ又は複数の機能を有する。具体的には、スマートフォンとして用いることができる。なお、携帯情報端末 9 1 0 1 は、スピーカ 9 0 0 3、接続端子 9 0 0 6、センサ 9 0 0 7 等を設けてもよい。また、携帯情報端末 9 1 0 1 は、文字及び画像をその複数の面に表示することができる。例えば、3 つの操作ボタン 9 0 5 0（操作アイコン又は単にアイコンともいう）を表示部 9 0 0 1 の一の面に表示することができる。また、破線の矩形で示す情報 9 0 5 1 を表示部 9 0 0 1 の他の面に表示することができる。なお、情報 9 0 5 1 の一例として、電子メール、SNS（ソーシャル・ネットワーキング・サービス）、又は電話等の着信を知らせる表示、電子メール又は SNS 等の題名、電子メール又は SNS 等の送信者名、日時、時刻、バッテリーの残量、アンテナ受信の強度等がある。又は、情報 9 0 5 1 が表示されている位置に、情報 9 0 5 1 の代わりに、操作ボタン 9 0 5 0 等を表示してもよい。

[0 4 5 0]

携帯情報端末 9 1 0 1 が有する表示部 9 0 0 1 に、本発明の一態様の表示装置を適用することができる。これにより、高解像度の画像を表示部 9 0 0 1 に表示することができる。また、粒状感が少ない高品位の画像を表示部 9 0 0 1 に表示することができるため、臨場感の高い画像を表示部 9 0 0 1 に表示することができる。

[0 4 5 1]

図 3 3 C は、携帯情報端末 9 1 0 2 を示す斜視図である。携帯情報端末 9 1 0 2 は、表示部 9 0 0 1 の 3 面以上に情報を表示する機能を有する。ここでは、情報 9 0 5 2、情報 9 0 5 3、情報 9 0 5 4 がそれぞれ異なる面に表示されている例を示す。例えば、携帯情報端末 9 1 0 2 の使用者は、洋服の胸ポケットに携帯情報端末 9 1 0 2 を収納した状態で、その表示（ここでは情報 9 0 5 3）を確認することができる。具体的には、着信した電話の発信者の電話番号又は氏名等を、携帯情報端末 9 1 0 2 の上方から観察できる位置に表示する。使用者は、携帯情報端末 9 1 0 2 をポケットから取り出すことなく、表示を確認し、電話を受けるか否かを判断できる。

[0 4 5 2]

携帯情報端末 9 1 0 2 が有する表示部 9 0 0 1 に、本発明の一態様の表示装置を適用することができる。これにより、高解像度の画像を表示部 9 0 0 1 に表示することができる。また、粒状感が少ない高品位の画像を表示部 9 0 0 1 に表示することができるため、臨場感の高い画像を表示部 9 0 0 1 に表示することができる。

[0 4 5 3]

図 3 3 D は、腕時計型の携帯情報端末 9 2 0 0 を示す斜視図である。携帯情報端末 9 2 0 0 は、移動電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、コンピュータゲーム等の種々のアプリケーションを実行することができる。また、表示部 9 0 0 1 はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。また、携帯情報端末 9 2 0 0 は、通信規格された近距離無線通信を実行することが可能である。例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末 9 2 0 0 は、接続端子 9 0 0 6 を有し、他の情報端末とコネクタを介して直接データのやりとりを行うことができる。また接続端子 9 0 0 6 を介して充電を行うこともできる。なお、充電動作は接続端子 9 0 0 6 を介さずに無線給電により行ってもよい。

[0 4 5 4]

携帯情報端末 9 2 0 0 が有する表示部 9 0 0 1 に、本発明の一態様の表示装置を適用することができる。これにより、高解像度の画像を表示部 9 0 0 1 に表示することができる。また、粒状感が少ない高品位の画像を表示部 9 0 0 1 に表示することができるため、臨場感の高い画像を表示部 9 0 0 1 に表示することができる。

[0 4 5 5]

図 3 3 E、図 3 3 F 及び図 3 3 G は、折り畳み可能な携帯情報端末 9 2 0 1 を示す斜視図である。また、図 3 3 E が携帯情報端末 9 2 0 1 を展開した状態の斜視図であり、図 3 3 F が携帯情報端末 9 2 0 1 を展開した状態又は折り畳んだ状態の一方から他方に変化する途中の状態の斜視図であり、図 3 3 G が携帯情報端末 9 2 0 1 を折り畳んだ状態の斜視図である。携帯情報端末 9 2 0 1 は、折り畳んだ状態では可搬性に優れ、展開した状態では、継ぎ目のない広い表示領域により表示の一覧性に優れる。携帯情報端末 9 2 0 1 が有する表示部 9 0 0 1 は、ヒンジ 9 0 5 5 によって連結された 3 つの筐体 9 0 0 0 に支持されている。ヒンジ 9 0 5 5 を介して 2 つの筐体 9 0 0 0 間を屈曲させること

により、携帯情報端末 9 2 0 1 を展開した状態から折りたたんだ状態に可逆的に変形させることができる。例えば、携帯情報端末 9 2 0 1 は、曲率半径 1 mm 以上 1 5 0 mm 以下で曲げることができる。

[0 4 5 6]

携帯情報端末 9 2 0 1 が有する表示部 9 0 0 1 に、本発明の一態様の表示装置を適用することができる。これにより、高解像度の画像を表示部 9 0 0 1 に表示することができる。また、粒状感が少ない高品位の画像を表示部 9 0 0 1 に表示することができるため、臨場感の高い画像を表示部 9 0 0 1 に表示することができる。

[0 4 5 7]

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、又は図面等と適宜組み合わせる実施することができる。

[0 4 5 8]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

[符号の説明]

[0 4 5 9]

1 0 : 表示装置、2 0 : 表示部、2 1 : 画素、2 1 B : 副画素、2 1 G : 副画素、2 1 R : 副画素、2 2 : ゲートドライバ回路、2 3 : データドライバ回路、2 3 a : データドライバ回路、2 3 b : データドライバ回路、2 4 : 配線、2 4 __ 1 : 配線、2 4 __ 2 : 配線、2 5 : 配線、2 6 : 領域、3 1 : 制御回路、3 2 : 記憶回路、3 3 : 演算回路、3 4 : 伝送路、3 5 : セル、3 6 : 配線、4 0 : 層、5 0 : 層、6 0 : 層、7 0 : 領域、7 1 : トランジスタ、7 2 : トランジスタ、7 3 : ダミートランジスタ、1 1 0 : チャンネル形成領域、1 1 1 : ソース領域、1 1 2 : ドレイン領域、1 1 3 : ゲート電極、1 1 4 : 開口部、1 1 5 : 配線、1 1 6 : 開口部、1 1 7 : 配線、1 1 8 : 開口部、1 1 9 : 開口部、1 2 0 : 開口部、1 2 1 : 配線、1 2 2 : 配線、1 2 3 : 配線、1 3 0 : チャンネル形成領域、1 3 1 : ソース領域、1 3 2 : ドレイン領域、1 3 3 : ゲート電極、1 3 4 : 開口部、1 3 5 : 配線、1 3 6 : 開口部、1 3 7 : 配線、1 3 8 : 開口部、1 3 9 : 開口部、1 4 0 : 開口部、1 4 1 : 配線、1 4 2 : 配線、1 4 3 : 配線、1 5 1 : 半導体、1 5 2 : 導電体、2 0 0 A : トランジスタ、2 0 0 B : トランジスタ、2 0 0 C : トランジスタ、2 0 5 : 導電体、2 1 4 : 絶縁体、2 1 6 : 絶縁体、2 2 2 : 絶縁体、2 2 4 : 絶縁体、2 3 0 : 金属酸化物、2 3 0 a : 金属酸化物、2 3 0 b : 金属酸化物、2 3 0 c : 金属酸化物、2 4 0 : 導電体、2 4 0 a : 導電体、2 4 0 b : 導電体、2 4 1 : 絶縁体、2 4 1 a : 絶縁体、2 4 1 b : 絶縁体、2 4 2 : 導電体、2 4 2 a : 導電体、2 4 2 b : 導電体、2 4 3 a : 領域、2 4 3 b : 領域、2 4 4 : 絶縁体、2 5 0 : 絶縁体、2 5 2 : 金属酸化物、2 5 4 : 絶縁体、2 6 0 : 導電体、2 6 0 a : 導電体、2 6 0 b : 導電体、2 7 0 : 絶縁体、2 7 1 : 絶縁体、2 7 2 : 絶縁体、2 7 4 : 絶縁体、2 8 0 : 絶縁体、2 8 1 : 絶縁体、3 0 1 a : 導電体、3 0 1 b : 導電体、3 0 5 : 導電体、3 1 1 : 導電体、3 1 3 : 導電体、3 1 7 : 導電体、3 2 1 : 下部電極、3 2 3 : 絶縁体、3 2 5 : 上部電極、3 3 1 : 導電体、3 3 3 : 導電体、3 3 5 : 導電体、3 3 7 : 導電体、3 4 1 : 導電体、3 4 3 : 導電体、3 4 7 : 導電体、3 5 1 : 導電体、3 5 3 : 導電体、3 5 5 : 導電体、3 5 7 : 導電体、3 6 1 : 絶縁体、3 6 3 : 絶縁体、3 6 5 : 導電体、3 6 7 : 導電体、4 0 3 : 素子分離層、4 0 5 : 絶縁体、4 0 7 : 絶縁体、4 0 9 : 絶縁体、4 1 1 : 絶縁体、4 2 1 : 絶縁体、4 4 1 : トランジスタ、4 4 3 : 導電体、4 4 5 : 絶縁体、4 4 7 : 半導体

領域、449a：低抵抗領域、449b：低抵抗領域、451：導電体、453：導電体、455：導電体、457：導電体、459a：低抵抗領域、459b：低抵抗領域、461：導電体、463：導電体、465：導電体、467：導電体、473：導電体、475：導電体、500：発光素子、501a：表示領域、501b：表示領域、501c：表示領域、510：液晶素子、521：トランジスタ、523：トランジスタ、525：キャパシタ、527：トランジスタ、529：キャパシタ、530：配線、530a：配線、530b：配線、541：トランジスタ、543：トランジスタ、545：トランジスタ、547：トランジスタ、551：キャパシタ、553：キャパシタ、561：配線、563：配線、565：配線、571：トランジスタ、573：キャパシタ、575：トランジスタ、577：トランジスタ、579：キャパシタ、581：配線、581a：配線、581b：配線、583：配線、585：配線、587：配線、589：配線、601：トランジスタ、602：トランジスタ、603：トランジスタ、613：絶縁体、614：絶縁体、616：絶縁体、622：絶縁体、624：絶縁体、644：絶縁体、654：絶縁体、674：絶縁体、680：絶縁体、681：絶縁体、701：基板、705：基板、712：シール材、716：FPC、730：絶縁体、732：封止層、734：絶縁体、736：着色層、738：遮光層、750：トランジスタ、760：接続電極、772：導電体、772a：導電体、772b：導電体、772c：導電体、774：導電体、776：液晶層、778：構造体、780：異方性導電体、786：EL層、788：導電体、790：キャパシタ、800：トランジスタ、801a：導電体、801b：導電体、805：導電体、811：導電体、814：絶縁体、816：絶縁体、817：導電体、821：絶縁体、822：絶縁体、824：絶縁体、831：導電体、833：導電体、844：絶縁体、853：導電体、854：絶縁体、855：導電体、857：導電体、859：導電体、861：導電体、863：導電体、865：導電体、867：導電体、874：絶縁体、880：絶縁体、881：絶縁体、883：絶縁体、890：キャパシタ、893：導電体、895：導電体、897：導電体、901：基板、903：基板、905：基板、911：トランジスタ、913：トランジスタ、915：トランジスタ、917：トランジスタ、919：トランジスタ、921：絶縁体、923：絶縁体、925：絶縁体、927：絶縁体、931：導電体、933：導電体、935：絶縁体、937：導電体、939：導電体、941：導電体、943：導電体、945：絶縁体、947：導電体、949：絶縁体、951：導電体、8200：HMD、8201：装着部、8202：レンズ、8203：本体、8204：表示部、8205：ケーブル、8206：バッテリー、8300：HMD、8301：筐体、8302：表示部、8304：固定具、8305：レンズ、9000：筐体、9001：表示部、9003：スピーカ、9005：操作キー、9006：接続端子、9007：センサ、9008：マイクロフォン、9050：操作ボタン、9051：情報、9052：情報、9053：情報、9054：情報、9055：ヒンジ、9100：テレビジョン装置、9101：携帯情報端末、9102：携帯情報端末、9200：携帯情報端末、9201：携帯情報端末

請求の範囲

[請求項 1]

第 1 の層と、第 2 の層と、が積層して設けられ、
前記第 1 の層には、データドライバ回路と、演算回路と、が設けられ、
前記第 2 の層には、表示部と、記憶回路と、が設けられ、
前記演算回路には、ニューラルネットワークが構成され、
前記データドライバ回路は、前記表示部と重なる領域を有し、
前記演算回路は、前記記憶回路と重なる領域を有し、
前記記憶回路は、第 1 の画像データを保持する機能を有し、
前記演算回路は、前記記憶回路に保持された前記第 1 の画像データを、前記記憶回路から読み出し、
前記第 1 の画像データに対して、前記ニューラルネットワークを用いた演算処理を行うことにより、
第 2 の画像データを生成して前記データドライバ回路に供給する機能を有する表示装置。

[請求項 2]

第 1 の層と、第 2 の層と、第 3 の層と、が互いに積層して設けられ、
前記第 1 の層には、データドライバ回路と、演算回路と、が設けられ、
前記第 2 の層には、記憶回路が設けられ、
前記第 3 の層には、表示部が設けられ、
前記演算回路には、ニューラルネットワークが構成され、
前記演算回路、前記記憶回路、及び前記表示部は、互いに重なる領域を有し、
前記記憶回路は、第 1 の画像データを保持する機能を有し、
前記演算回路は、前記記憶回路に保持された前記第 1 の画像データを、前記記憶回路から読み出し、
前記第 1 の画像データに対して、前記ニューラルネットワークを用いた演算処理を行うことにより、
第 2 の画像データを生成して前記データドライバ回路に供給する機能を有する表示装置。

[請求項 3]

請求項 1 又は 2 において、
前記表示部には、第 1 のトランジスタが設けられ、
前記記憶回路には、第 2 のトランジスタが設けられ、
前記第 1 及び第 2 のトランジスタのチャネル形成領域は、金属酸化物を有する表示装置。

[請求項 4]

第 1 の層と、第 2 の層と、第 3 の層と、が互いに積層して設けられ、
前記第 2 の層は、前記第 1 の層と、前記第 3 の層と、の間に設けられ、
前記第 1 の層には、記憶回路が設けられ、
前記第 2 の層には、基板と、データドライバ回路と、演算回路と、が設けられ、
前記データドライバ回路、及び前記演算回路は、前記基板上に設けられ、
前記第 3 の層には、表示部が設けられ、
前記基板を貫通するように、導電体が設けられ、
前記記憶回路と、前記演算回路と、は前記導電体を介して電氣的に接続され、
前記演算回路には、ニューラルネットワークが構成され、
前記記憶回路、前記演算回路、及び前記表示部は、互いに重なる領域を有し、
前記記憶回路は、第 1 の画像データを保持する機能を有し、

前記演算回路は、前記記憶回路に保持された前記第 1 の画像データを、前記記憶回路から読み出し、前記第 1 の画像データに対して、前記ニューラルネットワークを用いた演算処理を行うことにより、第 2 の画像データを生成して前記データドライバ回路に供給する機能を有する表示装置。

[請求項 5]

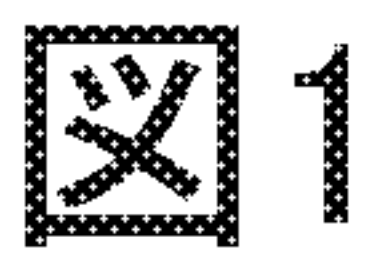
請求項 2 乃至 4 のいずれか一項において、

前記データドライバ回路は、前記表示部と重なる領域を有する表示装置。

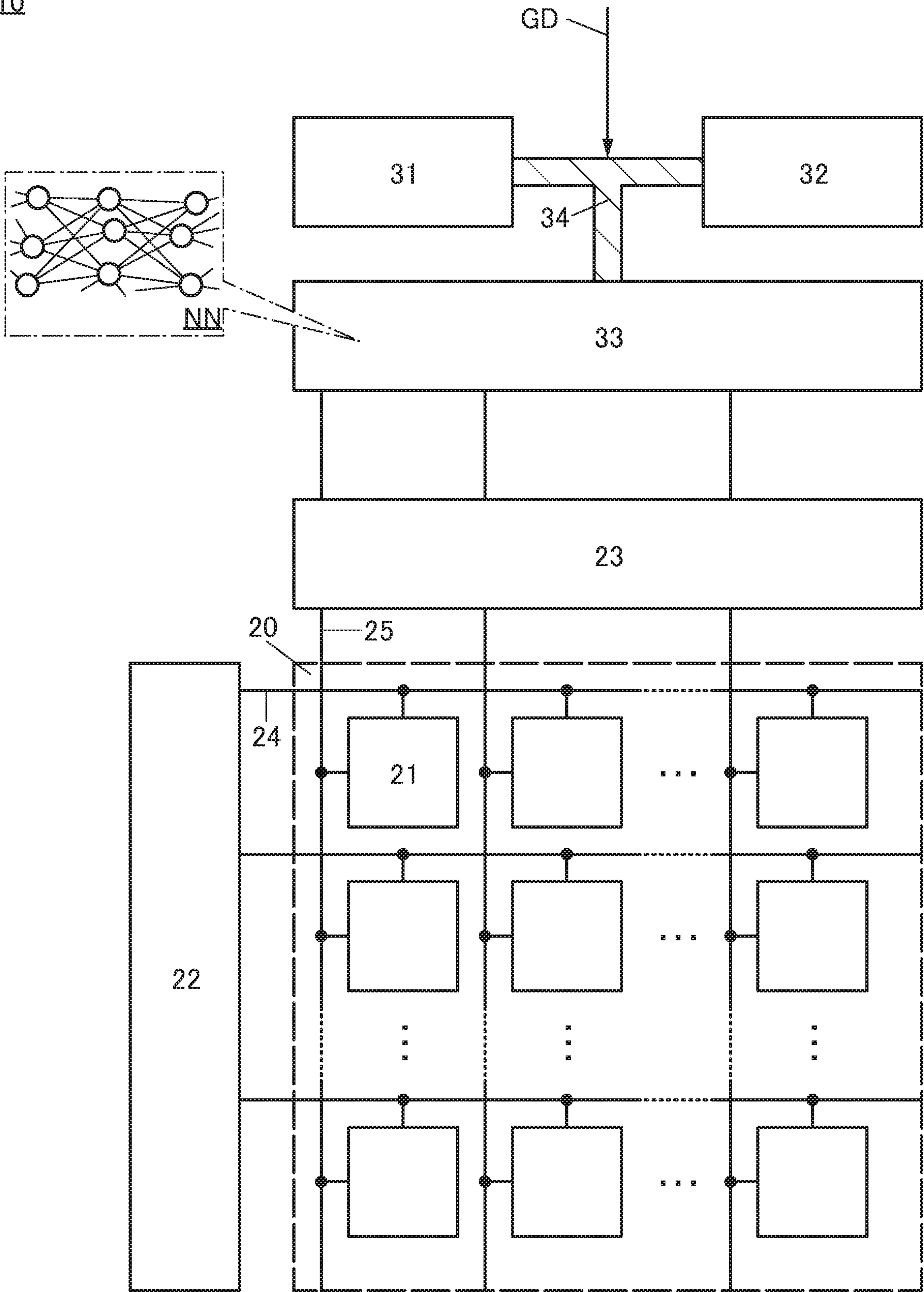
[請求項 6]

請求項 1 乃至 5 のいずれか一項において、

前記演算回路は、前記第 1 の画像データが表す画像の解像度を高める処理を行うことにより、前記第 2 の画像データを生成する機能を有する表示装置。



10



2

2/33

10

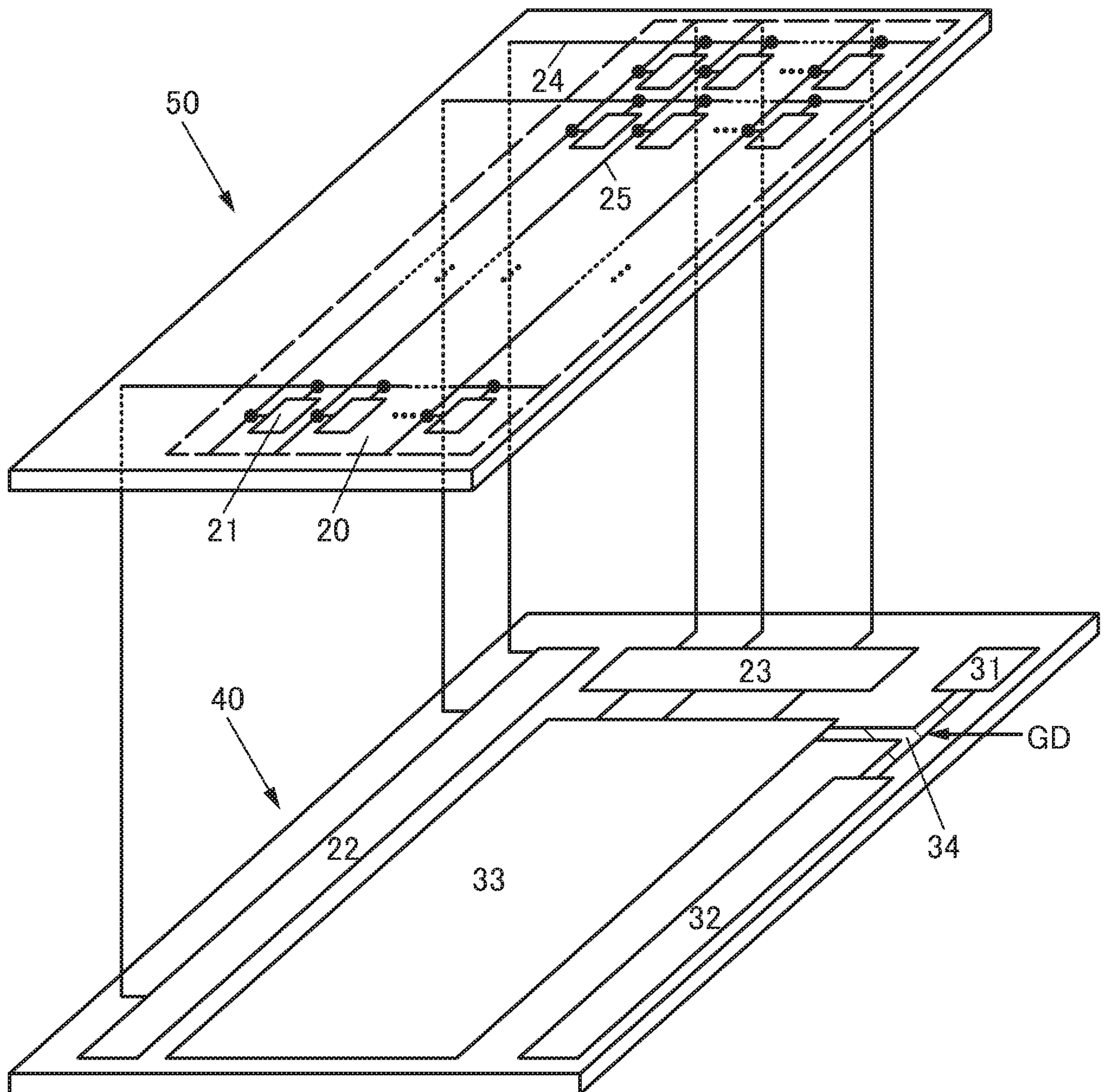


図3A

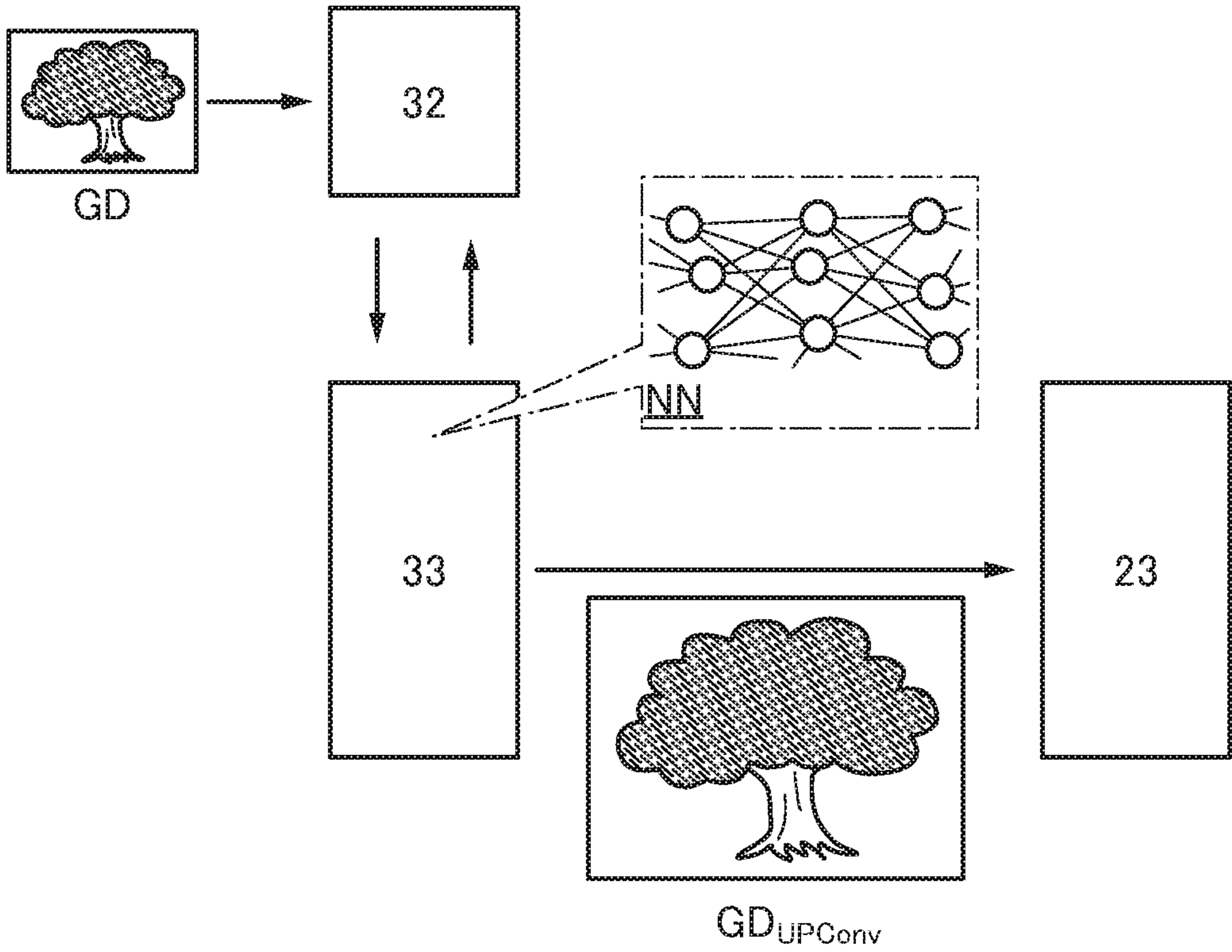


図3B

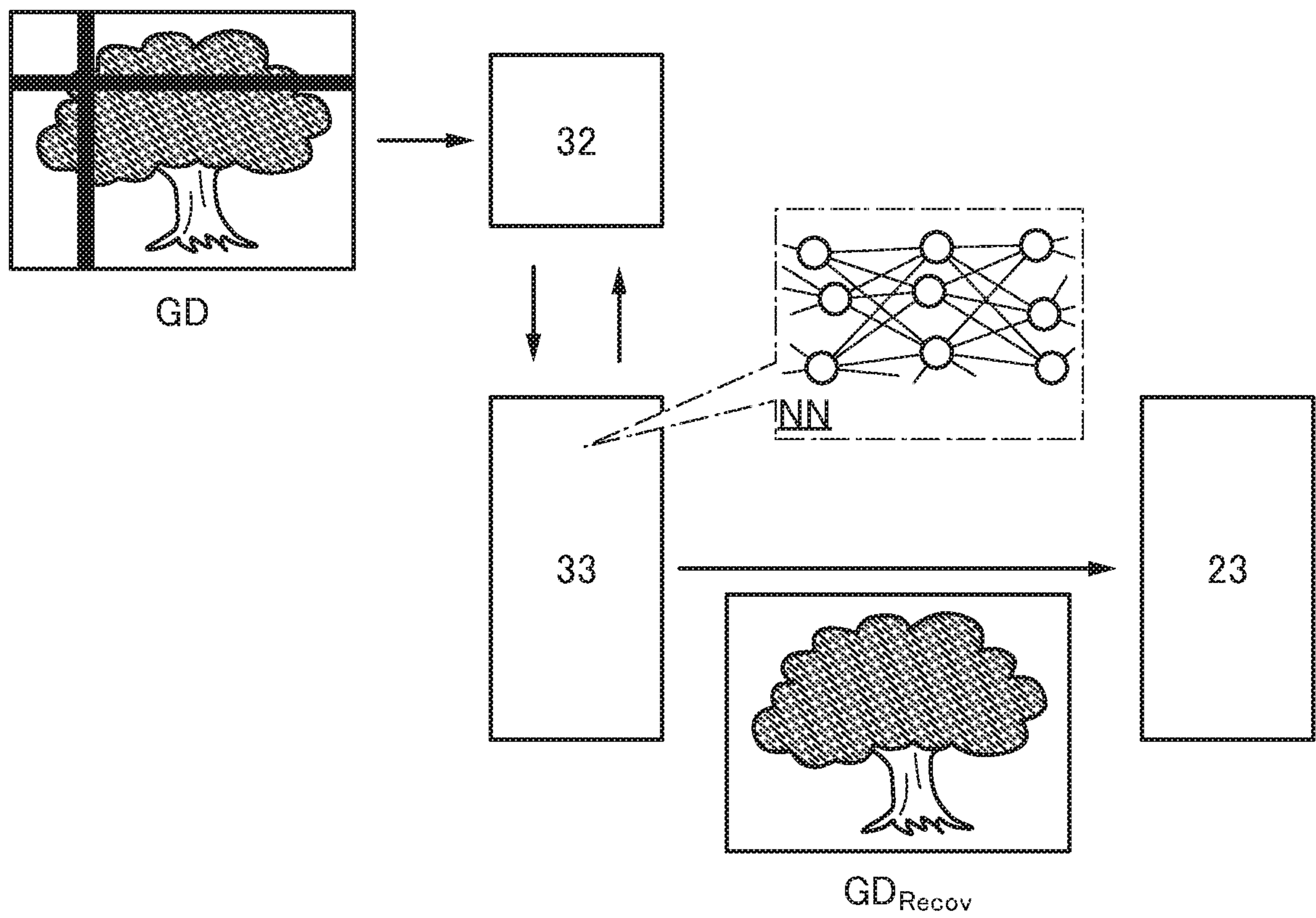


図4A

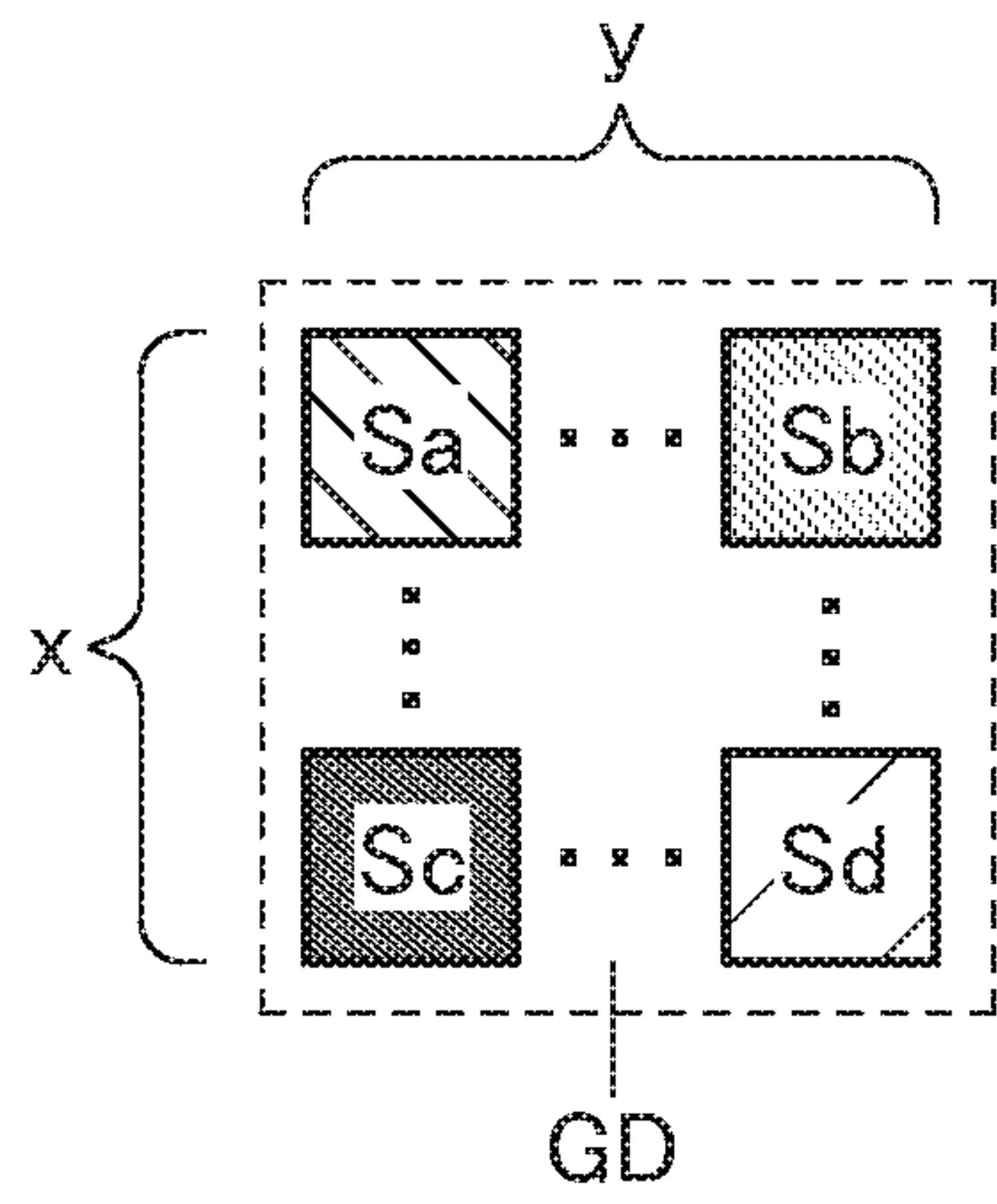


図4B

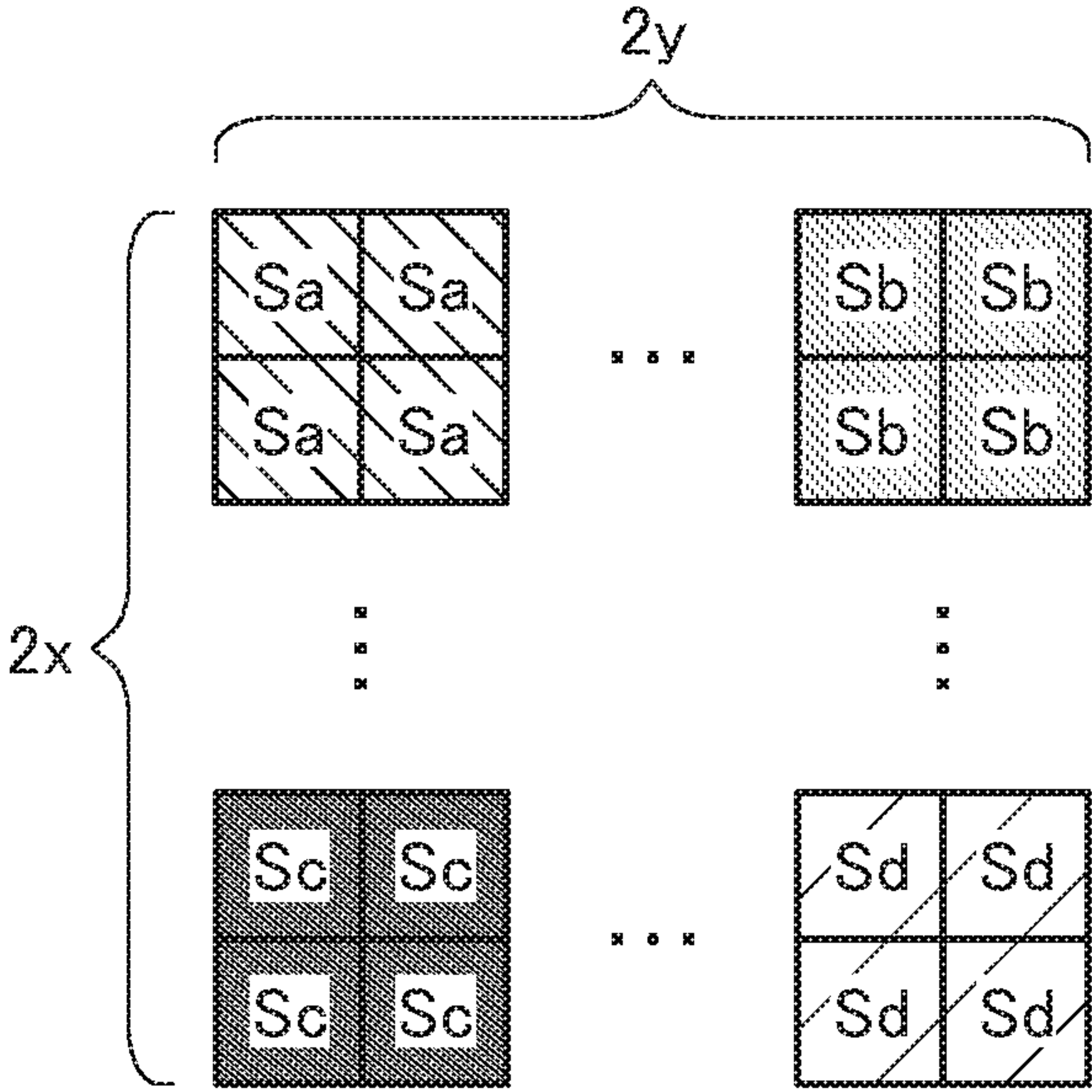


図4C

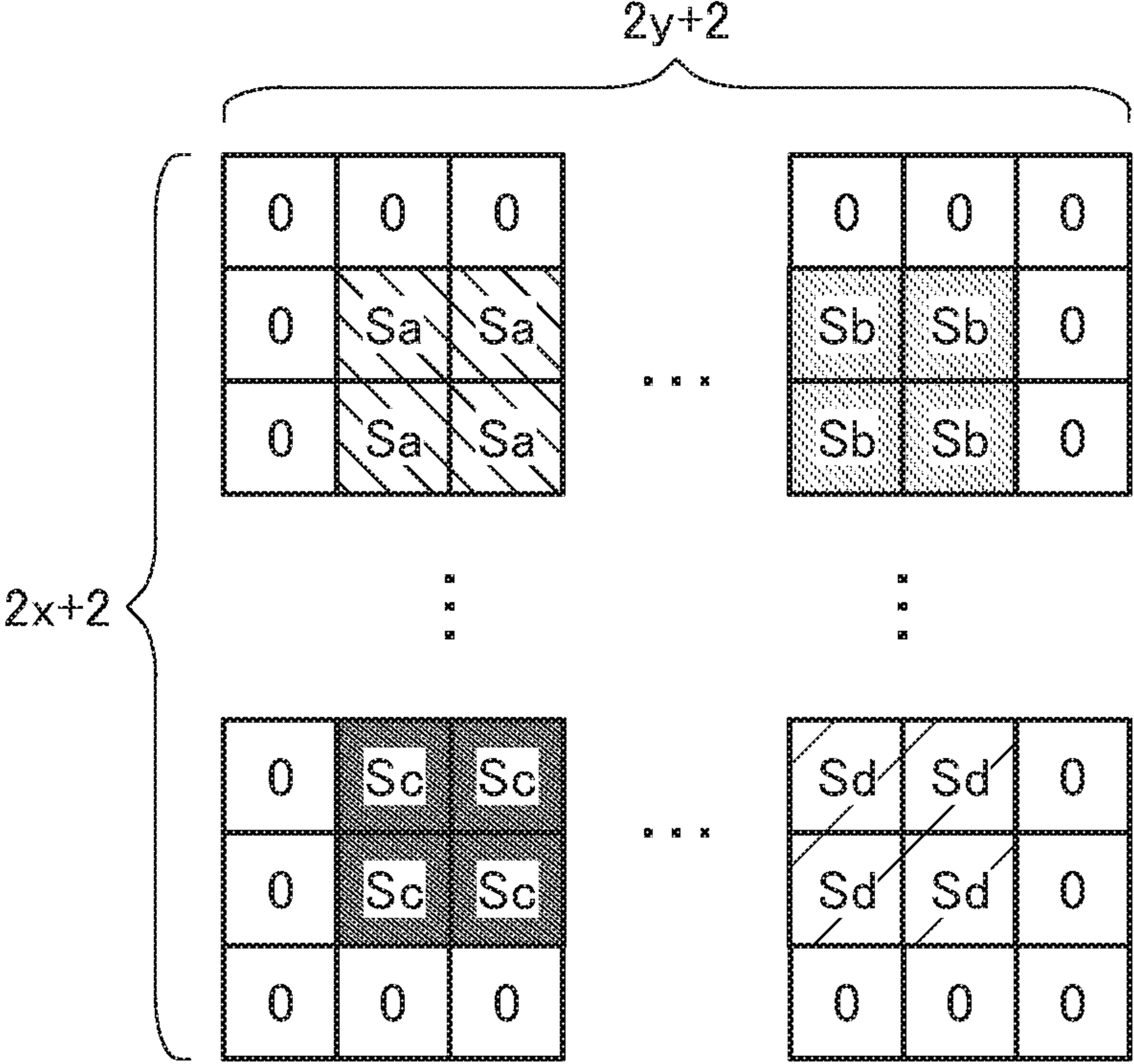
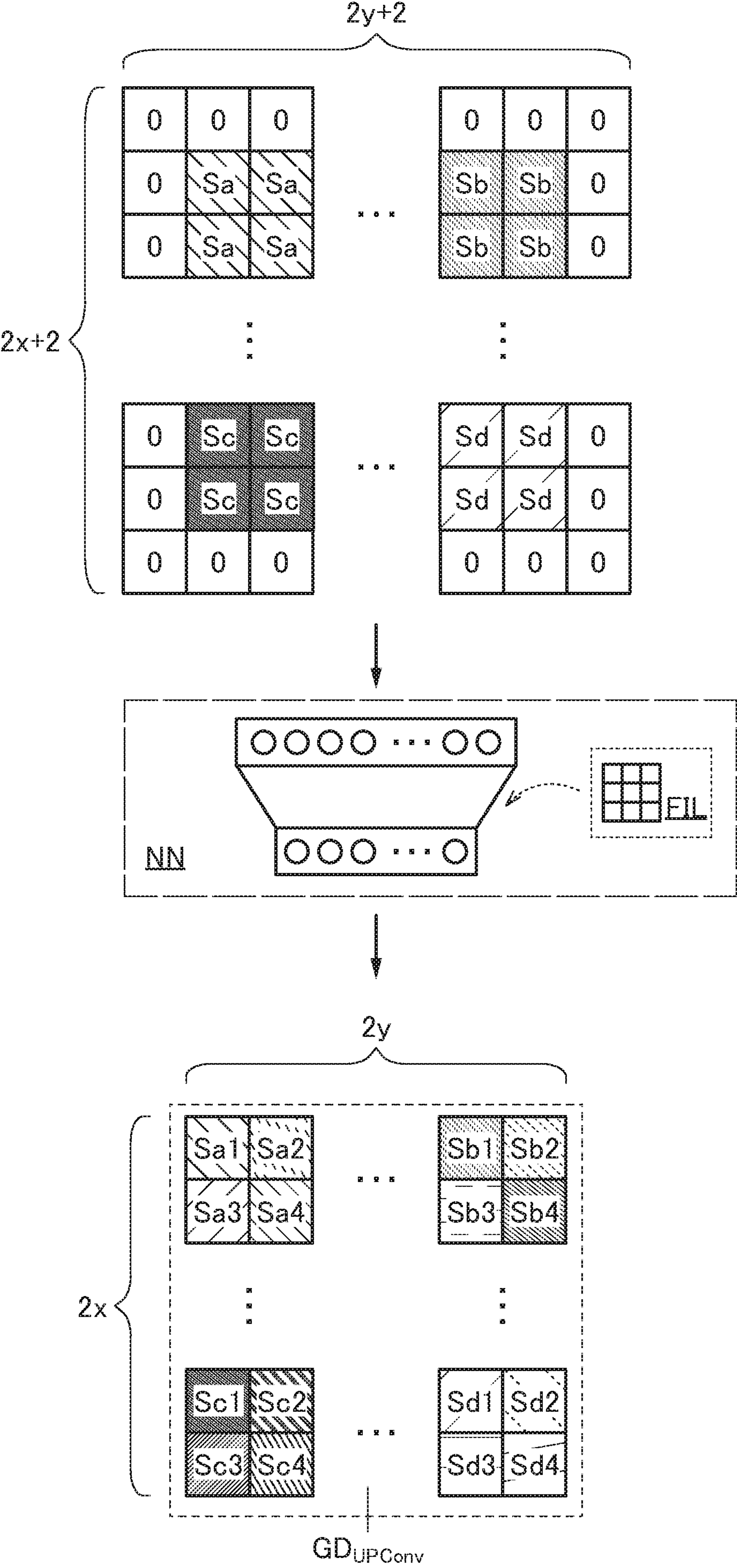


図 5

5/33



6

6/33

10

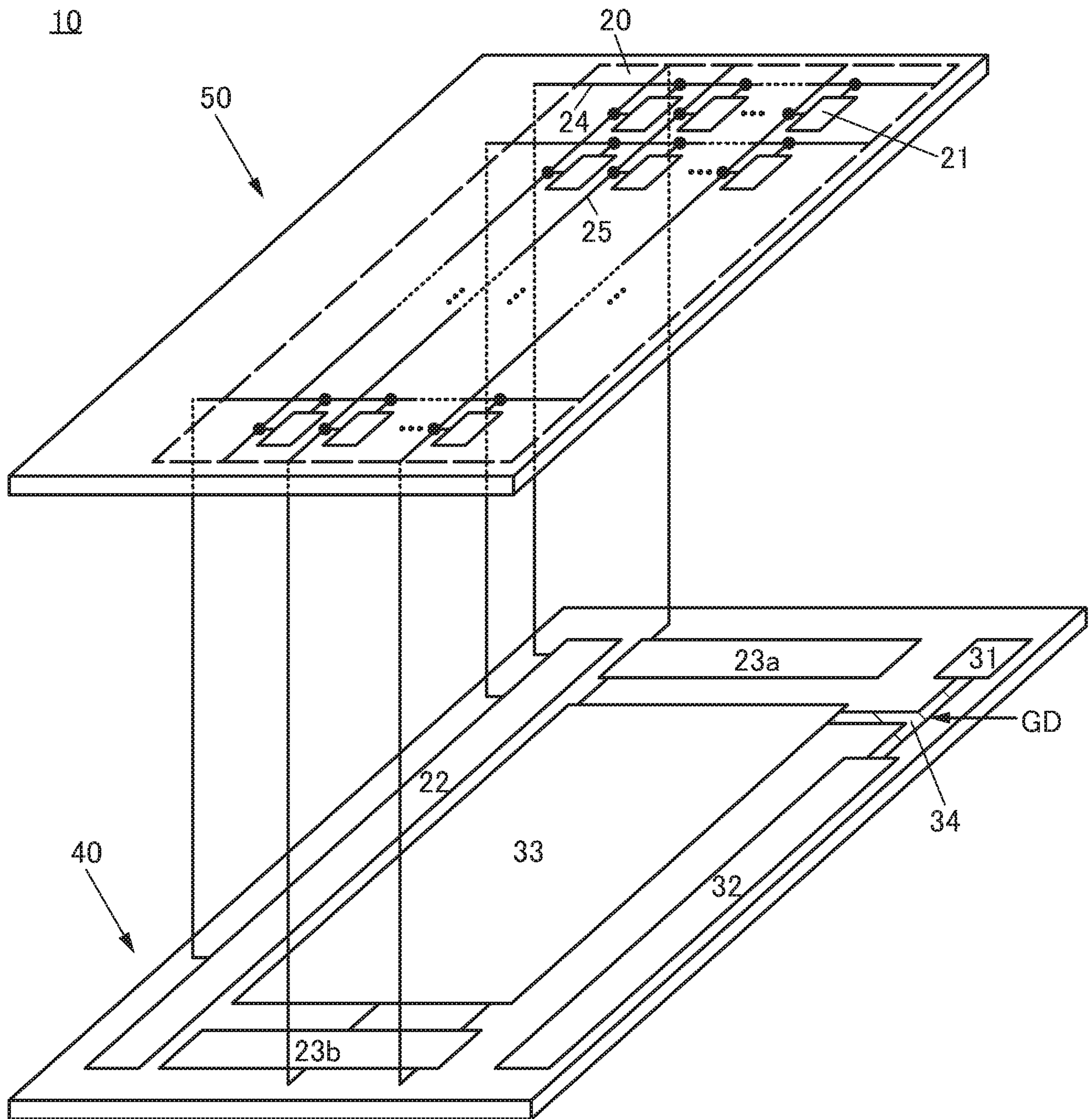
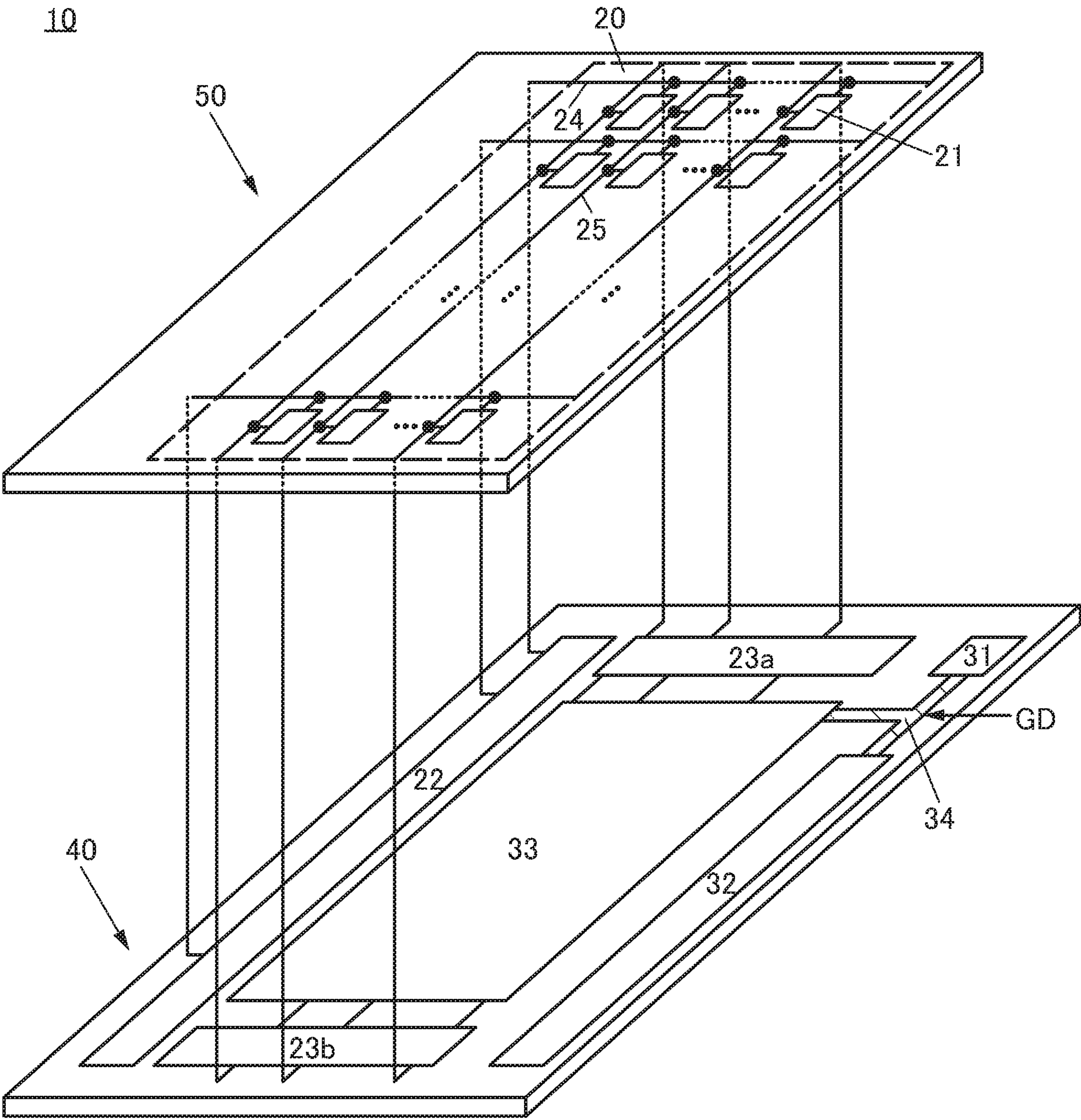


図 7

7/33

10



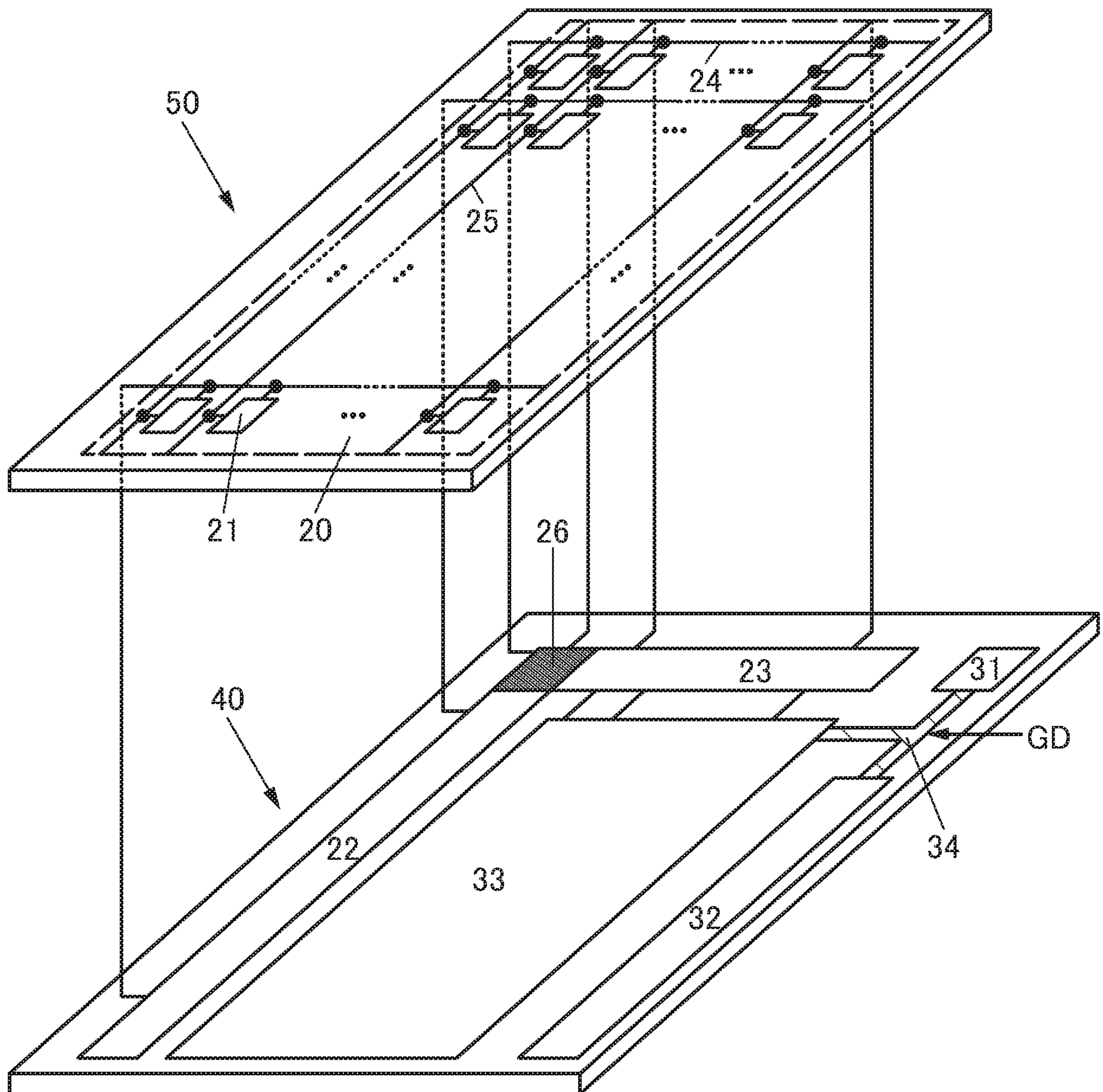
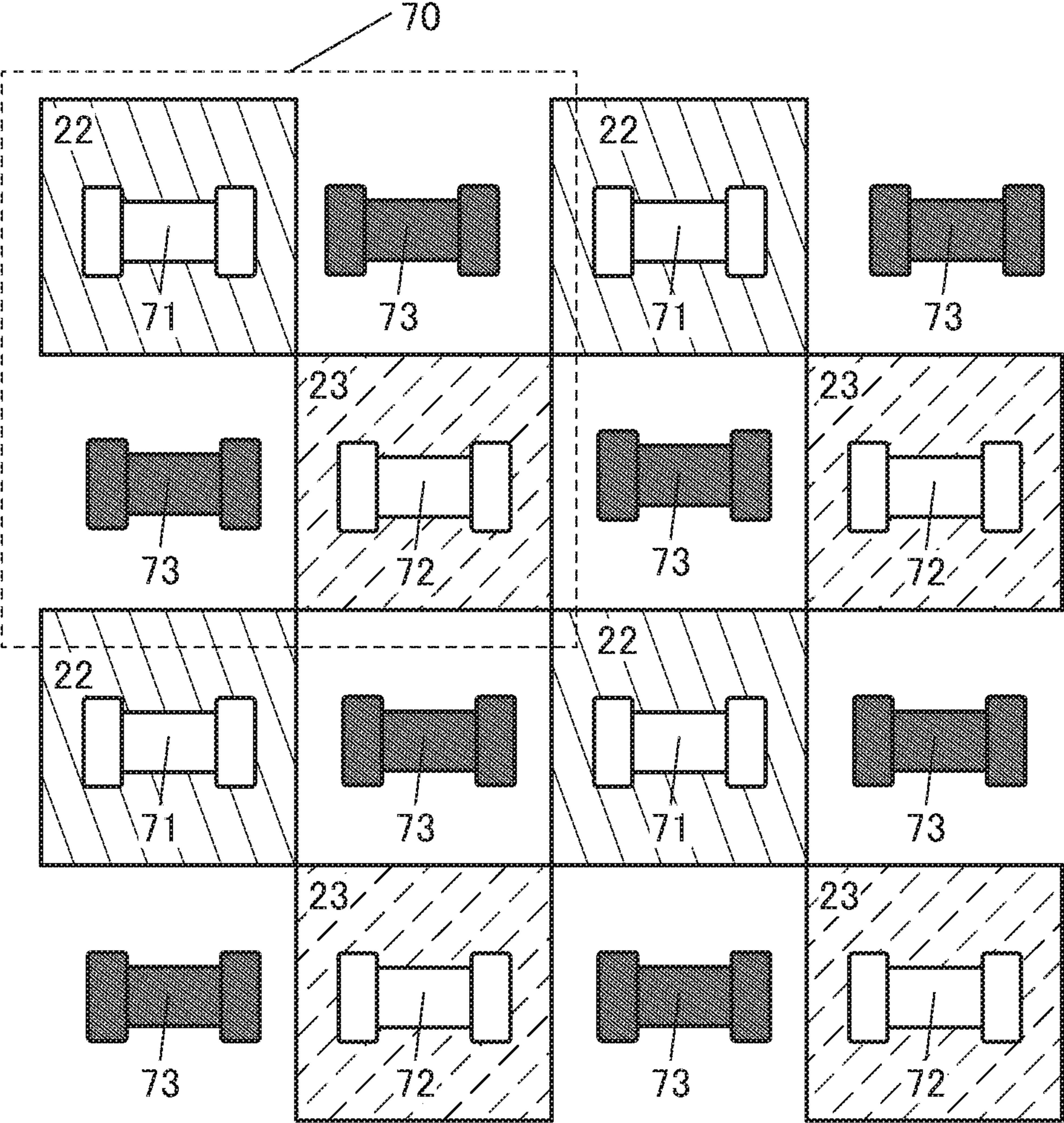


図 9

9/33

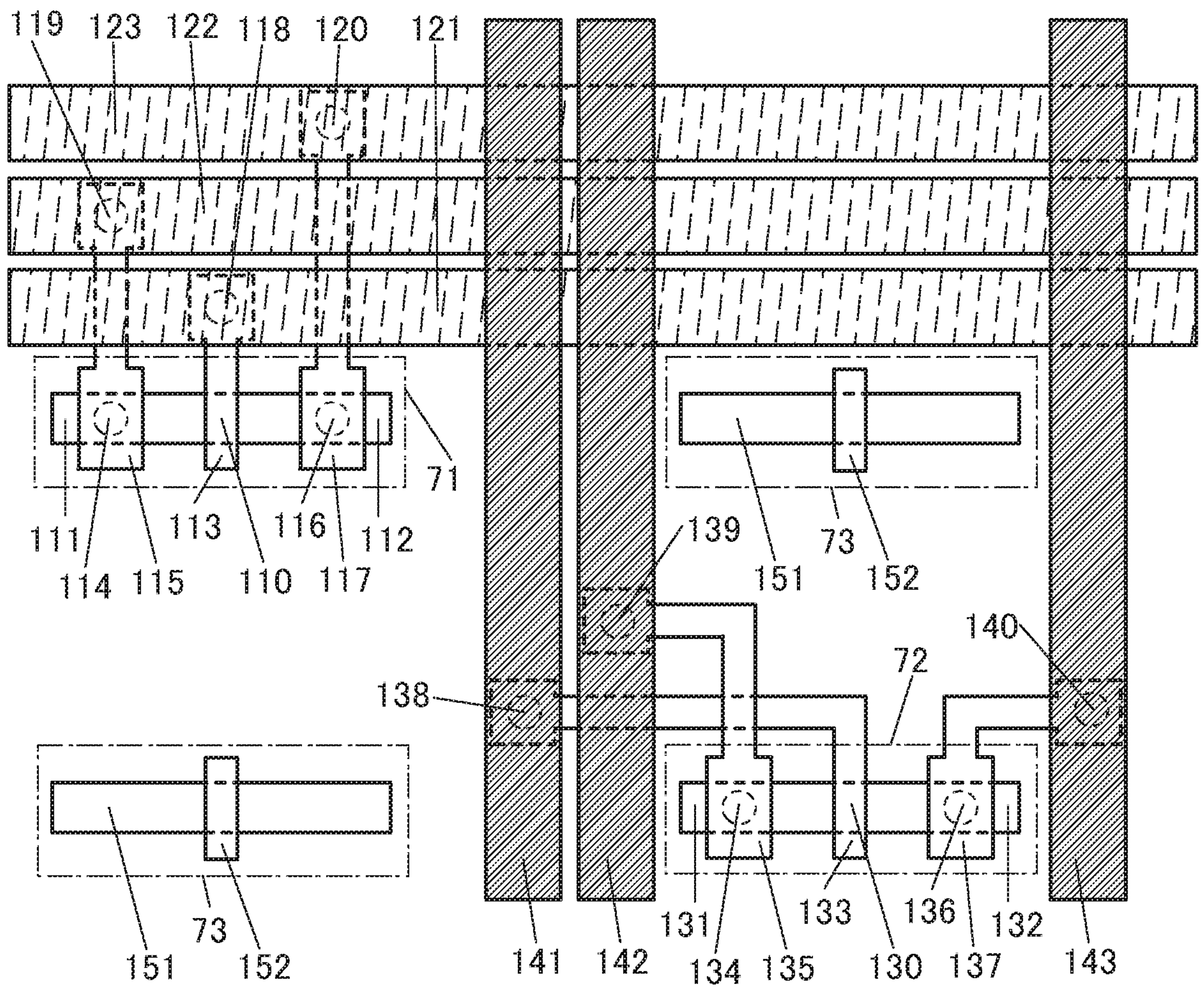
26



10

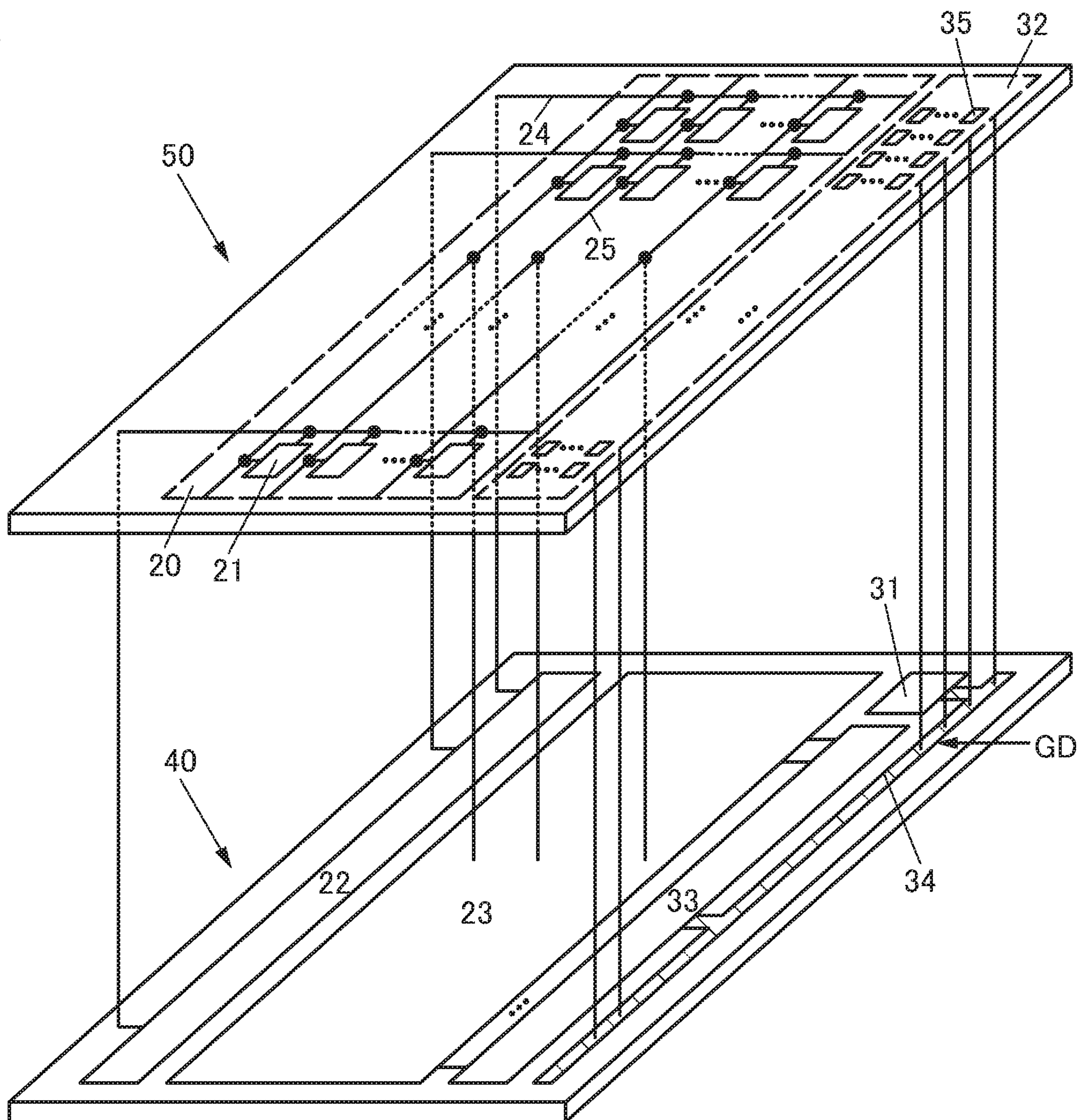
10/33

70



11

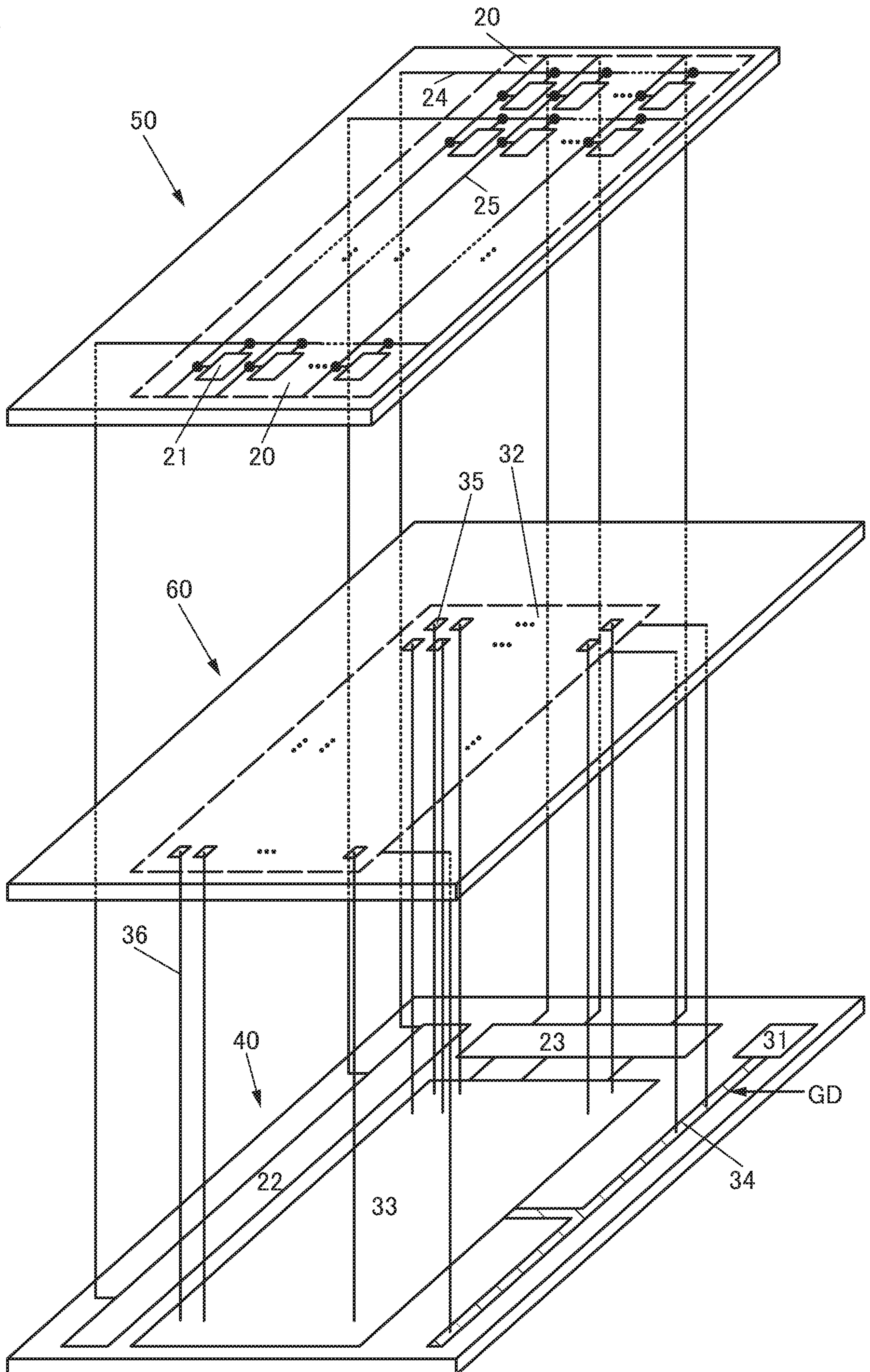
10

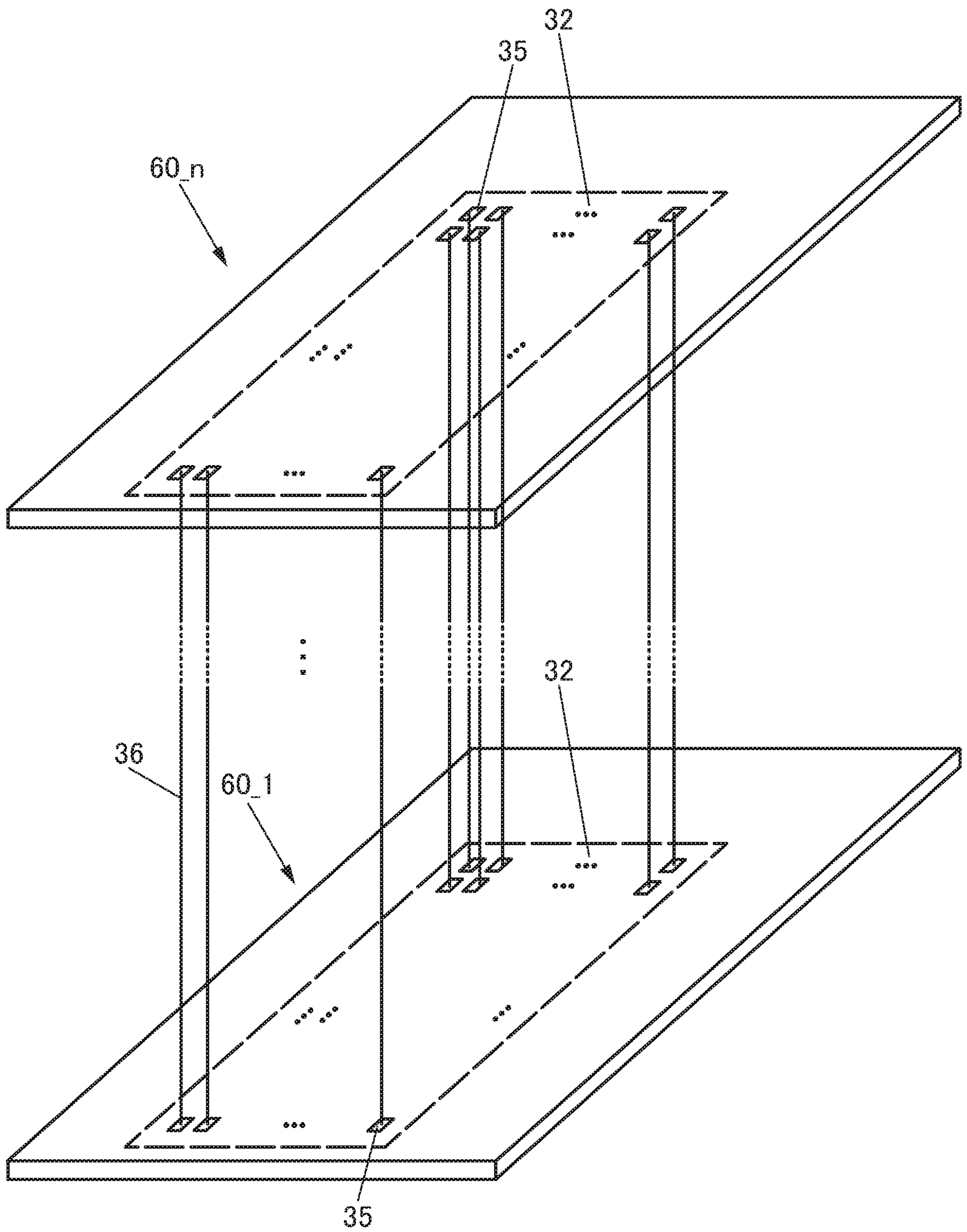


12

12/33

10

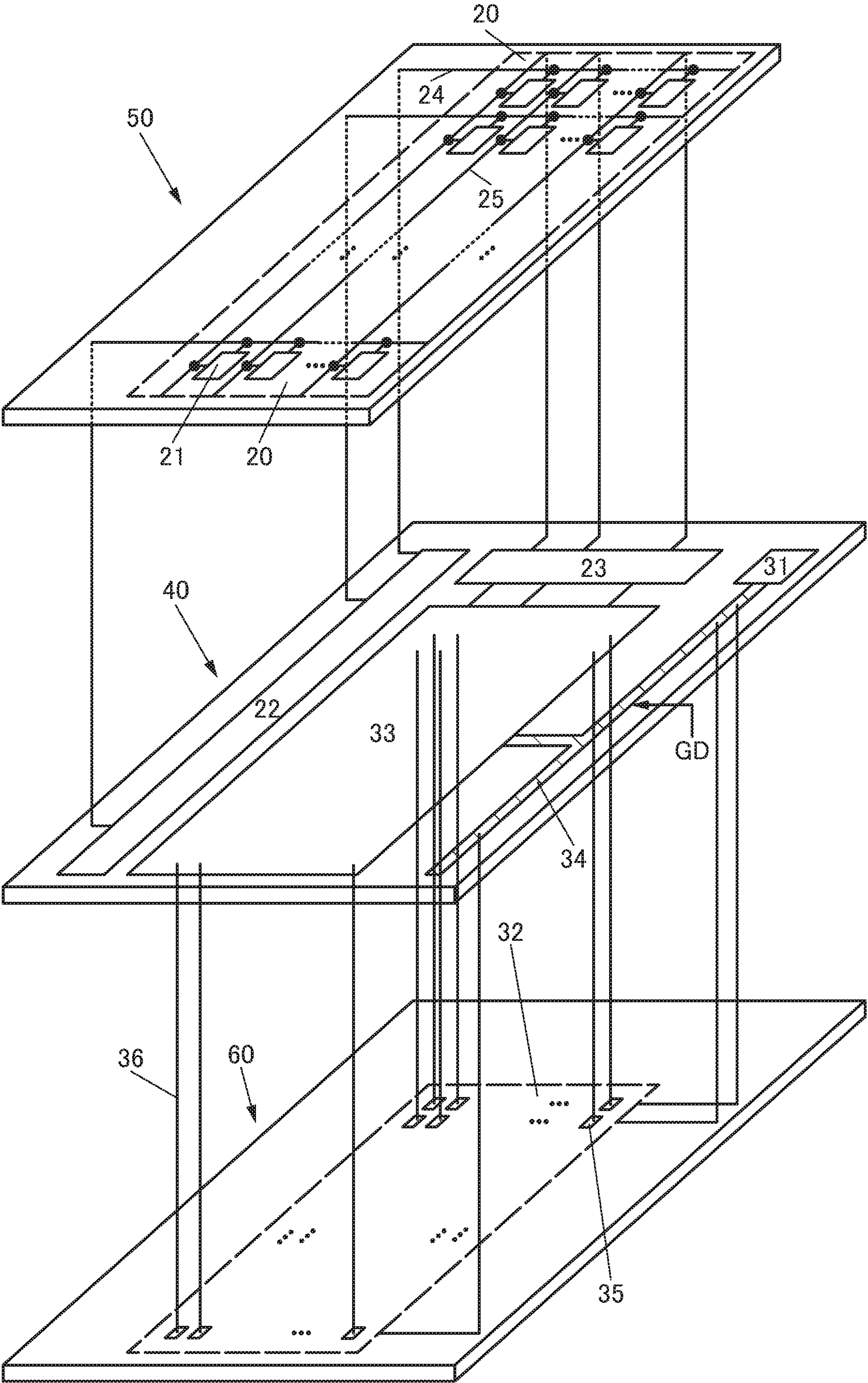




14

14/33

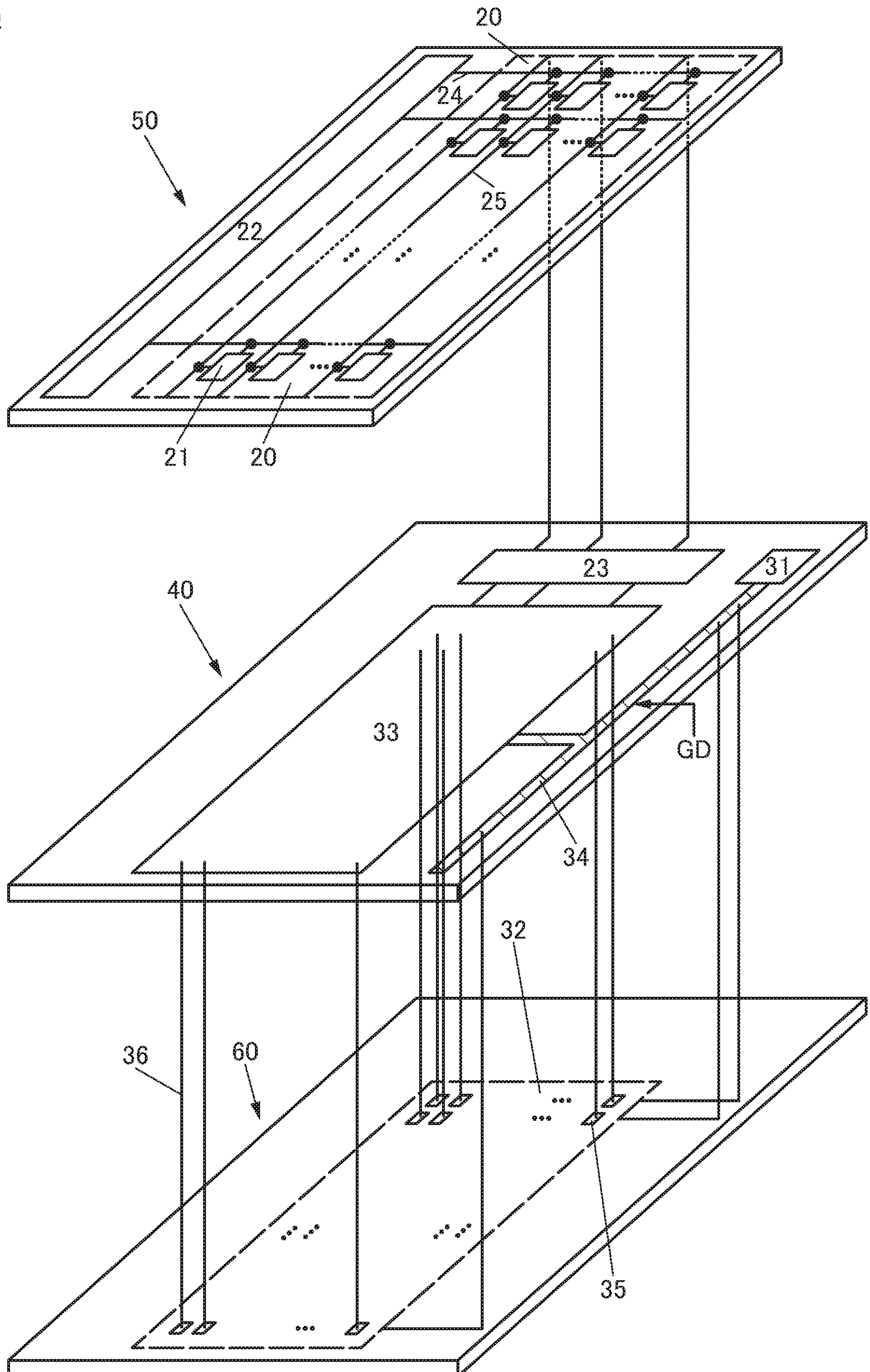
10



15

10

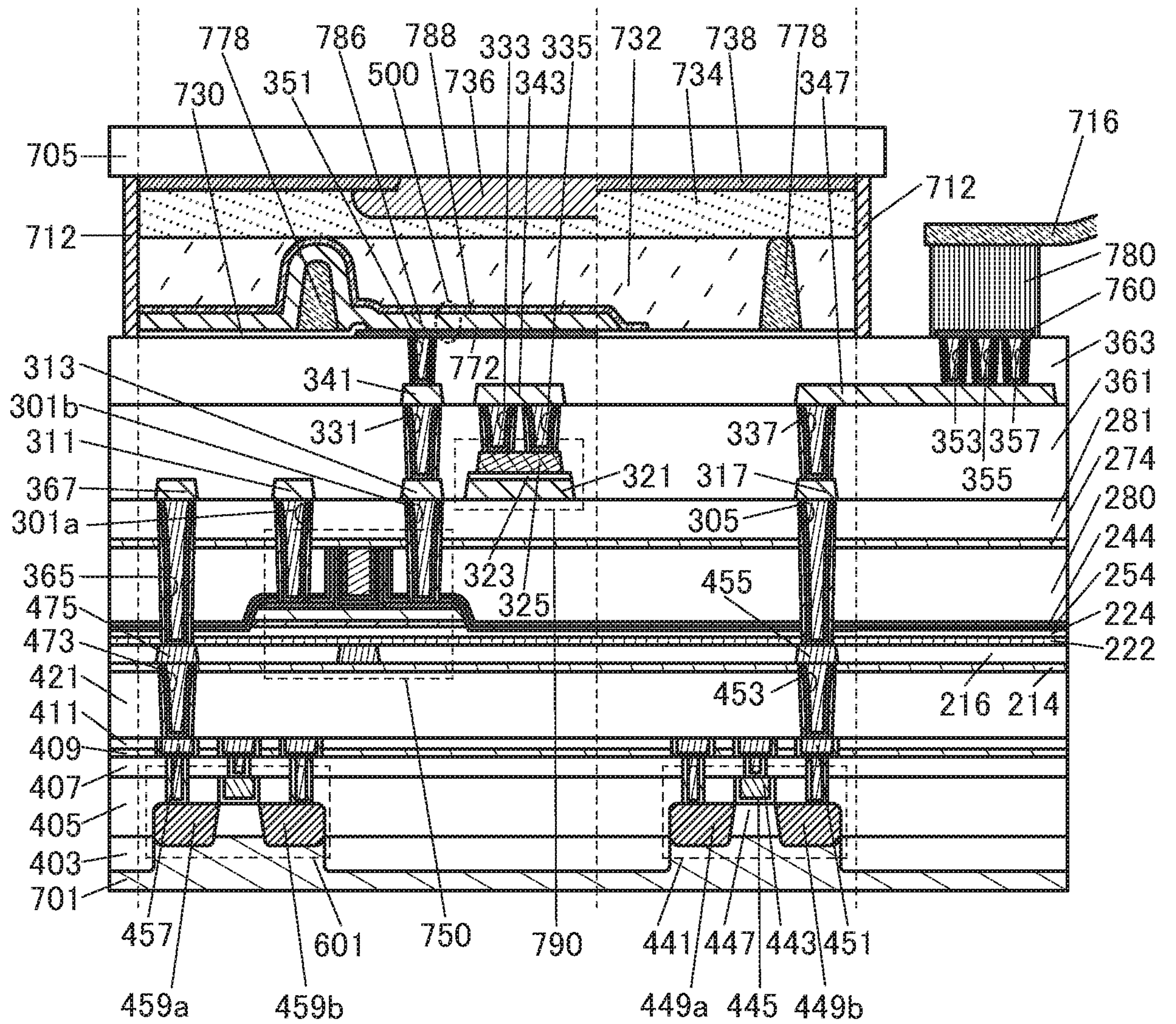
15/33



16

16/33

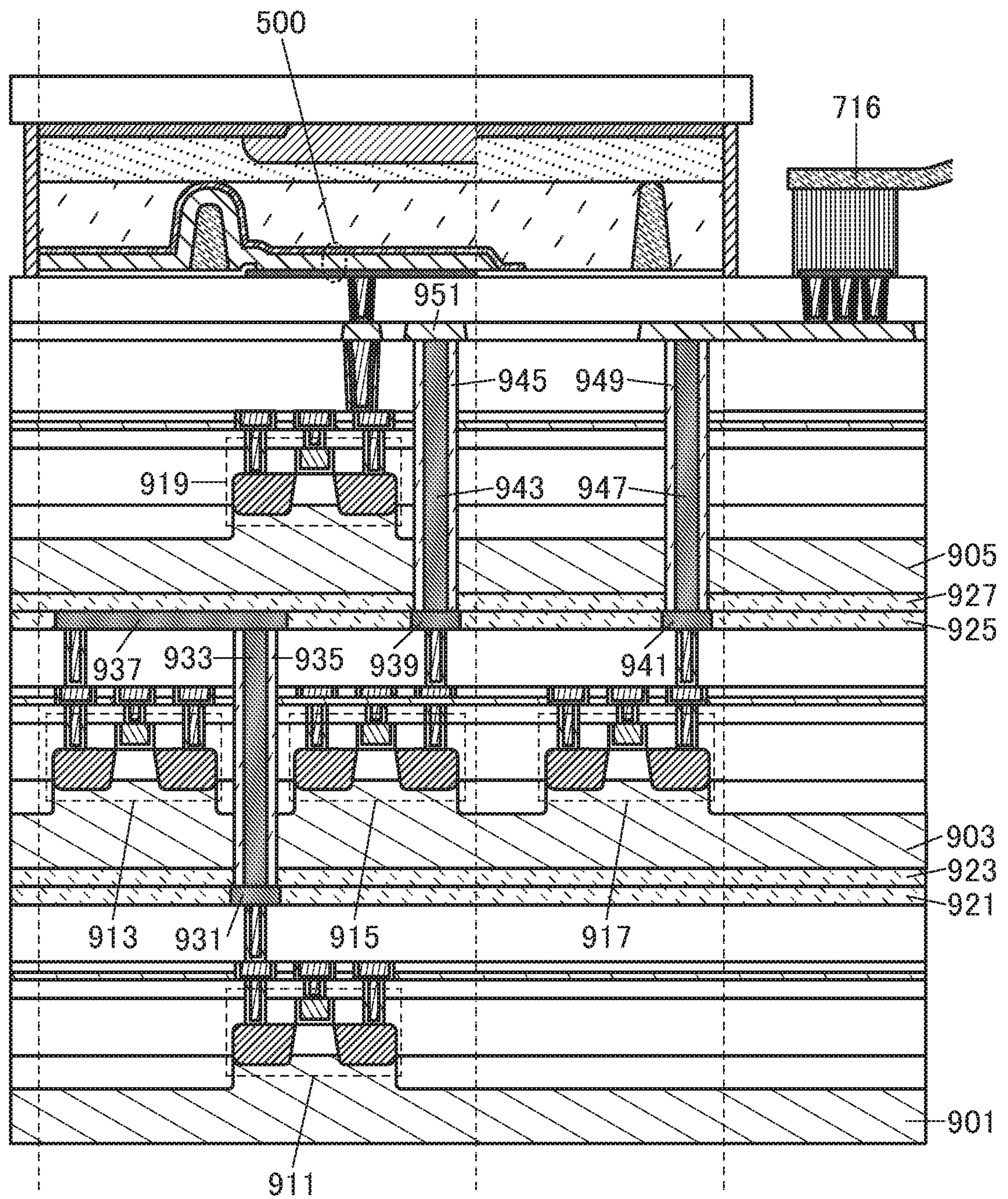
10



18

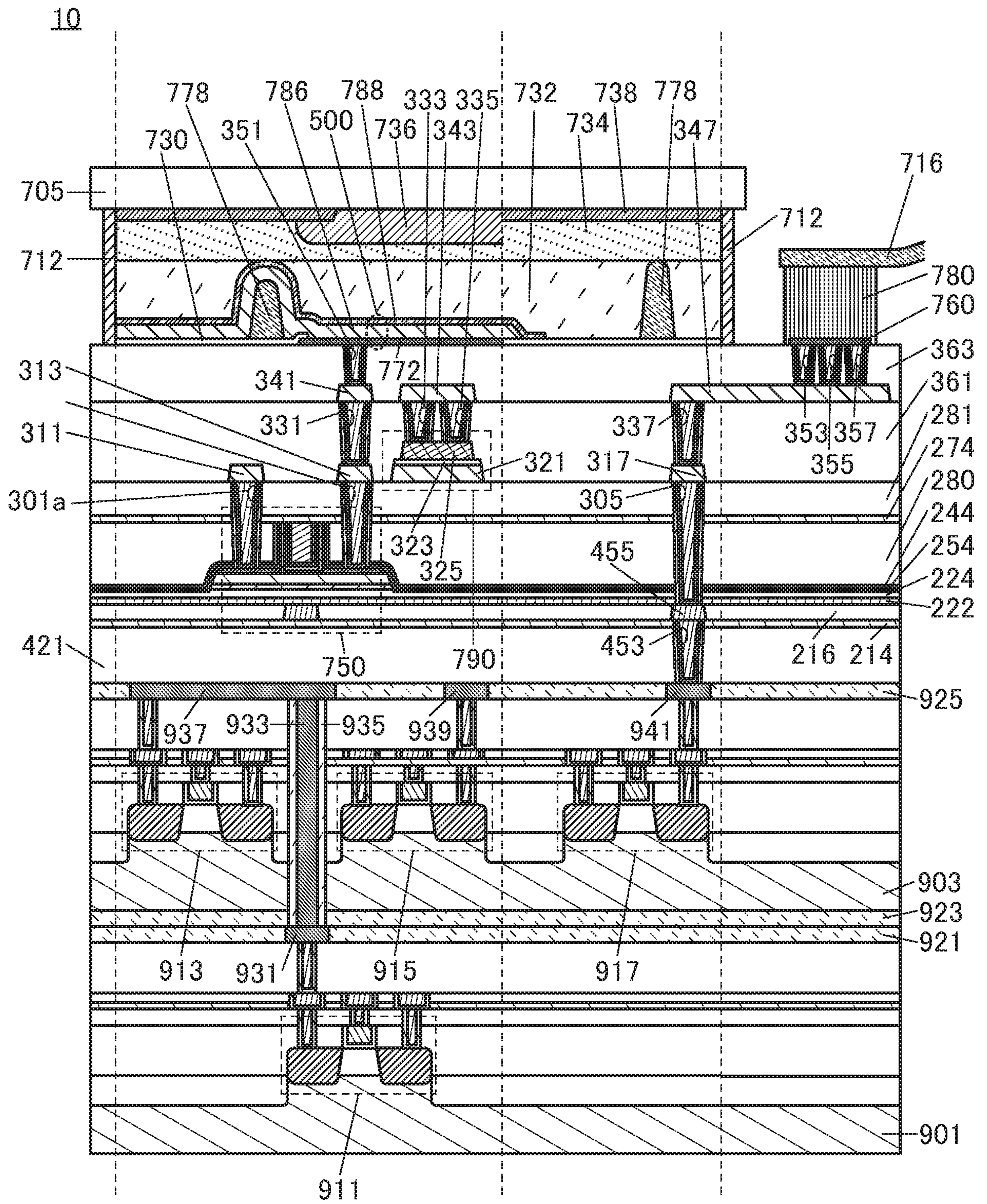
18/33

10



19

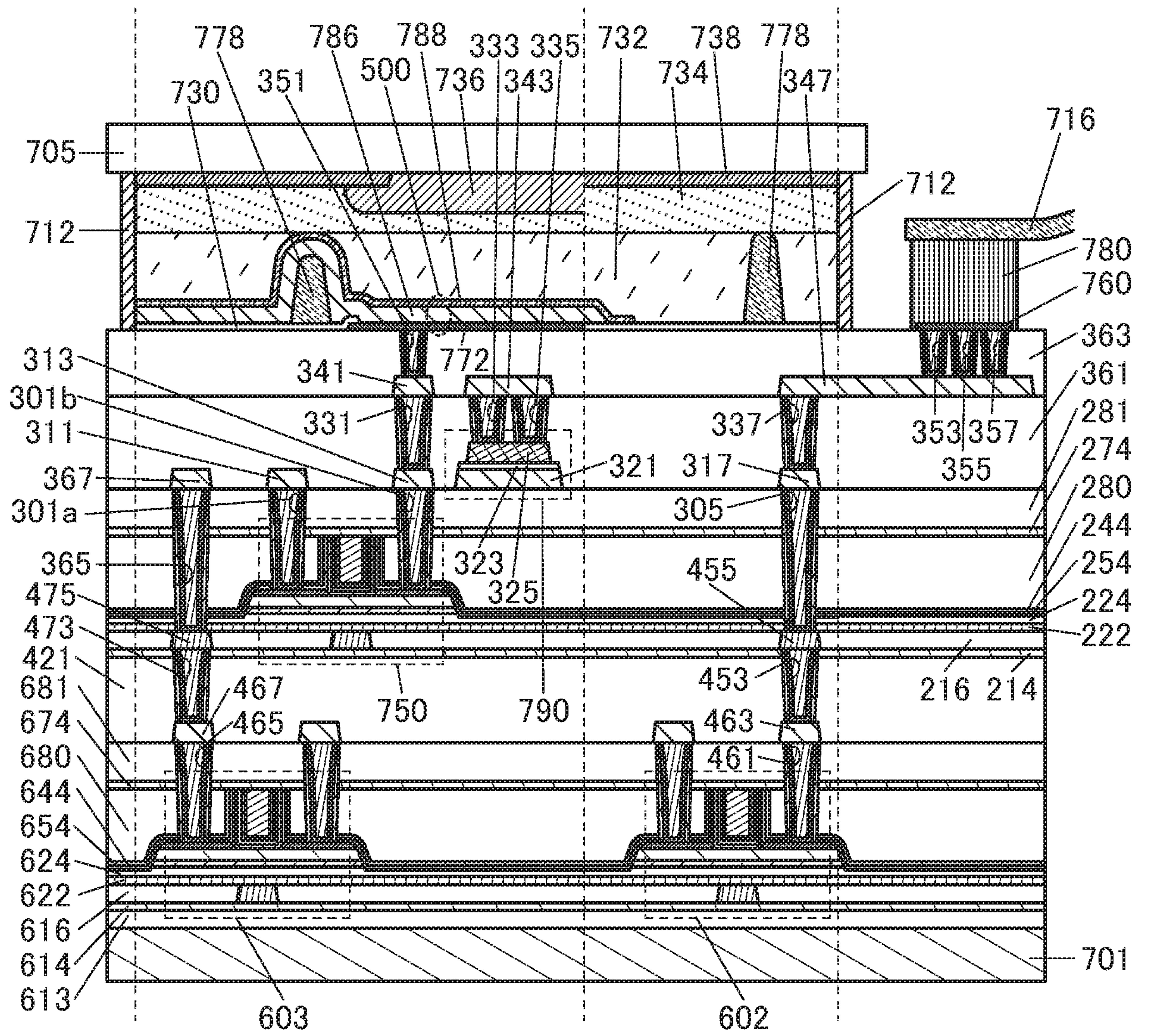
19/33



20

20/33

10



21

21/33

10

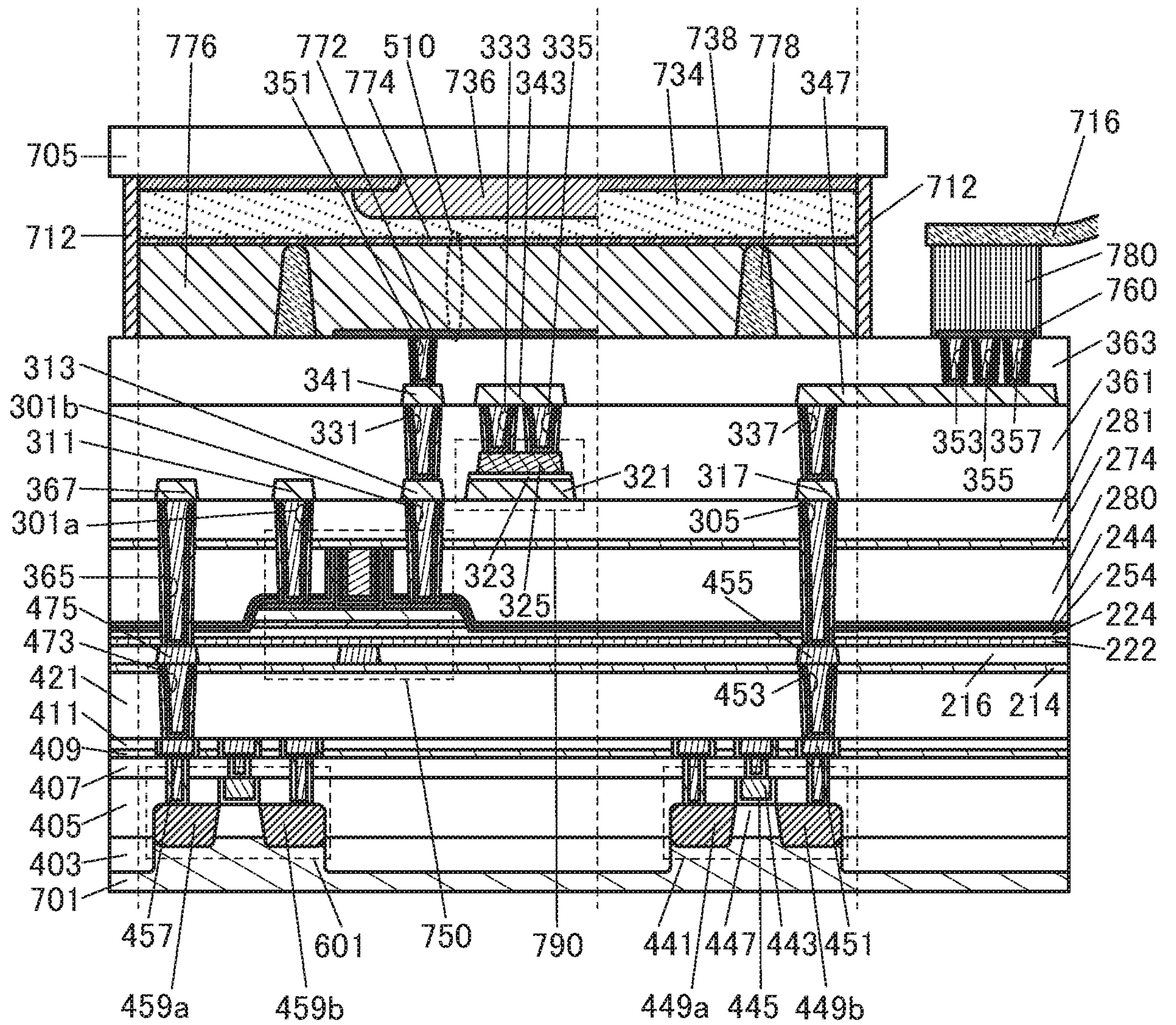


図22A

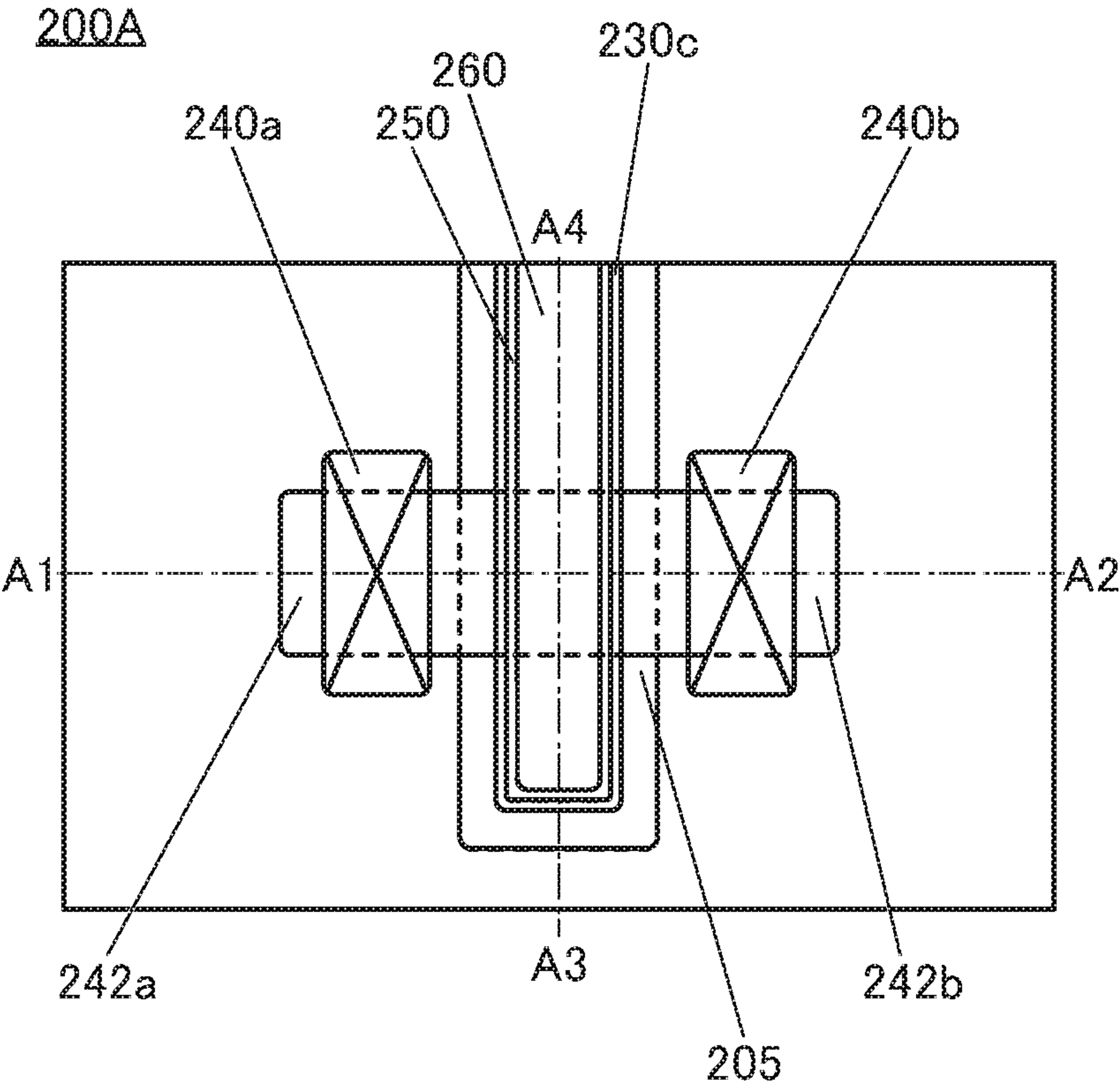


図22C

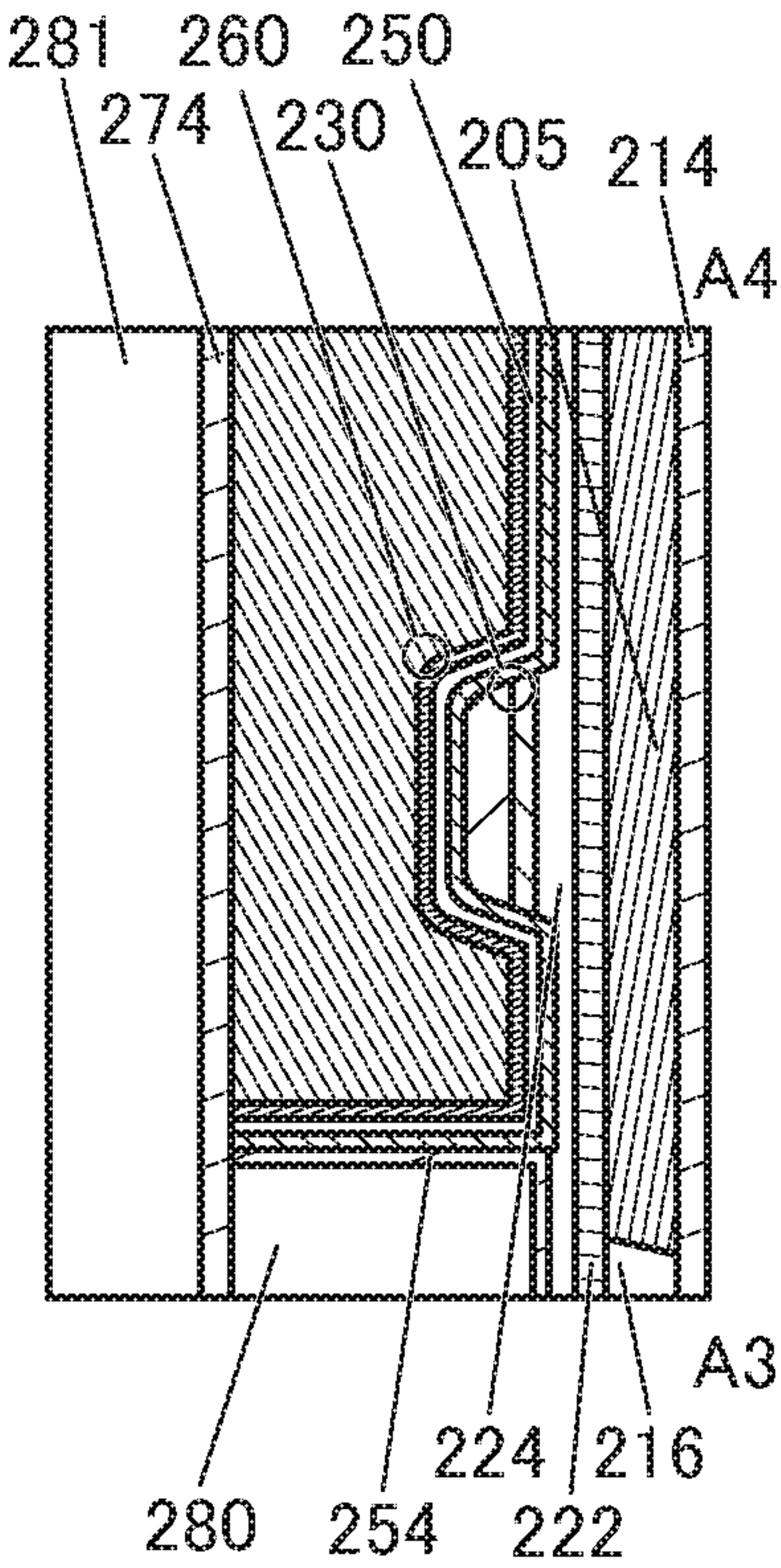


図22B

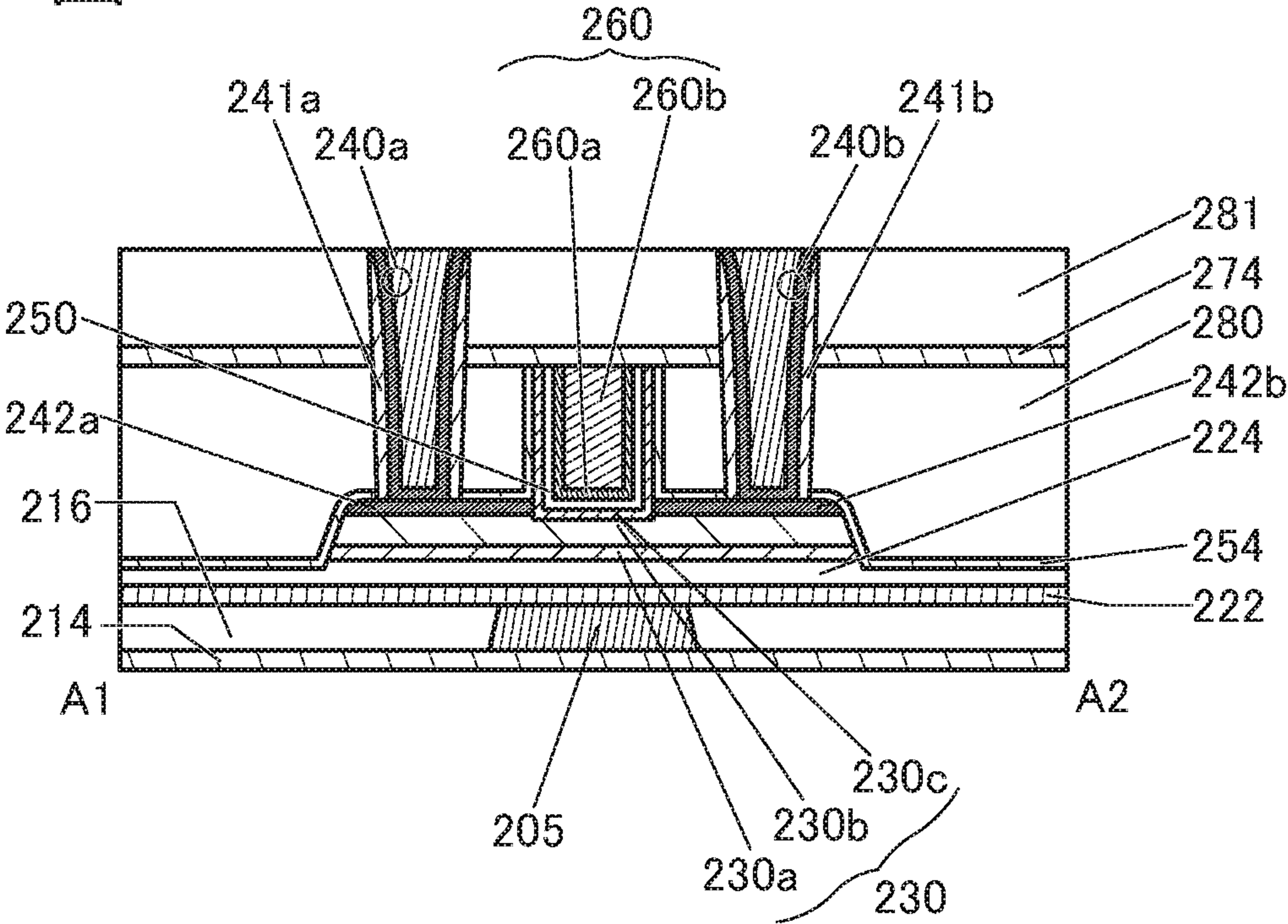


図23A

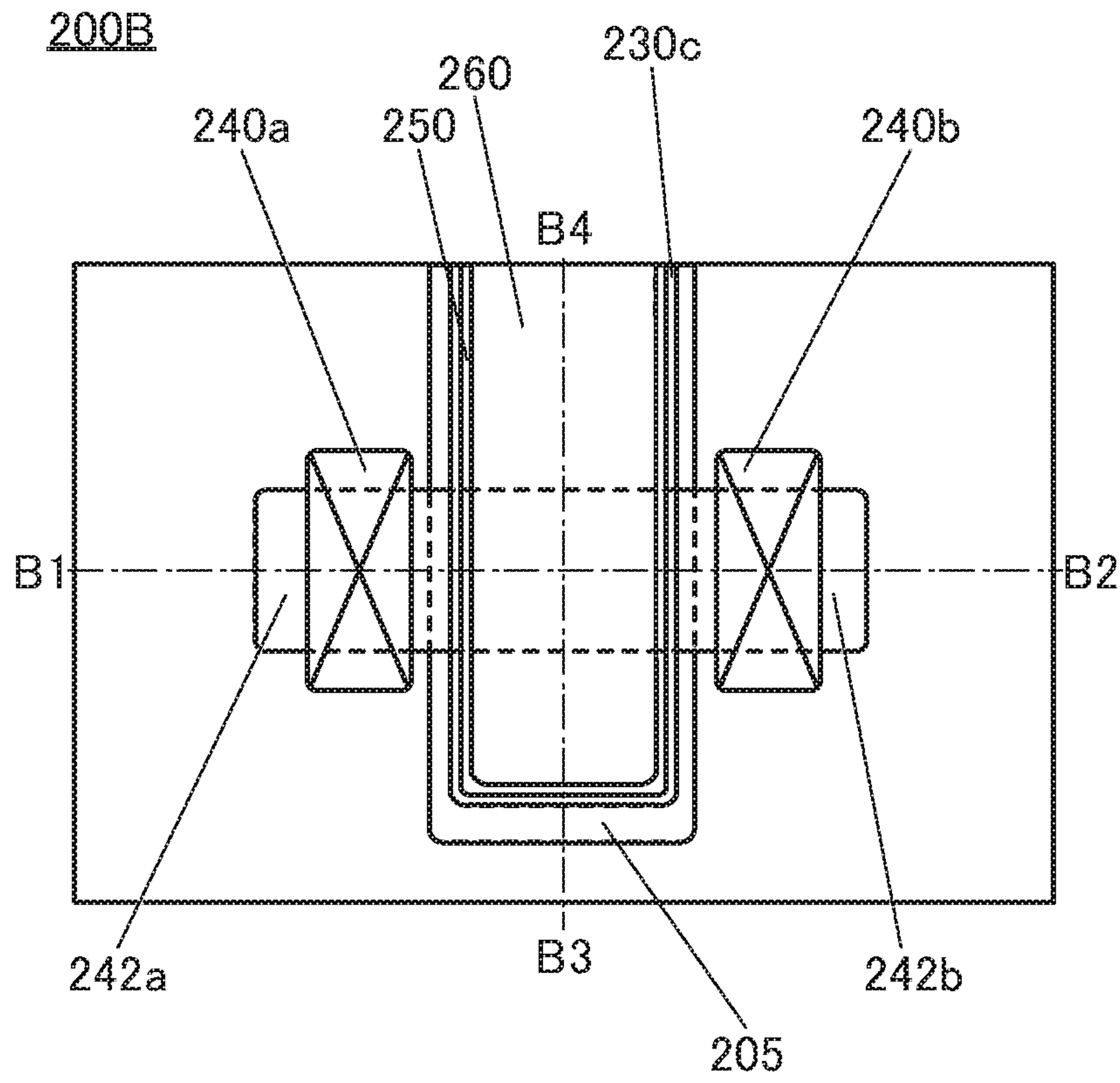


図23C

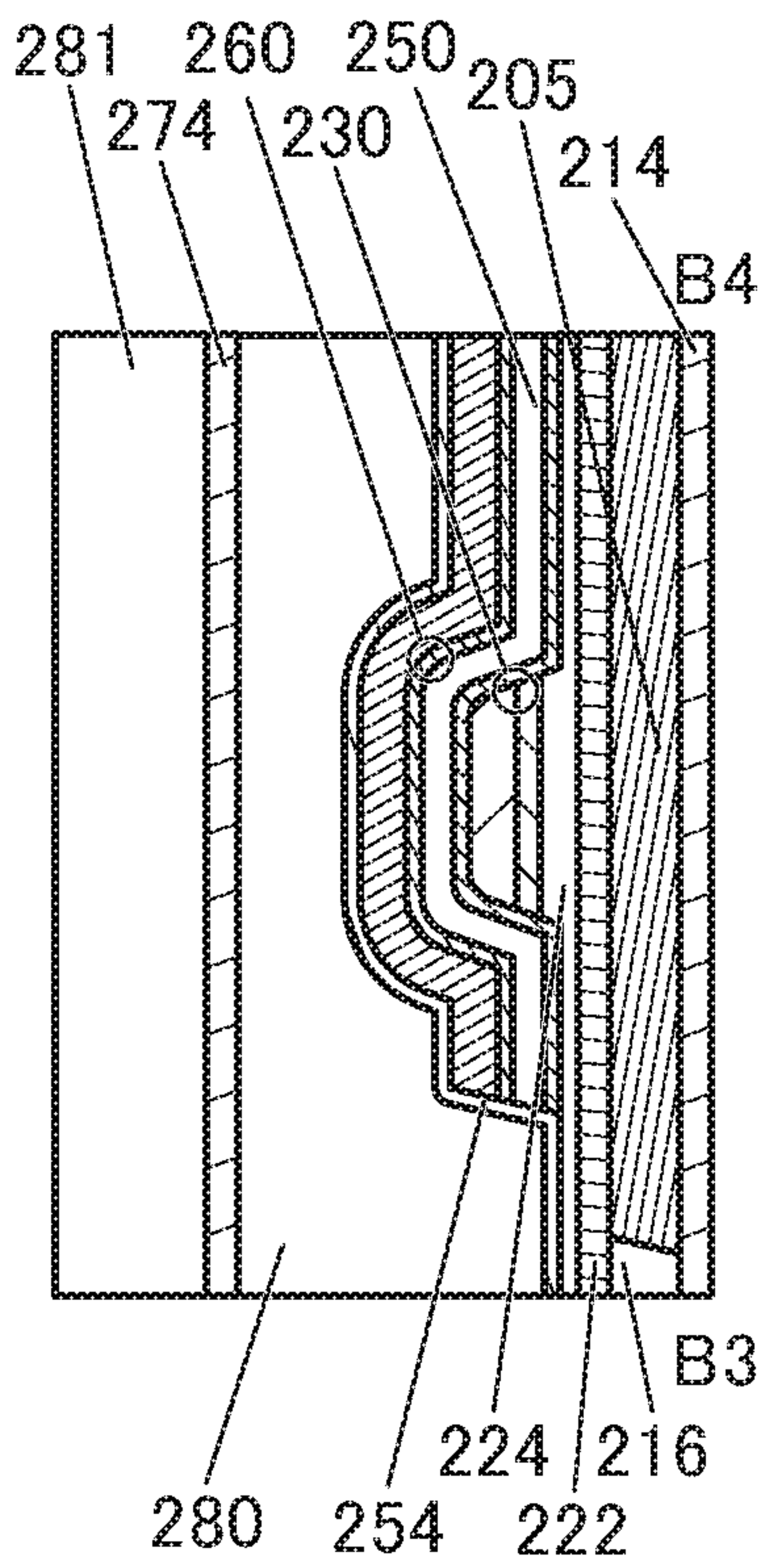


図23B

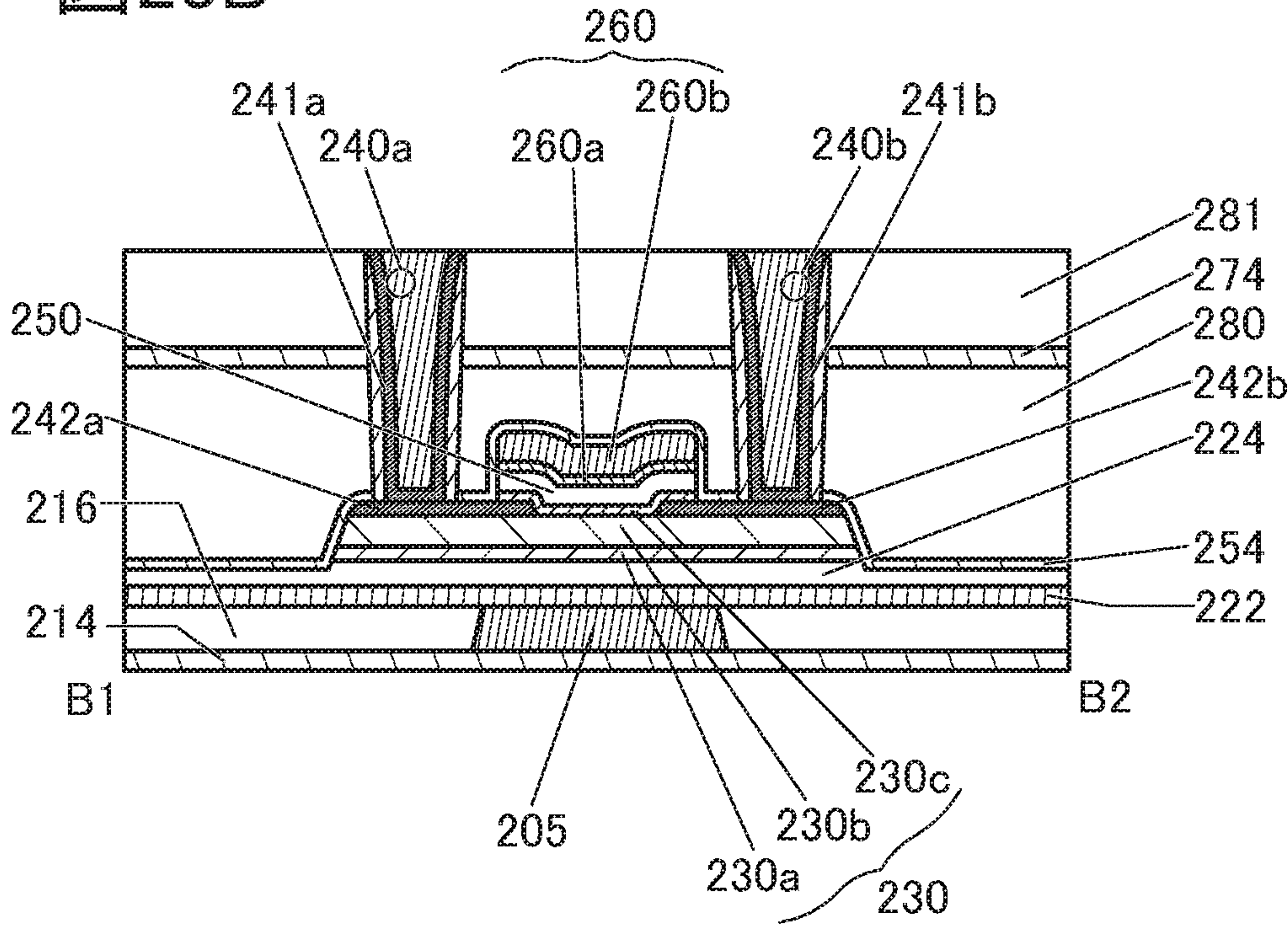


図24A

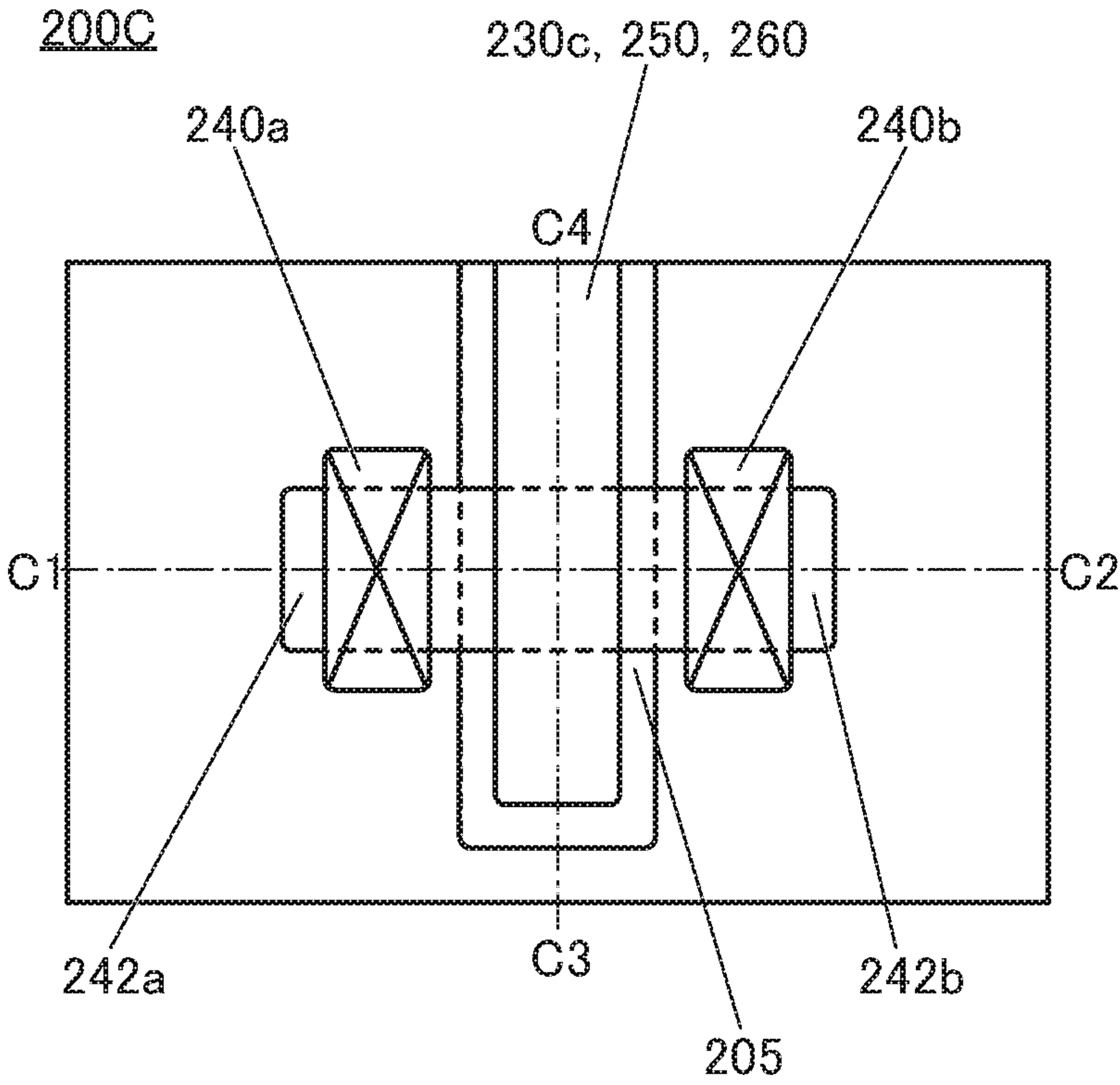


図24C

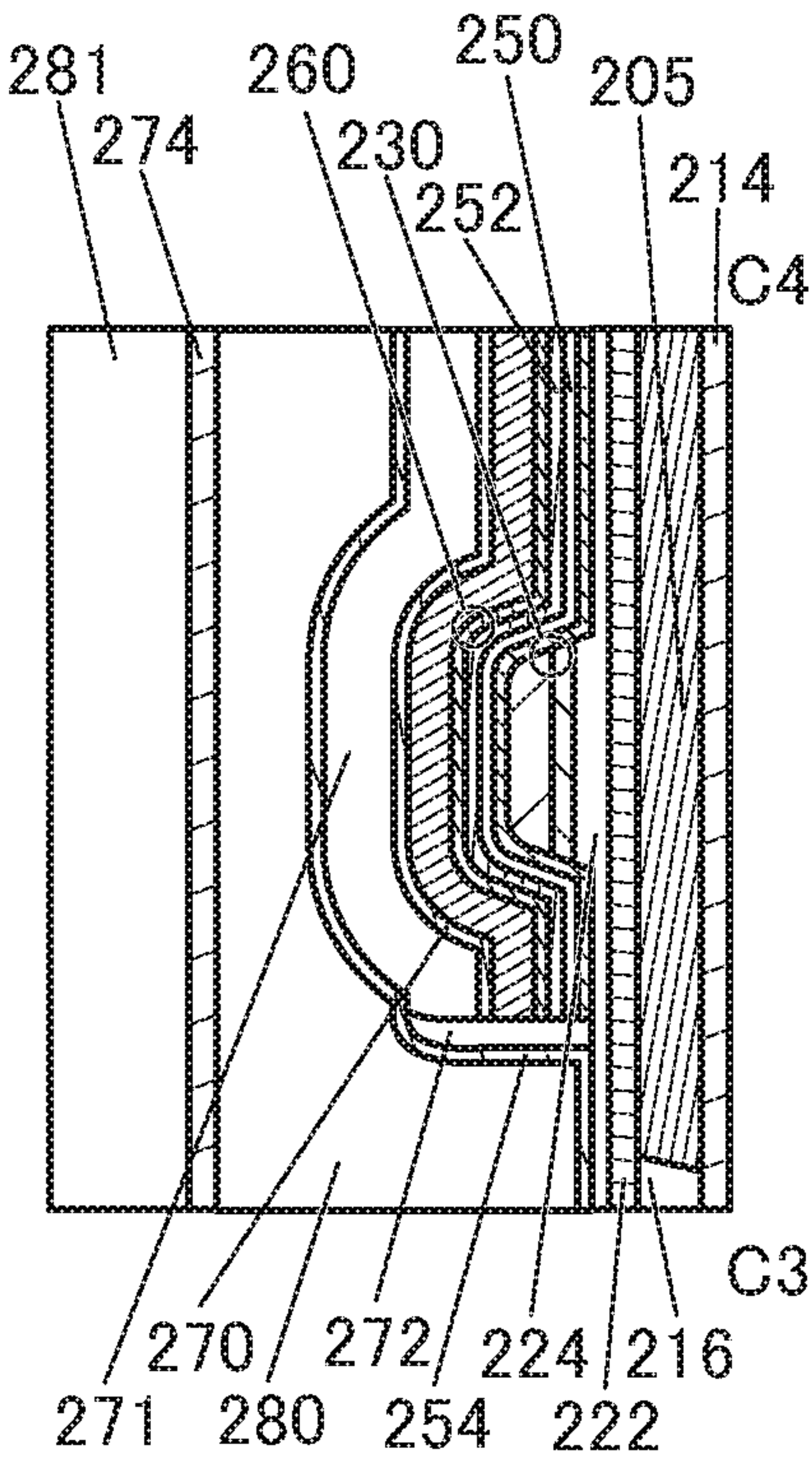


図24B

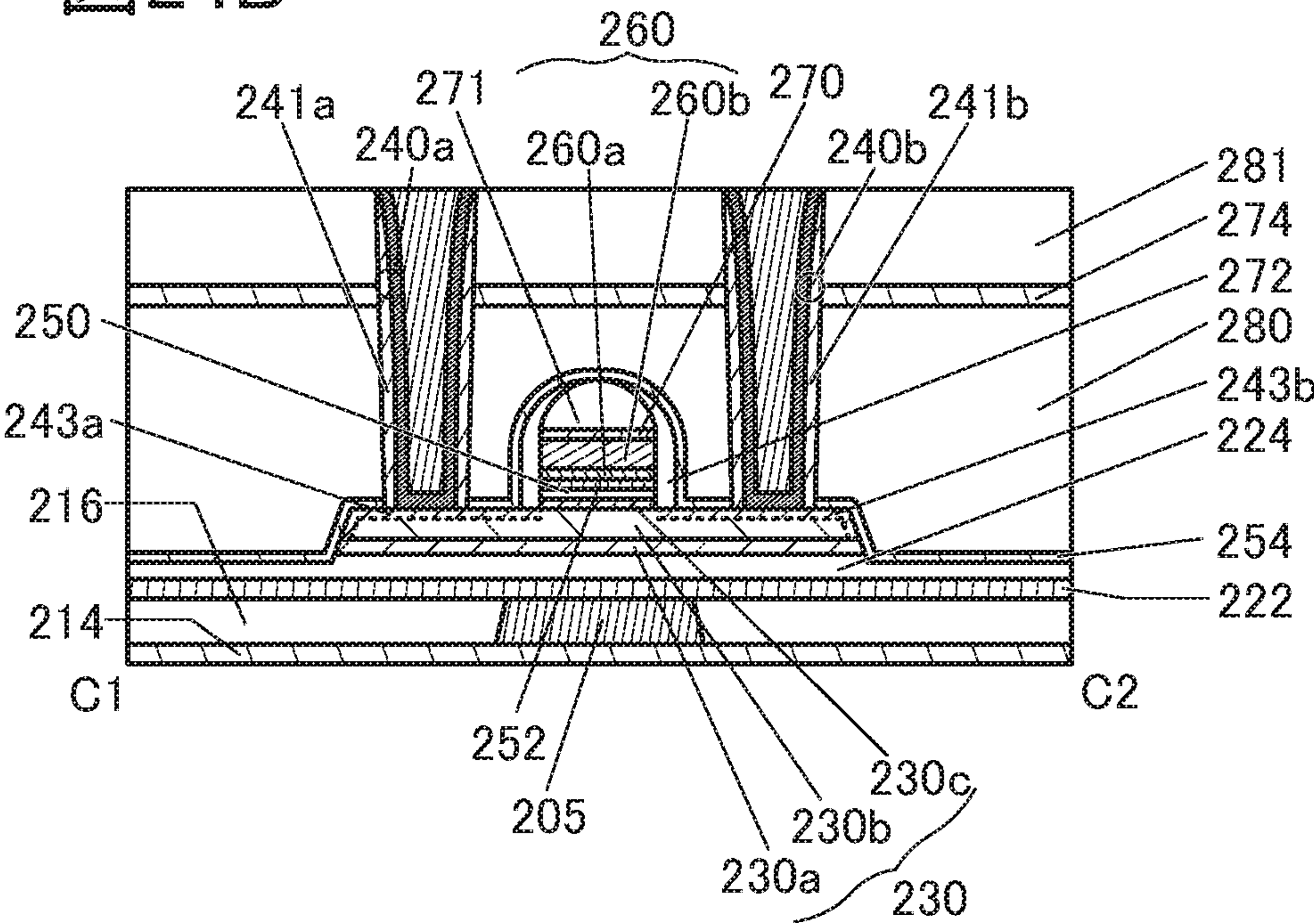


図25A

21

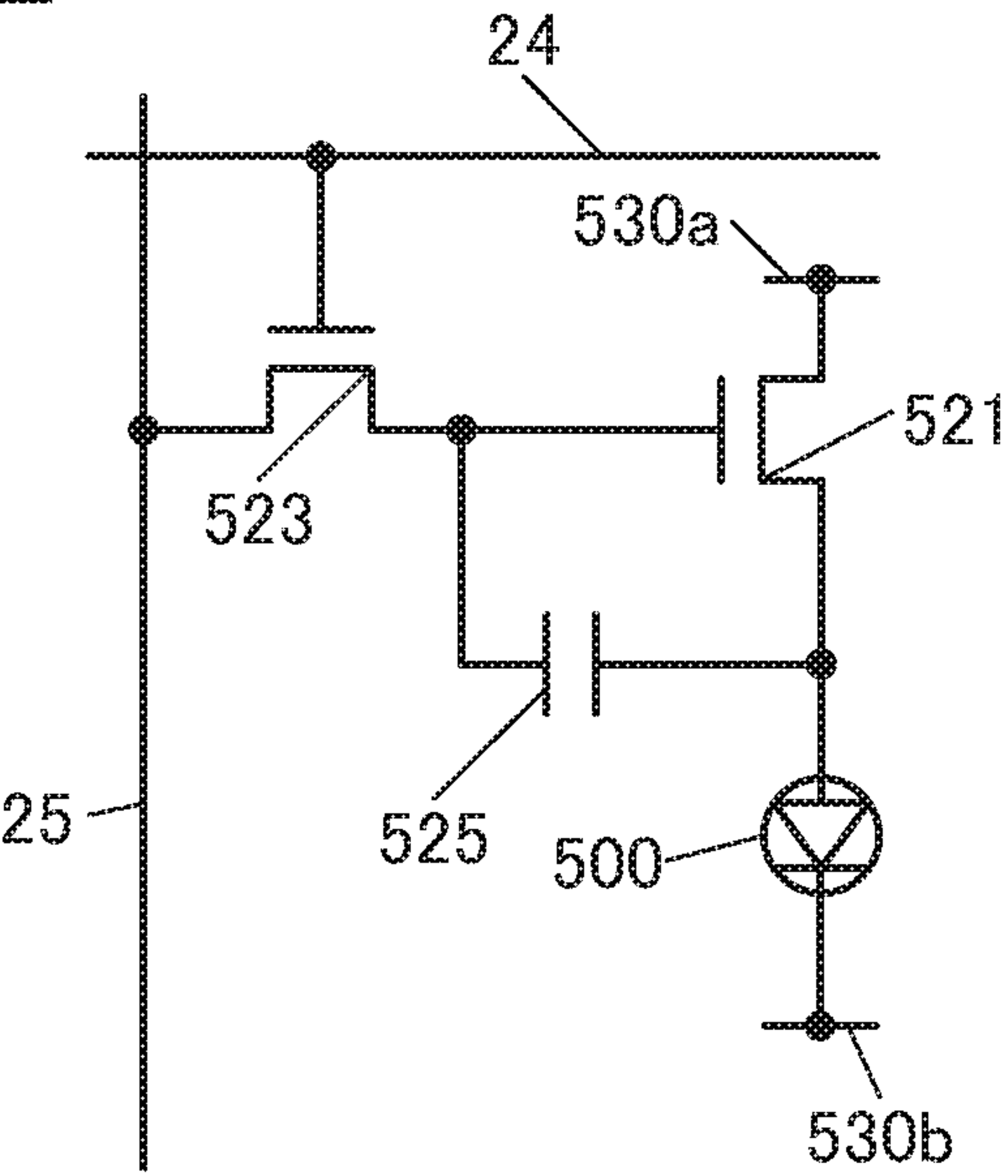


図25B

21

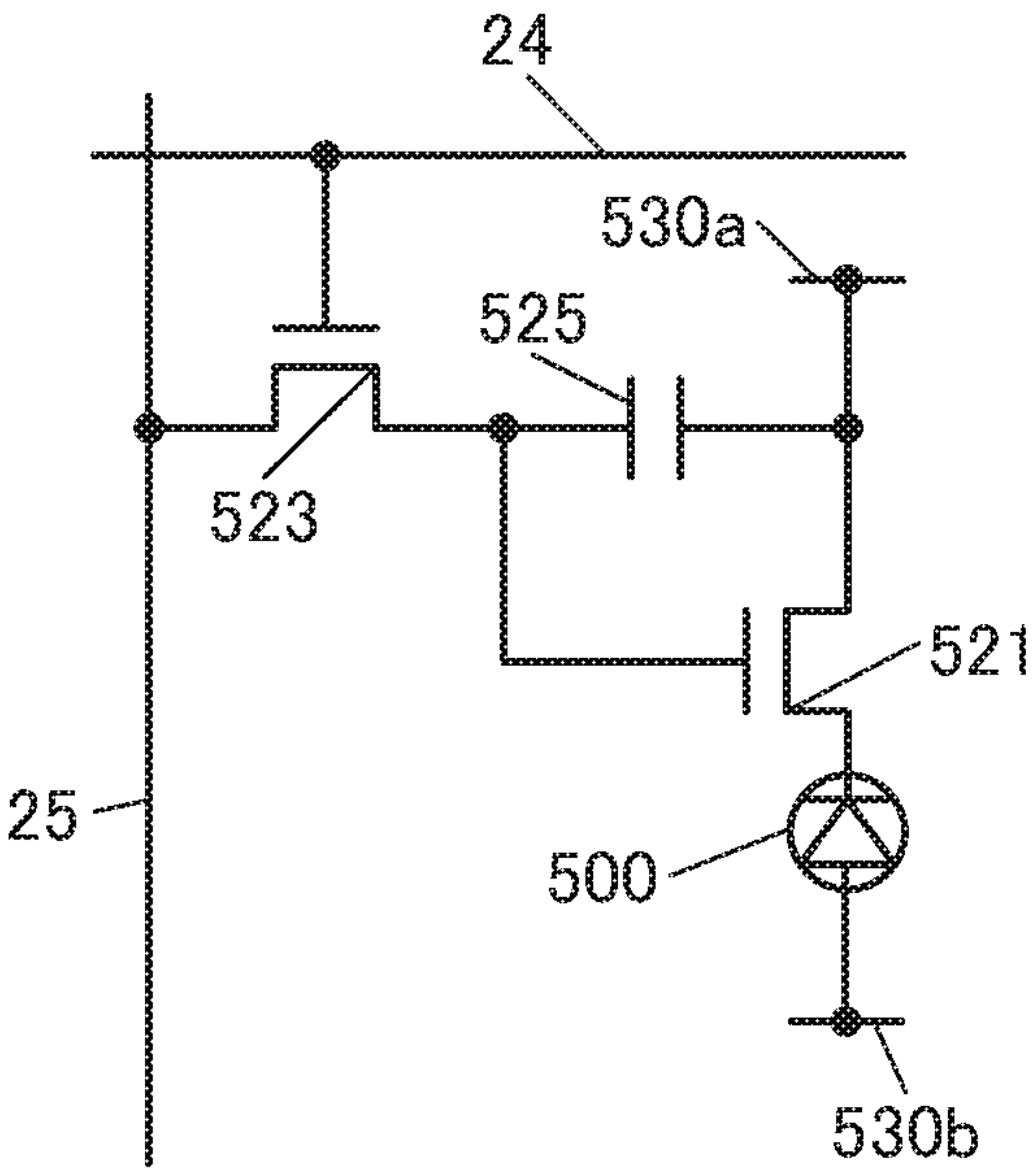
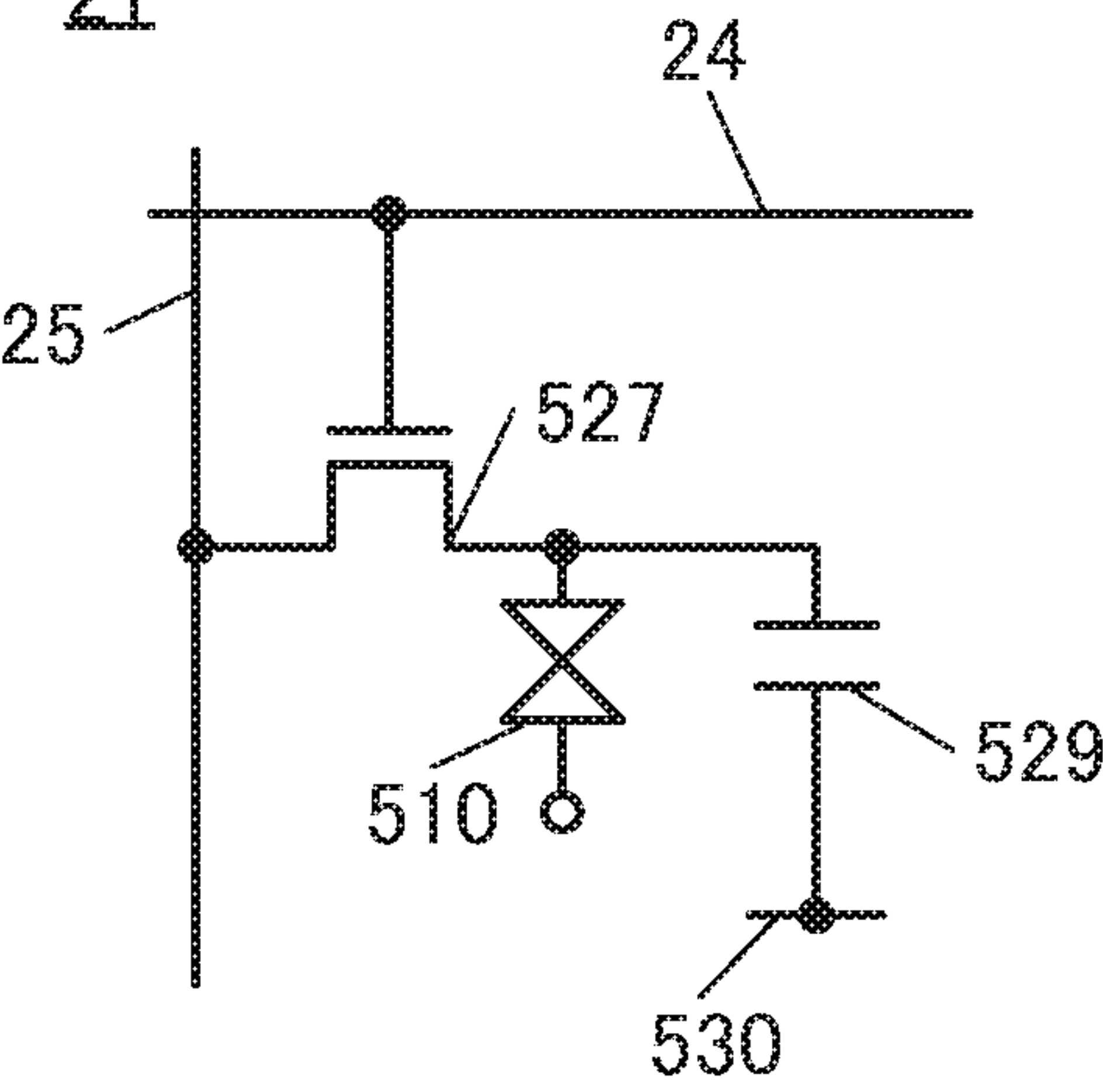


図25C

21



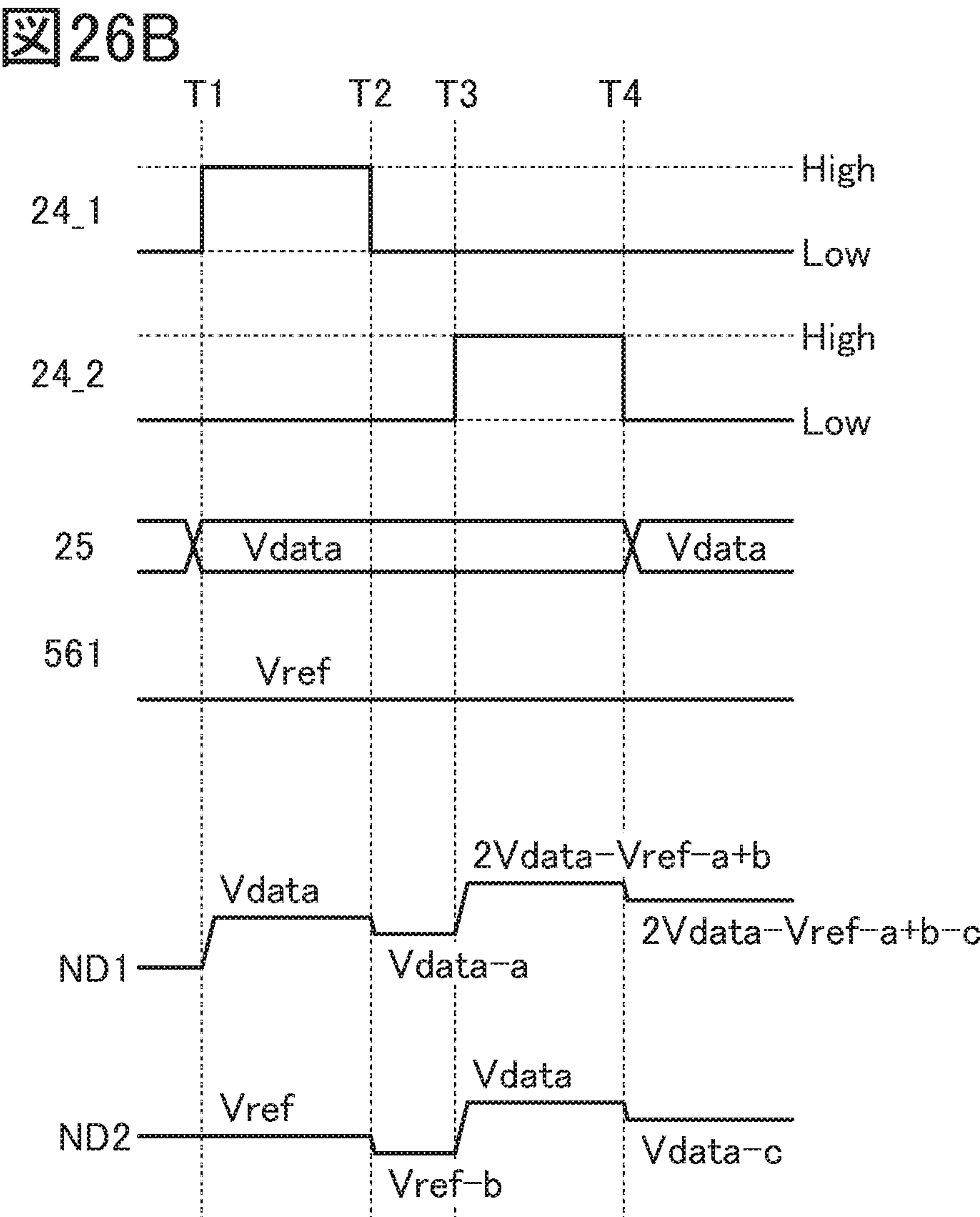
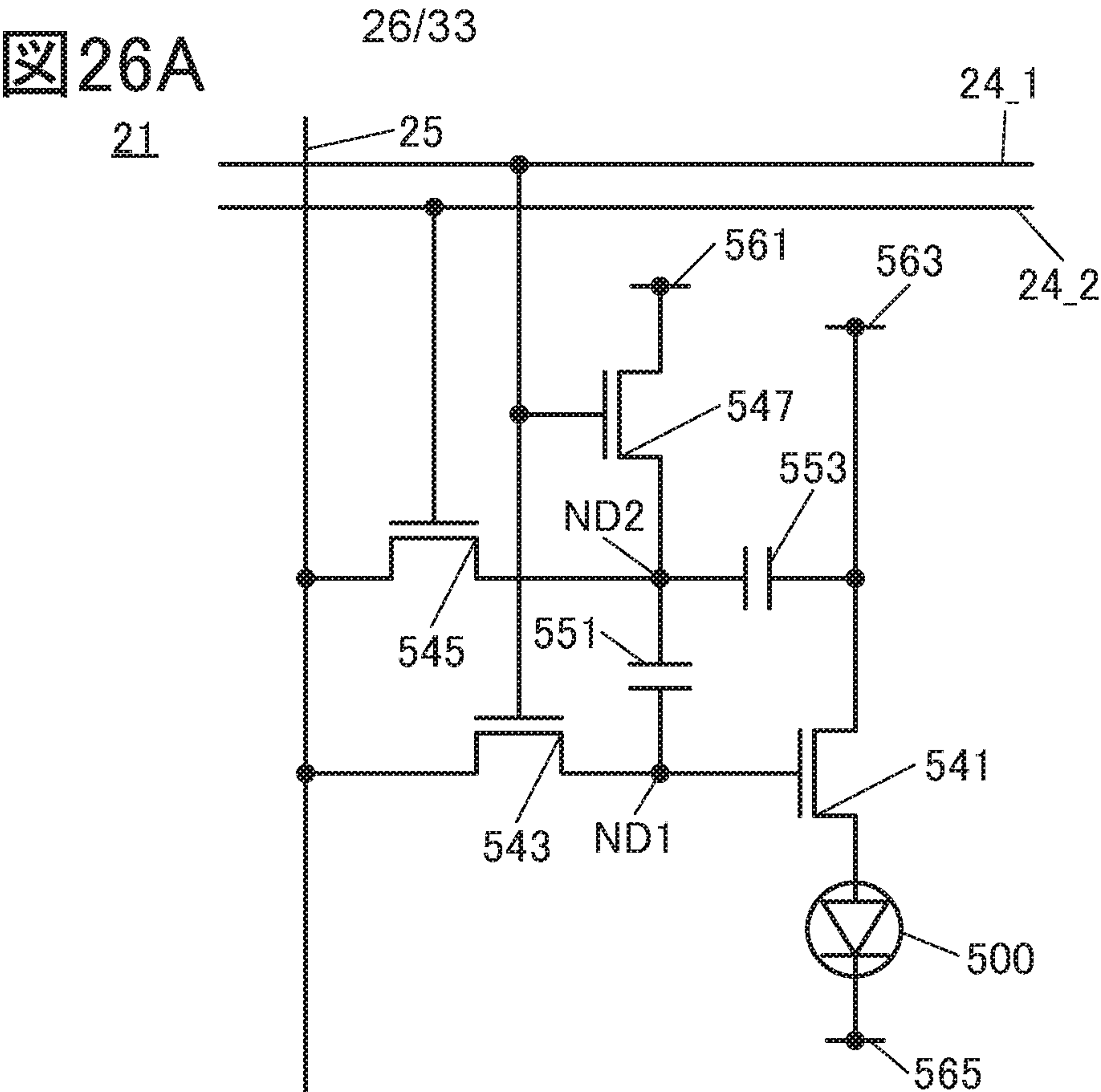


図27A

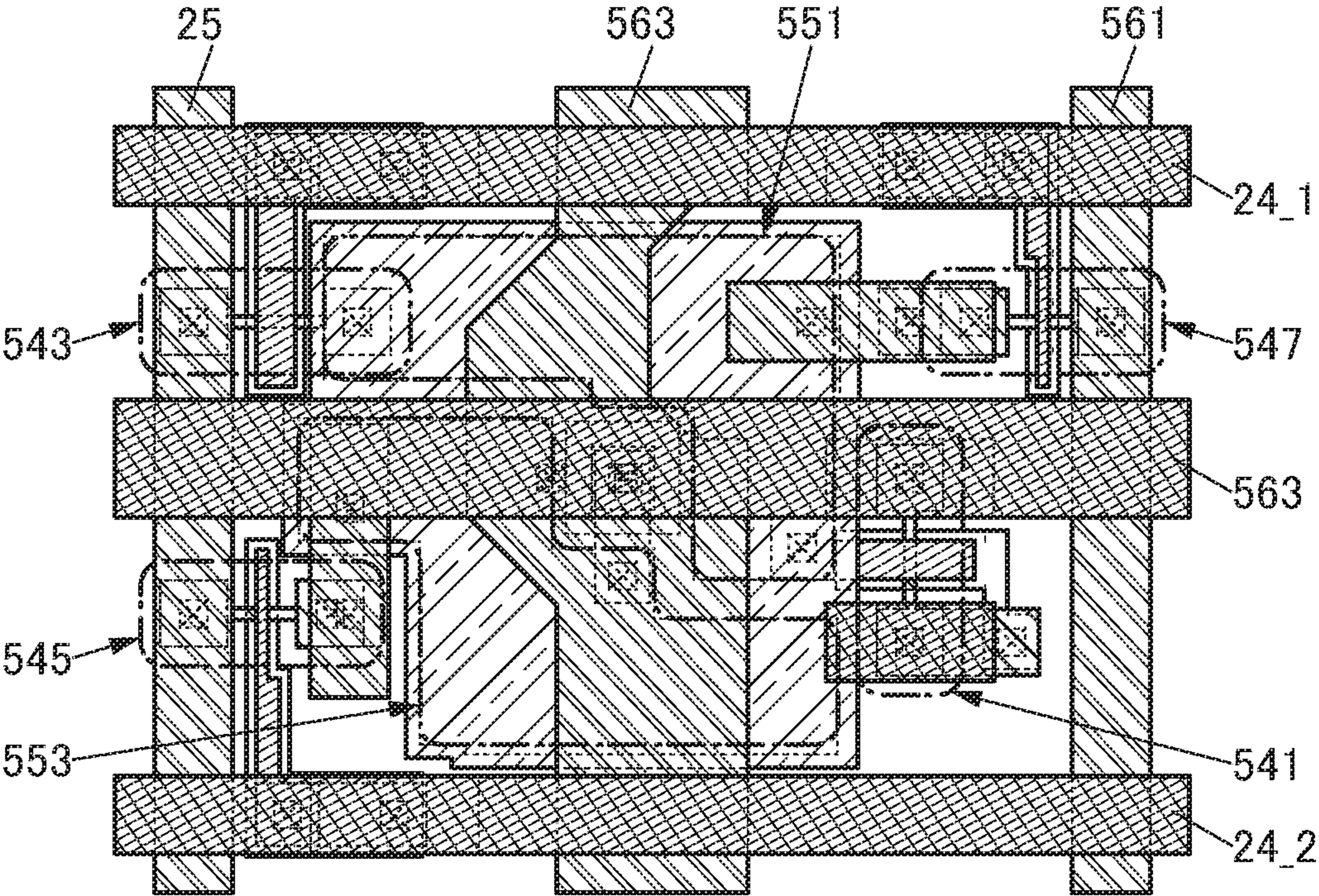
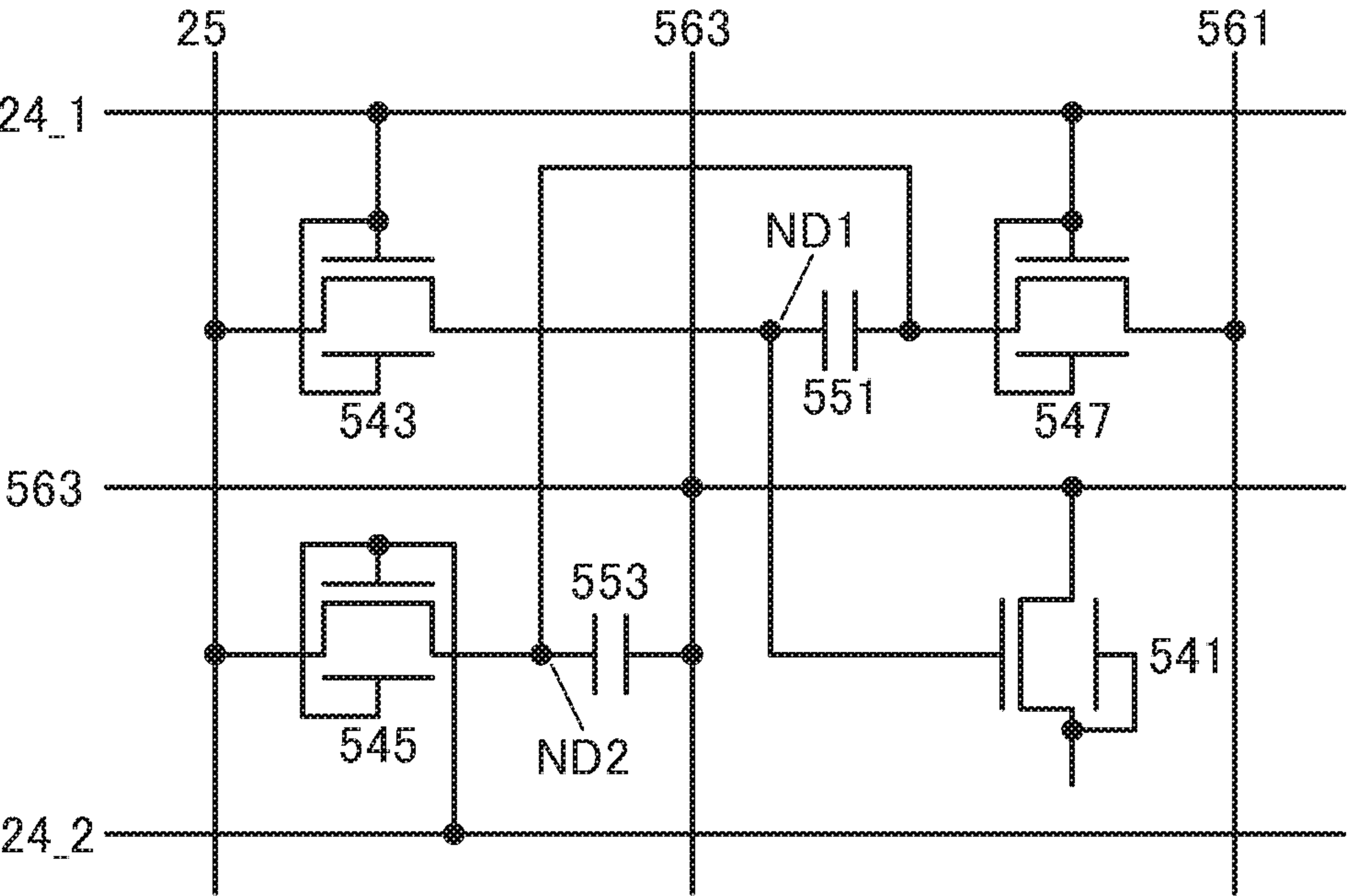
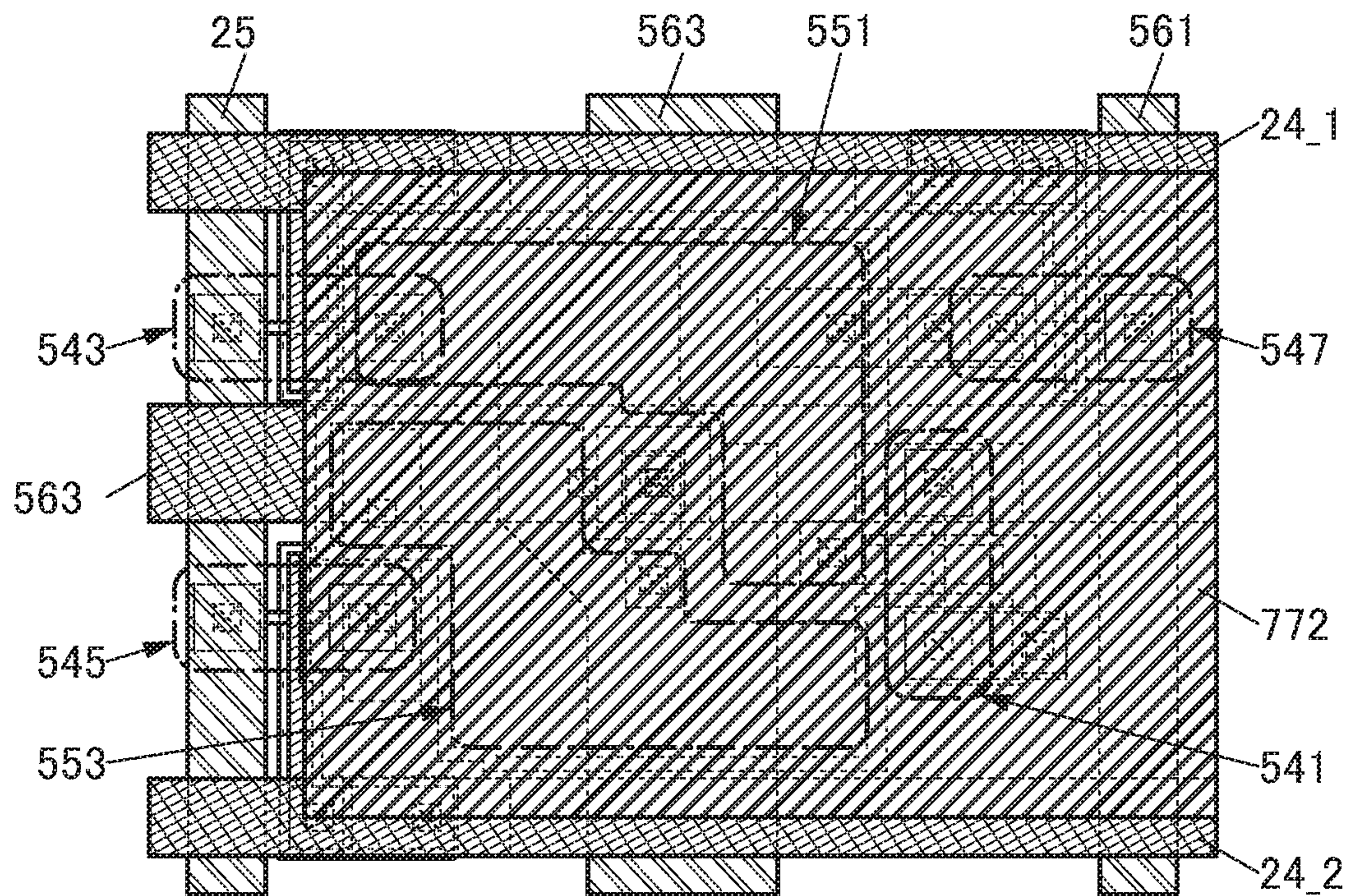


図27B



28

28/33



29

29/33

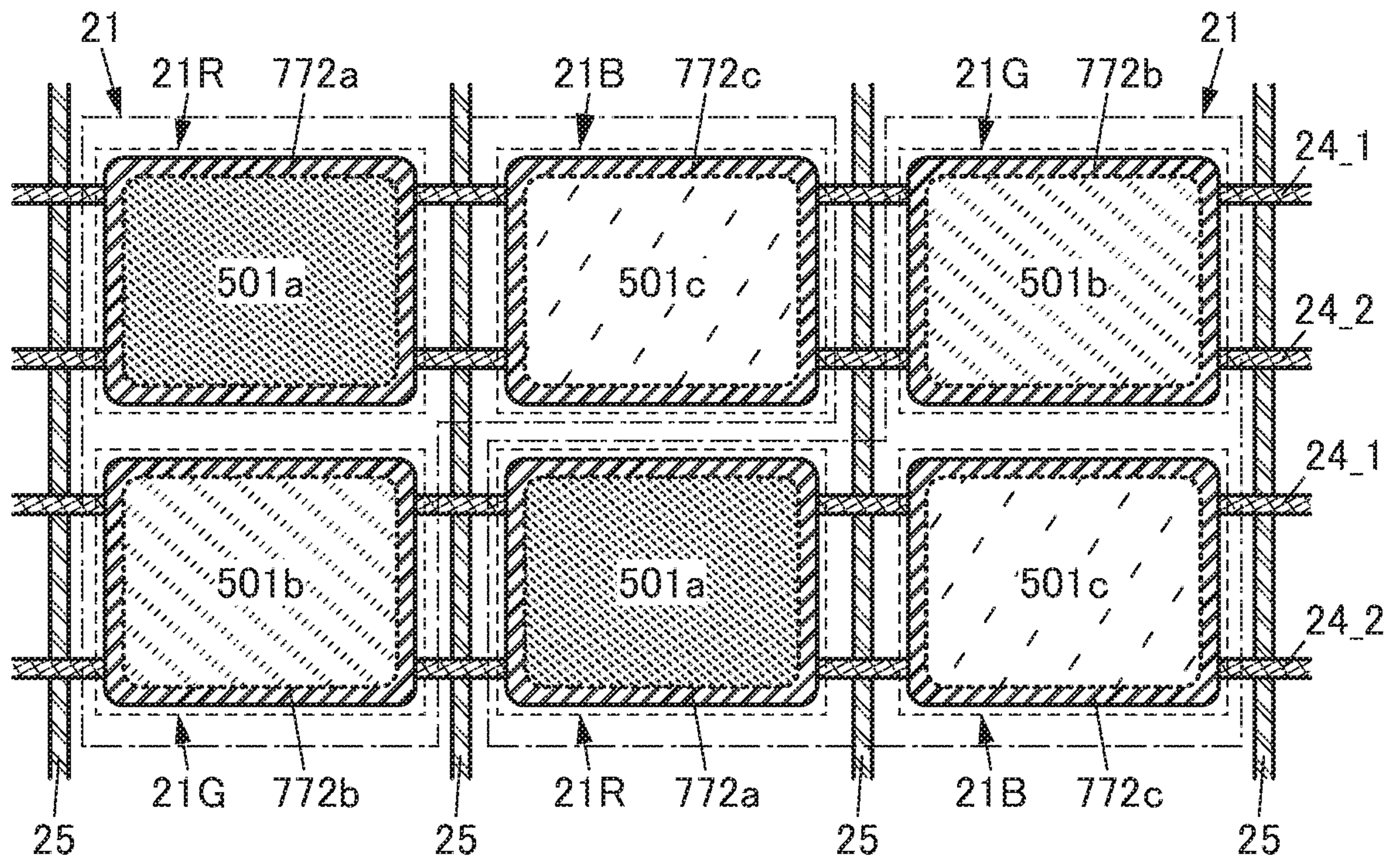


図 30A
35

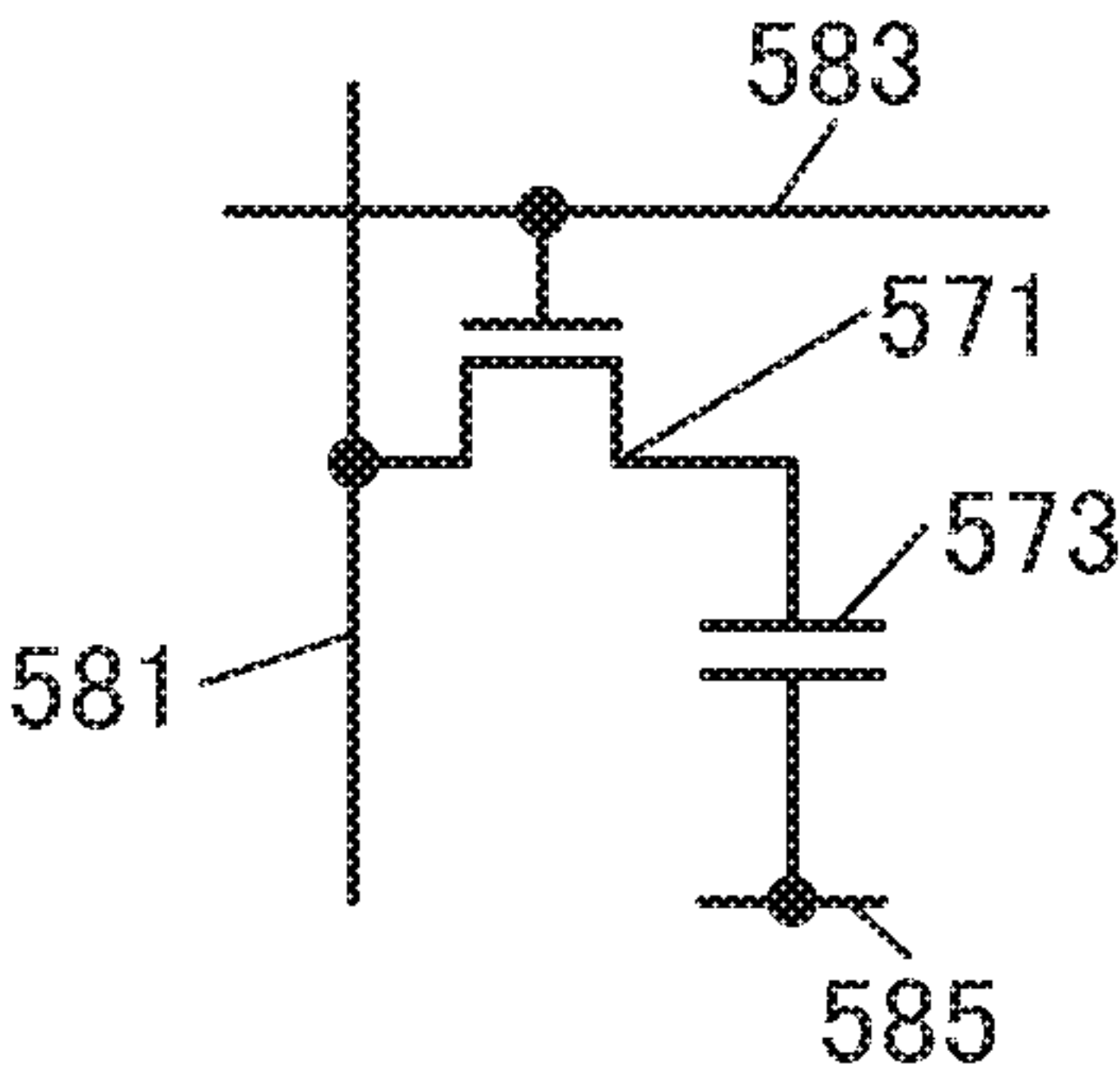


図 30B
35

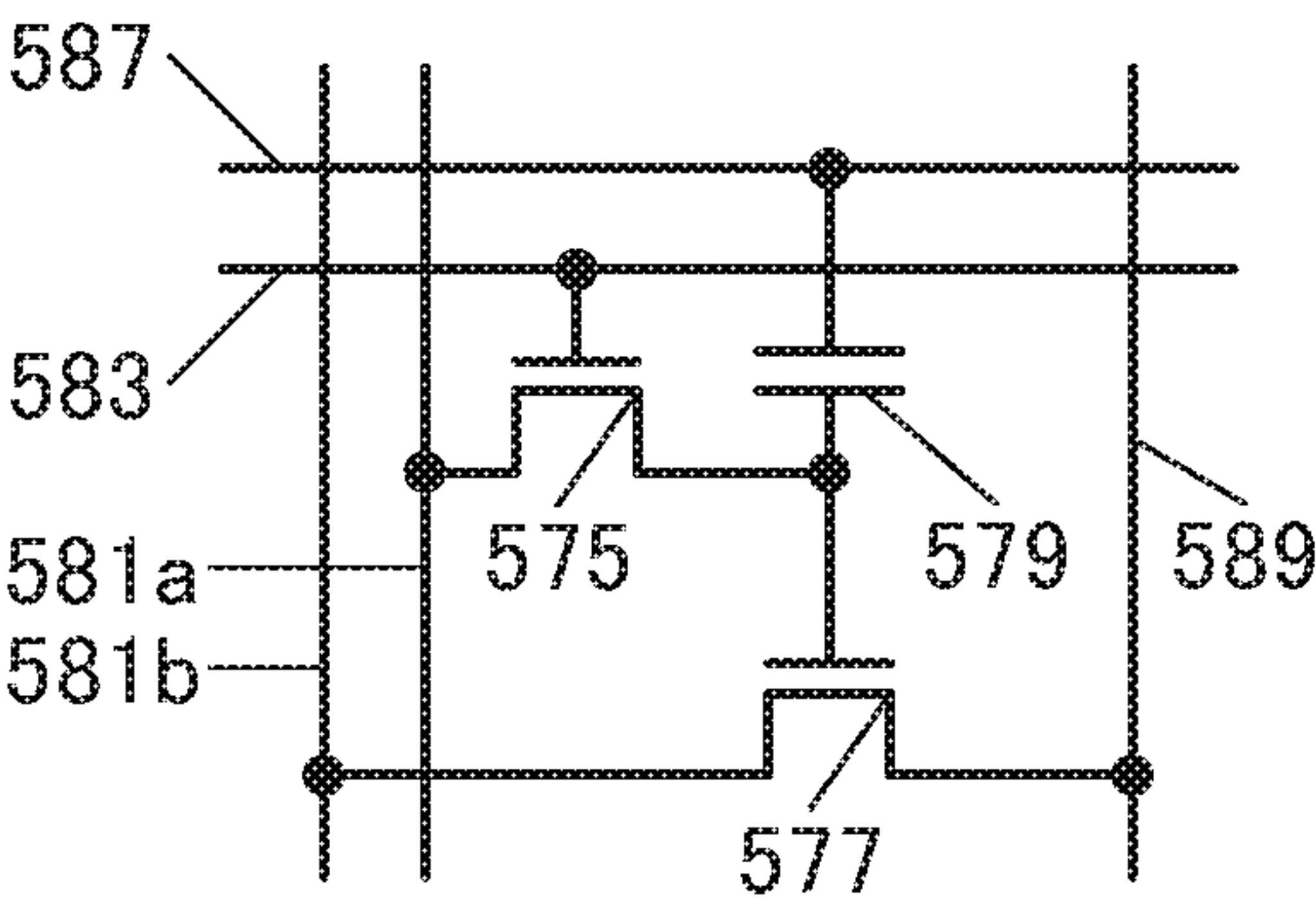


図 30C
35

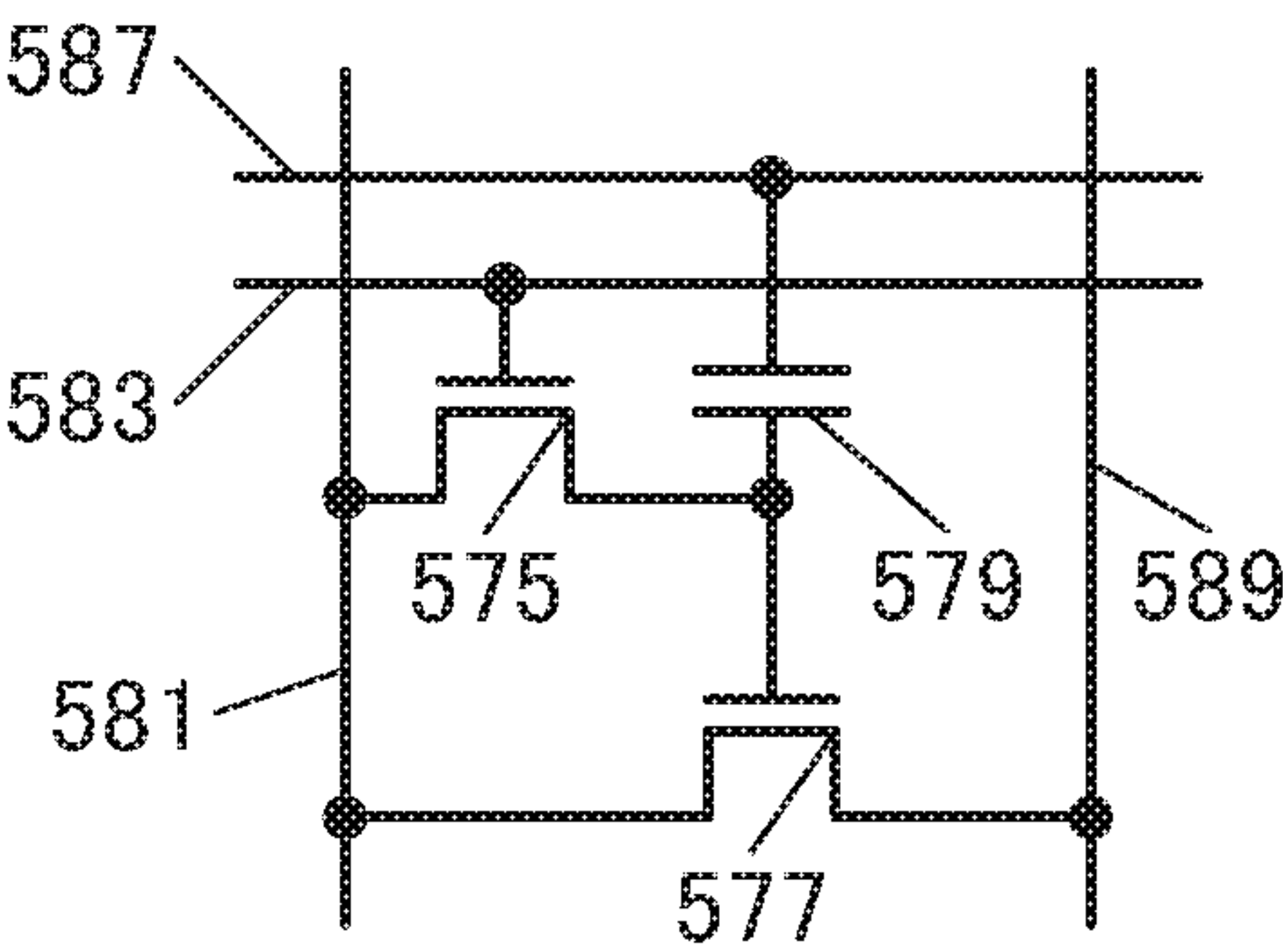


図31A

中間状態
新しい境界領域

Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
▪completely amorphous	▪CAAC ▪nc ▪CAC excluding single crystal and poly crystal	▪single crystal ▪poly crystal

図31B

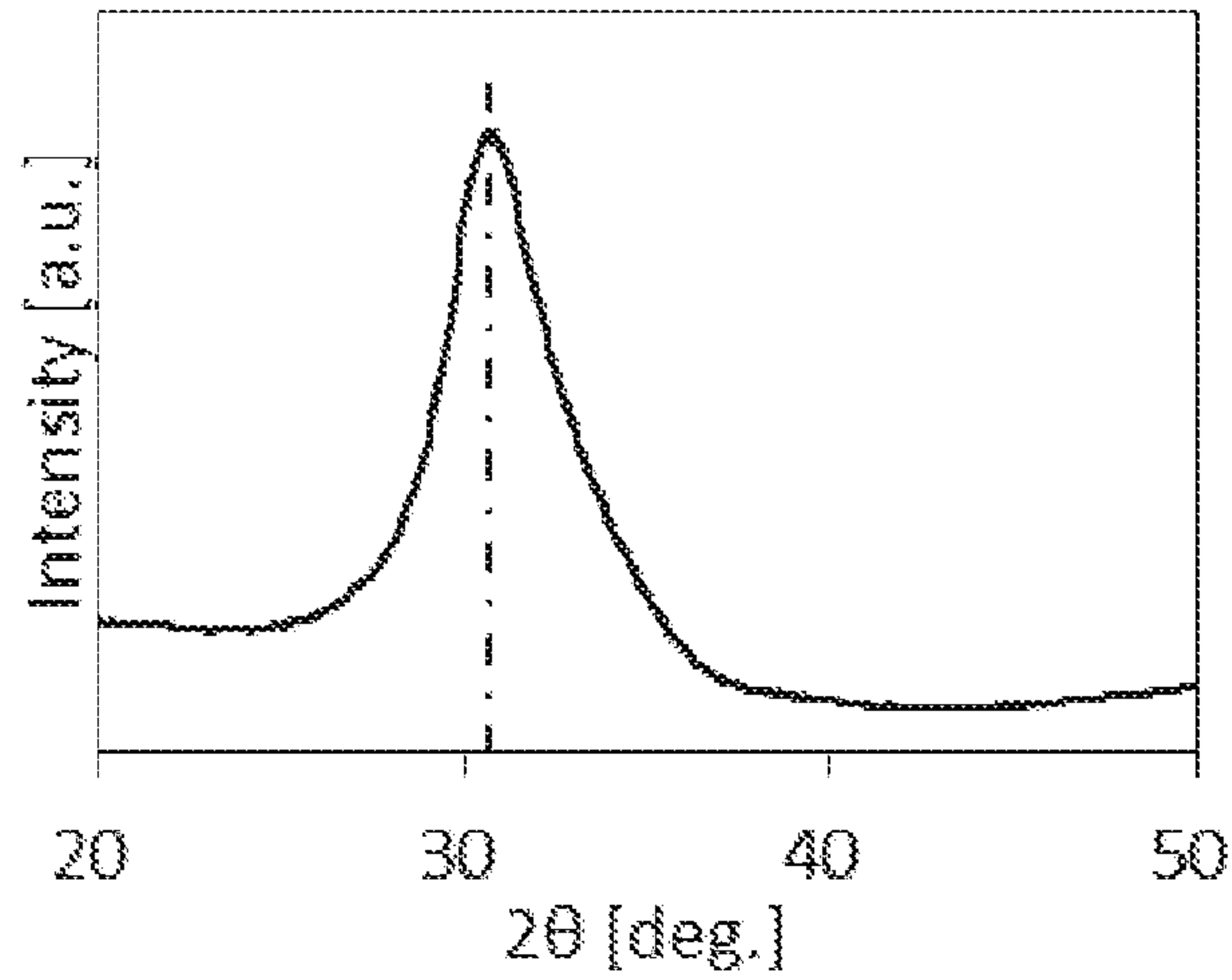
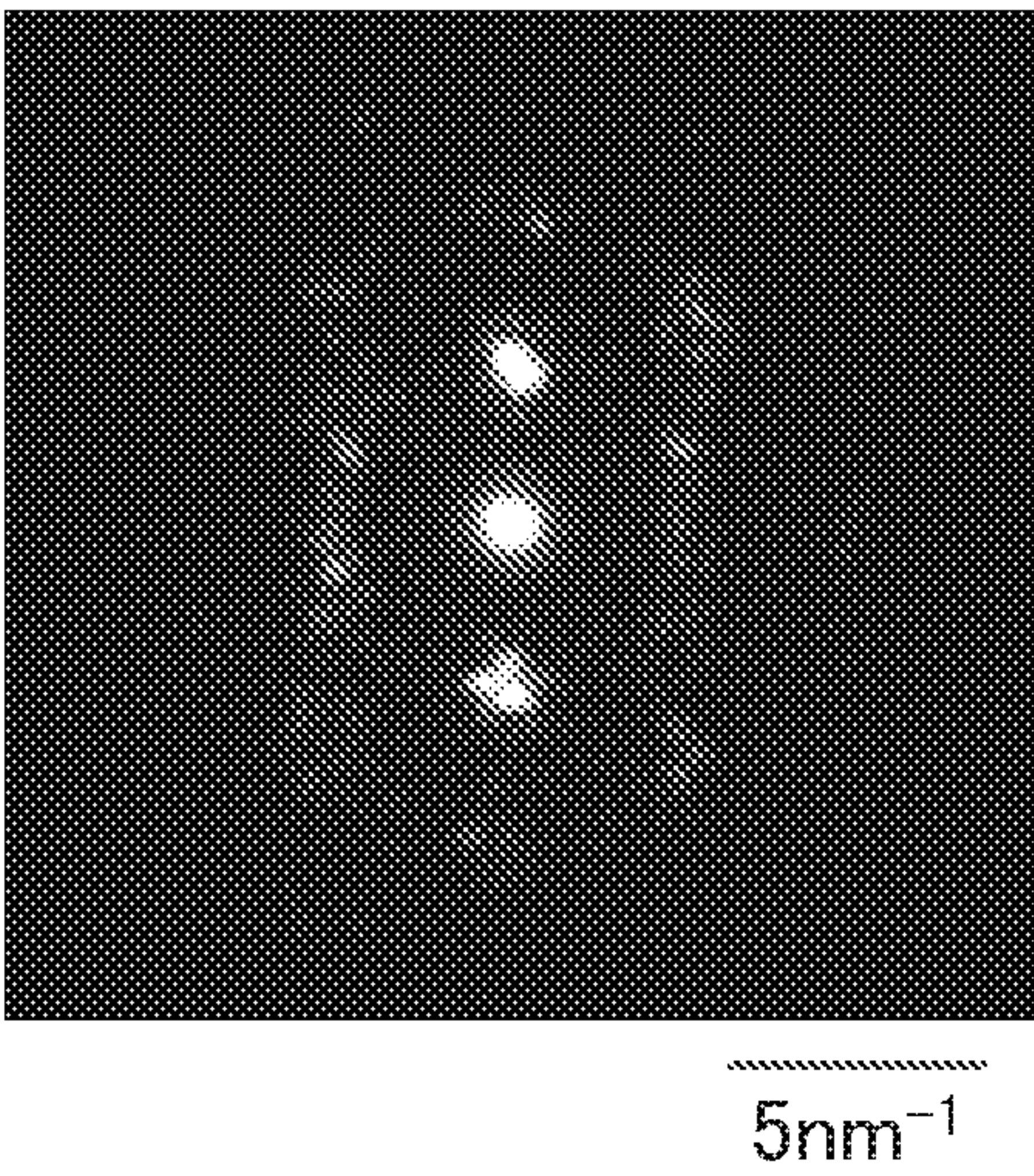
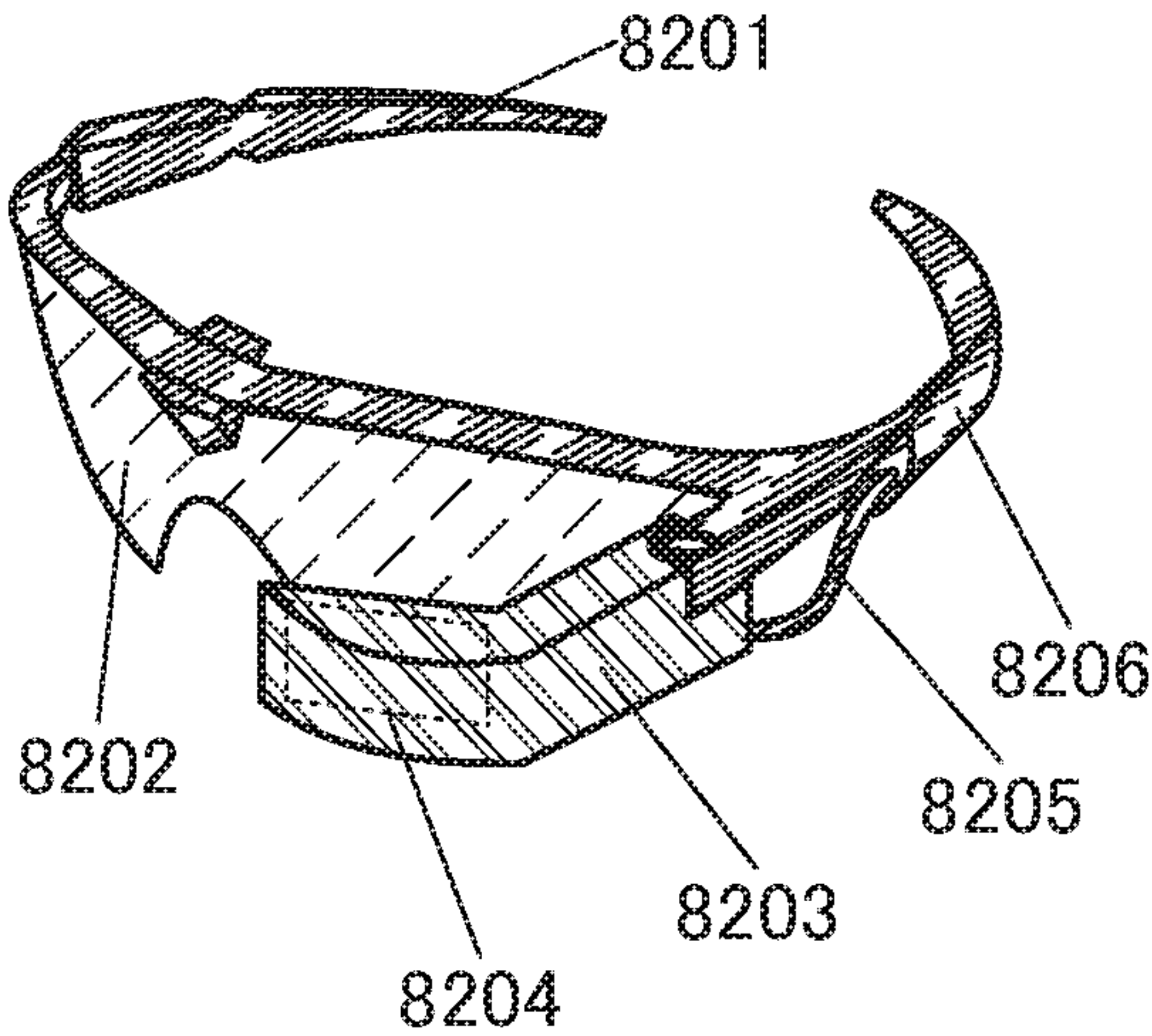


図31C



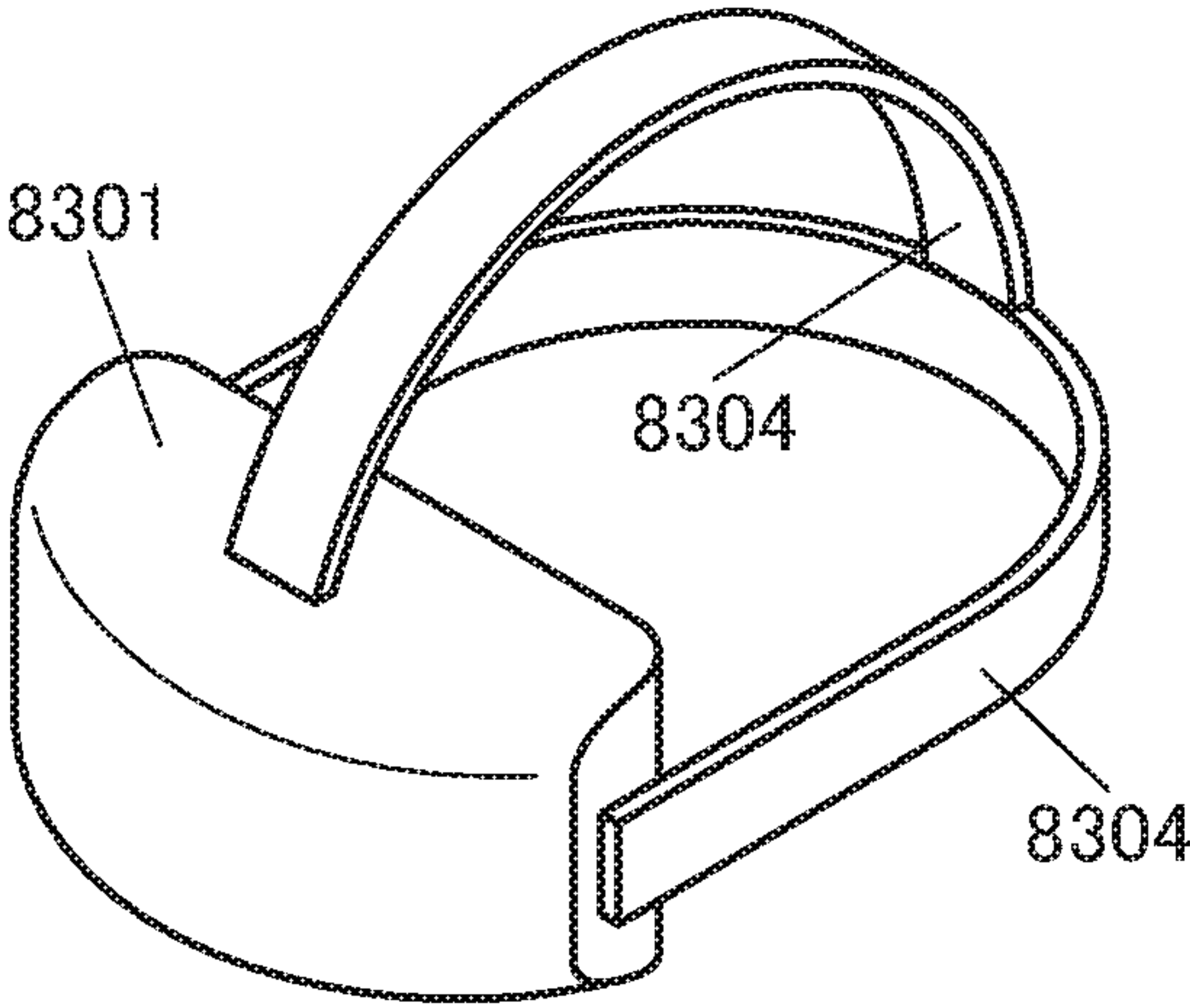
32A

8200



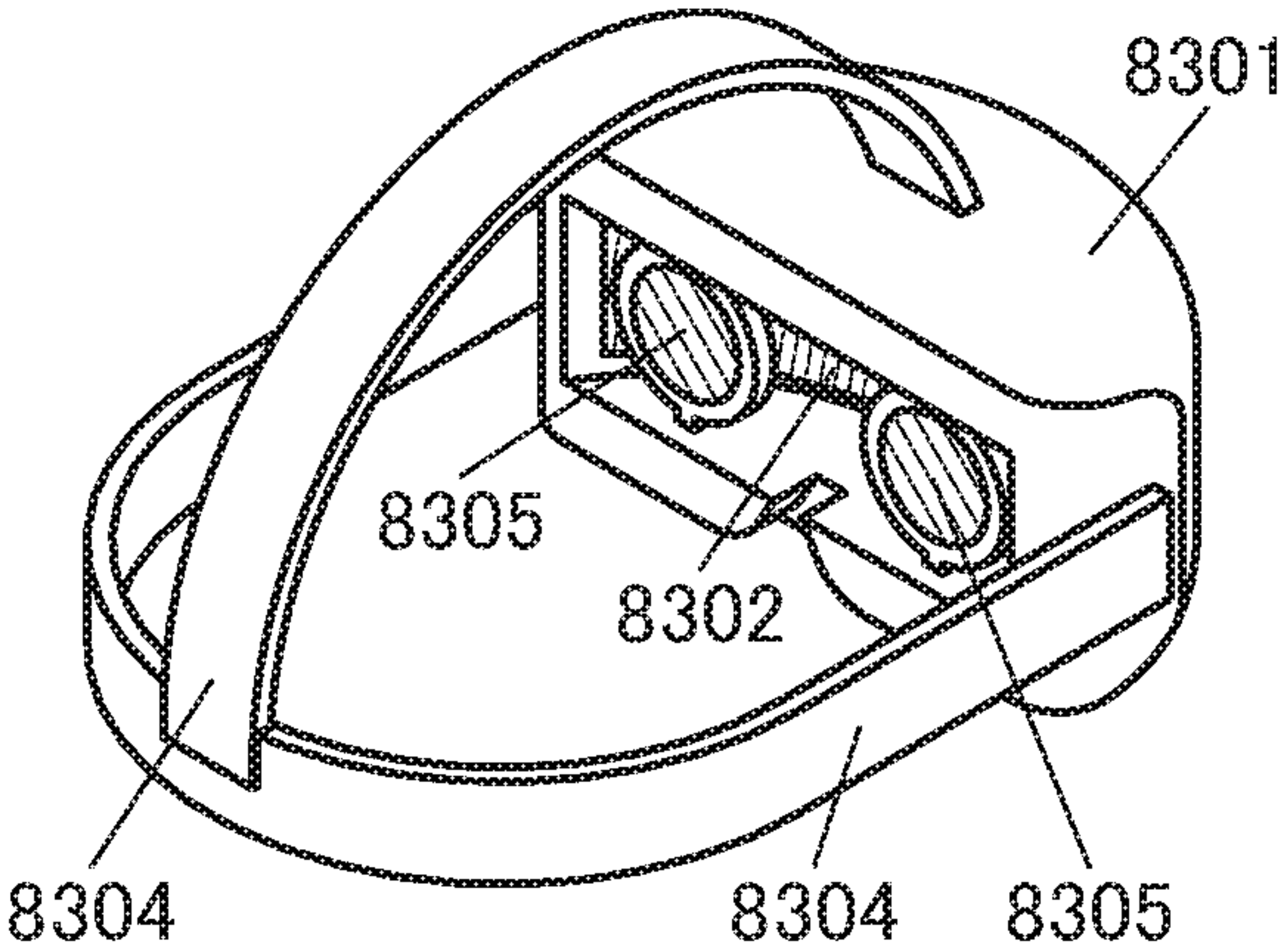
32B

8300



32C

8300



32D

8300

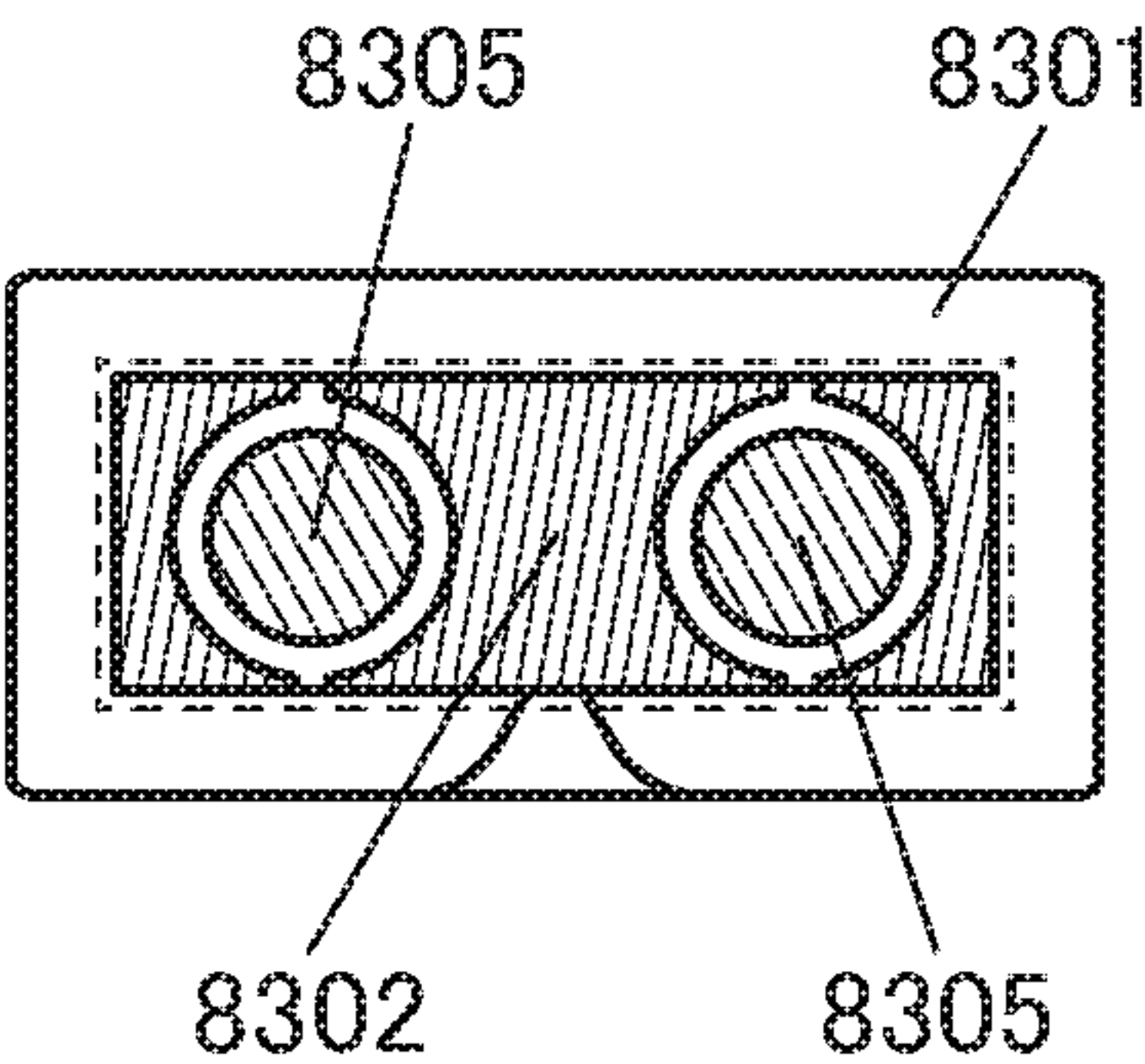


图 33A

9100

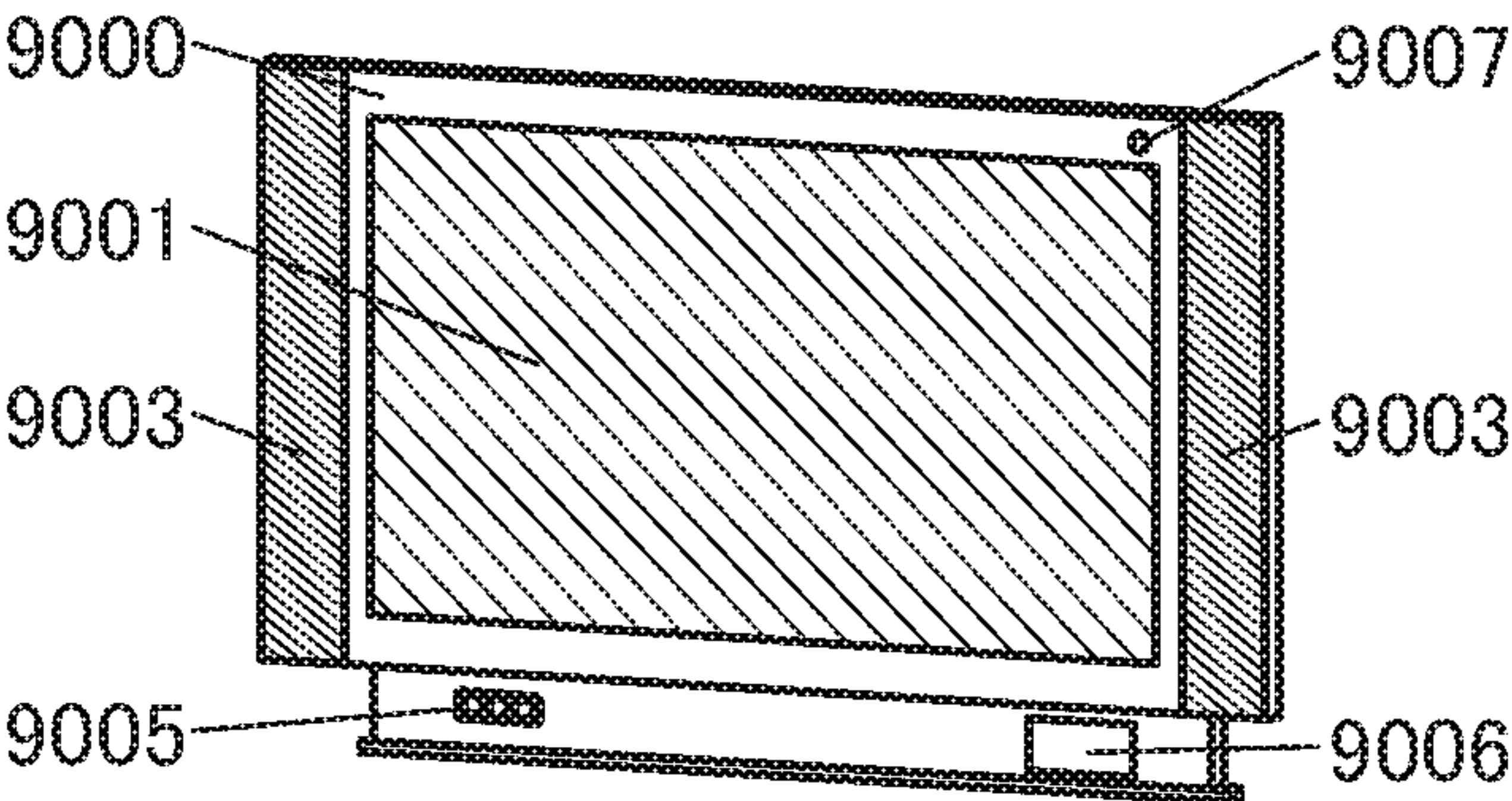


图 33D

9200

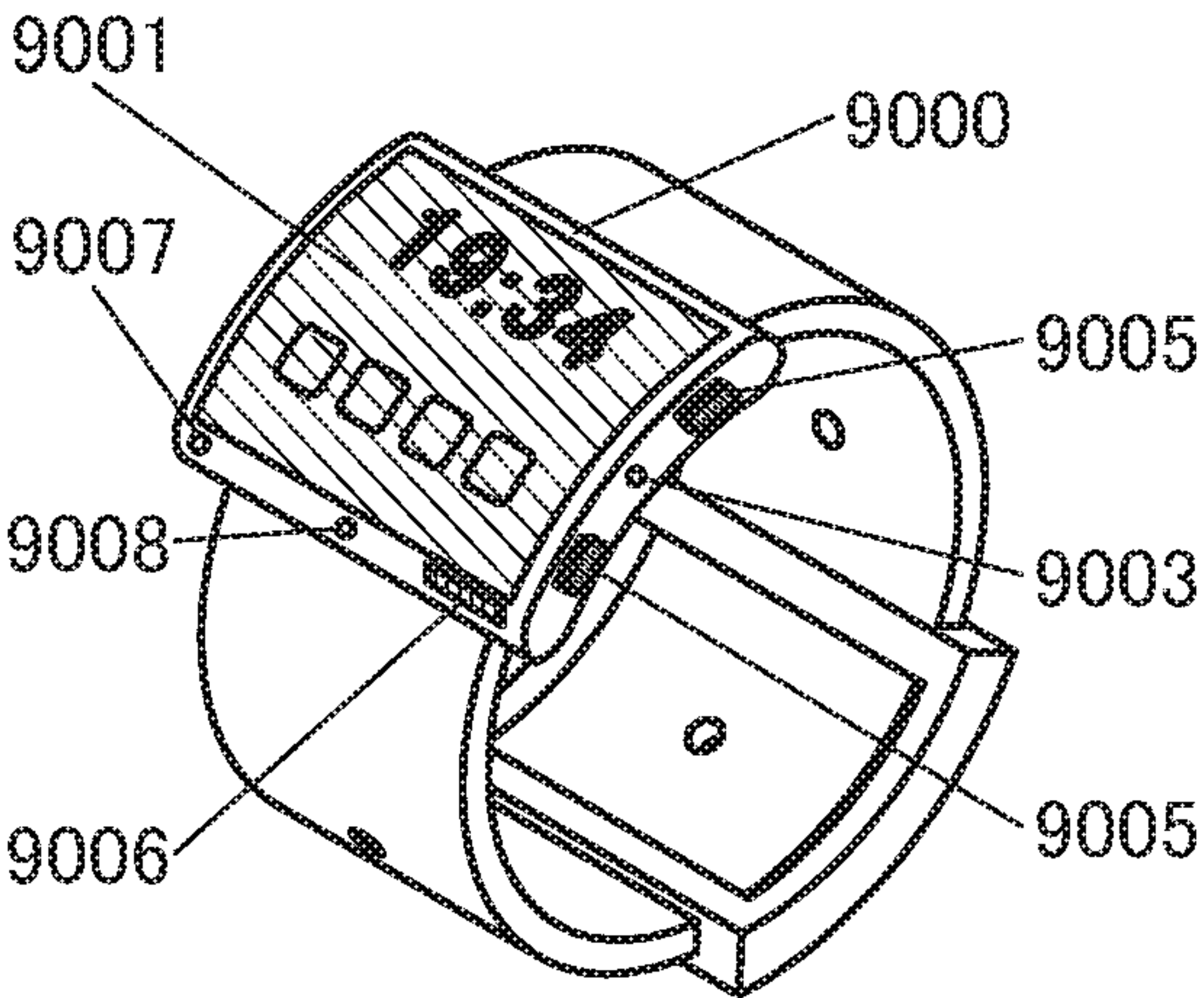


图 33B

9101

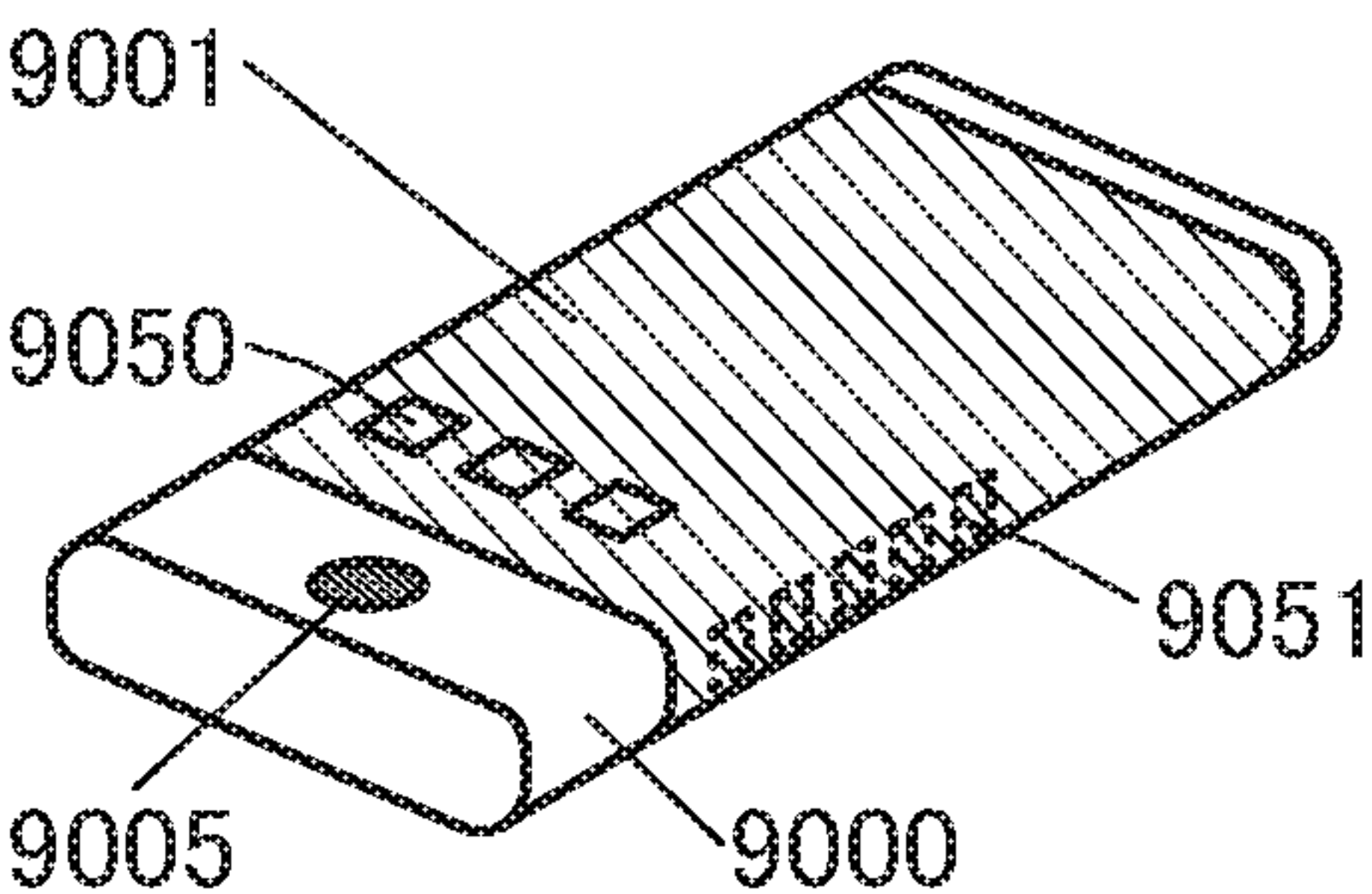


图 33E

9201

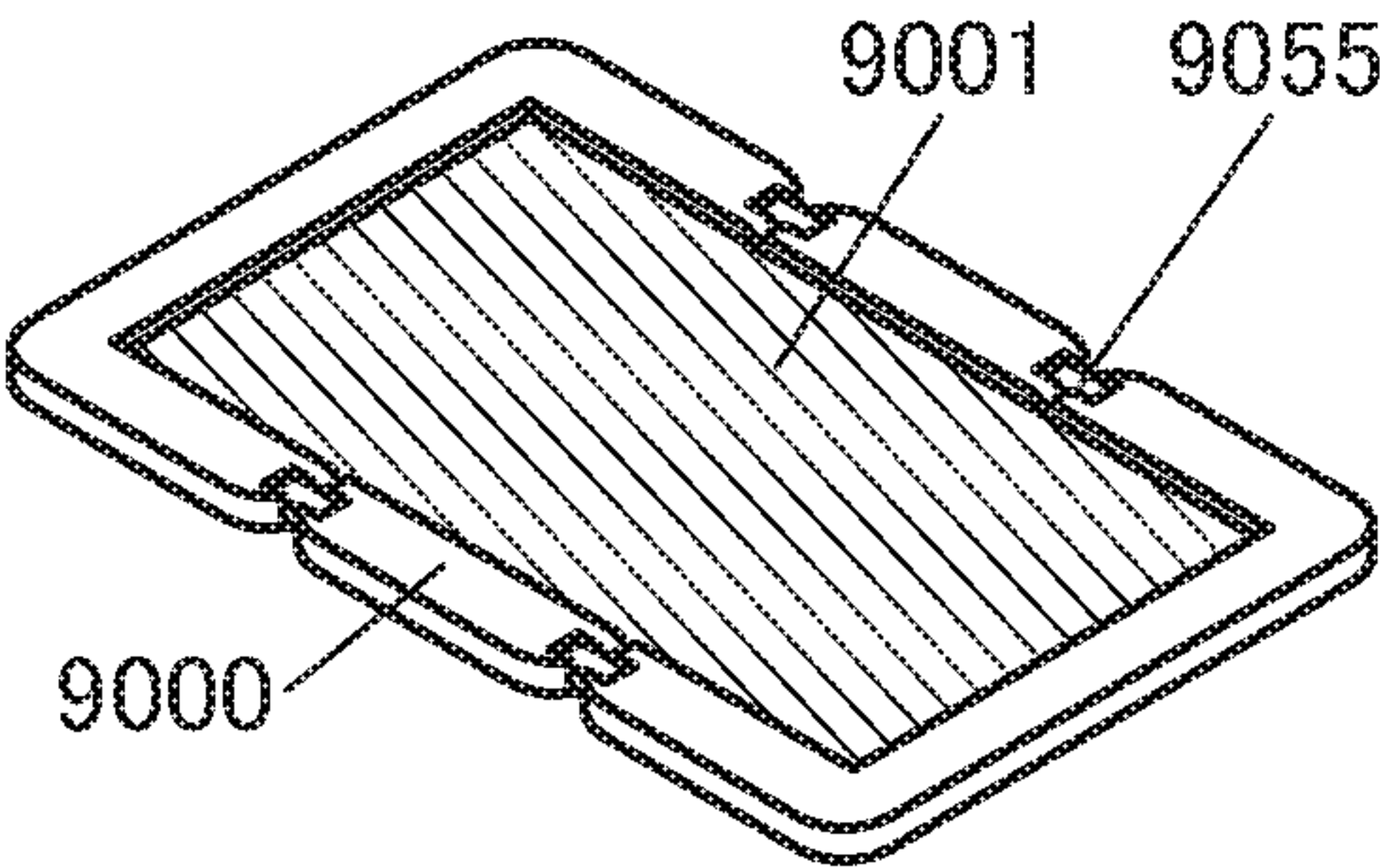


图 33C

9102

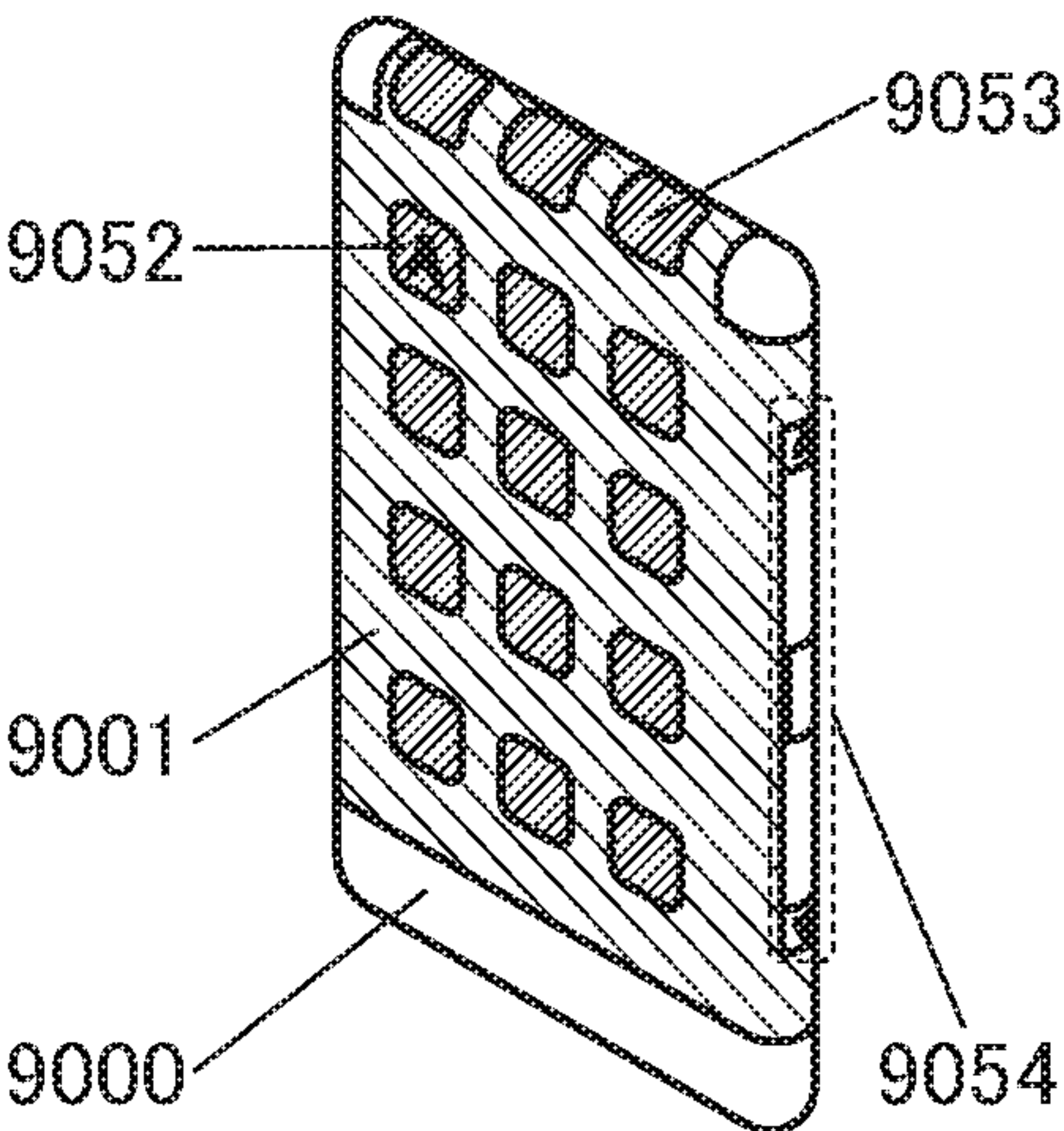


图 33F

9201

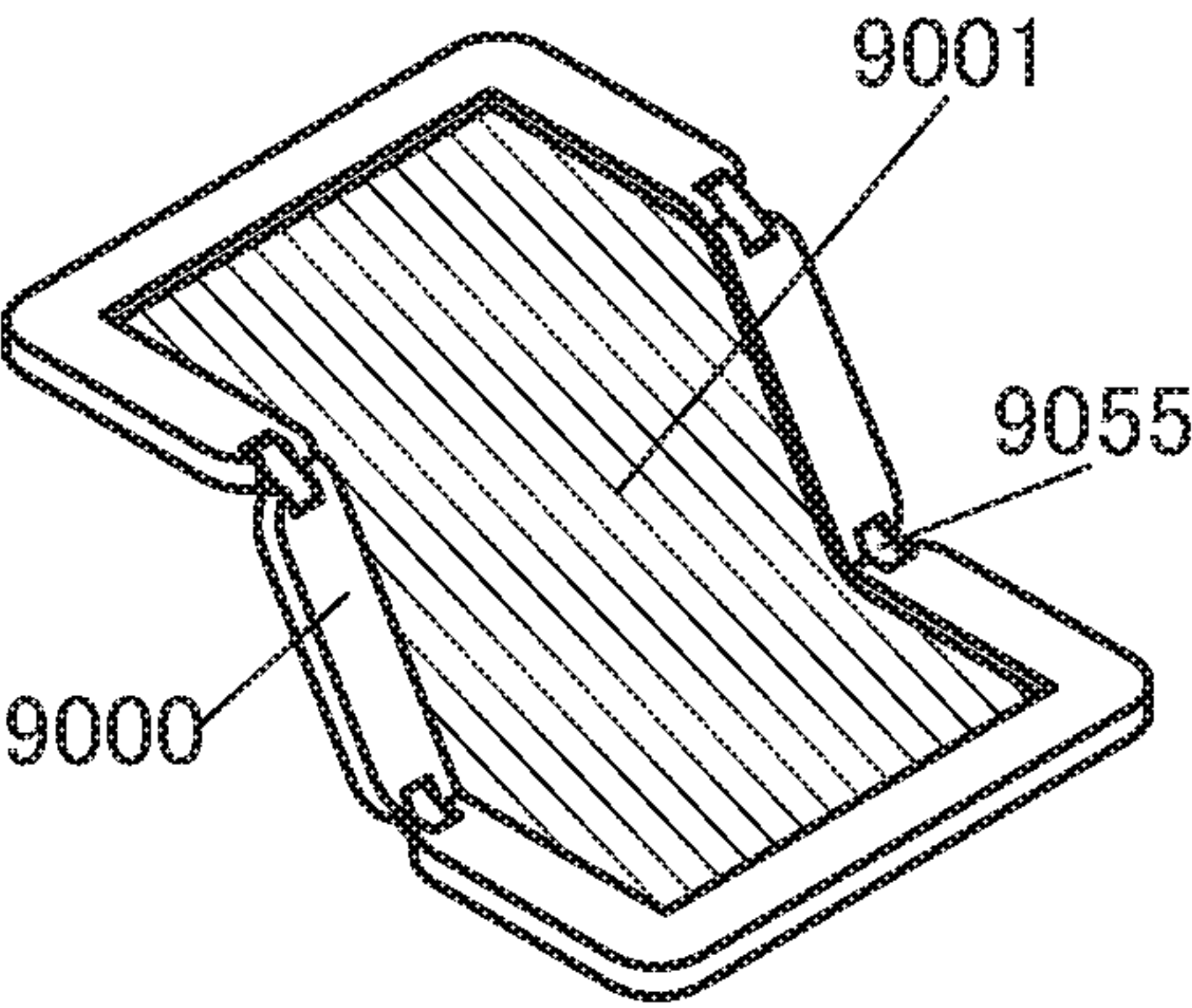
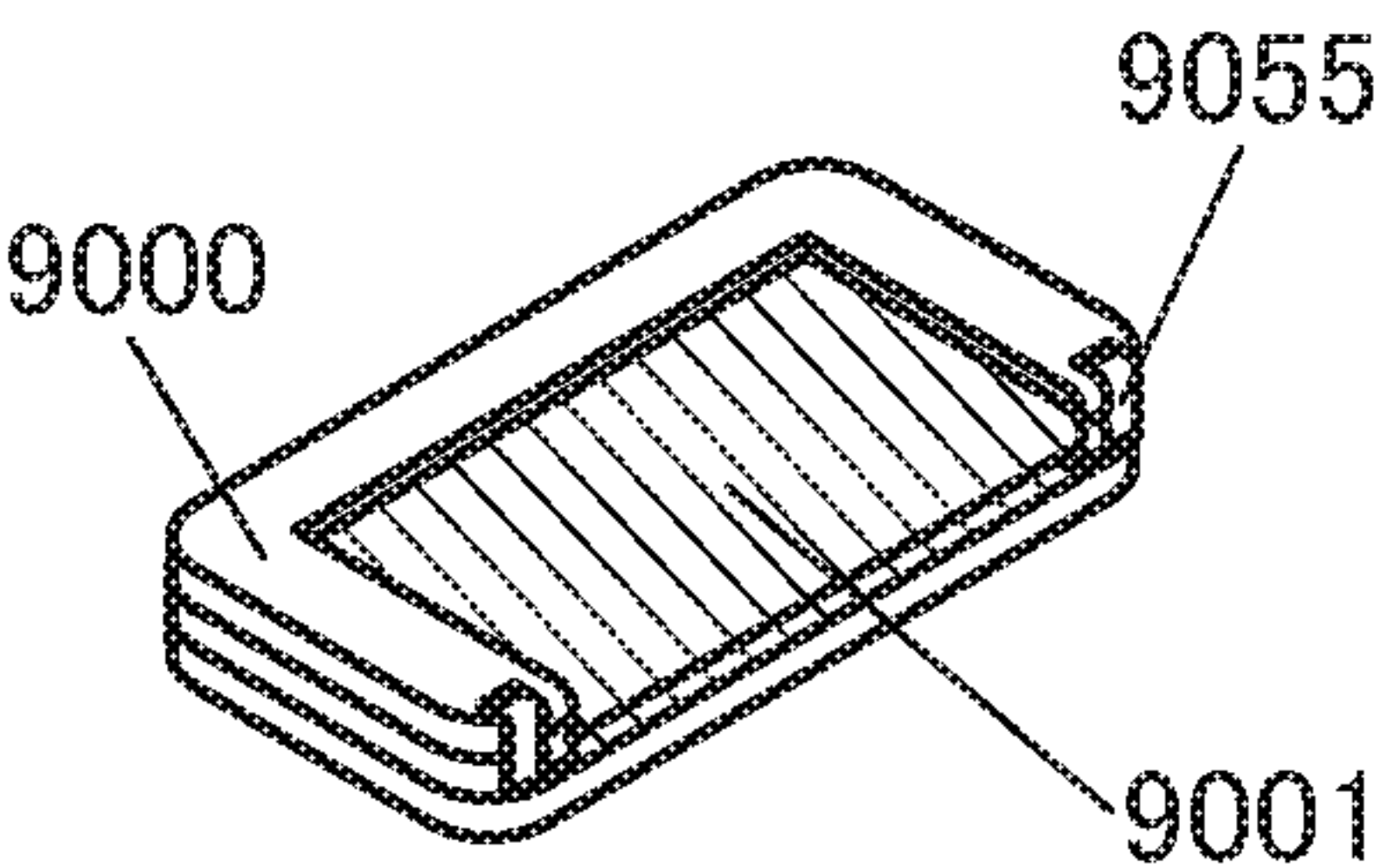


图 33G

9201



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2020/059794

A. CLASSIFICATION OF SUBJECT MATTER G09G 3/20(2006.01)i; G09G 3/3275(2016.01)i; G09G 3/36(2006.01)i; G09F 9/30(2006.01)i; H01L 27/32(2006.01)i; H01L 29/786(2006.01)i; G02F 1/133(2006.01)i; G02F 1/1362(2006.01)i; H01L 51/50(2006.01)i; H05B 33/14(2006.01)i FI: G09G3/20 623A; G02F1/133 505; G02F1/133 550; G02F1/1362; G09F9/30 338; G09G3/20 612R; G09G3/20 621M; G09G3/20 680G; G09G3/20 680H; G09G3/3275; G09G3/36; H01L27/32; H01L29/78 614; H05B33/14 A; H05B33/14 Z According to International Patent Classification (IPC) or to both national classification and IPC														
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G3/20; G09G3/3275; G09G3/36; G09F9/30; H01L27/32; H01L29/786; G02F1/133; G02F1/1362; H01L51/50; H05B33/14 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2021 Registered utility model specifications of Japan 1996-2021 Published registered utility model applications of Japan 1994-2021 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)														
C. DOCUMENTS CONSIDERED TO BE RELEVANT														
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
A	JP 2018-22143 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 08 February 2018 (2018-02-08) entire text, all drawings	1-6												
A	JP 2017-138588 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 10 August 2017 (2017-08-10) paragraphs [0022]-[0041], fig. 1-3	1-6												
A	US 2017/0178586 A1 (ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE) 22 June 2017 (2017-06-22) entire text, all drawings	1-6												
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.														
<table><tr><td>* Special categories of cited documents:</td><td>"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</td></tr><tr><td>"A" document defining the general state of the art which is not considered to be of particular relevance</td><td>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</td></tr><tr><td>"E" earlier application or patent but published on or after the international filing date</td><td>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</td></tr><tr><td>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</td><td>"&" document member of the same patent family</td></tr><tr><td>"O" document referring to an oral disclosure, use, exhibition or other means</td><td></td></tr><tr><td>"P" document published prior to the international filing date but later than the priority date claimed</td><td></td></tr></table>			* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family	"O" document referring to an oral disclosure, use, exhibition or other means		"P" document published prior to the international filing date but later than the priority date claimed	
* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention													
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone													
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art													
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family													
"O" document referring to an oral disclosure, use, exhibition or other means														
"P" document published prior to the international filing date but later than the priority date claimed														
Date of the actual completion of the international search 05 January 2021 (05.01.2021)		Date of mailing of the international search report 19 January 2021 (19.01.2021)												
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.												

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2020/059794

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2019/038651 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 28 February 2019 (2019-02-28) entire text, all drawings	1-6

Information on patent family members

PCT/IB2020/059794

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2018-22143 A	08 Feb. 2018	US 2018/0026218 A1	
JP 2017-138588 A	10 Aug. 2017	US 2017/0221429 A1	
		paragraphs [0061]-[0080], fig. 1-3	
US 2017/0178586 A1	22 Jun. 2017	KR 10-2017-0075618 A	
WO 2019/038651 A1	28 Feb. 2019	CN 110998703 A	
		KR 10-2020-0039679 A	

国際調査報告		国際出願番号 PCT/IB2020/059794
A. 発明の属する分野の分類（国際特許分類（IPC）） G09G 3/20(2006.01)i; G09G 3/3275(2016.01)i; G09G 3/36(2006.01)i; G09F 9/30(2006.01)i; H01L 27/32(2006.01)i; H01L 29/786(2006.01)i; G02F 1/133(2006.01)i; G02F 1/1362(2006.01)i; H01L 51/50(2006.01)i; H05B 33/14(2006.01)i FI: G09G3/20 623A; G02F1/133 505; G02F1/133 550; G02F1/1362; G09F9/30 338; G09G3/20 612R; G09G3/20 621M; G09G3/20 680G; G09G3/20 680H; G09G3/3275; G09G3/36; H01L27/32; H01L29/78 614; H05B33/14 A; H05B33/14 Z		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G09G3/20; G09G3/3275; G09G3/36; G09F9/30; H01L27/32; H01L29/786; G02F1/133; G02F1/1362; H01L51/50; H05B33/14		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2021年 日本国実用新案登録公報 1996 - 2021年 日本国登録実用新案公報 1994 - 2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2018-22143 A（株式会社半導体エネルギー研究所）08.02.2018（2018 - 02 - 08） 全文，全図	1-6
A	JP 2017-138588 A（株式会社半導体エネルギー研究所）10.08.2017（2017 - 08 - 10） 段落0022-0041，図1-3	1-6
A	US 2017/0178586 A1（ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE） 22.06.2017（2017 - 06 - 22） 全文，全図	1-6
A	WO 2019/038651 A1（株式会社半導体エネルギー研究所）28.02.2019（2019 - 02 - 28） 全文，全図	1-6
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献		“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献
国際調査を完了した日 05.01.2021	国際調査報告の発送日 19.01.2021	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 武田 悟 2I 9307 電話番号 03-3581-1101 内線 3273	

引用文献			公表日	パテントファミリー文献			公表日
JP	2018-22143	A	08.02.2018	US	2018/0026218	A1	
JP	2017-138588	A	10.08.2017	US	2017/0221429	A1	
				段落0061-0080, 図1-3			
US	2017/0178586	A1	22.06.2017	KR	10-2017-0075618	A	
WO	2019/038651	A1	28.02.2019	CN	110998703	A	
				KR	10-2020-0039679	A	