

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年12月7日(07.12.2017)



(10) 国際公開番号

WO 2017/208734 A1

(51) 国際特許分類:

H01L 29/78 (2006.01) H01L 27/06 (2006.01)
H01L 21/822 (2006.01) H01L 29/06 (2006.01)
H01L 21/8234 (2006.01) H01L 29/12 (2006.01)
H01L 27/04 (2006.01)

(21) 国際出願番号: PCT/JP2017/017427

(22) 国際出願日: 2017年5月8日(08.05.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2016-111759 2016年6月3日(03.06.2016) JP

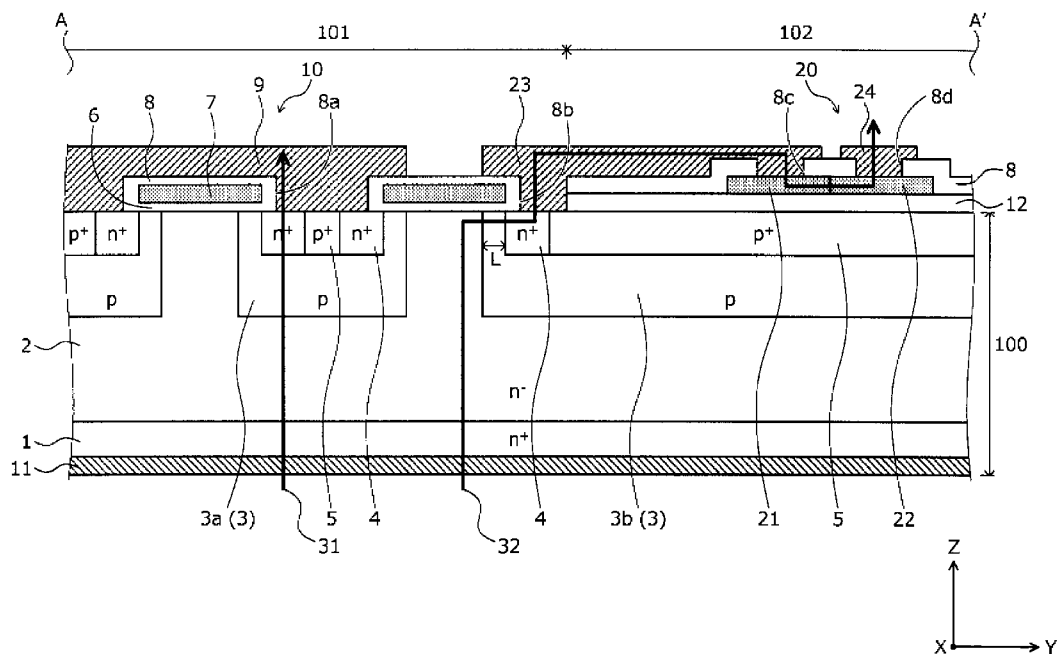
(71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).

(72) 発明者: 山田 昭治(YAMADA, Shoji); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 椎木 崇 (SHIIGI, Takashi); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 星 保幸(HOSHI, Yasuyuki); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).

(74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1020094 東京都千代田区紀尾井町3番12号 紀尾井町ビル7階 酒井総合特許事務所 Tokyo (JP).

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A main semiconductor element (10) and a temperature-sensing part (20) are disposed on the same silicon carbide substrate (100). The main semiconductor element (10) is a vertical MOSFET, and the temperature-sensing part (20) is a lateral diode. An anode region of the temperature-sensing part (20) is connected, on the surface of the silicon carbide substrate (100) by an anode electrode (23), to an n⁺-source region (4) and a p⁺-contact region (5) of the main semiconductor element (10). When the main semiconductor element (10) is on, the



(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

temperature-sensing part (20) is forward-biased by the drift current flowing through the main semiconductor element (10) and is energized. The temperature-sensing part (20) is, for example, a polysilicon diode comprising a p-polysilicon layer (21) and an n-polysilicon layer (22) disposed on the surface of the silicon carbide substrate (100). A highly reliable semiconductor device can be provided as a result of this configuration.

(57) 要約: メイン半導体素子(10)および温度センス部(20)は同一の炭化珪素基体(100)に配置されている。メイン半導体素子(10)は縦型MOSFETであり、温度センス部(20)は横型ダイオードである。温度センス部(20)のアノード領域とメイン半導体素子(10)の n^+ 型ソース領域(4)および p^+ 型コンタクト領域(5)とは、炭化珪素基体(100)のおもて面上でアノード電極(23)により配線接続されている。温度センス部(20)は、メイン半導体素子(10)のオン時に、メイン半導体素子(10)に流れるドリフト電流で順バイアスされ通電する。温度センス部(20)は、例えば、炭化珪素基体(100)のおもて面上に配置したp型ポリシリコン層(21)およびn型ポリシリコン層(22)からなるポリシリコンダイオードである。このようにすることで、信頼性の高い半導体装置を提供することができる。

明 細 書

発明の名称：半導体装置

技術分野

[0001] この発明は、半導体装置に関する。

背景技術

[0002] 従来、高電圧や大電流を制御するパワー半導体装置の構成材料として、シリコン（Si）が用いられている。パワー半導体装置は、バイポーラトランジスタやIGBT（Insulated Gate Bipolar Transistor：絶縁ゲート型バイポーラトランジスタ）、MOSFET（Metal Oxide Semiconductor Field Effect Transistor：絶縁ゲート型電界効果トランジスタ）など複数種類あり、これらは用途に合わせて使い分けられている。

[0003] 例えば、バイポーラトランジスタやIGBTは、MOSFETに比べて電流密度は高く大電流化が可能であるが、高速にスイッチングさせることができない。具体的には、バイポーラトランジスタは数kHz程度のスイッチング周波数での使用が限界であり、IGBTは数十kHz程度のスイッチング周波数での使用が限界である。一方、パワーMOSFETは、バイポーラトランジスタやIGBTに比べて電流密度が低く大電流化が難しいが、数MHz程度までの高速スイッチング動作が可能である。

[0004] 市場では大電流と高速性とを兼ね備えたパワー半導体装置への要求が強く、IGBTやパワーMOSFETはその改良に力が注がれ、現在ではほぼ材料限界に近いところまで開発が進んでいる。このため、パワー半導体装置の観点からシリコンに代わる半導体材料が検討されており、低オン電圧、高速特性、高温特性に優れた次世代のパワー半導体装置を作製（製造）可能な半導体材料として炭化珪素（SiC）が注目を集めている（例えば、下記非特許文献1参照。）。

[0005] 炭化珪素は、化学的に非常に安定した半導体材料であり、バンドギャップ

が3 eVと広く、高温でも半導体として極めて安定的に使用することができる。また、炭化珪素は、最大電界強度もシリコンより1桁以上大きいため、オン抵抗を十分に小さくすることができる半導体材料として期待される。このような炭化珪素の特長は、例えば窒化ガリウム（GaN）などシリコンよりもバンドギャップの広い他の半導体（以下、ワイドバンドギャップ半導体とする）にも同様にあてはまる。このため、ワイドバンドギャップ半導体を用いることにより、半導体装置の高耐圧化が可能となる（例えば、下記非特許文献2参照。）。

[0006] このような炭化珪素を用いた高耐圧半導体装置では、高耐圧半導体装置で発生する損失が少なくなった分、例えばインバータで用いる際、シリコンを用いた従来の半導体装置よりも1桁高いキャリア周波数で適用される。高耐圧半導体装置を高いキャリア周波数で適用する場合、高耐圧半導体装置を構成する半導体チップの発熱温度が高くなり、デバイスの信頼性に悪影響を及ぼす。すなわち、炭化珪素を用いた半導体装置（以下、炭化珪素半導体装置とする）では、半導体素子の動作温度に上限があるため、半導体素子の動作温度を監視するための構造が備えられている。

[0007] 半導体素子の温度を監視するための構造として、半導体素子の温度を検出する温度センス部となるダイオードを、当該半導体素子と同一の半導体基板に配置した構造が提案されている（例えば、下記特許文献1，2参照。）。

先行技術文献

特許文献

[0008] 特許文献1：特開2013-098316号公報

特許文献2：特開2005-175357号公報

非特許文献

[0009] 非特許文献1：ケイ・シェナイ（K. Shenai）、外2名、オプティウム セミコンダクターズ フォー ハイパワー エレクトロニクス（Optimum Semiconductors for High-Power Electronics）、アイ・トリプル・イー トランザクションズ

オン エレクトロン デバイズ (IEEE Transactions on Electron Devices)、1989年9月、第36巻、第9号、p. 1811-1823

非特許文献2：ビー・ジャヤン・バリガ (B. Jayant Baliga) 著、シリコン カーバイド パワー デバイズ (Silicon Carbide Power Devices)、(米国)、ワールド サイエントフィック パブリッシング カンパニー (World Scientific Publishing Co.)、2006年3月30日、p. 61

発明の概要

発明が解決しようとする課題

- [0010] しかしながら、上記特許文献1、2では、温度センス部となるダイオードを通電するための外部電流源が必要になる。このため、外部部品の数が増えてしまい、半導体装置の製品としての信頼性が低下するという問題がある。
- [0011] この発明は、上述した従来技術による問題点を解消するため、メイン半導体素子と同一の半導体基板に当該メイン半導体素子の温度を検出するための構造を備えた半導体装置であって、信頼性の高い半導体装置を提供することを目的とする。

課題を解決するための手段

- [0012] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、同一の半導体基板に半導体素子およびダイオードを備え、次の特徴を有する。前記半導体素子は、第1、2導電型の第1、2半導体層、第2導電型の第1半導体領域、第1導電型の第2半導体領域、ゲート絶縁膜、ゲート電極および第1、2電極層を有する。前記第1半導体層は、第1導電型の半導体基板のおもて面側の部分である。前記第1半導体領域は、前記第1半導体層の内部に選択的に設けられている。前記第2半導体領域は、前記第1半導体領域の内部に選択的に設けられている。前記ゲート絶縁膜は、前記第1半導体領域の、前記第1半導体層と前記第2半導体領域との間の領

域に接して設けられている。前記ゲート電極は、前記ゲート絶縁膜を挟んで前記第1半導体領域の反対側に設けられている。前記第1電極層は、前記第1半導体領域および前記第2半導体領域に接する。前記第2半導体層は、前記半導体基板の裏面側の部分であり、前記第1半導体層に接する。前記第2半導体層は、前記第1半導体層よりも不純物濃度が高い。前記第2電極層は、前記第2半導体層に接する。前記ダイオードは、前記半導体基板に配置され、前記半導体素子の温度を検出する。前記ダイオードのアノード領域は、前記半導体基板のおもて面に配置された第3電極層を介して、前記第1半導体領域および前記第2半導体領域に電氣的に接続されている。

[0013] また、この発明にかかる半導体装置は、上述した発明において、前記ダイオードが第2導電型ポリシリコン層、第1導電型ポリシリコン層、前記第3電極層および第4電極層を有する。前記第2導電型ポリシリコン層は、前記半導体基板のおもて面に設けられ、前記アノード領域となる。前記第1導電型ポリシリコン層は、前記半導体基板のおもて面に設けられ、前記第2導電型ポリシリコン層に接する。前記第3電極層は、前記第1半導体領域、前記第2半導体領域および前記第2導電型ポリシリコン層に接する。前記第4電極層は、前記第1導電型ポリシリコン層に接することを特徴とする。

[0014] また、この発明にかかる半導体装置は、上述した発明において、前記ダイオードが第2導電型の第3、4半導体領域、第1導電型の第5半導体領域、前記第3電極層および第4電極層を有する。前記第3半導体領域は、前記第1半導体層の内部に選択的に設けられている。前記第4半導体領域は、前記第3半導体領域の内部に選択的に設けられ前記アノード領域となる。前記第4半導体領域は、前記第3半導体領域よりも不純物濃度が高い。前記第5半導体領域は、前記第3半導体領域の内部に選択的に設けられている。前記第3電極層は、前記第1半導体領域、前記第2半導体領域および前記第4半導体領域に接する。前記第4電極層は、前記第5半導体領域に接することを特徴とする。

[0015] また、この発明にかかる半導体装置は、上述した発明において、前記第3

半導体領域と前記第4半導体領域および前記第5半導体領域との間に設けられた、前記第5半導体領域よりも不純物濃度の低い第1導電型の第6半導体領域をさらに備える。前記第3半導体領域は、前記第1電極層と同電位に固定されていることを特徴とする。

[0016] また、この発明にかかる半導体装置は、上述した発明において、前記第6半導体領域、前記第3半導体領域および前記第1半導体層からなる寄生npnバイポーラトランジスタは、前記半導体素子の前記第1電極層と前記第2電極層との間にかかる電圧で駆動する電圧駆動型であることを特徴とする。

[0017] また、この発明にかかる半導体装置は、上述した発明において、前記ダイオードは、前記半導体素子のゲート電圧で駆動する電圧駆動型であることを特徴とする。

[0018] また、この発明にかかる半導体装置は、上述した発明において、前記半導体基板は、シリコンよりもバンドギャップの広い半導体からなることを特徴とする。

[0019] また、この発明にかかる半導体装置は、上述した発明において、シリコンよりもバンドギャップの広い半導体は、炭化珪素であることを特徴とする。

[0020] 上述した発明によれば、半導体素子のオン時に半導体素子に流れるドリフト電流が温度センス部となるダイオードの順方向電流となる。このため、温度センス部を通電させるための外部電流源を設ける必要がなく、外部部品数を削減することができる。これにより、外部部品数が増えることで生じる、半導体装置の製品としての信頼性低下を防止することができる。

発明の効果

[0021] 本発明にかかる半導体装置によれば、メイン半導体素子と同一の半導体基板に当該メイン半導体素子の温度を検出するための構造を備えた半導体装置であって、信頼性の高い半導体装置を提供することができるという効果を奏する。

図面の簡単な説明

[0022] [図1]図1は、実施の形態1にかかる半導体装置の平面レイアウトの一例を示

す断面図である。

[図2]図2は、図1の切断線A-A'における断面構造を示す平面図である。

[図3]図3は、図1の切断線B-B'における断面構造を示す断面図である。

[図4]図4は、実施の形態2にかかる半導体装置の断面構造を示す断面図である。

[図5]図5は、実施の形態2にかかる半導体装置の断面構造を示す断面図である。

[図6]図6は、実施の形態3にかかる半導体装置の平面レイアウトの一例を示す平面図である。

[図7]図7は、図1の切断線C-C'における断面構造を示す断面図である。

[図8]図8は、図1の切断線D-D'における断面構造を示す断面図である。

[図9]図9は、実施の形態4にかかる半導体装置の断面構造を示す断面図である。

[図10]図10は、実施の形態5にかかる半導体装置の断面構造を示す断面図である。

発明を実施するための形態

[0023] 以下に添付図面を参照して、この発明にかかる半導体装置の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す+および-は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。本明細書では、ミラー指数の表記において、“-”はその直後の指数につくバーを意味しており、指数の前に“-”を付けることで負の指数を表している。

[0024] (実施の形態1)

本発明にかかる半導体装置は、ワイドバンドギャップ半導体を用いて構成される。実施の形態1においては、ワイドバンドギャップ半導体として例え

ば炭化珪素（SiC）を用いて作製された炭化珪素半導体装置について説明する。図1は、実施の形態1にかかる半導体装置の平面レイアウトの一例を示す平面図である。図1には、活性領域101とエッジ終端領域102との境界付近の一部を示す（図6においても同様）。活性領域101は、オン状態のときに電流が流れる領域である。エッジ終端領域102は、活性領域の周囲を囲むように配置され、ドリフト領域の基体おもて面側の電界を緩和し耐圧を保持する領域である。

[0025] 図1に示すように、実施の形態1にかかる半導体装置は、後述するメイン半導体素子10および温度センス部20（図2，3参照）を、炭化珪素からなる同一の半導体基体（以下、炭化珪素基体（半導体基板（半導体チップ））とする）100に備える。メイン半導体素子10は、オン状態で縦方向（炭化珪素基体100の深さ方向Z）にドリフト電流が流れる縦型MOSFETであり、活性領域101に隣接して配置された複数（例えば数百～数万個程度）の単位セル（機能単位）で構成され、主動作を行う。図2，3には、メイン半導体素子10の複数の単位セルのうちの一部の単位セルを図示する（図4，5，7～10においても同様）。

[0026] 温度センス部20は、メイン半導体素子10を保護するための回路部であり、ダイオードの温度特性を利用してメイン半導体素子10の温度を検出する機能を有する。図示省略するが、炭化珪素基体100には、さらに、メイン半導体素子10を保護・制御するための他の回路部が配置されていてもよい。メイン半導体素子10を保護・制御するための他の回路部としては、例えば、図示省略する過電圧保護部、電流センス部および演算回路部が挙げられる。過電圧保護部は、例えばサージ等の過電圧からメイン半導体素子10を保護するダイオードである。

[0027] 電流センス部は、メイン半導体素子10に流れる電流を検出する縦型MOSFETである。演算回路部は、温度センス部20、電流センス部および過電圧保護部を制御し、これらの出力信号に基づいてメイン半導体素子10を制御する。これらメイン半導体素子10の電極パッド（ソースパッド、ゲー

トパッド)、および、メイン半導体素子10を保護・制御する回路部の各電極パッドは、炭化珪素基体100上に所定の平面レイアウトに配置され、層間絶縁膜8により互いに電氣的に絶縁されている。各電極パッドの平面レイアウトおよび平面形状は、種々変更可能である。

[0028] 例えば、メイン半導体素子10のソースパッドとなるソース電極(第1電極層)9は、活性領域101のほぼ全面を覆うように配置されている。ソース電極9は、メイン半導体素子10を構成する単位セルのほぼすべての単位セルに深さ方向Zに対向する。温度センス部20の電極パッド(アノードパッドおよびカソードパッド)となるアノード電極(第3電極層)23およびカソード電極(第4電極層)24は、活性領域101およびエッジ終端領域102のいずれの領域に配置されてもよい。アノード電極23は、メイン半導体素子10を構成する単位セルの一部に深さ方向Zに対向する。

[0029] 図1には、アノード電極23を、活性領域101とエッジ終端領域102との境界付近に配置した場合を示す。この場合、ソース電極9は、基体おもて面に平行な方向(以下、第1方向とする)X、または、第1方向Xと直交する方向(以下、第2方向とする)Yに、例えばアノード電極23と対向する部分が凹んだ平面形状であってもよい。そして、アノード電極23は、ソース電極9の凹部内に入り込むように配置され、メイン半導体素子10を構成する単位セルの一部と接続されてもよい。カソード電極24は、アノード電極23よりも外側(チップ端部側)に配置されてもよい。

[0030] 図示省略するが、ソース電極9と炭化珪素基体100とのコンタクト(電氣的接触部)が形成される第1コンタクトホールは、例えば、メイン半導体素子10を構成する単位セルのn⁺型ソース領域およびp⁺型コンタクト領域とほぼ同様の平面レイアウトに配置される。符号8b、8cは、アノード電極23とのコンタクトが形成される第2、3コンタクトホールの平面レイアウトの一例である。符号8dは、カソード電極24とのコンタクトが形成される第4コンタクトホールの平面レイアウトの一例である。

[0031] 次に、実施の形態1にかかる半導体装置の断面構造について、メイン半導

体素子 10 をプレーナゲート構造の縦型 MOSFET とした場合を例に説明する。図 2 は、図 1 の切断線 A-A' における断面構造を示す断面図である。図 3 は、図 1 の切断線 B-B' における断面構造を示す断面図である。メイン半導体素子 10 は、活性領域 101 において炭化珪素基板 100 のおもて面側に、p 型ベース領域（第 1 半導体領域）3、n⁺型ソース領域（第 2 半導体領域）4、p⁺型コンタクト領域 5、ゲート絶縁膜 6 およびゲート電極 7 からなる MOS ゲート構造部を備える。1 つの MOS ゲート構造部で 1 つの単位セルが構成される。

[0032] 炭化珪素基板 100 は、炭化珪素からなる n⁺型支持基板（以下、n⁺型炭化珪素基板（第 2 半導体層）とする）1 のおもて面上に、炭化珪素からなる n⁻型半導体層（以下、n⁻型炭化珪素層（第 1 半導体層）とする）2 を積層してなる。n⁺型炭化珪素基板 1 は、メイン半導体素子 10 のドレイン領域として機能する。p 型ベース領域 3 は、n⁻型炭化珪素層 2 の、n⁺型炭化珪素基板 1 側に対して反対側（基体おもて面側）の表面層に選択的に設けられている。n⁻型炭化珪素層 2 の、p 型ベース領域 3 以外の部分がドリフト領域である。ドリフト領域の、隣り合う p 型ベース領域 3 間に挟まれた部分が n 型 J F E T（J u n c t i o n F E T）領域である。

[0033] n⁺型ソース領域 4 および p⁺型コンタクト領域 5 は、p 型ベース領域 3 の内部にそれぞれ選択的に設けられている。n⁺型ソース領域 4 は、p⁺型コンタクト領域 5 よりもゲート電極 7 寄りに配置されている。各単位セルを構成する複数の p 型ベース領域 3 のうち、最もエッジ終端領域 102 側に配置された p 型ベース領域（以下、最外 p 型ベース領域とする）3 b は、活性領域 101 から外側へ、後述する温度センス部 20 と深さ方向 Z に対向する位置まで延在している。符号 3 a は、最外 p 型ベース領域 3 b 以外の p 型ベース領域 3 である。最外 p 型ベース領域 3 b の内部において、p⁺型コンタクト領域 5 は、n⁺型ソース領域 4 よりも外側に配置され、活性領域 101 からエッジ終端領域 102 に延在している。

[0034] p 型ベース領域 3、n⁺型ソース領域 4、p⁺型コンタクト領域 5 および n 型

J F E T領域は、例えば、第1方向Xに延びるストライプ状の平面レイアウトに配置されてもよい。また、p型ベース領域3は、例えば、マトリクス状の平面レイアウトに配置されてもよい。この場合、例えば、p⁺型コンタクト領域5はp型ベース領域3の中央部付近に配置され、n⁺型ソース領域4はp⁺型コンタクト領域5の周囲を囲む平面レイアウトに配置される。n型J F E T領域は、隣り合うp型ベース領域3間を通る格子状の平面レイアウトに配置される。

[0035] また、n⁺型炭化珪素基板1、n⁺型炭化珪素層2、および、炭化珪素からなるp型半導体層（以下、p型炭化珪素層とする）を順に積層して炭化珪素基板100が構成されてもよい。この場合、炭化珪素基板100の表面層となるp型炭化珪素層の内部に、n⁺型ソース領域4およびp⁺型コンタクト領域5が配置される。かつ、p型炭化珪素層を深さ方向Zに貫通してドリフト領域に接するn型J F E T領域が配置される。p型炭化珪素層の、n⁺型ソース領域4、p⁺型コンタクト領域5およびn型J F E T領域以外の部分はp型ベース領域3となる。

[0036] p型ベース領域3の、n⁺型ソース領域4とドリフト領域（n⁺型炭化珪素層2またはn型J F E T領域）とに挟まれた部分の表面上には、ゲート絶縁膜6を介してゲート電極7が設けられている。同一の単位セルを構成するドリフト領域の表面上にゲート絶縁膜6を延在させ、ゲート絶縁膜6を挟んでドリフト領域と深さ方向に対向するようにゲート電極7が設けられていてもよい。層間絶縁膜8は、炭化珪素基板100のおもて面全面に、ゲート電極7を覆うように設けられている。層間絶縁膜8に開口された第1, 2コンタクトホール8a, 8bには、n⁺型ソース領域4およびp⁺型コンタクト領域5が露出されている。

[0037] ソース電極9は、第1コンタクトホール8aを介してn⁺型ソース領域4およびp⁺型コンタクト領域5に接するとともに、層間絶縁膜8によりゲート電極7と電氣的に絶縁されている（図2, 3）。ソース電極9は、最外p型ベース領域3bの内部のn⁺型ソース領域4およびp⁺型コンタクト領域5に接す

る箇所、外側の層間絶縁膜 8 上に延在していてもよい（図 3）。ゲートパッド（電極パッド：不図示）には、メイン半導体素子 10 を構成するすべての単位セルのゲート電極 7 が電氣的に接続されている。炭化珪素基板 100 の裏面（ n^+ 型炭化珪素基板 1 の裏面）全面に、ドレイン電極（第 2 電極層）11 が設けられている。

[0038] エッジ終端領域 102 において、炭化珪素基板 100 のおもて面は絶縁層 12 で覆われている。絶縁層 12 上には、 p 型ポリシリコン層 21 および n 型ポリシリコン層 22 がそれぞれ選択的に設けられている。 p 型ポリシリコン層 21 および n 型ポリシリコン層 22 は、深さ方向 Z に絶縁層 12 を挟んで、最外 p 型ベース領域 3b またはその内部の p^+ 型コンタクト領域 5 に対向する。 p 型ポリシリコン層 21 と n 型ポリシリコン層 22 との間の $p-n$ 接合で温度センス部 20 となる横型ダイオード（ポリシリコンダイオード）が構成される。すなわち、 p 型ポリシリコン層 21 および n 型ポリシリコン層 22 は、それぞれ、温度センス部 20 のアノード領域およびカソード領域である。

[0039] 絶縁層 12 は、ゲート絶縁膜 6 と同じ厚さであってもよい。また、絶縁層 12 を設けずに、最外 p 型ベース領域 3b の内部の p^+ 型コンタクト領域 5 上に温度センス部 20 が直に配置されていてもよいが、炭化珪素基板 100 からポリシリコン層が剥離するなどの問題が生じる虞がある。また、炭化珪素基板 100 から温度センス部 20 へのリーク電流が生じる虞がある。このため、より信頼性を考慮して、温度センス部 20 は、厚い絶縁層 12 を介して炭化珪素基板 100 のおもて面上に配置されることが好ましい。 p 型ポリシリコン層 21 および n 型ポリシリコン層 22 は層間絶縁膜 8 で覆われ、その一部がそれぞれ層間絶縁膜 8 に開口された第 3, 4 コンタクトホール 8c, 8d に露出されている。

[0040] アノード電極 23 は、第 3 コンタクトホール 8c を介して p 型ポリシリコン層 21 に接する。アノード電極 23 は、 p 型ポリシリコン層 21 少なくとも一部に接していればよく、第 3 コンタクトホール 8c の平面形状は種々変

更可能である。また、アノード電極 23 は、第 2 コンタクトホール 8b を介して、メイン半導体素子 10 を構成する少なくとも 1 つの単位セルの n^+ 型ソース領域 4 および p^+ 型コンタクト領域 5 に接する。図 2 には、アノード電極 23 が最外 p 型ベース領域 3b の内部の n^+ 型ソース領域 4 および p^+ 型コンタクト領域 5 に接する場合を示す（図 4 においても同様）。

[0041] すなわち、温度センス部 20 のアノード領域と、メイン半導体素子 10 の n^+ 型ソース領域 4 および p^+ 型コンタクト領域 5 とは、アノード電極 23 により配線接続されている。アノード電極 23 は、メイン半導体素子 10 の単位セルの n^+ 型ソース領域 4 および p^+ 型コンタクト領域 5 の少なくとも一部に接していればよく、第 2 コンタクトホール 8b の平面形状は種々変更可能である。カソード電極 24 は、第 4 コンタクトホール 8d を介して n 型ポリシリコン層 22 に接する。カソード電極 24 は、 n 型ポリシリコン層 22 の全面に接していてもよいし、 n 型ポリシリコン層 22 の一部のみに接していてもよい。

[0042] 上述したように温度センス部 20 のアノード領域（ p 型ポリシリコン層 21）がメイン半導体素子 10 の n^+ 型ソース領域 4 および p^+ 型コンタクト領域 5 に電氣的に接続されていることで、メイン半導体素子 10 のオン時、温度センス部 20 が順バイアスされ通電する。具体的には、メイン半導体素子 10 のソース電極 9 に対して正の電圧がドレイン電極 11 に印加された状態で、ゲート電極 7 にゲート閾値電圧以上の電圧が印加されると、 p 型ベース領域 3 の、ゲート電極 7 直下の部分（ゲート絶縁膜 6 を挟んで深さ方向に対向する表面領域）に n 型の反転層（チャネル）が形成される。

[0043] そして、 p 型ベース領域 3 の表面領域にチャネルが形成されることで、 n^+ 型炭化珪素基板 1、 n 型炭化珪素層 2、 p 型ベース領域 3 の表面領域および n^+ 型ソース領域 4 の経路で電流（ドリフト電流）31 が流れ、メイン半導体素子 10 がオンする。メイン半導体素子 10 の n^+ 型ソース領域 4 にアノード電極 23 が接しているため、このとき、さらに、 n^+ 型ソース領域 4 からアノード電極 23、 p 型ポリシリコン層 21、 n 型ポリシリコン層 22 およびカ

ソード電極 24 の経路で電流 32 が流れる。この電流 32 が温度センス部 20 の順方向電流（ドリフト電流）となる。すなわち、温度センス部 20 は、メイン半導体素子 10 のゲート電圧で駆動する電圧駆動型となる。

[0044] 一方、ゲート電極 7 にしきい値電圧以下の電圧が印加されているときには、p 型ベース領域 3 とドリフト領域（n 型炭化珪素層 2）との間の p n 接合が逆バイアスされた状態となる。このため、メイン半導体素子 10 に電流 31 は流れない。温度センス部 20 にも電流 32 は流れない。すなわち、メイン半導体素子 10 はオフ状態を維持し、温度センス部 20 は逆バイアスされ通電しない。このように、メイン半導体素子 10 のゲート電圧を制御することによって、メイン半導体素子 10 のオン・オフ（スイッチング動作）に連動させて、温度センス部 20 をオン・オフさせることができる。

[0045] 温度センス部 20 の電流能力は、メイン半導体素子 10 の単位セルの、深さ方向にアノード電極 23 に対向する部分の電流能力で決まる。すなわち、温度センス部 20 の電流能力は、アノード電極 23 の大きさ（例えばアノード電極 23 の第 1 方向 X の幅 W：図 1 参照）や、アノード電極 23 に接続されたメイン半導体素子 10 の単位セルの個数を設計条件に応じて調整することで決定される。図 1～3 には、アノード電極 23 がメイン半導体素子 10 の 1 つの単位セル（最外 p 型ベース領域 3 b で構成される単位セル）に接続されている場合を示す。

[0046] 例えば、メイン半導体素子 10 の単位セルを第 1 方向 X に延びるストライプ状の平面レイアウトに配置した場合において、アノード電極 23 をメイン半導体素子 10 の 2 つの単位セルに接続するとする。この場合、アノード電極 23 は、最外 p 型ベース領域 3 b で構成される単位セルに接続される。かつ、アノード電極 23 は、最外 p 型ベース領域 3 b の第 2 方向 Y の内側（チップ中央側）に隣り合う p 型ベース領域 3 a で構成されるもう 1 つの単位セルに接続される。温度センス部 20 の電流能力は、例えば、メイン半導体素子 10 の電流能力の 1 千分の 1 から 10 分の 1 程度であってもよい。

[0047] 次に、実施の形態 1 にかかる半導体装置の製造方法について、例えば 12

00Vの耐圧クラスのメイン半導体素子10を作製する場合を例に説明する。まず、 n^+ 型炭化珪素基板（半導体ウエハ）1を用意する。 n^+ 型炭化珪素基板1は、例えば、 $2.0 \times 10^{19} / \text{cm}^3$ の不純物濃度となるように窒素（N）などの n 型不純物（ドーパント）をドーピングした炭化珪素単結晶基板であってもよい。 n^+ 型炭化珪素基板1のおもて面は、例えば $\langle 11-20 \rangle$ 方向に4度程度のオフ角を有する（000-1）面であってもよい。

[0048] 次に、 n^+ 型炭化珪素基板1のおもて面に、 n^- 型炭化珪素層2を例えば10 μm の厚さでエピタキシャル成長させる。 n^- 型炭化珪素層2は、例えば $1.0 \times 10^{16} / \text{cm}^3$ の不純物濃度となるように窒素などの n 型不純物をドーピングしてもよい。ここまでの工程で、 n^+ 型炭化珪素基板1のおもて面上に n^- 型炭化珪素層2を積層してなる炭化珪素基体100が作製される。次に、フォトリソグラフィおよびイオン注入により、 n^- 型炭化珪素層2の表面層にメイン半導体素子10の p 型ベース領域3を選択的に形成する。

[0049] 次に、フォトリソグラフィおよびイオン注入を1組とする工程を異なるイオン注入条件で繰り返し行うことで、 n^+ 型ソース領域4および p^+ 型コンタクト領域5を形成する。 n^+ 型ソース領域4および p^+ 型コンタクト領域5を形成する順序は種々変更可能である。 n^- 型炭化珪素層2上にさらに p 型ベース領域3となる p 型炭化珪素層を積層して炭化珪素基体100を構成する場合、この p 型炭化珪素層の内部に n^+ 型ソース領域4、 p^+ 型コンタクト領域5および n 型JFET領域を形成すればよい。

[0050] 次に、イオン注入により炭化珪素基体100に形成した複数の領域を活性化させるための熱処理（アニール）を行う。この活性化熱処理は、例えば1620℃程度の温度で2分間程度行ってもよい。次に、熱処理により炭化珪素基体100のおもて面を熱酸化し、例えば100nm程度の厚さでゲート絶縁膜6を形成する。この熱酸化は、例えば、酸素（ O_2 ）ガスと水素（ H_2 ）ガスとの混合ガス雰囲気中において1000℃程度の温度で行ってもよい。これにより、炭化珪素基体100のおもて面全面がゲート絶縁膜6で覆われる。

- [0051] エッジ終端領域 102 において炭化珪素基体 100 のおもて面を覆うゲート絶縁膜 6 を、その厚さのままで絶縁層 12 としてもよいし、さらに絶縁膜を堆積して厚さを増して絶縁層 12 としてもよい。次に、ゲート絶縁膜 6 および絶縁層 12 上に、ポリシリコン層を形成する。このポリシリコン層は、例えばリン (P) がドーピングされていてもよいし、ノンドーピングであってもよい。次に、ポリシリコン層をパターニングして選択的に除去し、メイン半導体素子 10 のゲート電極 7、および、温度センス部 20 の p 型ポリシリコン層 21 および n 型ポリシリコン層 22 になる部分として残す。
- [0052] ゲート絶縁膜 6 および絶縁層 12 上にリンドーピングのポリシリコン層を堆積した場合、絶縁層 12 上に残したポリシリコン層のうち、p 型ポリシリコン層 21 となる部分に p 型不純物をイオン注入して p 型に反転させればよい。また、ゲート絶縁膜 6 および絶縁層 12 上にノンドーピングのポリシリコン層を堆積した場合、ゲート絶縁膜 6 および絶縁層 12 上に残したポリシリコン層の、ゲート電極 7、p 型ポリシリコン層 21 および n 型ポリシリコン層 22 にそれぞれ対応する部分を例えばイオン注入により所定の導電型にすればよい。
- [0053] 次に、炭化珪素基体 100 のおもて面全面に、ゲート電極 7、p 型ポリシリコン層 21 および n 型ポリシリコン層 22 を覆うように、層間絶縁膜 8 を例えば $1.0\ \mu\text{m}$ の厚さで成膜（形成）する。層間絶縁膜 8 は、例えばリンガラス (PSG: Phospho Silicate Glass) などを材料としてもよい。次に、フォトリソグラフィおよびエッチングにより、層間絶縁膜 8、ゲート絶縁膜 6 および絶縁層 12 をパターニングして第 1～4 コンタクトホール 8a～8d を形成する。次に、熱処理（リフロー）により層間絶縁膜 8 を平坦化する。
- [0054] 次に、例えばスパッタ法により、第 1～4 コンタクトホール 8a～8d に埋め込むように、層間絶縁膜 8 上に金属膜を形成する。この金属膜は、例えば、1% の割合でシリコンを含んだアルミニウム (Al-Si) を材料としてもよい。また、金属膜は、材料の異なる複数の金属膜を積層してなる積層

構造を有していてもよい。次に、フォトリソグラフィおよびエッチングにより金属膜をパターニングし、ソース電極 9、ゲートパッド、アノード電極 23、カソード電極 24、および温度センス部 20 以外の回路部の電極パッドとして残す。

[0055] 次に、例えばスパッタ法により、炭化珪素基板 100 の裏面 (n^+ 型炭化珪素基板 1 の裏面) に、ドレイン電極 11 となる例えばニッケル (Ni) 膜を形成する。次に、例えば 970℃ の温度での熱処理により、ドレイン電極 11 と炭化珪素基板 100 とのオーミックコンタクトを形成する。また、ソース電極 9 の、炭化珪素基板 100 との接触部がオーミックコンタクトを形成しやすい材料で構成されている場合、ドレイン電極 11 と炭化珪素基板 100 とのオーミックコンタクトと同時に、ソース電極 9 と炭化珪素基板 100 とのオーミックコンタクトを形成してもよい。

[0056] 次に、ドレイン電極 11 として形成したニッケル膜の表面に、ドレイン電極 11 となる例えばチタン (Ti) 膜、ニッケル膜および金 (Au) 膜を順に形成する。次に、炭化珪素基板 100 のおもて面に、パッシベーション膜等の保護膜 (不図示) を形成する。その後、炭化珪素基板 100 をチップ状に切断 (ダイシング) して個片化することで、図 1 ~ 3 に示す半導体装置が完成する。

[0057] 以上、説明したように、実施の形態 1 によれば、温度センス部のアノード領域とメイン半導体素子のソース領域とを炭化珪素基板のおもて面上で配線接続することで、メイン半導体素子のオン時にメイン半導体素子に流れるドリフト電流が温度センス部となるダイオードの順方向電流となる。すなわち、温度センス部を駆動させるための電流源をメイン半導体素子と同一の炭化珪素基板に内蔵することができる。このため、温度センス部を駆動させるための外部電流源を設ける必要がなく、外部部品数を削減することができる。これにより、外部部品数が増えることで生じる、半導体装置の製品としての信頼性低下を防止することができる。したがって、メイン半導体素子の温度を高精度に検出することができる。

[0058] また、実施の形態 1 によれば、メイン半導体素子と同一の炭化珪素基体に、メイン半導体素子の保護回路である温度センス部および電流センス部を配置するにあたって、温度センス部と電流センス部とが配線（電極パッド）を共有する。このため、電極パッドの数を削減することができ、低コスト化を図ることができる。また、実施の形態 1 によれば、メイン半導体素子の MOS ゲート構造部、および、メイン半導体素子と同一の炭化珪素基体に設けたダイオードのみで半導体装置を構成可能であり、素子構造が簡略である。このため、さらに信頼性を向上させることができる。

[0059] （実施の形態 2）

次に、実施の形態 2 にかかる半導体装置の構造について説明する。図 4，5 は、実施の形態 2 にかかる半導体装置の断面構造を示す断面図である。実施の形態 2 にかかる半導体装置の電極パッドの平面レイアウトは、実施の形態 1（図 1 参照）と同様である。図 4 には、図 1 の切断線 A-A' における断面構造を示す。図 5 には、図 1 の切断線 B-B' における断面構造を示す。実施の形態 2 にかかる半導体装置が実施の形態 1 にかかる半導体装置は、温度センス部 20 を炭化珪素基体 100 内の拡散領域で形成した点である。

[0060] 具体的には、温度センス部 20 は、p⁺型アノード領域 41 および p 型ベース領域 43 と n⁺型カソード領域 42 との間の p-n 接合で形成された横型ダイオード（拡散ダイオード）である。p 型ベース領域 43 は、エッジ終端領域 102 における炭化珪素基体 100 のおもて面の表面層に選択的に設けられている。また、p 型ベース領域 43 は、最外 p 型ベース領域 13 よりも外側に、最外 p 型ベース領域 13 と離して配置されている。最外 p 型ベース領域 13 の外側の端部は、例えば、活性領域 101 とエッジ終端領域 102 との境界付近に位置する。

[0061] p⁺型アノード領域 41 および n⁺型カソード領域 42 は、p 型ベース領域 43 の内部に互いに離して、それぞれ選択的に設けられている。エッジ終端領域 102 において、炭化珪素基体 100 のおもて面は層間絶縁膜 8 で覆われており、層間絶縁膜 8 に開口された第 3，4 コンタクトホール 8c，8d に

それぞれ p⁺型アノード領域 4 1 および n⁺型カソード領域 4 2 が露出している。

[0062] アノード電極 2 3 は、第 3 コンタクトホール 8 c を介して p⁺型アノード領域 4 1 に接する。また、アノード電極 2 3 は、実施の形態 1 と同様に、第 2 コンタクトホール 8 b を介して、メイン半導体素子 1 0 を構成する少なくとも 1 つの単位セルの n⁺型ソース領域 4 および p⁺型コンタクト領域 5 に接する。カソード電極 2 4 は、第 4 コンタクトホール 8 d を介して n⁺型カソード領域 4 2 に接する。

[0063] 実施の形態 2 にかかる半導体装置の製造方法は、実施の形態 1 にかかる半導体装置の製造方法において、ポリシリコンダイオードを形成する工程に代えて、p 型ベース領域 4 3、p⁺型アノード領域 4 1 および n⁺型カソード領域 4 2 からなる拡散ダイオードを形成すればよい。p 型ベース領域 4 3、p⁺型アノード領域 4 1 および n⁺型カソード領域 4 2 は、例えば、それぞれ、メイン半導体素子 1 0 の p 型ベース領域 3、n⁺型ソース領域 4 および p⁺型コンタクト領域 5 と同時に形成されてもよい。

[0064] 以上、説明したように、実施の形態 2 によれば、温度センス部を拡散ダイオードで構成した場合においても、実施の形態 1 と同様の効果を得ることができる。

[0065] (実施の形態 3)

次に、実施の形態 3 にかかる半導体装置の構造について説明する。図 6 は、実施の形態 3 にかかる半導体装置の平面レイアウトの一例を示す平面図である。図 7 は、図 6 の切断線 C-C' における断面構造を示す断面図である。図 8 は、図 6 の切断線 D-D' における断面構造を示す断面図である。図 6 には、電極パッドの平面レイアウトの他に、後述する p⁺型コンタクト領域 6 6、p⁺型アノード領域 7 1 および n⁺型カソード領域 7 2 の平面レイアウトを破線で示す。電極パッド（ソース電極 9、アノード電極 7 3 およびカソード電極 7 4）の平面レイアウトは、実施の形態 1 と同様である。

[0066] 実施の形態 3 にかかる半導体装置が実施の形態 2 にかかる半導体装置と異

なる点は、 n^{-} 型炭化珪素層 2 の、 n^{+} 型炭化珪素基板 1 側に対して反対側の表面に積層した p 型炭化珪素層 5 0 で、メイン半導体素子 1 0 の p 型ベース領域 3 や、温度センス部 2 0 の p^{+} 型アノード領域 7 1 および n^{+} 型カソード領域 7 2 を構成している点である。すなわち、実施の形態 3 にかかる半導体装置は、 n^{+} 型炭化珪素基板 1 上に n^{-} 型炭化珪素層 2 および p 型炭化珪素層 5 0 を順に積層してなる炭化珪素基体 1 0 0 で構成されている。

[0067] 具体的には、活性領域 1 0 1 において、 n^{-} 型炭化珪素層 2 の、 n^{+} 型炭化珪素基板 1 側に対して反対側の表面層には、第 1 p 型ベース領域 5 1 が選択的に設けられている。 n^{-} 型炭化珪素層 2 の、第 1 p 型ベース領域 5 1 および後述する第 3 p 型ベース領域 6 1 以外の部分がドリフト領域である。 n^{-} 型炭化珪素層 2 の、 n^{+} 型炭化珪素基板 1 側に対して反対側の表面には、第 1 p 型ベース領域 5 1 を覆うように p 型炭化珪素層 5 0 が設けられている。 p 型炭化珪素層 5 0 の不純物濃度は、第 1 p 型ベース領域 5 1 の不純物濃度よりも低くてもよい。

[0068] p 型炭化珪素層 5 0 の内部には、深さ方向に第 1 p 型ベース領域 5 1 に対向する部分に、 n^{+} 型ソース領域 4 および p^{+} 型コンタクト領域 5 がそれぞれ選択的に設けられている。また、 p 型炭化珪素層 5 0 の内部には、 p 型炭化珪素層 5 0 を深さ方向に貫通してドリフト領域に達する n 型 J F E T 領域 5 2 が設けられている。 p 型炭化珪素層 5 0 の、 n^{+} 型ソース領域 4、 p^{+} 型コンタクト領域 5、 n 型 J F E T 領域 5 2 および後述する第 4 p 型ベース領域 6 2 以外の部分は、第 2 p 型ベース領域 5 3 である。第 1、2 p 型ベース領域 5 1、5 3 は、実施の形態 2 の p 型ベース領域 3 に相当する。

[0069] ゲート電極 7 は、実施の形態 2 と同様に、第 2 p 型ベース領域 5 3 (p 型ベース領域 3) の、 n 型 J F E T 領域 5 2 と n^{+} 型ソース領域 4 とに挟まれた部分の表面上にゲート絶縁膜 6 を介して設けられている。ソース電極 9 およびドレイン電極 1 1 の構成は、実施の形態 2 と同様である。すなわち、 n^{+} 型炭化珪素基板 1 上に n^{-} 型炭化珪素層 2 および p 型炭化珪素層 5 0 を順に積層してなる炭化珪素基体 1 0 0 を用いた場合においても、実施の形態 2 と同様

に、活性領域 101 にメイン半導体素子 10 が配置される。

[0070] エッジ終端領域 102 において、温度センス部 20 は、炭化珪素基体 100 のおもて面側に設けられた p 型ベース領域 63 に配置されている。具体的には、エッジ終端領域 102 において、 n^- 型炭化珪素層 2 の、 n^+ 型炭化珪素基板 1 側に対して反対側の表面層には、第 3 p 型ベース領域 61 が選択的に設けられている。第 3 p 型ベース領域 61 は、活性領域 101 側から延在する p 型炭化珪素層 50 で覆われている。p 型炭化珪素層 50 の、第 3 p 型ベース領域 61 に深さ方向 Z に対向する部分（以下、第 4 p 型ベース領域とする）62 の周囲を囲むように n 型領域 64 が設けられている。n 型領域 64 は、p 型炭化珪素層 50 を深さ方向 Z に貫通してドリフト領域に達する。

[0071] 第 3, 4 p 型ベース領域 61, 62 は、上述した p 型ベース領域 63 である。p 型ベース領域 63 は、メイン半導体素子 10 の p 型ベース領域 3 と離して配置されている。p 型ベース領域 63 の内部には、第 4 p 型ベース領域 62 を深さ方向 Z に貫通して第 3 p 型ベース領域 61 に達する n 型分離領域 65 および p^+ 型コンタクト領域 66 がそれぞれ選択的に設けられている。n 型分離領域 65 の深さは、例えば、第 4 p 型ベース領域 62 の厚さよりも深く、p 型ベース領域 63 の厚さよりも浅い。 p^+ 型コンタクト領域 66 は、n 型分離領域 65 の周囲を囲む例えば矩形枠状の平面レイアウトに配置されている（図 6）。

[0072] p^+ 型コンタクト領域 66 には、第 5 コンタクトホール 8e を介してメイン半導体素子 10 のソース電極 9 が接する。また、メイン半導体素子 10 のソース電位に固定されたコンタクト電極 67 が第 6 コンタクトホール 8f を介して p^+ 型コンタクト領域 66 に接していてもよい。コンタクト電極 67 は、図示省略する部分で、メイン半導体素子 10 のソース電極 9 に電氣的に接続されていてもよい。図 6～8 には、ソース電極 9 が p^+ 型コンタクト領域 66 に接し、かつメイン半導体素子 10 のソース電位のコンタクト電極 67 が設けられている場合を示す。

[0073] p^+ 型コンタクト領域 66 をメイン半導体素子 10 のソース電位に固定する

ことで、メイン半導体素子 10 の内蔵ダイオード 10 a の動作時に、メイン半導体素子 10 の p 型ベース領域 3 に蓄積される正電荷を引き抜くことができる。メイン半導体素子 10 の内蔵ダイオード 10 a とは、p 型ベース領域 3 とドリフト領域（n⁻型炭化珪素層 2）との間の p n 接合で形成される寄生ダイオード（ボディダイオード）である。メイン半導体素子 10 の内蔵ダイオード 10 a を動作させない場合、p⁺型コンタクト領域 66 は、ソース電極およびコンタクト電極 67 とともに接触させずに、フローティング電位としてもよい。

[0074] n 型分離領域 65 の内部には、p⁺型アノード領域 71 および n⁺型カソード領域 72 がそれぞれ選択的に設けられている。p⁺型アノード領域 71 と n⁺型カソード領域 72 との間の p n 接合で温度センス部 20 を構成する拡散ダイオードが形成されている。図 7 には、p⁺型アノード領域 71 よりも外側に n⁺型カソード領域 72 を配置した場合を示すが、これに限らず、p⁺型アノード領域 71 および n⁺型カソード領域 72 の配置は種々変更可能である。温度センス部 20 は、p 型ベース領域 63 と n 型分離領域 65 との間の p n 接合で、メイン半導体素子 10 と電氣的に分離されている。

[0075] アノード電極 73 は、実施の形態 2 と同様に、第 3 コンタクトホール 8 c を介して p⁺型アノード領域 71 に接する。かつ、アノード電極 73 は、実施の形態 2 と同様に、第 2 コンタクトホール 8 b を介してメイン半導体素子 10 を構成する少なくとも 1 つの単位セルの n⁺型ソース領域 4 および p⁺型コンタクト領域 5 に接する。カソード電極 74 は、実施の形態 2 と同様に、第 4 コンタクトホール 8 d を介して n⁺型カソード領域 72 に接する。コンタクト電極 67、アノード電極 73 およびカソード電極 74 は、実施の形態 1 と同様に、炭化珪素基体 100 のおもて面上に配置された電極パッドである。

[0076] 上述したように温度センス部 20 の p⁺型アノード領域 71 がメイン半導体素子 10 の n⁺型ソース領域 4 および p⁺型コンタクト領域 5 に電氣的に接続されていることで、実施の形態 1 と同様に、メイン半導体素子 10 のオン時に、温度センス部 20 を順バイアスして通電させることができる。メイン半導

体素子 10 のオン時における温度センス部 20 の動作は実施の形態 1 と同様である。また、メイン半導体素子 10 のドレイン電極 11 に対して正の電圧がソース電極 9 に印加され、メイン半導体素子 10 の内蔵ダイオード 10a が順バイアスされ通電（動作）されたとき、温度センス部 20 は次のように動作する。

- [0077] メイン半導体素子 10 の内蔵ダイオード 10a が通電されたとき、メイン半導体素子 10 のソース電位に固定された p 型ベース領域 63 と、n⁻型炭化珪素層 2 との間の p n 接合で形成される寄生ダイオード 10c も順バイアスされ通電する。寄生ダイオード 10c が順バイアスされたことによるキャリアの移動がエッジ終端領域 102 の寄生 n p n バイポーラトランジスタ 10b のベース電流となる。このため、n⁺型カソード領域 72、n 型分離領域 65、p 型ベース領域 63、ドリフト領域および n⁺型炭化珪素基板 1 の経路で電流 33 が流れ、寄生 n p n バイポーラトランジスタ 10b がオンする。寄生 n p n バイポーラトランジスタ 10b とは、n⁺型カソード領域 72、n 型分離領域 65、p 型ベース領域 63 およびドリフト領域（n⁻型炭化珪素層 2）から寄生素子である。
- [0078] すなわち、寄生 n p n バイポーラトランジスタ 10b は、メイン半導体素子 10 のソースドレイン間電圧で駆動する電圧駆動型となる。そして、寄生 n p n バイポーラトランジスタ 10b を流れる電流 33 が温度センス部 20 の順方向電流 34 となる。したがって、p 型ベース領域 3、n⁺型ソース領域 4、アノード電極 73、p⁺型アノード領域 71、n⁺型カソード領域 72 および寄生 n p n バイポーラトランジスタ 10b の経路で電流 34、33 が流れ、メイン半導体素子 10 の p 型ベース領域 3 に蓄積された正電荷（ホール）が引き抜かれる。これにより、メイン半導体素子 10 の内蔵ダイオード 10a の劣化を防止することができる。
- [0079] 以上、説明したように、実施の形態 3 によれば、実施の形態 1、2 と同様の効果を得ることができる。実施の形態 3 によれば、メイン半導体素子 10 の内蔵ダイオード 10a を、例えばインバータにおいてモータなどの誘導負

荷に流れる電流（負荷電流）を転流させるための保護ダイオードとして用いることができる。

[0080] （実施の形態４）

次に、実施の形態４にかかる半導体装置の構造について説明する。図９は、実施の形態４にかかる半導体装置の断面構造を示す断面図である。実施の形態４にかかる半導体装置の電極パッドの平面レイアウトは、実施の形態３（図６参照）と同様である。図９には、図６の切断線Ｃ－Ｃ’における断面構造を示す。図６の切断線Ｄ－Ｄ’における断面構造は、図８の活性領域１０１の構成を図９の活性領域１０１に代えたものである（不図示）。

[0081] 実施の形態４にかかる半導体装置が実施の形態３にかかる半導体装置と異なる点は、メイン半導体素子１０のＭＯＳゲート構造部をトレンチゲート構造とした点である。エッジ終端領域１０２の構成は、実施の形態３と同様である。以下に、メイン半導体素子１０のＭＯＳゲート構造部について、実施の形態３と異なる部分のみを説明する。

[0082] 第１ｐ型ベース領域８１は、活性領域１０１においてｎ⁻型炭化珪素層２の、ｎ⁺型炭化珪素基板１側に対して反対側の表面にほぼ一様に設けられる。ｐ型炭化珪素層５０および第１ｐ型ベース領域８１を貫通してドリフト領域に達するトレンチ８３が設けられている。トレンチ８３の内部には、ゲート絶縁膜８４を介してゲート電極８５が設けられている。隣り合うトレンチ８３間（メサ部）に、ｎ⁺型ソース領域４およびｐ⁺型コンタクト領域５がそれぞれ選択的に設けられている。

[0083] ｎ⁺型ソース領域４は、トレンチ８３の側壁のゲート絶縁膜８４を挟んでゲート電極８５に対向する。ｐ型炭化珪素層５０の、ｎ⁺型ソース領域４およびｐ⁺型コンタクト領域５以外の部分は、第２ｐ型ベース領域８２である。第１、２ｐ型ベース領域８１、８２は、実施の形態２のｐ型ベース領域３に相当する。これらｐ型ベース領域３、ｎ⁺型ソース領域４、ｐ⁺型コンタクト領域５、トレンチ８３、ゲート絶縁膜８４およびゲート電極８５でトレンチゲート構造が構成される。

[0084] 以上、説明したように、実施の形態4によれば、メイン半導体素子をトレンチゲート構造の縦型MOSFETとした場合において、実施の形態1～3と同様の効果を得ることができる。

[0085] (実施の形態5)

次に、実施の形態5にかかる半導体装置の構造について説明する。図10は、実施の形態5にかかる半導体装置の断面構造を示す断面図である。実施の形態5にかかる半導体装置の電極パッドの平面レイアウトは、実施の形態3(図6参照)と同様である。図10には、図6の切断線C-C'における断面構造を示す。図6の切断線D-D'における断面構造は、図8の活性領域101の構成を図10の活性領域101に代えたものである(不図示)。

[0086] 実施の形態5にかかる半導体装置が実施の形態4にかかる半導体装置と異なる点は、隣り合うトレンチ(以下、ゲートトレンチとする)83間に、コンタクトトレンチ86を設けた点である。コンタクトトレンチ86とは、ソース電極9が埋め込まれたトレンチである。コンタクトトレンチ86の内壁に露出する半導体領域とソース電極9とでコンタクトが形成される。以下に、メイン半導体素子10のMOSゲート構造部について、実施の形態4と異なる部分のみを説明する。

[0087] コンタクトトレンチ86は、p型炭化珪素層50を深さ方向Zに貫通して第1p型ベース領域81に達する。n⁺型ソース領域4は、ゲートトレンチ83とコンタクトトレンチ86との間に設けられている。n⁺型ソース領域4は、ゲートトレンチ83の側壁のゲート絶縁膜84を挟んでゲート電極85に対向するとともに、コンタクトトレンチ86の側壁においてソース電極9に接する。p⁺型コンタクト領域5は、第1p型ベース領域81に選択的に設けられている。

[0088] また、p⁺型コンタクト領域5は、第1p型ベース領域81を深さ方向に貫通してドリフト領域に達する。p⁺型コンタクト領域5は、コンタクトトレンチ86の底面においてソース電極9に接する。隣り合うゲートトレンチ83間においてドリフト領域には、p⁺型コンタクト領域5よりも深い位置に、第

5 p型ベース領域87が設けられている。第5 p型ベース領域87のドレイン側端部は、例えば、ゲートトレンチ83の底面よりもドレイン側に位置する。

[0089] 以上、説明したように、実施の形態5によれば、トレンチゲート構造のメイン半導体素子にソース電極とのコンタクトトレンチを設けた場合においても、実施の形態1～4と同様の効果を得ることができる。

[0090] 以上において本発明は、上述した各実施の形態に限らず、本発明の趣旨を逸脱しない範囲で種々変更可能である。例えば、上述した各実施の形態では、温度センス部のアノード領域とカソード領域とを第1方向に並べて配置しているが、温度センス部のアノード領域およびカソード領域は第2方向に並べて配置してもよい。また、各部の寸法や不純物濃度等は要求される仕様等に応じて種々設定される。また、本発明は、窒化ガリウム（GaN）などの他のワイドバンドギャップ半導体を用いた半導体装置や、シリコンを用いた半導体装置においても同様の効果を奏する。また、各実施の形態では第1導電型をn型とし、第2導電型をp型としたが、本発明は第1導電型をp型とし、第2導電型をn型としても同様に成り立つ。

産業上の利用可能性

[0091] 以上のように、本発明にかかる半導体装置は、スイッチングデバイスとして用いられる半導体装置に有用であり、特に炭化珪素を用いた半導体装置に適している。

符号の説明

[0092] 1 n⁺型炭化珪素基板
2 n⁻型炭化珪素層
3, 3a, 51, 53, 61, 62, 63, 81, 82, 87 p型ベース領域
3b, 13 最外p型ベース領域
4 n⁺型ソース領域
5, 66 p⁺型コンタクト領域

- 6, 84 ゲート絶縁膜
- 7, 85 ゲート電極
- 8 層間絶縁膜
- 8 a ~ 8 d コンタクトホール
- 9 ソース電極
- 10 メイン半導体素子
- 10 a メイン半導体素子の内蔵ダイオード
- 10 b エッジ終端領域の寄生 n p n バイポーラトランジスタ
- 11 ドレイン電極
- 12 絶縁層
- 20 温度センス部
- 21 p 型ポリシリコン層
- 22 n 型ポリシリコン層
- 23, 73 アノード電極
- 24, 74 カソード電極
- 31 ~ 34 電流
- 41, 71 p⁺型アノード領域
- 42, 72 n⁺型カソード領域
- 43 p 型ベース領域
- 50 p 型炭化珪素層
- 52 n 型 J F E T 領域
- 64 n 型領域
- 65 n 型分離領域
- 67 コンタクト電極
- 83 トレンチ
- 86 コンタクトトレンチ
- 100 炭化珪素基体
- 101 活性領域

1 0 2 エッジ終端領域

X 基体おもて面に平行な方向（第 1 方向）

Y 基体おもて面に平行な方向で、第 1 方向と直行する方向（第 2 方向）

Z 深さ方向

請求の範囲

[請求項1]

第1導電型の半導体基板のおもて面側の部分である第1導電型の第1半導体層と、

前記第1半導体層の内部に選択的に設けられた第2導電型の第1半導体領域と、

前記第1半導体領域の内部に選択的に設けられた、第1導電型の第2半導体領域と、

前記第1半導体領域の、前記第1半導体層と前記第2半導体領域との間の領域に接して設けられたゲート絶縁膜と、

前記ゲート絶縁膜を挟んで前記第1半導体領域の反対側に設けられたゲート電極と、

前記第1半導体領域および前記第2半導体領域に接する第1電極層と、

前記半導体基板の裏面側の部分であり、前記第1半導体層に接し、前記第1半導体層よりも不純物濃度の高い第1導電型の第2半導体層と、

前記第2半導体層に接する第2電極層と、を有する半導体素子と、

前記半導体基板に配置され、前記半導体素子の温度を検出するダイオードと、

を備え、

前記ダイオードのアノード領域は、前記半導体基板のおもて面に配置された第3電極層を介して、前記第1半導体領域および前記第2半導体領域に電氣的に接続されていることを特徴とする半導体装置。

[請求項2]

前記ダイオードは、

前記半導体基板のおもて面に設けられ、前記アノード領域となる第2導電型ポリシリコン層と、

前記半導体基板のおもて面に、前記第2導電型ポリシリコン層に接して設けられた第1導電型ポリシリコン層と、

前記第1半導体領域、前記第2半導体領域および前記第2導電型ポリシリコン層に接する前記第3電極層と、

前記第1導電型ポリシリコン層に接する第4電極層と、を有することを特徴とする請求項1に記載の半導体装置。

[請求項3]

前記ダイオードは、

前記第1半導体層の内部に選択的に設けられた第2導電型の第3半導体領域と、

前記第3半導体領域の内部に選択的に設けられ前記アノード領域となる、前記第3半導体領域よりも不純物濃度の高い第2導電型の第4半導体領域と、

前記第3半導体領域の内部に選択的に設けられた第1導電型の第5半導体領域と、

前記第1半導体領域、前記第2半導体領域および前記第4半導体領域に接する前記第3電極層と、

前記第5半導体領域に接する第4電極層と、を有することを特徴とする請求項1に記載の半導体装置。

[請求項4]

前記第3半導体領域と前記第4半導体領域および前記第5半導体領域との間に設けられた、前記第5半導体領域よりも不純物濃度の低い第1導電型の第6半導体領域をさらに備え、

前記第3半導体領域は、前記第1電極層と同電位に固定されていることを特徴とする請求項3に記載の半導体装置。

[請求項5]

前記第6半導体領域、前記第3半導体領域および前記第1半導体層からなる寄生npnバイポーラトランジスタは、前記半導体素子の前記第1電極層と前記第2電極層との間にかかる電圧で駆動する電圧駆動型であることを特徴とする請求項4に記載の半導体装置。

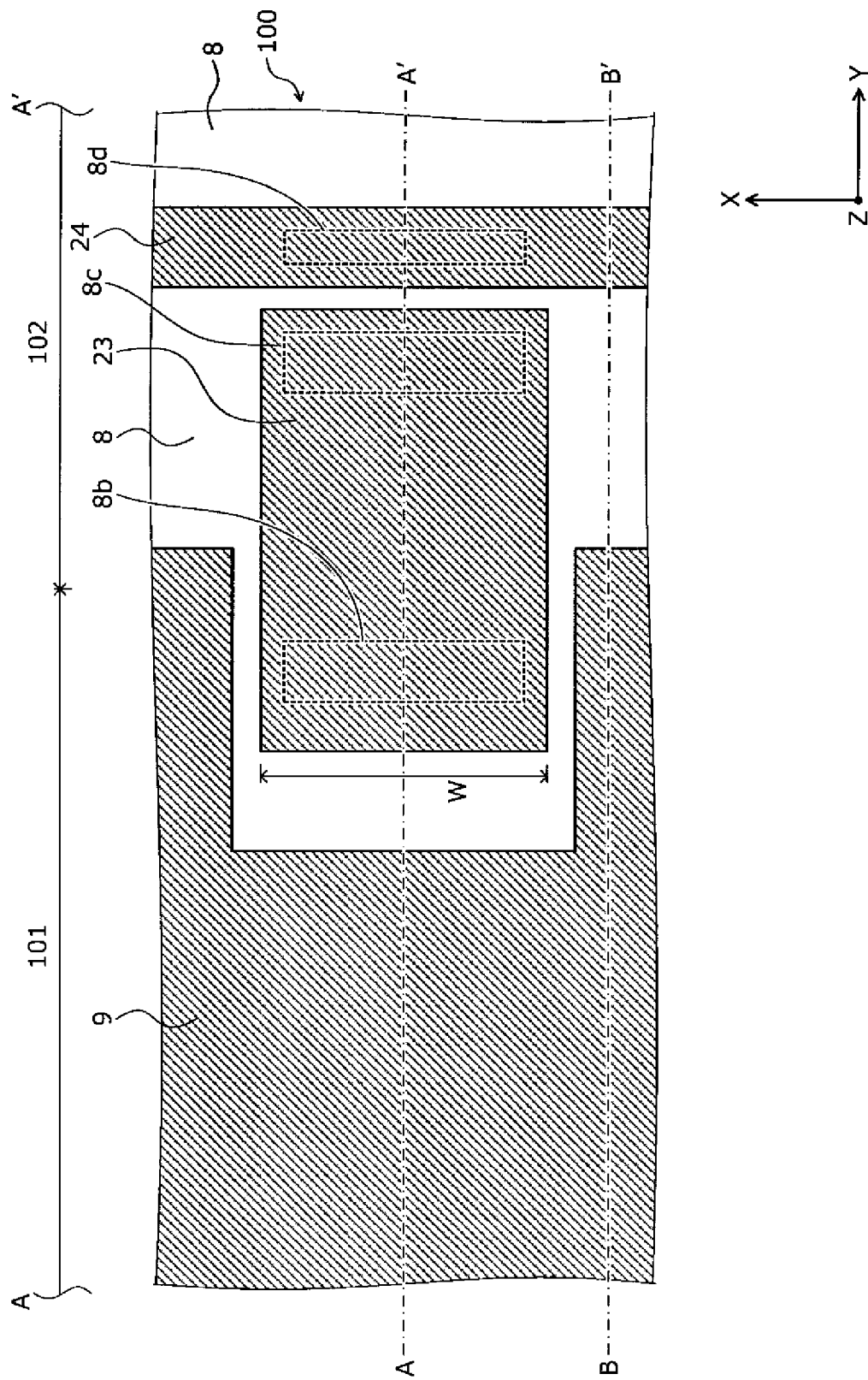
[請求項6]

前記ダイオードは、前記半導体素子のゲート電圧で駆動する電圧駆動型であることを特徴とする請求項1～5のいずれか一つに記載の半導体装置。

[請求項7] 前記半導体基板は、シリコンよりもバンドギャップの広い半導体からなることを特徴とする請求項1～6のいずれか一つに記載の半導体装置。

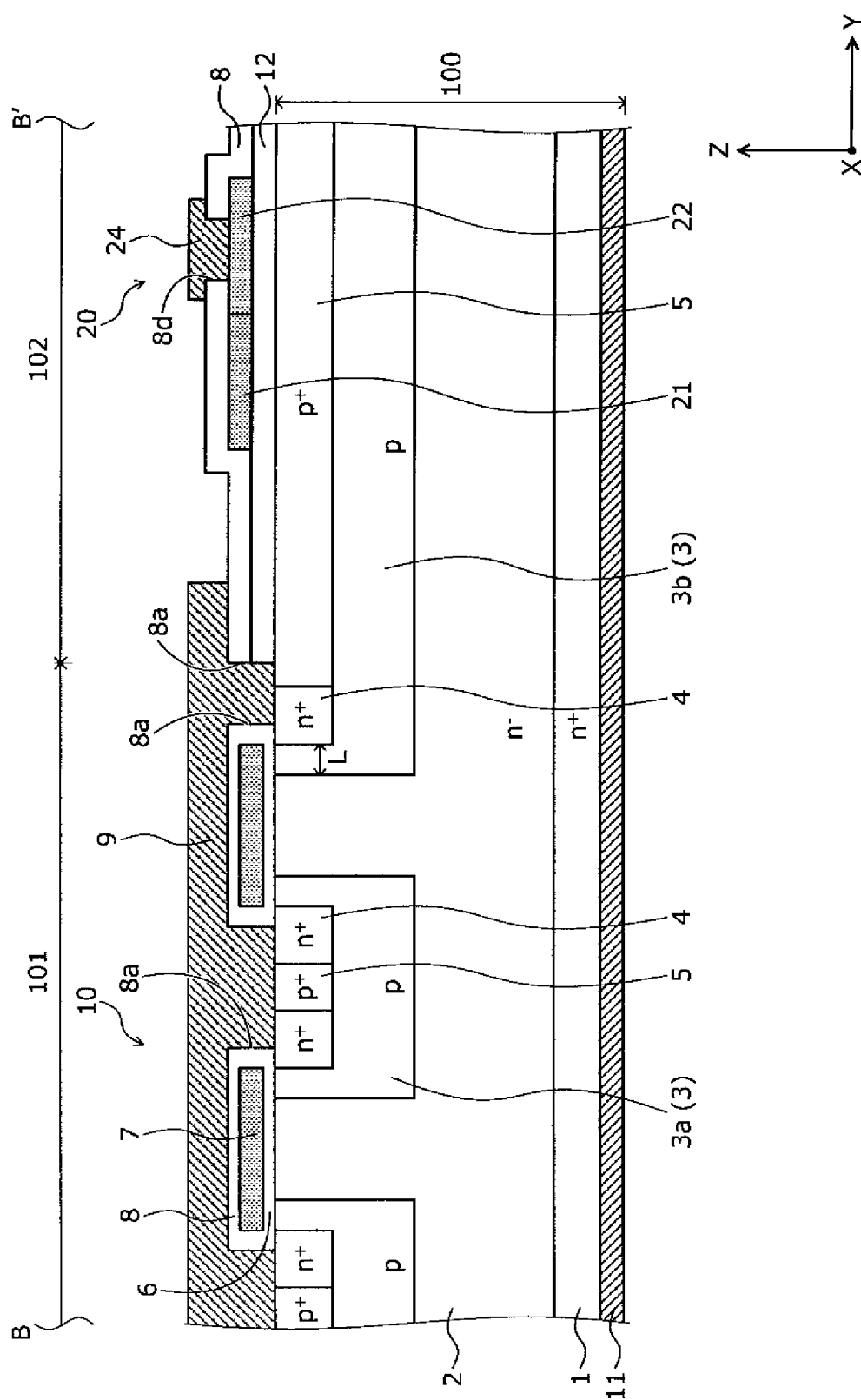
[請求項8] シリコンよりもバンドギャップの広い半導体は、炭化珪素であることを特徴とする請求項7に記載の半導体装置。

[図1]

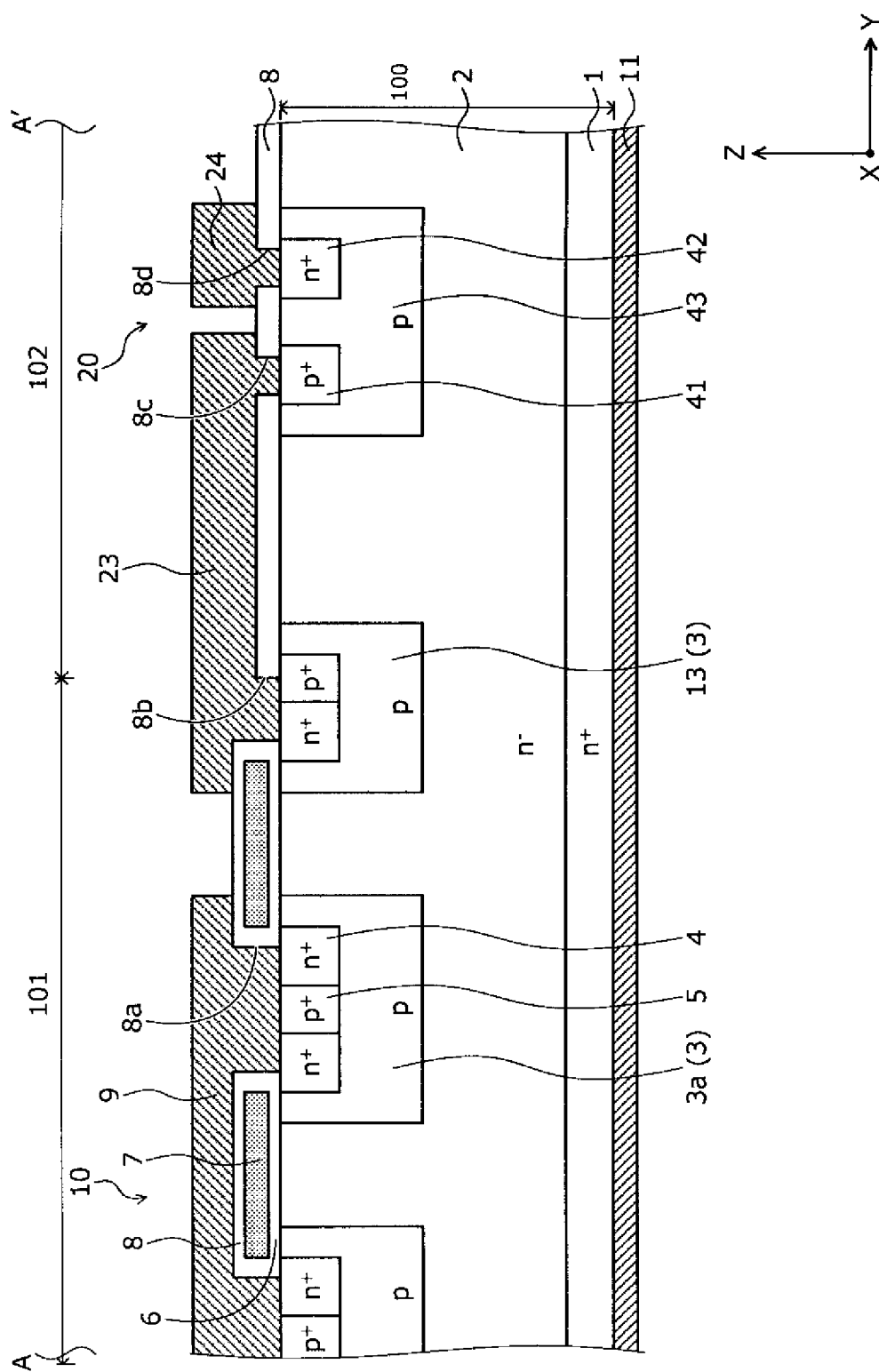


This cross-sectional diagram shows a semiconductor device with multiple layers and regions. The substrate consists of layers 1, 11, and 2. Above the substrate are two main structures, 3a(3) and 3b(3), which include regions labeled p, n⁺, and n⁻. These structures are separated by a central region 4. Various other layers and features are labeled with numbers 5 through 12. A coordinate system at the bottom right indicates X, Y, and Z axes. Dimensions 101 and 102 are indicated across the top.

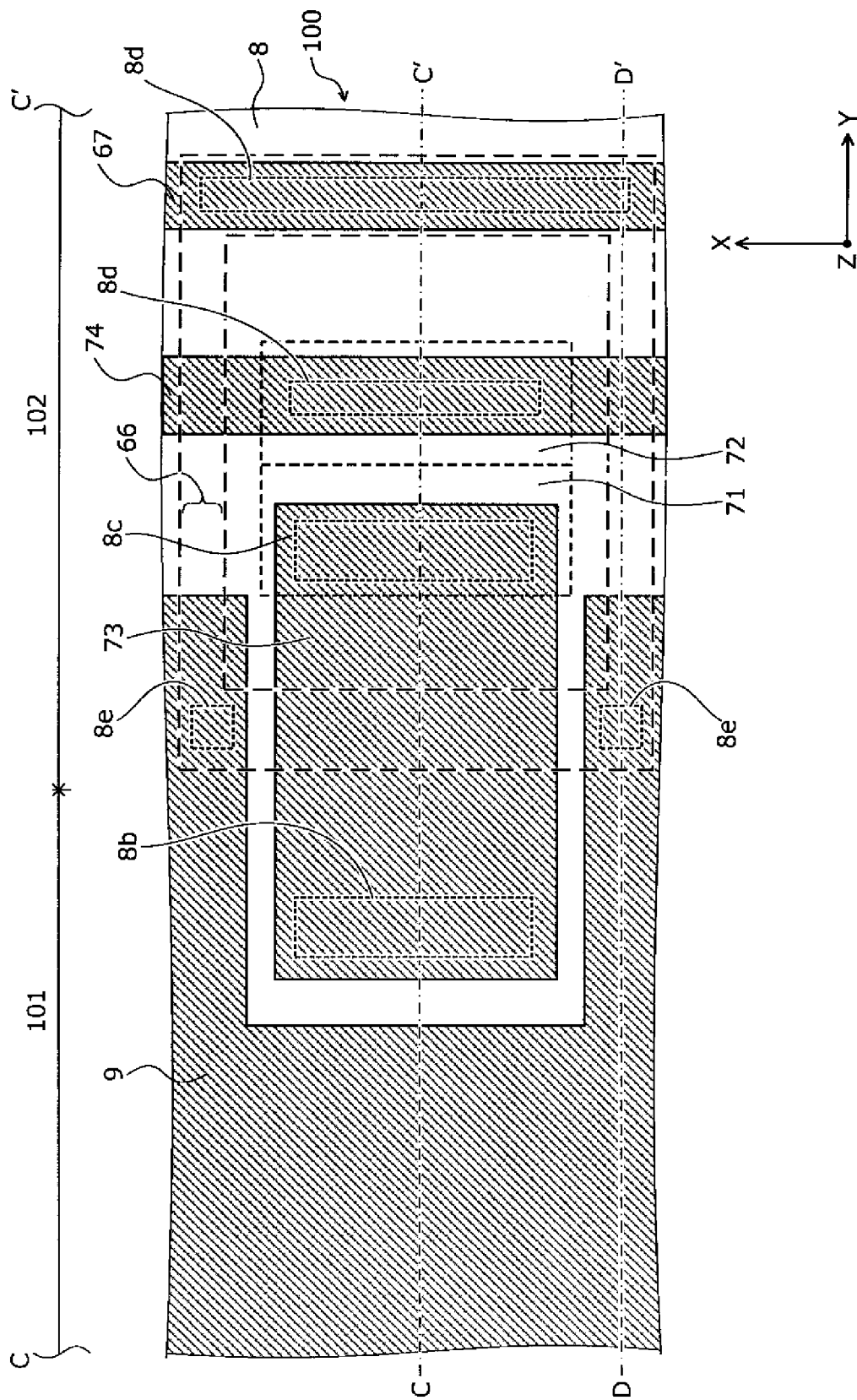
[図3]



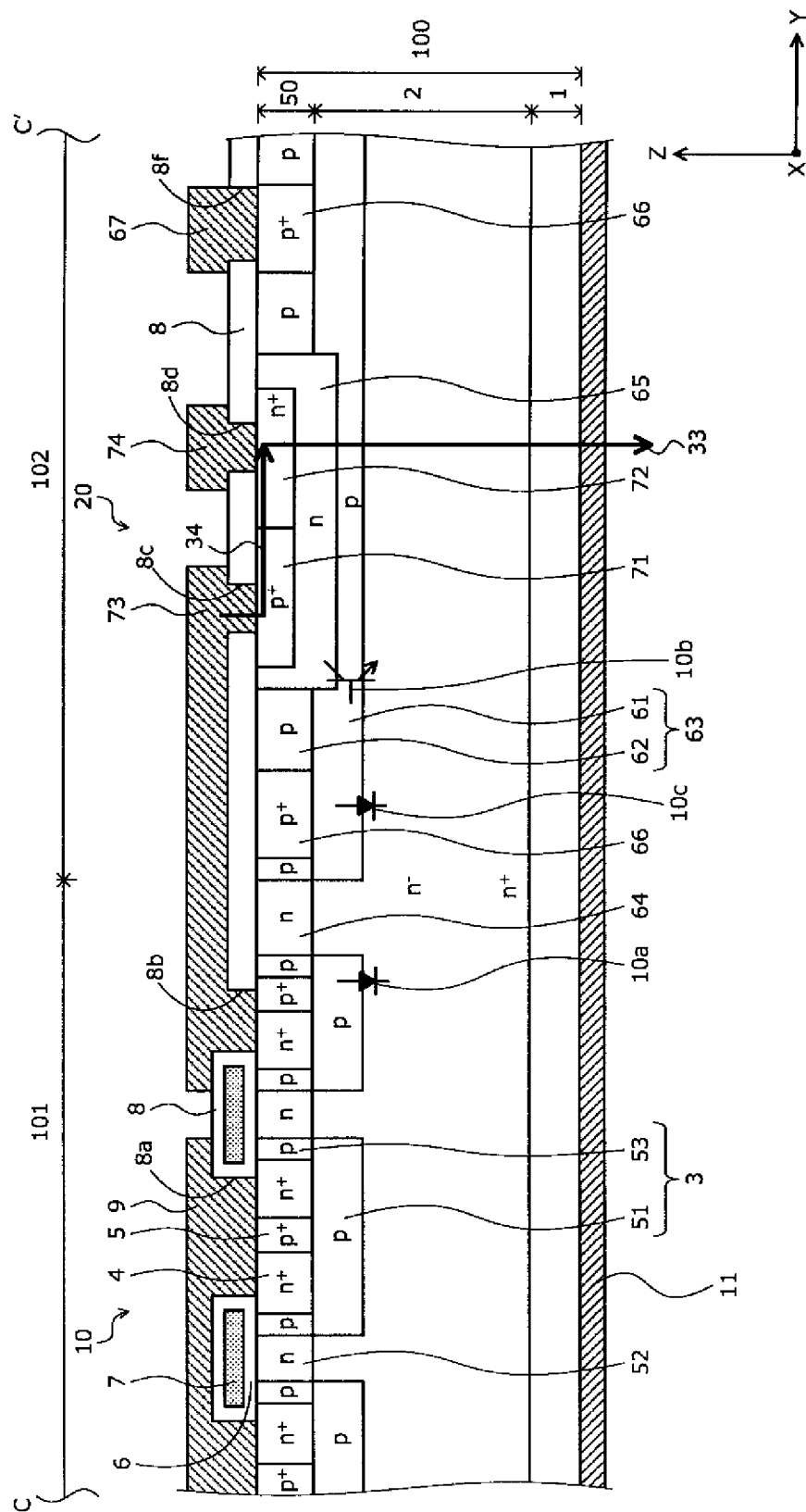
[図4]



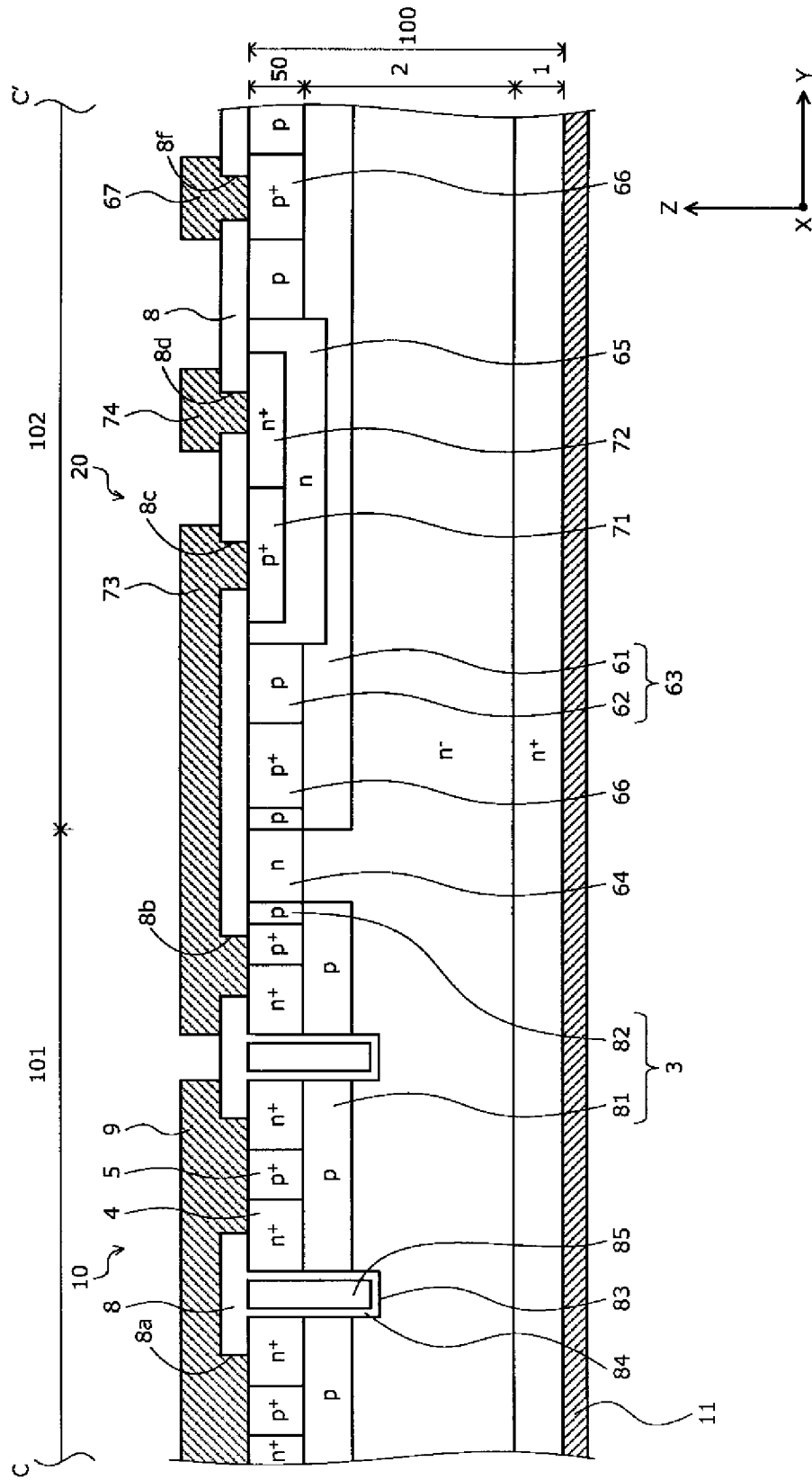
[図6]



[図7]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/017427

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L21/822(2006.01)i, H01L21/8234(2006.01)i,
H01L27/04(2006.01)i, H01L27/06(2006.01)i, H01L29/06(2006.01)i, H01L29/12
(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/822, H01L21/8234, H01L27/04, H01L27/06, H01L29/06,
H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-188335 A (Fuji Electric Device Technology Co., Ltd.), 20 August 2009 (20.08.2009), paragraphs [0003], [0004], [0023] to [0025]; fig. 3, 9, 10 & US 2009/0230500 A1 paragraphs [0005] to [0009], [0046] to [0048]; fig. 1, 2, 5 & CN 101540321 A	1-8
Y	JP 07-153920 A (NEC Corp.), 16 June 1995 (16.06.1995), paragraphs [0019] to [0021]; fig. 7 (Family: none)	1-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 July 2017 (21.07.17)

Date of mailing of the international search report
01 August 2017 (01.08.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/017427

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-201357 A (Mitsubishi Electric Corp.), 03 October 2013 (03.10.2013), paragraphs [0001] to [0007] (Family: none)	7, 8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/78(2006.01)i, H01L21/822(2006.01)i, H01L21/8234(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/78, H01L21/822, H01L21/8234, H01L27/04, H01L27/06, H01L29/06, H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-188335 A (富士電機デバイステクノロジー株式会社) 2009.08.20, 0003 段落、0004 段落、0023 段落ないし 0025 段落、 図 3、図 9 及び図 10 & US 2009/0230500 A1, 0005 段落ないし 0009 段落、0046 段落ないし 0048 段落、図 1、図 2 及び図 5 & CN 101540321 A	1-8
Y	JP 07-153920 A (日本電気株式会社) 1995.06.16, 0019 段落ないし 0021 段落、図 7 (ファミリーなし)	1-8

☑ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

21.07.2017

国際調査報告の発送日

01.08.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

棚田 一也

5 F

9361

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-201357 A (三菱電機株式会社) 2013. 10. 03, 0001 段落 ないし 0007 段落 (ファミリーなし)	7, 8