



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년06월22일
(11) 등록번호 10-1870490
(24) 등록일자 2018년06월18일

(51) 국제특허분류(Int. Cl.)
G02B 6/42 (2006.01) B81C 1/00 (2006.01)
G02B 6/36 (2006.01) H01L 21/306 (2006.01)
(21) 출원번호 10-2014-7022311
(22) 출원일자(국제) 2013년01월07일
심사청구일자 2017년12월19일
(85) 번역문제출일자 2014년08월08일
(65) 공개번호 10-2014-0112068
(43) 공개일자 2014년09월22일
(86) 국제출원번호 PCT/US2013/020562
(87) 국제공개번호 WO 2013/106285
국제공개일자 2013년07월18일
(30) 우선권주장
13/362,898 2012년01월31일 미국(US)
(뒷면에 계속)
(56) 선행기술조사문헌
JP2009198803 A
US20040067025 A1

(73) 특허권자
인벤스스 코퍼레이션
미국 캘리포니아 산 호세 오처드 파크웨이 3025
(우편번호 95134)
(72) 발명자
코센코 발렌틴
미국 캘리포니아주 서니베일 노스 패스트리아 애
비뉴 657, 올비아 인코포레이티드 내
맥베인 에드워드 리
미국 캘리포니아주 서니베일 노스 패스트리아 애
비뉴 657, 올비아 인코포레이티드 내
(뒷면에 계속)
(74) 대리인
김명신, 박장규

전체 청구항 수 : 총 13 항

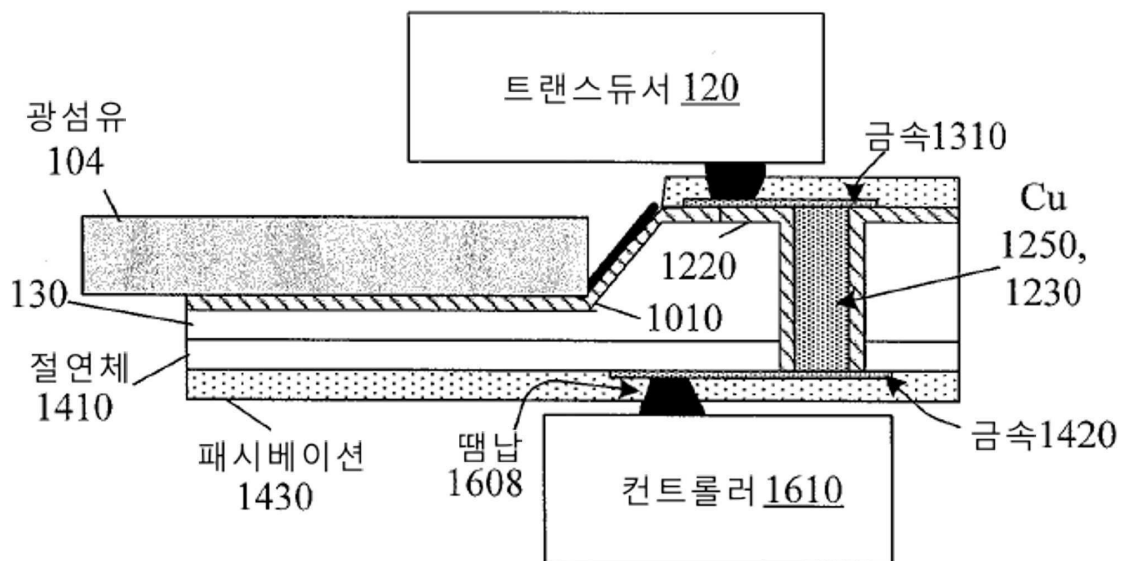
심사관 : 이양근

(54) 발명의 명칭 단결정 실리콘을 사용하여 형성된 구조체

(57) 요약

인터포저는 트랜스듀서(120)에 결합되는 도파관(104)(예컨대, 광섬유 케이블)을 위한 그루브(310)들을 포함한다. 이 그루브들은 기관(130)에 캐비티(410)를 에칭하고, 캐비티를 어떤 층(520)으로 채우고, 그 다음 그 층을 에칭하여 형성된다. 그루브들은 별도의 기관에 형성될 수 있으며 그것은 그 다음 트랜스듀서를 위한 전기회로를 가진 인터포저 내의 캐비티 내로 삽입된다. 이 캐비티는 미러(144)로서 역할을 하거나 나중에 그 위에 미러가 형성될 수 있는 외측으로 또는 내측으로 경사진 측벽들을 가진다. 기관은 단결정 실리콘일 수 있고, 내측으로 경사진(역행하는) 측벽들이 기관 내에 상이한 에칭들의 조합에 의해 형성되며 에칭들 중 적어도 하나는 특정한 결정 평면들에 선택적이다. 비광학적인 실시예들을 포함하는 다른 피쳐 역시 제공된다.

대표도 - 도22b



(72) 발명자

유조 시프리언 에메카

미국 캘리포니아주 새너제이 오쳐드 파크웨이
2702, 인벤스스 코퍼레이션 내

모나게미 페즈만

미국 캘리포니아주 새너제이 오쳐드 파크웨이
2702, 인벤스스 코퍼레이션 내

사바스티오크 세르게이

미국 캘리포니아주 서니베일 노스 패스토리아 애비
뉴 657, 올비아 인코포레이티드 내

(30) 우선권주장

13/454,713 2012년04월24일 미국(US)

61/585,217 2012년01월10일 미국(US)

명세서

청구범위

청구항 1

복수의 도파관을 하나 이상의 트랜스듀서에 접속하는 인터포저를 제조하는 방법에 있어서,

기관을 상부면 내에 제1 캐비티를 형성하는 단계;

상기 제1 캐비티의 바닥면 위에 제1 층을 형성하는 단계로서, 상기 제1 층의 상부면에는 하나 이상의 갭이 구비되고;

상기 하나 이상의 갭 내에 상기 제1 층과 중첩하는 제2 층을 형성하는 단계; 및

상기 하나 이상의 갭 내에 위치하는 상기 제2 층의 부분들에 의해 서로 분리된 복수의 채널을 형성하기 위해 상기 제1 층의 적어도 일부를 제거하는 단계;를 포함하고,

상기 제1 층의 적어도 일부를 제거하는 단계에서 상기 하나 이상의 갭 내의 제2 층 부분들은 상기 제1 캐비티에 하나 이상의 스페이서를 제공하고, 상기 하나 이상의 스페이서는 상기 채널들을 적어도 부분적으로 덮으며,

상기 복수의 채널들은 전자기파를 전송하기 위한 도파관들을 지지하고, 상기 도파관들은 하나 이상의 트랜스듀서에 결합되며,

상기 제1 층의 적어도 일부를 제거하는 단계는 상기 제2 층의 아래로부터 상기 제1 층의 적어도 일부를 제거하는 단계를 포함하고,

상기 캐비티의 외측에서 상기 기관을 통과하는 하나 이상의 전도성 경로를 형성하는 단계로서, 각각의 전도성 경로는 상기 기관의 상부면과 상기 기관의 바닥면 사이를 통과하고;

상기 기관 위에 상기 하나 이상의 트랜스듀서를 부착하는 단계로서, 각각의 트랜스듀서는 상기 채널 내의 하나 이상의 도파관에 광학적으로 결합되도록 상기 하나 이상의 채널 위로 연장되고, 각각의 트랜스듀서는 상기 하나 이상의 전도성 경로에 전기적으로 결합되며; 그리고

상기 기관 아래에 컨트롤러를 부착하는 단계로서, 상기 컨트롤러는 상기 하나 이상의 전도성 경로를 포함하는 전기 회로에 의해 각각의 트랜스듀서에 전기적으로 결합되는 것을 추가로 포함하는, 인터포저 제조 방법.

청구항 2

제 1 항에 있어서,

상기 전자기파는 10 nm ~ 300 μ m의 파장 범위에 있는, 인터포저 제조 방법.

청구항 3

제 2 항에 있어서,

도파관의 역할을 하도록 상기 채널들 내에 광섬유 케이블들을 배치하는 단계를 추가로 포함하는, 인터포저 제조 방법.

청구항 4

제 1 항에 있어서,

상기 제2 층을 형성하는 단계는 상기 하나 이상의 갭 내에 상기 제2 층을 전기도금하는 단계를 포함하는, 인터포저 제조 방법.

청구항 5

제 4 항에 있어서,

상기 제2 층의 전기도금을 위한 시드 층을 형성하는 단계를 추가로 포함하고,

상기 시드 층은 상기 제1 층 이전에 형성되며,

상기 하나 이상의 갭을 구비한 상기 제1 층을 형성하는 단계는:

상기 하나 이상의 갭이 없는 상기 제1 층을 형성하는 단계; 및

상기 하나 이상의 갭을 형성하고 상기 하나 이상의 갭 내의 상기 시드 층을 노출시키기 위해 상기 하나 이상의 갭의 위치에서 상기 제1 층을 제거하는 단계;

를 포함하는, 인터포저 제조 방법.

청구항 6

제 1 항에 있어서,

2개 이상의 인접한 제1 스페이서가 상기 채널들 중 하나의 위에서 만나는, 인터포저 제조 방법.

청구항 7

제 1 항에 있어서,

하나 이상의 갭을 갖는 상기 제1 층을 형성하는 단계는:

상기 하나 이상의 전도성 경로를 형성하기 전에, 갭을 갖지 않고 또한 상기 제1 캐비티 위에 평탄한 상부면을 제공하도록 상기 제1 층을 형성하는 단계;

상기 하나 이상의 전도성 경로의 적어도 일부를 형성한 후 상기 제1 층 내에 상기 하나 이상의 갭을 형성하는 단계;

를 포함하는, 인터포저 제조 방법.

청구항 8

복수의 도파관을 하나 이상의 트랜스듀서에 접속하는 인터포저를 제조하는 방법에 있어서,

기판의 상부면 내에 제1 캐비티를 형성하는 단계;

상기 제1 캐비티의 바닥면 위에 제1 층을 형성하는 단계로서, 상기 제1 층의 상부면에는 하나 이상의 갭이 구비되고;

상기 하나 이상의 갭 내에 상기 제1 층과 중첩하는 제2 층을 형성하는 단계; 및

상기 하나 이상의 갭 내에 위치하는 상기 제2 층의 부분들에 의해 서로 분리된 복수의 채널을 형성하기 위해 상기 제1 층의 적어도 일부를 제거하는 단계를 포함하고,

상기 제1 층의 적어도 일부를 제거하는 단계에서 상기 하나 이상의 갭 내의 제2 층 부분들은 상기 제1 캐비티에 하나 이상의 스페이서를 제공하고, 상기 하나 이상의 스페이서는 상기 채널들을 적어도 부분적으로 덮으며, 상기 복수의 채널들은 전자기파를 전송하기 위한 도파관을 지지하고, 상기 도파관들은 하나 이상의 트랜스듀서에 결합되며,

상기 제1 층의 적어도 일부를 제거하는 단계는 상기 제2 층의 아래로부터 상기 제1 층의 적어도 일부를 제거하는 것을 포함하는, 인터포저 제조 방법.

청구항 9

제 8 항에 있어서,

상기 전자기파는 10 nm ~ 300 μm 의 파장 범위에 있는, 인터포저 제조 방법.

청구항 10

제 8 항에 있어서,

도파관의 역할을 하도록 상기 채널들 내에 광섬유 케이블들을 배치하는 단계를 추가로 포함하는, 인터포저 제조 방법.

청구항 11

제 8 항에 있어서,

상기 제2 층을 형성하는 단계는 상기 하나 이상의 갭 내에 상기 제2 층을 전기도금하는 단계를 포함하는, 인터포저 제조 방법.

청구항 12

제 11 항에 있어서,

상기 제2 층의 전기도금을 위한 시드 층을 형성하는 단계를 추가로 포함하고,

상기 시드 층은 상기 제1 층 이전에 형성되며,

상기 하나 이상의 갭을 구비한 상기 제1 층을 형성하는 단계는:

상기 하나 이상의 갭이 없는 상기 제1 층을 형성하는 단계; 및

상기 하나 이상의 갭을 형성하고 상기 하나 이상의 갭 내의 상기 시드 층을 노출시키기 위해 상기 하나 이상의 갭의 위치에서 상기 제1 층을 제거하는 단계;

를 포함하는, 인터포저 제조 방법.

청구항 13

제 9 항에 있어서,

2개 이상의 인접한 제1 스페이서가 상기 채널들 중 하나의 위에서 만나는, 인터포저 제조 방법.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

발명의 설명

기술 분야

[0001]

(참조문헌)

[0002]

본 발명은 다음 특허 출원들에 대해 우선권을 주장하며 이것들은 본 명세서에 통합된다:

[0003]

- 2012년 1월 10일 브이. 코센코 등에 의해 출원된 미국 임시 특허출원 제61/585,217호;

[0004]

- 2012년 1월 31일 출원된 미국 특허출원 제13/362,898호; 및

[0005]

- 2012년 4월 24일 출원된 미국 특허출원 제13/454,713호.

[0006]

지정국이 미국인 경우, 본 발명은 전술한 미국 특허출원 제13/362,898호의 계속출원이다.

[0007]

본 발명은 광학 신호(optical signal)를 처리하는 회로 및 다른 회로를 위해 사용될 수 있는 구조체에 관한 것이다. (여기서 사용되는 용어 "광학(optical)" 및 "광(light)"은 가시광에 한정되지 않는 임의의 스펙트럼을 가진 전자기 방사선을 가리키며; 용어 "광섬유(optical fiber)" 또는 "섬유(fiber)"는 광섬유 케이블을 가리킨다.) 본 발명은 또한 광학 및 비 광학 용도로 사용될 수 있는 적당한 각도를 제공하기 위한 단결정 실리콘 기판의 예칭에 관한 것이다.

배경 기술

[0008]

파이버 옵틱스(fiber optics)는 전기회로와 정보를 송수신하기 위해 사용이 증가하고 있다. 광섬유와 전기회로 사이의 에너지 변환은 광-전기 트랜스듀서에 의해 수행된다. 높은 속도와 낮은 전력 손실을 달성하기 위해 트랜스듀서, 광섬유, 및 전기회로를 결합하는 소형 패키지들이 만들어지고 있다. 한 가지 예는, 2009년 12월 21일자 발행된 "OPTICS EXPRESS" 제17권 제26호의 페이지 24250-24260에 게재된, Hsu-Liang Hsiao 등의 "Compact and passive-alignment 4-channel x 2.5-Gbps optical interconnect modules based on silicon optical benches with 45° micro-reflectors"의 도 1-3을 참조하여 개시되어 있다.

[0009]

도 1은 각각의 인쇄회로기판(PCB)(114.1, 114.2)에 탑재된 집적회로(칩)(110.1, 110.2)를 상호접속하기 위해 사용된 광섬유(104: 104.1, 104.2)를 도시한다. 칩(110.1), 광섬유(104.1), 및 PCB(114.1)은 신호송신모듈(116.1)의 부품이다. 칩(110.2), 광섬유(104.2), 및 PCB(114.2)은 신호수신모듈(116.2)의 부품이다. 칩(110.1)의 전기신호는 광으로의 변환을 위해 광-전기 트랜스듀서(120.1)에 제공된다. 광-전기 트랜스듀서(120.1)는 반도체 레이저(수직-캐비티 표면 방출 레이저(VCSEL: vertical-cavity surface emitting laser))를 포함하는 집적회로(IC 또는 칩)이다. 광-전기 트랜스듀서(120.1)는 실리콘 기판(130.1)을 사용하여 만들어진 실리콘 인터포저(interposer)(실리콘 광학 벤치, 또는 SiOB)(124.1) 위에 탑재된다. 전도성 배선(134.1)은 칩(110.1)에서 트랜스듀서(120.1)로 전기신호를 전송한다. 응답으로, 트랜스듀서는 수직 광빔(140.1)으로 광신호를 생성한다. 광빔(140.1)은, 수평에 대해 45°로 경사진 실리콘 인터포저 표면 위에 피착된 금 층으로 형성된

미러(mirror)(144.1)에 의해 반사된다. 미러(144.1)에 의해 반사된 빔은 광섬유(104.1)로 들어간다.

[0010] 광섬유(104.1)는 커넥터(150)에 의해 모듈(116.2)의 광섬유(104.2)에 연결된다. 모듈(116.2)은 모듈(116.1)과 유사하다. 상기 광신호는 광섬유(104.2)로부터 수평 빔(140.2)으로 방출되며, 45° 미러(144.2)에 의해 반사되어 수직으로 트랜스듀서(120.2)로 진행한다. 상기 미러는 실리콘 기판(130.2)을 사용하여 만들어진 실리콘 인터포저(124.2)의 일부이다. 트랜스듀서(120.2)는 인터포저(124.2) 위에 탑재된다. 트랜스듀서(120.2)는 광검출기 집적회로이며 광신호를 전기신호로 변환하여 전도성 배선(134.2)을 통해 칩(110.2)에 제공한다. 인터포저(124.2)와 칩(110.2)은 PCB(114.2) 위에 탑재된다.

[0011] 도 2 및 도 3은 모듈(116)을 도시하며 모듈(116.1) 또는 모듈(116.2)이 될 수 있다. 도 2는 평면도이고, 도 3은 광섬유(104)에 대해 횡단하는 단면도를 도시한다. 각각의 모듈(116.1, 116.2)은 4개의 광섬유(104: 104.1 또는 104.2)를 가지고; 트랜스듀서(120.1)는 4개의 각각의 광섬유(104.1)에 들어가는 4개의 각각의 빔(140.1)을 방출하는 4개의 레이저를 가지며; 트랜스듀서(120.2)는 4개의 각각의 광섬유(104.2)를 통과하는 4개의 각각의 빔(104.2)을 수신하는 4개의 광검출기를 가진다. 도 2에서와 같이, 각 모듈에서, (100)-방위(orientation)를 가진 단결정 실리콘 기판(130)은 4개의 광섬유(104) 모듈을 지지한다. 광섬유들은 기판(130)의 습식 에칭(wet etch)으로 형성된 V-그루브(groove)(310) 내에 탑재된다. 상기 에칭은 또한 미러(144) 아래에 실리콘 표면을 형성한다. 상기 V-그루브는 45° -경사의 측벽을 가진다. 45° 각도는 (100)-방위의 단결정 실리콘 웨이퍼인 실리콘 기판(130)의 이방성(anisotropic) 습식 에칭에 의해 생성된다. 상기 경사진 측벽들은 (110) 결정 평면들이다. 부식액은 {110} 평면들의 에칭 속도를 {111} 평면들의 에칭 속도보다 낮은 레벨까지 억압하기 위해 선택된 KOH(수산화칼륨)과 IPA(이소프로필 알코올)의 용액이다. 그렇게 생성된 45° 각도는 매우 정밀하며, 이것은 광섬유(104)의 정밀 위치 설정에 도움을 주는데, 이는 광섬유가 그루브 바닥에 도달하지 않고 따라서 광섬유 위치가 그루브 측벽의 각도(45°)와 그루브의 상부 폭에 의해 결정되기 때문이다.

발명의 내용

해결하려는 과제

[0012] 본 발명은 높은 속도와 낮은 전력 손실로 광학 신호를 처리하는 회로 및 다른 회로를 위해 사용될 수 있는 구조체를 제공하며, 또한 광학 및 비 광학 용도로 사용될 수 있는 적당한 각도를 제공하기 위해 단결정 실리콘 기판의 에칭을 이용한다.

과제의 해결 수단

[0013] 본 발명의 몇 가지 특징을 요약한다. 다른 특징들은 아래 부분에서 설명될 것이다. 본 발명은 특허청구범위의 청구항들에 의해 정해지며, 그것들은 참조에 의해 본 명세서에 포함된다.

[0014] 본 발명의 몇몇 실시예들은 다양한 형상의 그루브(groove) 내에 광섬유의 정밀 위치 설정을 가능하게 하는 광학 인터포저(optical interposer) 및 방법을 제공한다. 예를 들면, (수직 측벽을 가진) 직사각형 그루브가 사용될 수 있다. 수직 측벽들은 인접한 광섬유들 사이의 피치(pitch)(인접한 광섬유들 또는 인접한 그루브들의 중심 사이의 거리로서 측정됨)를 감소시키기 위해 바람직할 수 있다. 예를 들면, 도 3에서, 각 그루브의 상부의 폭은 각 광섬유의 직경보다 더 크다. 만일 측벽들이 수직이라면, 각 그루브의 폭은 광섬유의 직경과 같을 수 있다. 따라서 주어진 광섬유 직경에 대해 더욱 고밀도의 콤팩트한 구조체가 제공될 수 있다(즉, 직경-피치 비율이 증가할 수 있다.) 또한, 만일 측벽들이 수직이라면, 그루브 폭, 및 그루브들 사이의 간격이 그루브의 깊이에 무관하다(V-그루브의 경우, 그루브의 상부의 폭은 깊이에 따라 증가하고, 그루브 사이의 간격은 상응하여 감소한다). 만일 그루브의 폭과 그루브들 사이의 간격이 그루브의 깊이에 무관하다면, 광섬유의 수직 위치(깊이에 의해 정해짐)는 그루브들 사이의 간격에 무관하다. 이것은 그루브들 사이의 영역이 다양한 목적(예컨대, 회로를 위해 또는 편지되된(cantilevered) 트랜스듀서의 기계적 지지를 위해)으로 사용될 수 있기 때문에 유리하며, 그루브들 사이의 간격은 광섬유의 수직 위치에 관계없이 최적화될 수 있다.

[0015] 그러나, 본 발명은 V-그루브 실시예를 포함하며, 청구항들에 의해 정해진 것 외에는 여기서 설명된 다른 특징들 또는 수직 측벽들에 한정되지 않는다. 또한, V-그루브 실시예에서, 측벽 각도는 45° 와 다를 수 있다. 상기 각도는 임의의 값일 수 있다. 어떤 실시예들에서는, 상기 각도는 (수평으로부터 측정할 때) 85° 보다 크지만 90° 보다 작을 수 있다. 다른 실시예에서는, 상기 각도는 90° 보다 크다, 즉 그루브의 측벽들이 그루브 위에 걸친다. 둥근 측벽 및 다른 그루브 형상들도 가능하다. 예로서, 2001년 12월 25일 특허 결정된 Nishikawa 등의 미국 특허 제6,332,719호와 2011년 10월 4일 특허 결정된 Bowen의 미국 특허 제8,031,993호를 참조할 수 있

으며, 이것들은 참조에 의해 여기에 포함된다.

- [0016] 상기 인터포저는 실리콘 또는 어떤 다른 반도체 재료, 및/또는 유리, 금속, 및/또는 다른 재료로 만들어진 기관에 기초할 수 있다. 예를 들면, 미러(144)는 단지 실리콘 표면이거나 다른 비금속 표면일 수 있다. 미러(144)는 둔각, 즉 90° 보다 큰 각도를 포함하는 어떤 각도일 수 있다. 다시 말해서, 미러 표면은 예를 들어 도 4에 도시한 것과 같이 그루브(310) 위에 걸칠 수 있다. 이 실시예에서, 미러(144)는 수평에 대해 135° 의 각도를 이룬다. 광섬유(140)에 의해 방출된 수평 광빔(140)은 미러(144)에 의해 반사되어 기관(130)을 통해 수직 하방으로 진행하고 기관(130) 내에 또는 다른 집적 회로 내에, 어쩌면 기관 아래에 형성된 트랜스듀서(미도시)에 도달한다. 미러 표면은 기관(130)의 단결정 실리콘 표면이다. 이 표면은 에칭 기술들의 조합을 포함하는 신규한 프로세스에 의해 형성된다. 이 조합에서 적어도 하나의 에칭은 단결정 실리콘의 특정 결정 평면들에 선택적인 습식 에칭이다. 예를 들면, 어떤 실시예들에서, 기관(130)은 (100) 웨이퍼이며, 상기 습식 에칭은 도 1 - 도 3과 관련하여 기술한 {110} 평면들에 선택적인 동일한 동일한 에칭일 수 있다. 그러나 습식 에칭에 의해 도 4에 도시된 135° 각도가 얻어지도록 다른 처리, 예를 들면, 수직 측벽을 형성하는 건식 에칭이 습식 에칭에 선행한다.
- [0017] 상기 135° 각도는 비 광학계를 포함하는 다양한 MEMS(micro-electro-mechanical systems)에서 사용될 수 있다. 도 5에서, 기관(130)은 수평 평면에 대해 135° 를 이루는 측벽을 구비한 캐비티(cavity)(410)를 가진다. 그와 같은 기관은 광학용 또는 비 광학용으로 사용될 수 있다. 예를 들면, 캐비티(410)의 평탄한 바닥면은 센서의 멤브레인(membrane)일 수 있다. 캐비티(410)를 형성하는 제조 프로세스는, "The MEMS Handbook"(2001년 CRC Press 출간, Mohamed Gad-el-Hak에 의해 편집됨)의 16장("MEMS Fabrication", 참조에 의해 본 명세서에 포함됨) 섹션 16.8.2.3.에 개시되어 있는, 2개의 용융-접합된(fusion-bonded) 웨이퍼를 사용하는 센서 제조 프로세스를 대체할 수 있다.
- [0018] 어떤 실시예에서는, 상기 인터포저는 2개의 인터포저로 구성될 수 있다. 인터포저 중 1개는 그루브(310)를 포함하고, 다른 인터포저에 형성된 캐비티 내에 삽입된다.
- [0019] 본 발명은 첨부한 청구항들에 의해 정해진 것 외에는 기술한 특징들 및 이점들에 한정되지 않는다.

도면의 간단한 설명

- [0020] 도 1은 종래 기술에 따른 광-전기 시스템의 수직 단면도이고,
 도 2는 도 1에 도시한 시스템의 일부의 평면도이고,
 도 3은 도 1에 도시한 시스템의 일부의 수직 단면도이고,
 도 4는 본 발명의 몇몇 실시예에 따른 광섬유를 구비한 광학 인터포저의 수직 단면도이고,
 도 5는 본 발명의 몇몇 실시예에 따른 단결정 실리콘 기관으로 형성된 구조체의 수직 단면도이고,
 도 6a 내지 도 6c는 본 발명의 몇몇 실시예에 따른 제조 상태에 있는 광학 인터포저의 수직 단면도이고,
 도 7은 본 발명의 몇몇 실시예에 따른 광섬유를 구비한 광학 인터포저의 수직 단면도이고,
 도 8은 본 발명의 몇몇 실시예에 따른 제조 상태에 있는 광학 인터포저의 평면도이고,
 도 9a는 본 발명의 몇몇 실시예에 따른 제조 상태에 있는 광학 인터포저의 수직 단면도이고,
 도 9b는 본 발명의 몇몇 실시예에 따른 제조 상태에 있는 광학 인터포저의 평면도이고,
 도 10 내지 도 16은 본 발명의 몇몇 실시예에 따른 제조 상태에 있는 광학 인터포저의 수직 단면도이고,
 도 17a는 본 발명의 몇몇 실시예에 따른 제조 상태에 있는 광학 인터포저의 평면도이고,
 도 17b는 본 발명의 몇몇 실시예에 따른 제조 상태에 있는 광학 인터포저의 수직 단면도이고,
 도 18 및 도 19는 본 발명의 몇몇 실시예에 따른 제조 상태에 있는 광학 인터포저의 평면도이고,
 도 20은 본 발명의 몇몇 실시예에 따른 광섬유를 구비한 광학 인터포저의 평면도이고,
 도 21은 본 발명의 몇몇 실시예에 따른 광학 인터포저를 구비한 모듈의 평면도이고,
 도 22a, 22b, 23a 내지 23e는 본 발명의 몇몇 실시예에 따른 광학 인터포저를 구비한 모듈의 수직 단면도이고,

도 24는 본 발명의 몇몇 실시예에 따른 광학 인터포저의 평면도이고,
 도 25는 본 발명의 몇몇 실시예에 따른 광섬유를 구비한 광학 인터포저의 평면도이고,
 도 26은 본 발명의 몇몇 실시예에 따른 광학 인터포저를 구비한 모듈의 평면도이고,
 도 27a 내지 27c는 본 발명의 몇몇 실시예에 따른 광섬유를 구비한 광학 인터포저의 몇몇 특징(features)을 보여주는 평면도이고,
 도 27d는 본 발명의 몇몇 실시예에 따른 광학 인터포저에 대해 가능한 스페이서 형상의 평면도이고,
 도 28은 본 발명의 몇몇 실시예에 따른 광섬유를 구비한 광학 인터포저의 몇몇 피쳐(features)를 보여주는 평면도이고,
 도 29 및 도 30은 본 발명의 몇몇 실시예에 따른 제조 상태에 있는 광학 인터포저의 수직 단면도이고,
 도 31은 본 발명의 몇몇 실시예에 따른 광학 인터포저의 평면도이고,
 도 32a ~ 32c, 33a~33e, 34a는 본 발명의 몇몇 실시예에 따른 제조 상태에 있는 광학 인터포저의 수직 단면도이고,
 도 34b는 본 발명의 몇몇 실시예에 따른 광섬유를 구비한 광학 인터포저의 몇몇 피쳐를 보여주는 평면도이고,
 도 34c~34e, 35a~35e는 본 발명의 몇몇 실시예에 따른 제조 상태에 있는 광학 인터포저의 수직 단면도이고,
 도 35f는 본 발명의 몇몇 실시예에 따른 광섬유를 구비한 광학 인터포저를 구비한 모듈의 수직 단면도이고,
 도 36 및 도 37은 본 발명의 몇몇 실시예에 따른 제조 상태에 있는 광학 인터포저의 수직 단면도이고,
 도 38은 본 발명의 몇몇 실시예에 따른 광학 인터포저를 구비한 모듈의 수직 단면도이고,
 도 39a~39c는 본 발명의 몇몇 실시예에 따른 제조 상태에 있는 광학 인터포저의 수직 단면도이고,
 도 40은 본 발명의 몇몇 실시예에 따른 제조 상태에 있는 광학 인터포저의 평면도이고,
 도 41 및 도 42는 본 발명의 몇몇 실시예에 따른 광섬유를 구비한 광학 인터포저의 수직 단면도이고,
 도 43 및 도 44a는 본 발명의 몇몇 실시예에 따른 제조 상태에 있는 광학 인터포저의 평면도이고,
 도 44b는 본 발명의 몇몇 실시예에 따른 광학 인터포저의 측면도이고,
 도 45는 본 발명의 몇몇 실시예에 따른 광학 인터포저의 수직 단면도이고,
 도 46은 본 발명의 몇몇 실시예에 따른 광섬유를 구비한 광학 인터포저의 수직 단면도이고,
 도 47, 도 48a~48d는 본 발명의 몇몇 실시예에 따른 제조 상태에 있는 광학 인터포저의 수직 단면도이고,
 도 48e는 본 발명의 몇몇 실시예에 따른 제조 상태에 있는 광학 인터포저의 평면도이고,
 도 49는 본 발명의 몇몇 실시예에 따른 제조 상태에 있는 광학 인터포저의 수직 단면도이고,
 도 50 및 도 51은 본 발명의 몇몇 실시예에 따른 광학 인터포저와 광섬유를 구비한 모듈의 수직 단면도이고,
 도 52a는 본 발명의 몇몇 실시예에 따른 제조 상태에 있는 광학 인터포저의 수직 단면도이고,
 도 52b는 본 발명의 몇몇 실시예에 따른 제조 상태에 있는 광학 인터포저의 평면도이고,
 도 53 및 도 54는 본 발명의 몇몇 실시예에 따른 제조 상태에 있는 광학 인터포저의 수직 단면도이고,
 도 55a 및 도 55b는 본 발명의 몇몇 실시예에 따른 광학 인터포저와 광섬유를 구비한 모듈의 수직 단면도이고,
 도 56은 본 발명의 몇몇 실시예에 따른 제조 상태에 있는 광학 인터포저의 평면도이고,
 도 57 및 도 58은 본 발명의 몇몇 실시예에 따른 제조 상태에 있는 광학 인터포저의 수직 단면도이고,
 도 59는 본 발명의 몇몇 실시예에 따른 광학 인터포저와 광섬유를 구비한 모듈의 수직 단면도이고,
 도 60 및 도 61은 본 발명의 몇몇 실시예에 따른 수직 인터포저를 구비한 센서의 수직 단면도이고,
 도 62는 본 발명의 몇몇 실시예에 따른 집간 광통신을 위해 사용되는 인터포저를 구비한 멀티-칩 모듈의 수직

단면도이고,

도 63a~63e는 본 발명의 몇몇 실시예에 따른 제조 상태에 있는 광학 인터포저의 수직 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 여기서 설명되는 실시예들은 단지 예시를 위한 것이며 본 발명을 한정하지 않는다. 본 발명은 특정 재료, 치수, 처리 단계, 또는 첨부된 청구항에 의해 정해진 것 외에 다른 특징들에 한정되지 않는다.
- [0022] 도 6a~6c는 본 발명의 일 실시예에 대해 도 3에서와 같은 동일한 수직 단면도(광섬유에 대해 가로지르는)를 도시한다. 이 실시예에서, 그루브(광섬유 채널들)(310)는 다음과 같이 2개의 에칭으로 형성된다.
- [0023] 먼저, 기판(130) 내에 캐비티(410)가 에칭된다. 이 캐비티는 궁극적으로는 모든 광섬유(104)를 수용할 것이다. 원한다면, 캐비티 측벽은 미러(실리콘(130) 또는 도 6a에 도시되지 않은 별도의 층에 의해 제공됨) 또는 다른 요소를 제공하기 위해 45° 또는 어떤 다른 각도(α)로 경사질 수 있다.
- [0024] 상기 캐비티는 그 다음 임의의 재료(520)로 충전된다(도 6b). 층(520)은 그 다음에 패터닝 및 에칭되어 그루브(310)를 형성한다(도 6c). 상기 에칭은 기판(130)에 대해 선택적이다. 에칭 선택성(selectivity) 덕분에, 미러를 제공하거나 지지하는 45° 측벽은 그것이 상기 에칭 동안 조기에 노출되더라도 에칭에 의해 손상되지 않을 것이다.
- [0025] 어떤 실시예에서는, 상기 프로세스는 캐비티 마스크(cavity mask)(도 6a의 캐비티를 형성하기 위해 사용되는 에칭 마스크(미도시))와 그루브 마스크(미도시) 사이의 오정렬에 내성이 있는데, 이는 캐비티 마스크가, 도 6c의 도면에서, 그루브 마스크에 대하여 좌우로 이동될 수 있기 때문이다.
- [0026] 어떤 실시예에서는, 다음과 같은 이유로 그루브 형성에서 높은 깊이 균일성이 달성된다. 캐비티(410)(도 6a)는 낮은 종횡비(aspect ratio)(깊이-높이 비율)를 가지며, 따라서 캐비티(410)의 에칭은 캐비티에 대해 정밀하고 균일한 깊이를 제공하기 위해 용이하게 제어될 수 있다. 어떤 실시예에서는, 상기 종횡비는 최대 1:2이다. 층(520)의 에칭 역시, 그것이 에칭 방지층(etch stop)로서 역할을 하는 기판(130)에 대해 선택적이므로, 용이하게 제어될 수 있다. 예를 들면, 기판(130)은 실리콘일 수 있으며, 층(520)은 실리콘 디옥사이드(silicon dioxide)일 수 있다. 관련된 재료에 따라서, 상기 에칭 선택성은 층(520)의 피착 전에 캐비티(410) 위에 추가의 에칭-방지층을 형성함으로써 개선될 수 있다. 어떤 실시예에서는, 상기 에칭 선택성은 최소 2:1이다.
- [0027] 또한, 어떤 실시예에서는, 도 6a~6c의 프로세스는 기판(130) 내에 또는 위에 전도성 배선 또는 다른 회로를 형성하는 다른 단계와 통합되기에 용이하다. 그와 같은 회로는 도 6b 및 6c의 단계 사이에, 즉 층(520)의 피착 후와 그루브 에칭 전에, 형성될 수 있다. 상기 웨이퍼는 이 단계에서 평탄하며, 회로 제작을 위한 다수의 종래 프로세스는 평탄한 웨이퍼 상에서 더 적합하다. (때로는, 기판에 필수적인 다른 요소들과 함께 기판(130)을 "웨이퍼"로 지칭할 것이며; 어떤 실시예에서는, 다수의 인터포저가 동일한 웨이퍼에 동시에 제작된다.) 특히, 웨이퍼 취급 및 포토리소그래피는 평탄한 웨이퍼에서 더욱 적합하다. 재료(520)는 다른 회로를 형성하는 프로세스와 일관되게 선택될 수 있다. 예를 들어, 만일 이들 프로세스에서 높은 온도가 필요하다면, 재료(520)는 높은 온도에 견디도록 선택될 수 있다. 만일 미러(144)(도 6a~6c에는 도시하지 않음) 또는 다른 요소들이 비-내화성 금속(예컨대, 금)으로 형성될 필요가 있다면, 상기 금속 피착은 상기 고온단계 이후까지 연기될 수 있다.
- [0028] 도 7은 미러(144)와 광섬유(104)를 구비한 인터포저(124)에 대해 광섬유(104)에서의 단면도를 도시한다. 광섬유는 인터포저의 좌측에서 캐비티를 넘어 돌출하도록 그루브(310) 내에 삽입된다. 캐비티(410)는 그쪽에 측벽을 갖지 않는다. 캐비티는 처음에는 모든 측면에 측벽을 갖도록 형성되지만, 그 다음 한 측면이 웨이퍼(130)의 다이싱(dicing) 동안에 제거된다. 더욱 구체적으로는, 캐비티(410)의 한 측벽이 웨이퍼의 스크라이브 라인(scribe line) 위에 위치된다. 이 측벽은 다이싱 프로세스에 의해 제거된다.
- [0029] 이제 다른 실시예들을 설명한다. 도 8(평면도), 도 9a(단면도) 및 도 9b(평면도)는 본 발명의 몇몇 실시예에 있어서 광학 인터포저의 제작 초기 단계에서 기판(130) 내에 캐비티(410)를 형성하는 것을 도시한다. 도 8은 캐비티가 형성되기 전의 구조체를 도시하며, 도 9a 및 도 9b는 캐비티를 구비한 구조체를 도시한다. 기판(130)은 실리콘, 실리콘 온 인슐레이터(SOI: silicon on insulator), 유리, 금속 또는 다른 재료일 수 있다. 어떤 실시예에서는, 기판(130)은 다수의 인터포저가 동시에 제작되는 웨이퍼의 일부일 수 있다. 바로 아래에서 설명되는 실시예에서, 기판(130)은 두께가 750 μ m인 단결정 실리콘이다.

- [0030] 기판(130)은 초기에 상부와 바닥이 평탄하다. 캐비티(410)가 시간설정된 마스크 에칭(masked timed etch)에 의해 형성된다. 더욱 구체적으로는, 기판(130)이 세척되고, 마스크층(810)이 전체 상부 표면 위에 피착되어 하드 마스크(hard mask)를 제공한다. 어떤 실시예에서는, 마스크층(810)은 1.0 μm 의 실시예 두께까지 열 성장시킨 실리콘 디옥사이드이지만, 다른 재료(예컨대, 실리콘 카바이드, 실리콘 니트라이드, 금속 등) 및 다른 제조 프로세스가 사용될 수도 있다. 마스크층(810)은 도시되지 않지만 웨이퍼의 바닥과 측벽 표면들 위에 형성될 수 있다. (마스크층(810)은 선택사항으로, 생략될 수 있으며; 하드 마스크는 캐비티를 형성하기 위해 사용되는 에칭 타입, 캐비티 깊이, 기판(130)의 재료, 및 어쩌면 다른 요인들에 따라서 바람직하거나 바람직하지 않을 수 있다.)
- [0031] 마스크층(810)은 캐비티(410)를 구획하도록 패터닝된다(도 8 참조). 포토레지스트가 제거되고, 기판(130)이 마스크 개구를 통해 에칭되어 캐비티를 형성한다. 상기 캐비티는 수평 바닥면(기판의 바닥면에 평행함)과 기판의 바닥 면에 대해 45°의 실시예 각도로 기울어진 경사 측벽(910.1~910.4)을 가진다. 상기 미러는 이 측벽들의 하나 이상, 예컨대 측벽(910.2) 위에 형성될 것이다. (본 발명은 4개의 측벽을 가진 캐비티에 한정되지 않으며; 캐비티는 평면이 직사각형이 아닐 수 있고, 둥근 형상 등을 가질 수 있다.)
- [0032] 캐비티(410)의 실시예 에칭은 이방성 습식 에칭이며, 이것은, 웨이퍼(130)가 (100)-실리콘 웨이퍼이고 마스크층(810)의 상기 개구가, 도 8에 도시한 것과 같이, 실리콘 결정의 <100> 방향으로 배향된 측면들을 가진 기판(130)의 상부면의 직사각형 영역을 노출하면, 45° 측벽을 제공한다. 적당한 습식 에칭은 도 3을 참조하여 전술한 것과 같은, 즉 첨가제로서 이소프로필 알코올(IPA)을 첨가한 수산화칼륨(KOH) 에칭이다. 상기 경사 측벽(910.1~910.4)는 {110} 평면이며, 상기 에칭은 전술한 것과 같이 그와 같은 평면들에 선택적이다. 상기 에칭은 원하는 캐비티 깊이를 제공하도록 시간설정된다. 어떤 실시예에서는, 캐비티 깊이는 100 μm 이며; 에칭 시간은 약 100분이다. 다른 에칭 프로세스들도 사용 가능하다. 예를 들면, 어떤 실시예에서는, 부식액(etchant)은 TMAH(테트라메틸암모늄 하이드록사이드) 또는 EDP(에틸렌-디아민-피로카테콜)의 용액일 수 있다.
- [0033] 에칭 기술은 다양한 요인들, 예컨대 원하는 모폴로지(morphology)(미러의 거칠기에 관련됨), 마스크층(810)의 재료 및 두께, 마스크 재료에 대한 에칭 선택성, 기생 평면 크기(즉, 에칭 동안 기판(130) 내부에 형성될 수 있는 바람직하지 않은 평면들의 크기), 에칭 속도, 결함 빈도(defect density), 재료 비용, 프로세스 비용, 에칭 부산물의 사용 및 폐기 상의 제약, 및 기타 요인)에 기초하여 선택될 수 있다. 에칭 기술의 예는 다음을 포함한다:
- [0034] - 무기 부식액과 유기 비-이온 계면활성제 첨가물의 혼합물:
- [0035] -- KOH (10%~40%) + IPA (이소프로필 알코올)(최대 농도 50%);
- [0036] -- KOH (10~40%) + NC-계열 계면활성제(0.01~0.1% 범위의 폴리-옥스에틸렌-알킬-페닐-에테르(NC-100, NC-200, NC-300));
- [0037] -- KOH (10~40%) + NC-1002(농도 범위 0.001~0.1%).
- [0038] - 유기 부식액과 유기 비-이온 계면활성제 첨가물의 혼합물:
- [0039] -- EDP(에틸렌-디아민-피로카테콜의 수용액)(5~20%) + IPA(최대 농도 50%);
- [0040] -- EDP(5~20%) + 0.01~0.1% 범위의 NC-계열 계면활성제(NC-100, NC-200, NC-300));
- [0041] -- EDP(5~20%) + 0.001~0.1% 범위의 NC-1002;
- [0042] - 또한:
- [0043] -- TMAH(테트라-메틸-암모늄 하이드록사이드) 5~25% + IPA (최대 50% 농도)
- [0044] -- TMAH 5~25% (예컨대, 미국 애리조나주 앤섬에 주소를 둔 Chemical Stratgies, Inc.에 의해 공급되는 25% 수용액) + Triton X-100(5~1000 ppm, 예컨대 100 ppm);
- [0045] -- TMAH 5~25% + 0.01~0.1% 범위의 NC-계열 계면활성제(NC-100, NC-200, NC-300);
- [0046] -- TMAH 5~25% + 0.001~0.1% 범위의 NC-1002.
- [0047] 상기 예들에 한정되지 않는다.
- [0048] 캐비티 깊이는 임의의 적당한 값, 예컨대 100~500 μm 이며, 더 크거나 작을 수 있다. 어떤 실시예에서는, 캐비

티는 직사각형이며, 캐비티의 상부 표면의 치수는 측벽(910.1)을 따라 2.1 mm이고 측벽(910.2)을 따라 2.0 mm이다. 따라서 캐비티의 종횡비는 약 1:21이다. 균일하고 제어성이 좋은 캐비티 깊이를 제공하기 위해 낮은 종횡비가 바람직하다. 다른 형상, 치수 및 종횡비가 사용될 수도 있다. 마스크 층(810)의 직사각형 개구의 상이한 측면들은 상이한 방위를 가질 수 있으며; 어떤 실시예에서는, 미러(144)가 측면(910.2) 위에 형성될 것이고, 이 측면은 마스크 층(810)이 형성될 때 <110> 방위를 갖지만, 다른 측면들은 다른 방위를 가질 수 있고, 직사각형이 아닌 캐비티가 사용될 수도 있다.

[0049] 그 다음 선택사항인 에칭 방지층(1010)(도 10 참조)이 기판 위에 피착되어 층(520)의 후속 에칭에서 에칭 방지체를 제공한다(도 6b 및 도 6c 참조). 어떤 실시예에서는, 층(520)은 폴리실리콘일 수 있으며, 층(1010)은 화학기상증착(CVD: chemical vapor deposition, 예컨대, TEOS로부터)에 의해 피착되거나 두께 2.0 μm 로 실리콘 기판(130) 위에 열 성장시킨 실리콘 디옥사이드이다. 마스크 층(810)의 두께는 이 단계에서 증가한다.

[0050] 층(520)의 재료는 기판(130)에 회로를 형성하는 다른 제조 프로세스와 호환성을 고려하여 선택된다. 폴리실리콘은 실리콘의 열산화(thermal oxidation)에 존재하는 것과 같은 고온에 대한 내성 때문에 바람직하다. 폴리실리콘은 또한 피착이 용이하고 저렴하다. 어떤 실시예에서는, 층(520)은 이하에서 설명되는 것과 같은 편지화된 트랜스듀서(120)을 위한 기계적 지지를 제공하기 위해 사용되지만 트랜지스터 영역들과 같은 반도체 회로 소자들을 제공하기 위해 사용되지 않을 것이다. 그러므로 낮은 품질의 폴리실리콘과 저비용 피착 방법이 사용될 수 있다. 특히, 층(520)은 저온 화학기상증착(LTCVD: Low Temperature CVD)에 의해 형성된 야금(metallurgical) 폴리실리콘일 수 있다. 또 하나의 가능성은 고온(1200°C) CVD에 의해 피착된 폴리실리콘이다. 다른 프로세스를 사용하는 것도 가능하다. 층(520)은 매우 작은 미세 크기(나노-입자)를 가진 비정질 실리콘 또는 폴리실리콘이거나, 에피택시얼 성장 실리콘, 또는 다른 종류일 수 있다. 다른 적당한 재료로는 폴리이미드와 포토레지스트(특히 고온이 사용되지 않는다면)를 포함한다. 다른 재료도 가능하다.

[0051] 바로 아래에서 설명되는 것 외의 실시예에서, 기판(130)에 회로를 형성하는 하나 이상(또는 모두)의 프로세스 단계들은 층(520)의 피착 전이나 동안에 수행되며, 층(520)을 위한 재료는 다른 고려사항에 기초하여 선택된다. 어떤 실시예에서는, 상기 재료는, 예를 들어 기계적 보강을 위한 유리-구슬 입자를 구비한, 폴리머 또는 미립자 폴리머이다. 금속 및 다른 재료를 사용하는 것도 가능하다.

[0052] 층(520)은 초기에 전체 웨이퍼를 덮지만, 그 다음 화학 기계적 연마(CMP: chemical mechanical polishing)에 의해 연마되며, 산화물(810) 위의 방지체에서 멈춘다(도 11 참조). 캐비티(410)는 층(520)에 의해 충전된 채로 남지만 캐비티 밖의 층(520)은 제거된다. 다른 실시예에서, CMP 또는 다른 프로세스는 층(520)이 전체 웨이퍼를 덮도록 남겨두며, 평탄한 상부면을 갖는다. (평탄하지 않은 상부면도 가능하다).

[0053] 그루브(310)를 형성하기 위해 층(520)을 에칭하기 전에, 웨이퍼는 트랜스듀서(120)에 대한 연결회로 형성이나 다른 목적으로 처리된다. 웨이퍼는 다수의 IC 제조 프로세스에 바람직한 것과 같이 도 11의 단계에서 평탄하다. 원한다면, 층(520)을 보호하기 위한 보호층으로서 웨이퍼 위에 추가의 평탄한 층(예컨대, 실리콘 니트라이드)이 피착될 수 있다.

[0054] 상기 웨이퍼는 회로(134)(도 1 참조) 또는, 예를 들면 기판(130)의 상부 및 바닥 양쪽에 있는 회로 요소들을 포함하는, 어떤 다른 원하는 회로(이와 같은 회로 요소들 사이의 웨이퍼-관통 상호접속체를 구비함)를 생성하기 위해 처리될 수 있다. 예로서 다음과 같은 미국 특허문헌을 참조할 수 있으며, 이 문헌들의 내용은 참조에 의해 본 명세서에 포함된다:

[0055] 2011년 6월 21일자 공개된, Savastiouk 등의 미국 특허 제796,450,8호("Dielectric trenches, nickel/tantalum oxide structures, and chemical mechanical polishing techniques");

[0056] 2009년 4월 21일자 공개된, Halahan 등의 미국 특허 제7,521,360호("Electroplating and electroless plating of conductive materials into openings, and structures obtained thereby");

[0057] 미국 특허 제7,241,675호("Attachment of integrated circuit structures and other substrates to substrates with vias");

[0058] 미국 특허 제7,186,586호("Integrated circuits and packaging substrates with cavities, and attachment methods including insertion of protruding contact pads into cavities");

[0059] 미국 특허 제7,060,601호("Packaging substrates for integrated circuits and soldering methods");

- [0060] 미국 특허 제7,034,401호("Packaging substrates for integrated circuits and soldering methods");
- [0061] 미국 특허 제7,001,825호("Semiconductor structures having multiple conductive layers in an opening, and methods for fabricating same");
- [0062] 미국 특허 제6,897,148호("Electroplating and electroless plating of conductive materials into openings, and structures obtained thereby");
- [0063] 미국 특허 제6,787,916호("Structures having a substrate with a cavity and having an integrated circuit bonded to a contact pad located in the cavity");
- [0064] V. Kosenko 등에 의해 출원된 미국 특허출원 제13/042,186호(2011. 3. 7) 및 제13/181,006호(2011. 7. 12).
- [0065] 그와 같은 회로를 형성하는 실시예 프로세스는 다음과 같다. 원하는 기판-관통 비아의 각각의 위치에서 기판(130)의 상부면에 비아(via)(1210)(도 12 참조)가 형성된다(기판이 실리콘으로 만들어진 경우라면 실리콘-관통 비아). 상기 비아는 초기에는 기판을 통과하지 않지만, 기판의 최종 두께보다 더 깊다(기판은 이하의 설명과 같이 얇아질 것이다.) 실시예 온도 1100℃에서 160분간의 열산화에 의해 실시예 두께 1.0 μ m의 실리콘 디옥사이드 층(1220)이 기판 위에 성장된다. 실리콘 디옥사이드 층(1220)은 또한, 도 10 및 도 11을 참조하여 설명하였지만 도시되지 않은 보호층에 의해 폴리실리콘(520)이 피복되지 않으면, 폴리실리콘(520) 위에 형성된다. 상기 열산화는 산화물(810)이 상기 보호층에 의해 피복되지 않으면 상기 산화물의 두께를 증가시킨다.
- [0066] 그 다음 시드 층(1230)(예컨대, 구리)이 후속 전기도금을 위해 웨이퍼 위에 스퍼터링(sputtering)된다. 포토레지스트 박막(1240)(예컨대, 건조-박막-레지스트)이 웨이퍼 위에 피착되고 패터닝되어 비아(1210)와 인접한 영역을 노출시킨다. 비아(1210)를 채우고 레지스트(1240) 위로 돌출하도록 구리(1250)의 전기도금이 실시된다.
- [0067] 다음 단계가 도 13에 도시되어 있다. 더욱 상세하게는, 구리(1250)가 CMP에 의해 연마되어 평탄한 상부면을 제공한다. 그 다음 레지스트(1240)이 벗겨지고, 구리 층(1250, 1230)이 CMP에 의해 산화물(1220)의 레벨까지 하방으로 연마된다. 산화물(1220)이 노출된다. (두 층(1250, 1230)이 모두 비아(1210) 내에 남지만 어떤 도면에서는 단지 '1250'만 도시되어 있다.) 또 하나의 금속 층(1310)이 웨이퍼 위에 스퍼터링 후 포토리소그래피 패터닝되어, 금속화된 비아(1210)(즉, 비아(1210) 내의 구리)를 트랜스듀서 콘택트 및/또는 다른 회로 소자들(예컨대, 트랜지스터, 저항기, 다이오드, 커패시터, 또는 인터포저 내에 형성되는 다른 소자들)에 연결하는 전도성 배선을 형성한다. 또한, 금속 패드(1310)가, 이하에서 설명되는 것과 같은 편지되된 트랜스듀서를 위한 기계적 지지를 제공하기 위해, 캐비티(1410) 상부의 산화물(1220) 위에 형성된다. 이것들 및 다른 금속 패드는 전기회로의 일부이거나 일부가 아닐 수도 있고 다른 회로 소자들에 연결되거나 연결되지 않을 수도 있다. 트랜스듀서에 연결된 회로와 다른 회로를 위한 다수의 상호접속 층들 및 다른 회로소자들을 생성하기 위해 추가의 유전체 층과 금속 층들(미도시)이 피착될 수 있다. 그 다음 웨이퍼의 상부 측면을 덮기 위해 패시베이션 층(passivation layer)(1330)(예컨대, 폴리이미드)이 형성된다.
- [0068] 그 다음(도 14 참조) 웨이퍼는 비아(1210)를 관통-비아(관통 구멍)으로 전환시키기 위해 얇아진다. 구리(1250, 1230)와 절연체(1220)는 기판(130)으로부터 아래로 돌출한다. 그 다음 절연체(1410)(예컨대, 폴리이미드)가 바닥면 위에 피착되고, 바닥면은, 절연체(1410)의 전부를 제거하지 않지만 상기 구리를 노출시키는 CMP에 의해 평탄화된다(도 15 참조).
- [0069] 상기 웨이퍼의 바닥면 위에는 (예컨대, 물리기상증착(PVD: physical vapor deposition)에 의해) 금속(1420)(예컨대, 구리)이 피착된다. 금속(1420)은, 트랜스듀서(120)를 제어하는 컨트롤러 칩(도 22 및 23 참조)에 금속화된 비아를 연결하기 위한 상호접속 배선을 제공하기 위해, 및 어쩌면 다른 상호접속 배선 또는 다른 회로소자들을 제공하기 위해, 포토리소그래피 패터닝된다. 다른 상호접속 층(미도시) 및 다른 회로소자들(예컨대, 도시되지 않은, 트랜지스터, 다이오드, 저항기, 커패시터 등) 역시 바닥에 형성될 수 있다.
- [0070] 상기 바닥면 위에 패시베이션 층(1430)(예컨대, 폴리이미드)이 피착되고 포토리소그래피 패터닝되어 금속(1420)을 노출시키는 콘택트 개구를 형성한다(도 16 참조). 금속(1420)의 노출된 부분들은 컨트롤러 칩 또는 다른 회로들에 납땜되거나 달리 부착될 수 있는 콘택트 패드를 형성한다.
- [0071] 그 다음, 금속(1310)에 대한 콘택트 개구를 형성하고 그루브(310)를 형성하기 위해 상기 웨이퍼의 상부면이 처리된다. 도 17a는 그 결과 구조체의 평면도이고 도 17b는 그루브에 수직인 웨이퍼 단면도이다. 예를 들면, 어떤 실시예에서는, 상기 웨이퍼가 포토레지스트(미도시)로 덮이며, 포토레지스트는 금속(1310)에 대한 콘택트 개구와 그루브(310)를 구획하도록 패터닝된다(도 16 참조). 콘택트 개구 안과 형성될 그루브 위의 패시베이션

(1330)은 포토레지스트 개구를 통해 에칭 제거된다. 그루브(310) 위의 산화물(1220)이 노출된다. (대안으로, 패시베이션(1330)의 에칭은 그루브 위의 산화물(1220)을 제거하고 층(520)을 노출할 수 있다.) 패시베이션(1330)의 에칭 이후, 상기 포토레지스트가 제거되며, 또 하나의 포토레지스트 층(미도시)이 피착되고 그루브(310)를 구획하도록 패터닝된다. 만일 산화물(1220)이 그루브 위에서 제거되지 않았다면, 그것은 지금 제거되어 그루브 내의 층(520)을 노출시킨다. 층(520)은 포토레지스트와 층(1010)에 대해 선택적으로 에칭되어 그루브를 형성하고 층(1010)을 노출시킨다. 이 실시예에서, 그루브 측벽은 수직이지만, 다른 실시예에서는 수직이 아닌 측벽이 형성된다. 이 실시예에서, 층(520)은 깊은 반응성 이온 에칭(DRIE: deep reactive ion etch)(예컨대, Bosch 프로세스)에 의해 에칭된 폴리실리콘이며, 층(1010)은 실리콘 디옥사이드이다. 실리콘 디옥사이드에 대한 폴리실리콘의 에칭 선택성은 적어도 100:1이다. 다른 제조 프로세스와 선택성 값이 사용될 수도 있다.

[0072] 에칭 방지체(etch stop)로서 실리콘 산화물(1010)을 사용하여, 단결정 기관(130)과 폴리실리콘 스페이서(520)를 구비한 직사각형 그루브(310)에 대해 달성될 수 있는 실시예 치수는 다음과 같다: 그루브 폭 135 μm ; 그루브 피치(인접한 그루브의 중심 사이의 거리) 250 μm ; 그루브 깊이 100 μm . 직사각형 그루브를 가진 어떤 실시예들에서는, 적당한 그루브 폭이 50~1000 μm 이고, 그루브 피치가 150~2000 μm 이며, 그루브 깊이가 100~500 μm 이다. 다른 범위도 가능하다.

[0073] 캐비티 측벽(910.2) 위의 그루브의 단부에 미러(144)(도 18 참조)를 형성하기 위해 원하는 반사율 특성을 가진 반사층(예컨대, 알루미늄, 금, 또는 어떤 다른 금속)이 피착되고 패터닝된다. 어떤 실시예에서는, 상기 미러는 상이한 굴절률을 가진 여러 겹의 층을 피착하여 형성된다. 어떤 실시예에서는, 상기 미러는 초기에 별도의 기관(미도시)에 형성되지만, 그 다음에 그 기관으로부터 분리되고 접착제로 측벽(910.2)에 부착된다. 예를 들면, 어떤 실시예에서는, 여러 겹의 층들이 다음과 같이 별도의 기관 위에 형성된다: 폴리실리콘 층이 피착되고, 유전체 층으로 피복되며(예컨대, 열에 의해 성장된 실리콘 디옥사이드), 그 다음 2 ~ 5 nm의 크롬 접착층이 상기 유전체 위에 형성되고, 최종적으로 500 nm의 금, 알루미늄 또는 은 층이 형성되어 반사성 미러 층을 형성한다. 만일 은이 사용되면, 산화물로부터 은을 보호하기 위해 상기 은 위에 추가의 투명 층이 형성될 수 있다. 그 다음 상기 여러 겹의 층들이 상기 별도의 기관으로부터 분리되어 측벽(910.2)에 접착된다.

[0074] 미러 제작이 완료된 경우, 웨이퍼의 다이싱(dicing)이 실시된다. 도 18의 실시예에 있어서, 캐비티(410)의 좌측 측벽(910.4)이 다이싱 라인(dice line) 상에 있으며, 따라서 측벽(910.4)은 제거된다. 그루브(310)는 광섬유 삽입을 위해 좌측이 노출된다. 광섬유(104)는 도 20에 도시한 것과 같이 그루브에 삽입된다. 트랜스듀서(120) 및 어떠한 다른 회로들이 인터포저(금속 콘택트(1310, 1420))에 접속된다. 도 21, 22a, 22b의 실시예에서, 트랜스듀서(120)는 뿔납(1604) 또는 어떤 다른 수단에 의해 인터포저의 상부 콘택트(1310)에 플립-칩(flip-chip) 부착되며, 컨트롤러(1610)는 뿔납(1608) 또는 어떤 다른 수단에 의해 바닥 콘택트(1420)에 플립-칩 부착된다. 도 21은 평면도이고; 도 22a는 인접한 그루브(310) 사이의 스페이서(520/1220/1330)에서의 종단면도이고; 도 22b는 광섬유(104)에서의 단면도이다. 다수의 트랜스듀서, 컨트롤러, 및 다른 집적회로와 개별 회로소자들이 상기 인터포저에 접속될 수 있다. 도 22a에서와 같이, 뿔납(1604)은 또한, 편지되진 트랜스듀서 칩(120) 또는 캐비티(410) 위에 놓이는 다른 회로를 지지하기 위한 기계적 지지를 제공하기 위해 폴리실리콘 스페이서(520) 상부의 금속(1310) 위에 놓일 수도 있다. 따라서 상기 트랜스듀서 크기는, 트랜스듀서에 대한 스트레스(stress)를 증가시키지 않고 또한 상기 모듈의 전체 면적을 증가시키지 않으면서, 증가될 수 있다.

[0075] 상기 모듈은 PCB 위에 또는 어떤 다른 원하는 방식으로 탑재 가능하다.

[0076] 전술한 것과 같이, 미러(144)는 초기에 별도의 기관 위에 제작되는 것이 가능하다(그와 같은 미러를 이하에서는 "별도 제작된" 것으로 지칭한다). 어떤 실시예에서는, 상기 별도 제작된 미러는 캐비티 측벽의 각도에 관계없이 45° 각도 또는 어떤 다른 각도로 탑재된다. 도 23a 및 23b에 도시한 실시예를 참조한다. 이 도면들은 도 22a 및 22b에 도시된 것과 동일한 단면에 의해 수직 단면을 도시한다(즉, 각각 스페이서(520)와 광섬유(104)를 관통한다). 트랜스듀서와 컨트롤러는 편지상 생략되었다. 캐비티 측벽(910.2)은 수직이지만, 예를 들면 도 4에서와 같은 둔각을 포함하여 45° 각도 이상의 임의의 각도일 수 있다. 기관(130)은 임의의 결정 방향을 가진 실리콘 웨이퍼이거나, 폴리실리콘 또는 실리콘 이외의 재료일 수 있다. 상기 제조 프로세스는 기본적으로 전술한 바와 같이 도 6a ~ 도 22b를 참조한다. 스페이서(520)는 미러를 위한 공간을 마련하도록 캐비티 측벽(910.2)로부터 이격되며 - 이 스페이서 기하형태는 도 6c 또는 도 17a 및 17b의 스페이서 에칭에 의해 또는 어떤 다른 적당한 단계에서의 스페이서 패터닝에 의해 제공될 수 있다. 미러(144)는 측벽(910.2)의 상단과 스페이서(520)의 하단에 의해 지지된, 별도 제작된 단일의 연속적인 반사성 스트립(strip)일 수 있다. 미러 스트립(144)은 예컨대 접착제로 제자리에 고정된다. 상기 캐비티는 그 내부에 미러 배치를 용이하게 하기 위해 미러에 인접한 연장부(미도시)(예컨대, 캐비티 측면(910.1, 910.3)에 있는 아령(dog-bone) 모양의 연장부)을 포함할

수도 있다.

- [0077] 다른 그루브(310) 내의 미러는 단일의 스트립 외에 복수의 스트립에 의해 제공될 수 있다.
- [0078] 도 23c에서(광섬유(104)에서의 수직 단면도), 상기 미러는 스텝(2310) 옆의 바닥에서 캐비티(410)의 바닥면 내에 지지된다. 상기 스텝은 기관(130)의 적당한 에칭을 사용하여 형성되는 것이 가능하다.
- [0079] 별도 제작된 미러(144)는 피라미드(2320)와 같은 3차원 형상의 표면일 수 있다(광섬유에서의 수직 단면도를 도시하는 도 23d 참조). 이 실시예에서, 상기 미러는 상기 피라미드의 광섬유-대향 표면이다. 도 23e에서(광섬유를 따른 수직 단면도), 상기 미러는 광섬유(104)를 나오는 빔(140)을 시준하는 시준렌즈(collimating lens)(2330)의 후면이다. 상기 빔은 또한 반대 방향으로 진행할 수 있다. 또한 다른 미러 구조체 및 광학 요소들이 제공될 수도 있다.
- [0080] 제조 및 동작 동안에 열 스트레스를 감소시키기 위해, 인터포저에서 사용되는 재료는 유사한 열팽창계수를 가지는 것이 바람직할 것이다. 예를 들면, 기관(130)은 단결정 실리콘일 수 있고 스페이서(520)는 폴리실리콘일 수 있다. 또한, 동작 동안에 열 스트레스 및 다른 기계적 스트레스를 감소시키기 위해, 각각의 스페이서(520)는 불연속적으로 및/또는 중공으로 만들어질 수 있다. 또한, 도 24(광섬유와 트랜스듀서가 없는 평면도), 도 25(트랜스듀서는 없고 두 층의 광섬유(104)를 도시한 평면도), 및 도 26(두 층의 광섬유(104)와 2개의 트랜스듀서(120)를 도시한 평면도)에 도시한 것과 같이, 불연속 스페이서는 서로 상하에 위치하는 복수의 채널을 형성할 수 있다. 도 25 및 도 26에서, 그루브들 사이의 콘택트(1310)는 편의상 생략되어 있다. 그루브(310X) 및 광섬유(104X)는 스페이서들 사이에서 X 방향으로(도 24~도26에서 수평하게) 진행한다. 그루브(310Y) 및 광섬유(104Y)는 광섬유(104X) 위에서 Y 방향으로 진행한다. 측면(910.2) 상의 미러(144)는 바닥 광섬유(104X)를 위한 것이다. 측면(910.1) 상의 미러(144)는 상부 광섬유(104Y)를 위한 것이다. 캐비티 측벽(910.3, 910.4)은 다 이싱 동안에 또는 어떤 다른 처리 단계에서 제거된다.
- [0081] 열 신뢰성은 불연속 또는 중공의 스페이서를 사용함으로써 개선될 수 있는데 이는 그것들이 열 스트레스에 덜 취약하기 때문이다. 스페이서들은 금속 또는 다른 재료로 형성될 수 있다. 스페이서들은 원하는 임의의 형상을 가질 수 있다. 도 27a ~ 27c는 연속 및 불연속 스페이서(520)와 광섬유를 구비한 캐비티의 몇몇 실시예의 평면도이다. (이 실시예들에서, 미러(144)는 캐비티 측벽 상의 연속 층 내에 통합되며; 상기 스페이서들은 측벽 위에 놓이지 않는다.) 도 27a는 불연속 직사각형 스페이서들을 도시한다. 도 27b는 불연속 원형 스페이서를 도시한다. 도 27c는 연속적인 중공의 스페이서를 도시한다. 도 27d는 비한정적인 실시예로서 몇몇의 개별 스페이서의 평면도를 도시한다: A(도 27b에서와 같은 둥근 스페이서), B(평행사변형), C(육각형), D(반원형), E(부등변 직사각형), F(반고리형), G(고리형), H(중공의 직사각형), I(직경을 가진 중공의 원). 스페이서(J)는 또 다른 중공의 직사각형이지만, 이것은 연속적이다. 즉, (도 27c에서와 같이) 전체 캐비티를 통과해서 진행한다. 다른 형상들도 사용될 수 있다. 측면도에서, 스페이서의 측벽은 수직이거나 경사질 수 있으며, 원뿔형이나 다른 형상을 가질 수 있다.
- [0082] 도 28(평면도)에서, 각 쌍의 광섬유(104)들 사이의 스페이서(520)는 두 줄의 불연속 스페이서를 형성한다.
- [0083] 도 29 및 도 30은 SOI(silicon on insulator) 기관(130)의 사용을 도시하며, 평탄한 절연층(2910)에 의해 분리된 단결정 실리콘 층(130.1, 130.2)을 구비한다. 절연층(2910)은 실리콘 디옥사이드, 실리콘 니트라이드, 폴리머, 또는 다른 적당한 재료, 또는 상이한 재료들의 조합일 수 있다. 제조 프로세스는 전술한 프로세스들과 유사하다. 도 29 및 도 30은, 각각 도 8 및 도 11에서와 같이, 동일한 뷰(views)와, 동일한 제조 단계를 보여준다. 캐비티(410)의 에칭은 절연층(2910)에서 정지하며, 따라서 그루브(310)의 에칭도 그렇게 될 것이다(도 17b를 참조하여 설명된 것과 같음). 캐비티 깊이의 제어 가능성이 매우 높아진다. 어떤 실시예에서는, 층(130.2)은 (100) 방위를 가지고, 마스크(810) 내의 개구는 <100> 측면을 가진 직사각형이며, 상기 캐비티 에칭은 45° 측벽을 형성하는 전술한 바와 같은 KOH 습식 에칭이다.
- [0084] 동일한 인터포저 위에 탑재된 상이한 트랜스듀서들 사이의 광학 커플링을 위해 몇몇 인터포저 실시예가 사용된다. 예를 들면, 도 31은 도 18과 유사하지만, 미러(144)가 캐비티 측벽(910.2, 910.4) 위의 그루브 단부에 형성된다. 트랜스듀서(미도시)는 이 모든 미러들의 상측 인터포저 위에 탑재될 수 있으며, 광섬유(104)에 의해 서로 광학적으로 커플링될 수 있다. 마찬가지로, 도 24의 변형에서, 미러와 트랜스듀서는 4개의 캐비티 측면(910.1~910.4)들 모두의 위에 제공될 수 있다.
- [0085] 단일의 트랜스듀서 칩은 광 방출기 및 광검출기 모두를 가질 수 있다. 상기 그루브들은 평면도 및/또는 측면도에서 굽어질 수 있으며, 가지각색의 폭을 가질 수 있다. 미러(144)는 기관(130)의 표면들에 의해 제공되거나,

2011년 10월 4일 공개된 미국 특허 제8031993호에 개시된 것과 같이 광섬유 단부의 면들 내에 에칭될 수 있기 때문에 존재하지 않을 수 있다. 미러(144)는, 존재할 때, 전술한 것과 같이 평탄하거나, 타원 또는 다른 형상을 가질 수 있다. 미러가 아닌 광학 소자(예컨대, 프리즘)가 사용될 수도 있다.

[0086] 상기 스페이서는 도 32a ~ 도 32c에 도시한 것과 같은 감법(subtractive method)에 의해 형성될 수 있다. 도 32a는 도 6c와 유사하지만, 층(520)이 그루브 위치에, 즉 스페이서 위치에 대한 보강 영역에 남도록 패터닝된다. 상기 패터닝은 도 6c에서와 같이 선택적인(selective) 에칭을 사용한다. 그 다음 층(520)의 피처(features)들 사이의 갭(gap)이 재료(3410)로 채워진다(도 32b 참조). 이것은 임의의 적합한 프로세스에 의해 피착된, 스페이서를 위해 적당한 임의의 재료(예컨대, 웨이퍼 위에 피착된 다음 평탄한 상부면을 제공하도록 에칭되는 금속)일 수 있다. 다른 기술(예컨대, 층(520)의 피착 이전에 캐비티 내에 형성된 시드 층(미도시) 상의 전착(electrodeposition))이 사용될 수 있다. 그 다음 층(520)은 층(3410)에 대해 선택적으로 에칭 제거되어(도 32c 참조) 그루브(310)를 형성한다. 층(3410)은 그루브들 사이에 스페이서를 제공한다. 상기 감법은 '1010'(도 17b 참조)와 같은 에칭-방지층을 가지고 사용될 수 있으며 전술한 다른 피처들과 결합될 수 있다.

[0087] 예를 들면, 어떤 실시예에서는, 상기 웨이퍼는 도 8, 9a, 9b, 10을 참조하여 설명된 것과 같이 처리된다. 그 다음 전기도금을 위해 시드 층(3420)(도 33a)이 웨이퍼 위에 피착된다. 상기 시드 층의 재료, 두께 및 피착 방법은 나중에 전기도금되는 재료(3410)에 좌우될 것이다. 어떤 실시예에서는, 시드(3420)와 층(3410)은 동일 재료, 예컨대 금속이며, 상기 시드 층은 스퍼터링 또는 CVD에 의해 피착된다. 어떤 실시예에서는, 상기 시드 층 피착 이전에 접착층(3416)이 웨이퍼 위에 형성된다. 예를 들어, 만일 상기 시드 층이 니켈, 텅스텐, 구리, 알루미늄, 티타늄 또는 이것들의 합금(예컨대, 니켈-텅스텐 합금)일 경우 상기 접착층은 스퍼터링 또는 증발에 의해 두께 2.5 nm ~ 100 nm로 피착된 티타늄 또는 크롬일 수 있다.

[0088] 그 다음에 층(520)은 상기 웨이퍼 위에 피착되고 도 32a를 참조하여 전술한 것과 같이 패터닝된다. 임의의 적당한 재료가 전술한 것과 같이 사용될 수 있다. 일 실시예에서, 층(520)은 패터닝에 의해 제거되는 부분을 제외하고 전체 웨이퍼를 피복하는 포토레지스트이다. 그 다음 층(3410)(도 3b 참조)이 시드 층(3420)의 노출된 부분들 위에 전기도금된다. 어떤 실시예에서는, 층(3410)의 상부면이 층(520)의 상부면보다 낮을 때 상기 전기도금이 종료하지만, 이것을 필수적인 것은 아니다. 층(520)이 웨이퍼로부터 제거된다(도 33c 참조). 선택사항으로, 시드 층(3420)과 어쩌면 접착층(3416)은 스페이서(3410)에 의해 피복되지 않은 웨이퍼 영역들로부터 제거된다. (어떤 실시예에서는, 층(520)은 그루브 외측에서 제거되지 않으며, 따라서 층(520)은 좌우의 캐비티 에지에 그루브(310)의 좌우까지 남는다(도 33c 참조)).

[0089] 그 다음 미러(144)가 전술한 프로세스들 중 어느 것에 의해 형성된다. 도 33d는 스페이서(3410)를 따른 실시예 수직 단면도를 도시한다. 도 33d의 실시예에서, 미러들은 리프트-오프(lift-off) 방법에 의해 형성된다. 이 실시예에서, 스페이서(3410)는 전기도금 프로세스에서(도 33b의 단계에서) 스페이서 층(3410) 내의 평탄한 상부면을 얻기 위해 캐비티(410)의 경사진 측면(910) 위로 연장되지 않는다. 상기 리프트-오프 방법은 미러들을 구획하기 위해 피착되어 패터닝되는 포토레지스트 층(3430)을 사용한다. 이 실시예에서, 상기 포토레지스트는 패터닝되어 전체 캐비티 측면(910.2)을 노출시킨다. 그 다음 층(144)이 웨이퍼 위에 피착되며, 그 다음 포토레지스트(3430)가 제거된다. 층(144)은 전체 측면(910.2)을 덮는다. 도 33e는 그렇게 얻어진 구조체의, 스페이서(3410)를 따르는 수직 단면도를 도시한다.

[0090] 다른 회로소자들(예컨대, 도 22a에서와 같은 금속화된 비아)이 캐비티(410)의 에칭 이전에 또는 어떤 다른 적당한 단계에서 형성될 수 있다.

[0091] 상기 스페이서들은 도 34a 및 34b에 도시한 것과 같이 광섬유(104)를 부분적으로 또는 전체적으로 피복할 수 있다. 도 34b는 평면도이고, 도 34a는 도 34b에 표시된 선(A-A')을 따르는, 상기 광섬유들에 수직인 수직 단면도이다. 금속화된 비아 및 다른 회로는 도시되어 있지 않다. 상기 스페이서들은 '3410'으로 도시되어 있다(본 발명은 특정 도면부호에 한정되지 않는다). 도 34b의 평면도에서, 스페이서(3410)는 광섬유에 수직인 스트라이프(stripe)를 형성하지만, 다른 실시예에서는 스페이서(3410)는 다른 기하형태를 가지며, 어떤 다른 실시예에서는 캐비티 위에 놓이는 단일의 연속 구조체로서, 광섬유들을 위한 채널(310)을 구비한다. 도 34b에서와 같은 분리된 스트라이프 또는 다른 불연속 스페이서 형상은 열 안정성을 위해 및 광섬유 채널(310) 내에 광섬유(104)의 용이한 삽입을 위해 도움이 될 수 있다.

[0092] 도 34c(도 34a에서와 같은 동일한 평면에 의한 수직 단면도)는 일 실시예 제조 방법을 도시한다. 스페이서들은 도 32a ~ 32c에서와 같은 감법에 의해 형성된다. 예를 들면, 어떤 실시예에서는, 상기 웨이퍼는 층(810, 1010)을 구비한 캐비티(410)를 형성하기 위해 도 8, 9, 10에서와 같이 처리된다. 그 다음 층(520)이 피착되고 패

터닝되어 광섬유 채널(310)의 위치들에서 남겨진다. 그 다음 층(3410)이 층(520)을 덮도록 피착되고 층(520)의 피처들 사이에 스페이서를 형성한다. 특히, 층(3410)은 도 34b에서와 같은 스트라이프 또는 다른 불연속 형상을 형성하도록 패터닝될 수 있다. 또한, 층(520)은 채널(310)들 사이의 선택된 영역들 내로 연장되도록 형성되어 그와 같은 영역들 내에 스페이서(3410)의 형성을 방지할 수 있다.

[0093] 층(3410)의 형성 후, 층(520)은 습식 에칭에 의해 캐비티(410) 상측으로부터 (및 어쩌면 다른 곳으로부터) 제거되어 도 34a의 구조체를 얻는다. 층(3410)은 층(520)의 제거 전 또는 후에 패터닝될 수 있다.

[0094] 도 34d~34e에는 또 다른 제조 프로세스가 도시되어 있다. 스페이서(3410)가 도 33a~33c에서와 같이 전기도금에 의해 형성된다. 더욱 구체적으로는, 웨이퍼가 도 33a에서와 같이 처리된다. 층(520)은 전기도금 마스크로서 역할을 하며, 도 34d의 실시예에서 층(520)은 채널(310)들의 위치를 제외하고 전체 웨이퍼를 피복한다. 그 다음 층(3410)은 도 33b를 참조하여 전술한 것과 같이 시드 층(3420) 위로 전기도금되지만, 상기 전기도금 프로세스는 층(3410)이 마스크(520)와 중첩할 때까지 계속된다. 도 34d에서, 인접한 피처들(스페이서)(3410)은 마스크(520) 위에서 만나지 않고, 따라서 채널(310)들은 상측이 완전히 덮이지 않으며; 도 34e는 층(520)의 제거 및 채널(310) 내에 광섬유(104)의 삽입 후 구조체를 도시하며; 스페이서(3410)는 부분적으로 상기 채널들과 상기 광섬유들 위에 놓인다. 다른 실시예에서는, 층(3410)은 인접한 피처(3410)가 마스크(520) 위에서 만날 때까지 전기도금되며, 따라서 채널(310)들과 광섬유들은 도 34a에서와 같이 상측이 덮인다.

[0095] 상기 전기도금 후, 층(520)은 제거된다(예를 들면 습식 에칭에 의해). 층(520)의 제거 전 또는 후에, 스페이서(3410)는 예를 들면 도 34b에서와 같이 불연속 스페이서를 제공하도록 패터닝될 수 있다. 또한, 층(520)이 채널(310)들 사이의 선택된 영역 내로 연장되도록 형성되어 그와 같은 영역 내에 스페이서(3410)의 형성을 방지할 수 있다. 그 다음 미러(144)가 전술한 것과 같이 형성될 수 있다.

[0096] 만일 채널(310)이 도 34a~34e에서와 같이 전체적으로 또는 부분적으로 피복되면, 상기 광섬유 위치는 더욱 안정적이다.

[0097] 어떤 실시예에서는, 광섬유를 가진 그루브가 상기 인터포저의 상부면 및 바닥면 모두에 제공된다. 각각의 표면의 그루브들은 도 1~3을 참조하여 설명된 종래의 기술을 포함하여 전술한 어떤 기술을 사용하여 형성될 수 있다. 일 실시예 프로세스는 다음과 같다. 기판(130)이 그 최종 두께로 얇아진다. 그 다음 V-그루브 또는 다른 그루브들이 기판의 양 측면에 어쩌면 동시에 어쩌면 습식 에칭된다. 그 다음 각각의 측면은, 어쩌면 도 1~3의 상측과 같이 처리되어, 인터포저 제조가 종료된다.

[0098] 어떤 실시예에서는, 인터포저는 다음과 같이 형성된다. 기판(130)이 그 최종 두께로 얇아진다. 그 다음 캐비티(410.1 410.2)(도 35a 참조)가 전술한 프로세스 또는 어떤 다른 적당한 프로세스를 사용하여, 어쩌면 동시에, 상기 기판의 상부면 및 바닥면에서 각각 에칭된다. 도 35a에서, 상기 2개의 캐비티를 구획하기 위해 상부 및 바닥에 마스크(810)가 사용된다. (상부 및 바닥에는 임의의 개수의 캐비티가 있을 수 있고, 어쩌면 바닥보다는 상부에 상이한 개수의 캐비티가 있을 수 있으며, 상부의 캐비티들은 바닥 캐비티 위에 놓일 필요는 없으며 어떤 식으로든지 정렬될 필요는 없다.) 전술한 것과 같이, 상부면 및 바닥면 위에는, 어쩌면 동시에, 에칭 방지층(1010)이 형성된다(예컨대, 실리콘의 열산화 또는 CVD에 의해). 그 다음 전술한 기술들이나 다른 기술을 사용하여 상기 웨이퍼의 상부면 및 바닥면 위에 층(520)이 형성된다. 이 층은 상부면에서 '520.1'이고 바닥면에서 '520.2'이다. 상부 층(520.1)은 도 11에서와 같이 평탄화되며, 캐비티(410.1)의 외측은 제거된다. 바닥 층 역시 평탄화되지만, 웨이퍼의 전체 바닥면을 덮는다. 두께는 후술하는 기판-관통-비아 프로세스에 대응하도록 선택되며, 임의의 적당한 값일 수 있다.

[0099] 그 다음 도 12를 참조하여 전술한 것과 같이 원하는 기판-관통 비아의 각각의 위치에서 층(810) 및 기판(130)의 마스크 에칭(masked etch)에 의해 상기 웨이퍼의 상부면에 블라인드 비아(blind via)(1210)가 형성된다. 비아(1210)는 기판(130)을 관통하고 기판의 상부 및 바닥의 층(810)을 관통하며 층(520.2)은 단지 부분적으로만 관통한다.

[0100] 도 35b에서와 같이, 그 다음 비아(1210)는 산화되고 금속화되며, 전도성 배선(1310) 및 어쩌면 다른 회로 소자들과 패시베이션(1330)이, 도 12 및 도 13을 참조하여 전술한 프로세스들을 사용하여, 인터포저의 상부에 형성된다.

[0101] 그 다음 (도 35c에서) 상기 인터포저는, CMP 또는 다른 프로세스에 의해 인터포저 바닥에서 층(520.2)을 산화물(1010)의 레벨까지 제거하여 얇아진다. 비아(1220)는 관통 구멍이 된다. 구리(1250) (및 시드(1230) 및 절연체(1220)는 기판(130) 아래로 돌출한다. 그 다음 절연체(1410) (예컨대, 폴리이미드)가 바닥면 위에 피가되며,

상기 바닥면은, 절연체(1410) 모두를 제거하지는 않지만 상기 구리를 제거하는 CMP에 의해, 평탄화된다. 적당한 프로세스들은 도 14 및 도 15와 관련하여 위에서 설명했다.

[0102] 전도성 배선(1420)과 다른 회로 소자들 및 패시베이션(1430)이 도 15 및 도 16와 관련하여 설명된 것처럼 그리고 도 35d에 도시한 것과 같이 인터포저 바닥에 형성된다.

[0103] 층(520.1, 520.2)은 에칭되어 그루브(310), 인터포저 상부 및 바닥을 형성하고, 미러(410)가, 도 17a, 도 17b, 및 도 18을 참조하여 기술한 것과 같이, 상기 상부 및 바닥에 형성된다. 도 35e는 그루브(310)에 수직인 실시예에 수직 단면을 도시한다. 캐비티(410.1, 410.2)는 정렬될 필요가 없다. 즉, 캐비티(410.1)는 캐비티(410.2)에 대해서 수평 방향으로 이동될 수 있다. 그루브(310)는 또한 상이한 형상 및 치수를 가질 수 있다. 하나 이상의 캐비티가 상부 및/또는 바닥에 제공될 수 있으며, 상부 그루브(310)들은 바닥 그루브들과 평행일 필요가 없다.

[0104] 상기 구조체는 도 19 ~ 도 26의 어느 것을 참조하여 기술한 것처럼 추가로 처리되며, 상기 상부 및 바닥 처리의 임의의 변형이 도 1 ~ 도 34e를 참조하여 기술한 것과 같이 사용될 수 있다. (특히, 그루브 및 미러 형성을 위한 종래의 기술들이 하나 또는 양쪽의 인터포저 측면들에 사용될 수 있다.) 도 35f는 도 22b와 유사한 단계에서의 실시예 구조체를 도시하며, 트랜스듀서(120.1, 120.2)를 상부 및 바닥에 각각 구비한다. 이 실시예에서, 상기 2개의 트랜스듀서는 금속화된 비아(1210)를 통해 서로 연결되지만, 이것은 필수적인 것은 아니다. 상이한 트랜스듀서들이 상이한 비아에 연결되거나, 어떤 비아에도 연결되지 않을 수 있으며, 컨트롤러(1610)(도 22a 참조) 및 다른 회로들이 필요에 따라 인터포저에 탑재될 수 있다.

[0105] 어떤 실시예에서는, 먼저 블라인드 비아를 형성하지 않고서 관통 비아(1210)가 생성된다. 즉, 비아(1210)는 인터포저 웨이퍼를 통해 바로 에칭된다. 또한, 본 발명은 관통 비아에 한정되지 않는다.

[0106] 특정한 응용의 요구사항을 충족시키기 위해 다양한 캐비티 형상이 가능하다. 예를 들면, 도 36은 도 6a~6c의 방법의 변형을 도시한다. 이 변형에서, 층(520)은, '520'과 상이하고 어쩌면 캐비티 표면과 동일한 재료로 만들어진 층(3610)에 의해, 피복된다. 층(3610)은 선택적 피착에 의해 층(520) 위에 형성되거나, 캐비티 바닥보다는 층(520)의 상부에 더 두껍게 피착될 수 있고 그것이 캐비티 바닥부터 제거될 때까지 이방성으로 에칭될 수 있으며, 또는 층(3610)은 캐비티 바닥에 잔류할 수 있다(이것은 도 36에 도시되지 않음).

[0107] 스페이서(520 또는 3410)의 측면들은 캐비티의 바닥면에 대해 임의의 각도(β)를 이룰 수 있다(도 37). 어떤 실시예에서는, 이 각도는 90° 이거나 85° 이상의 어떤 다른 각도일 수 있다.

[0108] 어떤 실시예에서는, 하나 이상의 스페이서가 상방으로 돌출하여 상기 트랜스듀서들 중 하나 이상에 대해 기계적 지지를 제공한다. 도 38에 도시된 한 실시예는 도 22a와 유사하지만 캐비티 위에 금속(1310) 및 뿔(1604)이 없는 구조체를 보여준다. 트랜스듀서(120)는 스페이서(520) 상부의 패시베이션(1330) 위에 위치한다. 예를 들면, 도 11의 단계에서, 층(520)은 기관(130) 위의 상방으로 돌출한 채 남겨질 수 있다. 층(520)은 그 다음에 전기회로를 형성하기 위해 필요에 따라 캐비티 외측이 에칭 제거될 수 있다. 캐비티에서 층(520)의 상방 돌출로 인해 캐비티 위로 패시베이션(1330)이 상방 돌출할 것이다.

[0109] 어떤 실시예에서는, 도 9a의 측벽(910.2)와 같은 "미러" 측벽들이 별도의 에칭 또는 다른 프로세스를 통해 형성될 수 있다. 예를 들면, 미러 측벽(910.2)은 측벽(910.1, 910.3, 910.4)과 다른 각도 및/또는 깊이를 가질 수 있다. 한 가지 가능한 프로세스는 도 39a ~ 39c에 도시된 것이다. 이 프로세스는 단결정 실리콘 및 기술한 다른 재료를 포함하는 다양한 기관 재료들에 적합하다. 초기에(도 39a), 측벽이 모두 수직이거나 어떤 다른 각도를 가진 캐비티(410)가 형성된다. 어떤 실시예에서는, 캐비티는 (도 8의 마스크(810)에 유사하지만 도시되지 않은) 포토레지스트 마스크를 가지고 마스크된 건식 에칭에 의해 형성된다. 그 다음(도 39b), 상기 포토레지스트가 제거되고, 측벽(910.2)이 에칭되어 그 기하형태가 변경된다. 상기 캐비티의 다른 측벽들은 유사하게 처리되거나 유사하게 처리되지 않을 수 있으며, 측벽 전체 또는 측벽의 일부만이 그렇게 처리될 수도 있다. 도시한 실시예에서, 측벽(910.2)의 기하형태는, 기계 가공에 의해, 더욱 구체적으로는 측벽(910.2)을 마주하는 45° 측벽(3910A)을 가진 다이싱 톱(dicing saw)(3910)을 사용하여, 형성된다. 다이싱 톱(3910)은 측벽(910.2)에 수직인 수평축(3910X) 둘레를 회전하여 측벽 기하형태를 변경한다(도 39c(수직 단면도) 및 도 40(평면도) 참조).

[0110] 후속 단계들은 도 1~도 38을 참조하여 기술한 것 및 후술하는 것과 같을 수 있다. 특히, 캐비티는 어쩌면 층(1010)의 피착 후에 층(520)으로 채워질 수 있으며, 그와 같은 캐비티들은 도 39a~39c의 프로세스 또는 다른 프로세스들에 의해 기관(130)의 상부 및 바닥 모두에 형성될 수 있다.

[0111] 어떤 실시예에서는, 측벽(910.2)의 톱질 또는 다른 처리(도 39b)가 제어된 깊이에 대해 수행될 수 있으며, 도

39c의 실시예에서, 상기 깊이는 캐비티(410)의 깊이보다 더 작다. 이것에 의해 캐비티 측벽(910.2)을 따라서 스텝(3930)이 얻어진다. 이 스텝은 도 41에 도시한 것과 같이 광섬유(104)에 대한 단단한 정지체로서 사용되어 광섬유 정렬을 용이하게 할 수 있으며 - 상기 광섬유들은 스텝(3930)과 접하도록 그루브(310) 내에 삽입된다. (편의상, 도 41은 산화물(1010) 및, 도 6a~도38에서와 같이 존재하거나 존재하지 않을 수 있는 다른 피쳐들을 도시하고 있지 않다.) 원한다면, 미리 측벽(910.2)은 캐비티의 나머지보다 더 깊거나 동일한 깊이일 수 있다.

[0112] 도 42에서 도시한 것과 같이, 그루브(310)를 구비한 캐비티와 전기회로는, 초기에 인터포저(124.1, 124.2)로 도시한 별도의 웨이퍼에 형성될 수 있으며, 그것들은 그 다음에 단일의 광학 인터포저(124)로 조립된다. 실시예 제조 프로세스는 다음과 같다. 광학 인터포저(124)는, 캐비티(410)의 외측에 전기회로 없이, 캐비티(410) 및 그루브(310) 및 미리(144)를 형성하기 위해 도 8~도19에서와 같이 기판(130.1)(단결정 실리콘 또는 다른 적당한 재료)을 처리함으로써 제조된다. 산화물(1220), 금속(1310), 및 패시베이션(1330)은 도 17a~도19에서와 같이 캐비티 영역 내의 인터포저(124.1) 내에 존재할 수 있다. 금속(1310)의 패드 및 회로 요소들은 따라서 상기 캐비티 영역 내에 형성될 수 있다. 그 다음 도 43의 평면도에서와 같이 캐비티를 포함하는 구조체를 얻기 위해 상기 웨이퍼는 얇아지고 다이싱된다. 하나 이상의 측벽이 도 19를 참조하여 전술한 것과 같은 다이싱 프로세스에서 제거될 수 있다(그러나 필수적인 것은 아니다). 도 39a~39c의 변형을 포함하여, 전술한 것과 같이 프로세스 변형들이 사용될 수 있다.

[0113] 별도의 프로세스에서, 트랜스듀서 및 다른 회로들의 연결을 위한 전기회로를 형성하기 위해 기판(130.2)(단결정 실리콘 또는 다른 재료)을 처리함으로써 인터포저(124.2)가 제조된다. 상기 웨이퍼 처리는 도 12~도16을 참조하여 전술한 것과 같을 수 있다. 기판(130.2) 내에 캐비티(4210)가 형성된다. 광학 인터포저(124.1)가 이 캐비티 내에 삽입되고, 예컨대 접착제 등에 의해 상기 캐비티에 부착된다. 광섬유(104)는 인터포저(124.2)에 인터포저(124.1)를 부착하기 전 또는 후에 그루브(310)에 삽입되어 적당하게 부착될 수 있다(예컨대, 접착제로). 트랜스듀서 및 다른 회로들은 전술한 것과 같이 결합된 인터포저에 부착될 수 있다.

[0114] 인터포저(124)는 도 24~도 26에서와 같이 상이한 측벽들 위에 불연속 스페이서 및/또는 미리(144)를 가질 수 있으며, 인터포저(124.1 또는 124)는 도 6a~도 41을 참조하여 설명한 다른 피쳐들을 가질 수 있다. 특히, 어떤 실시예에서는, 인터포저(124.2)는 상부 및 바닥에 캐비티(4210)들을 가지며, 별도의 인터포저 또는 인터포저(124.1)들이 각각의 캐비티 내에 삽입된다.

[0115] 도 44a~도46은 또 다른 실시예를 도시하며, 도면들에서 인터포저(124.1)는 단지 상기 스페이서들을 지지하는 기판이다. 상기 기판은 '4410'으로 도시되어 있으며 스페이서들은 '4420'으로 도시되어 있다. 도 44a는 인터포저(124.1)의 평면도이고, 도 44b는 측면도이다. 상기 스페이서들은 채널(310)을 구획한다. 어떤 실시예에서는, 상기 기판과 스페이서들은 기판의 마스크 에칭에 의해 형성된 통합 구조체이다. 상기 기판은 실리콘, 폴리실리콘, 또는 어떤 다른 적당한 재료일 수 있다. 어떤 실시예에서는, 전체 인터포저(124.1)가 감광성 재료, 예컨대 포토레지스트 또는 감광성 폴리머로 만들어진다. 어떤 실시예에서는, 전체 인터포저(124.1)가 포토레지스트, 에폭시, 또는 다른 재료로부터 압형을 뜨거나, 몰딩 또는 사출성형에 의해 만들어진다. 다른 실시예에서는, 스페이서(4420)는 기판(4410) 위에 피착되고 패터닝된 얇은 필름으로 만들어질 수 있다. 다른 프로세스를 사용하는 것도 가능하다. 또한, 스페이서들은 도 27a~도 28에서와 같은 불연속 형상을 포함하여 전술한 임의의 형상이나, 도 34a~34e에서와 같은 채널(310) 위에 놓이는 형상들을 가질 수 있다.

[0116] 인터포저(124.2)(도 45 참조)는 인터포저(124)에 대해 전술한 임의의 기술들을 사용하여 제작될 수 있지만 인터포저(124.2)는 스페이서들이 필요 없다. 도 45는 도 22b를 참조하여 전술한 것과 같은 실시예 인터포저(124.2)의 수직 단면도를 도시하지만 스페이서를 갖지 않는다. 예를 들면, 인터포저(124.2)는 전술한 것과 같이 제작될 수 있지만 도 17a의 스페이서 에칭은 층(520)의 완전한 제거에 의해 대체된다. 도 46에서와 같이(도 45와 같은 동일한 수직 단면도), 인터포저(124.1)는 그 다음에, 예를 들면 접착제(4430), 또는 땀납, 또는 층(1010) 및 인터포저(124.1) 내의 재료 및 어쩌면 다른 요인들에 따라서 다른 적당한 기술로, 인터포저(124.2)의 캐비티(410) 내에 부착된다. 인터포저(124.1)은 캐비티(410)보다 작거나 클 수 있다. 예를 들면, 인터포저(124.1)는 캐비티(410)의 좌측으로 돌출할 수 있다.

[0117] 광섬유(104)는, 인터포저(124.1)를 인터포저(124.2)에 부착하기 전 또는 후에, 임의의 원하는 단계에서 채널(310) 내에 탑재될 수 있다. 트랜스듀서(120)는 예를 들면 도 22a를 참조하여 전술한 것과 같이 인터포저(124.1) 위에 탑재될 수 있다.

[0118] 본 발명은 인터포저(124.1, 124.2)의 특정 구조에 한정되지 않는다. 예를 들면, 어떤 실시예에서는, 인터포저(124.2)는 도 4에서와 같은 역행(retrograde) 측벽을 가진다.

- [0119] 도 47~도 48d는 또 다른 종류의 실시예들을 도시하며, 이 실시예들에서 그루브(310)는 도 29 및 도 30을 참조하여 기술한 것과 같은 SOI 기판(130)을 에칭함으로써 만들어진다. 기판(130)은 평탄한 절연층(2910)에 의해 분리된 단결정 실리콘 층(130.1, 130.2)을 가진다. 층(130.2) 위에는 도 47에서와 같이 마스크 층(810)(포토리티스트 또는 전술한 것과 같은 단단한 마스크)이 형성된다. 그 다음에, 도 48a~48d에 도시한 상이한 그루브 기하 형태를 가진 그루브를 형성하기 위해 에칭이 수행된다. 도 47~48d는 그루브(310)에 수직인 수직 단면도를 도시한다. 각각의 경우에서, 상기 에칭은 절연층(2910) 위에서 정지한다. 미러(144)를 지지하는 미러 측벽들(도 47~48d에는 도시생략)이 동일한 에칭 또는 별도의 에칭에 의해 형성된다.
- [0120] 도 48a에서, 그루브(310)와 스페이서를 형성하는 에칭은 이방성 수직 에칭, 예컨대 건식 에칭, 어쩌면 RIE(반응성 이온 에칭)이다. 도 48b에서, 상기 에칭은 어떤 결정 평면들에 선택적인 습식 에칭이다. 예를 들면, 어떤 실시예에서는, 층(130.2)은 (100) 방위를 가지고, 그루브들은 <100> 방향(direction)에 평행하며, 상기 에칭은, 도 29 및 도 30을 참조하여 기술한 것과 같이, {110} 평면에 선택적이다. 상기 그루브 측벽들은 그러므로 수평에 대해 45° 각도로 경사를 이룬다. 미러(144)를 지지하는 미러 측벽들(도 47~도 48d에는 미도시)은 동일한 에칭 또는 별도의 에칭에 의해 형성된다. 다른 방위 및 에칭 기술(예컨대, 건식 에칭)들 역시 사용될 수 있다.
- [0121] 도 48c에서, 상기 에칭은 건식이고 부분적으로만 이방성이며(바람직하게는 수직), 어떤 측 방향 에칭(lateral etching)을 허용한다. 마스크(810)는 바닥이 잘려지며(undercut), 그루브(310)의 측벽들이 기울어진다. 실시예 에칭은 반응성 이온 에칭(RIE) 또는 깊은 반응성 이온 에칭(DRIE)이며 이것들에서 가스 흐름 속도 및 압력은 45° ~ 54°로 경사진 측벽들을 제공하기 위해 잘 알려진 기술을 사용하여 제어된다.
- [0122] 도 48d에서, 상기 에칭은 역시 건식이고 부분적으로만 이방성이며(바람직하게는 수직), 어떤 측 방향 에칭을 허용한다. 마스크(810)는 바닥이 잘려지며, 상기 스페이서들은 둥글어진 볼록한 측벽들을 가진다. 전형적인 에칭은 RIE 또는 DRIE이며 이것들에서 가스 흐름 속도 및 압력은, 상기 에칭이 초기에 보다 등방성이지만 점진적으로 압력 감소 및 적당한 가스 흐름 제어로 인해 더욱더 바람직하게는 수직이 되도록, 잘 알려진 방식으로 제어된다.
- [0123] 나머지 처리는 임의의 적당한 종류일 수 있으며, 도 48e~도 51은 몇몇 옵션을 도시한다. 도 48e는 마스크(810)의 제거 후(마스크 제거는 옵션임) 상기 구조체의 평면도를 도시한다. 도 49 ~ 도 51은 스페이서(130.2)에서의 수직 단면도를 도시한다. 도 49에서와 같이, 마스크(4910)(예컨대, 단단한 마스크 또는 포토레지스트)는 그 위치가 도 48e에서 점선으로 표시된 가로형 그루브(4920)를 구획하도록 형성된다. 그루브(4920)는 (측벽에 의해 또는 별도의 층에 의해 제공된, 미도시의) 미러(144)를 위한 45° 측벽을 구획하기 위해 적당한 처리에 의해 형성된다. 예를 들면, 어떤 실시예에서는, 층(130.2)은 (100) 방위를 갖고, 도 48e의 도면에서 그루브(4920)의 측면들은 <100> 방향을 가지며, 그루브(4920)는 상기 그루브를 위한 45° 측벽을 형성하기 위해 전술한 바와 같이 (110) 평면들에 선택적인 습식 KOH 에칭에 의해 형성된다. 상기 에칭은 절연층(2910) 위에서 정지한다. 다른 실시예에서, 층(130.2) 및 그루브(4920)는 임의의 방위를 가질 수 있으며, 상기 그루브는 완전히 수직인 에칭에 의해 형성되고, 45° 측벽(4920M)은 도 39a ~ 도 41을 참조하여 기술한 것과 같이 다이싱 톱을 사용하여 형성된다. 또한, 연속적인 그루브(4920)는 각각의 별도 채널(310)을 위한 별도 그루브에 의해 대체될 수 있다. 다른 실시예들 역시 가능하다.
- [0124] 후속 처리는 전술한 다수의 예들에서와 같을 수 있으며, 도 50 및 도 51은 몇몇 옵션을 도시한다. 도 50은 도 22a와 유사한 구조체의 예를 도시한다. 도 50은 또한 그루브(4920)의 측벽들 위에 형성된 보호층(4930)을 보여준다. 상기 보호층은 미러 측벽(4920M)으로부터 제거된다. 나머지 처리 단계들은 도 22a 또는 도 26의 구조체 또는 다른 인터포저 구조체들에 대해 기술한 것과 본질적으로 같다. 상기 금속화된 비아들은 임의의 적당한 단계에서 형성될 수 있다. 도 51에는 대안적인 구조체가 도시되어 있다. 여기서 그루브(4920)는 도 4에서와 같은 역행 측벽(예컨대, 135° 측벽)을 가진다. 그와 같은 측벽은 예를 들면 도 52a ~ 도 59를 참조하여 아래에서 설명되는 것과 같이 형성될 수 있다. 본 발명은 청구항들에 의해 정의된 것 외에는 특정 구조체 또는 처리 단계들에 한정되지 않는다.
- [0125] 이제 도 4 또는 도 51의 몇몇 실시예에서 사용된 역행 구조체를 설명한다. 도 4 또는 도 51의 실리콘 인터포저는 (100) 방위를 가진 단결정 실리콘 기판(130)(또는 도 51에서 층(130.2))을 사용하여 제조될 수 있다. 도 52a(수직 단면도) 및 도 52b(평면도)에서 도시한 것과 같이, 캐비티(410)를 구획하기 위해 적당한 마스크(810)(예컨대, 열 또는 CVD 실리콘 디옥사이드)가 형성된다. 이 실시예에서, 마스크 개구는 직사각형이며, <100> 방향을 따라 연장하는 측면(5210.1~5210.4)들을 가진다. 135°의 역행 각도가 아래 설명하는 것과 같이 이들 측면들의 하나 이상에 형성될 것이다. 어떤 실시예에서는, 상기 역행 각도가 필요한 각 측면은 <100> 방향을 따

라 연장하지만, 다른 측면들은 다른 방향을 따라 연장할 것이다. 본 발명은 직사각형 마스크 개구에 한정되지 않는다.

- [0126] 마스크(810)에 선택적인 이방성의 완전 수직인 에칭은 수직 측벽들을 구비한 캐비티(410)를 형성한다(도 53 참조, 수직 단면도). 이것은 예를 들면 건식 에칭일 수 있다. 그 다음(도 54, 수직 단면도) 135°의 역행 측벽을 형성하기 위해 상기 캐비티를 더 깊게 하고 상기 캐비티 에지의 바닥을 깎아내기 위해 {110} 실리콘 평면들에 선택적인 습식 에칭이 수행된다. 도 9a에서의 45° 측벽들을 형성하는 에칭들의 어느 것으로서 동일한 습식 에칭이 사용될 수 있다. 어떤 실시예에서는, 상기 캐비티 깊이는 상기 습식 에칭의 두 배이거나 세 배 이상이다.
- [0127] 추가의 처리가 필요에 따라 수행된다. 예를 들면, 도 4의 구조체를 형성하기 위해, 마스크(810)가 제거되며(도 55a), 상기 웨이퍼는 측면(5210.4)을 제거하기 위해 다이싱된다. 트랜스듀서(120)는 임의의 적당한 수단(예컨대, 접착제)에 의해 기판(130)의 바닥에 부착된다. 캐비티 내에 광섬유(104)가 부착된다. 미러(144)들은 실리콘 측벽 표면(5210.2)에 의해 제공된다. 도 55a는 광섬유와 트랜스듀서 사이의 실시예 광빔을 보여주며; 상기 광빔은 캐비티의 바닥면에 평행한 다리(140B)와, 캐비티의 바닥면에 수직인 다리(140A)를 가진다. 상기 광빔은 상기 2개의 방향(즉, 광섬유에서 트랜스듀서로 및/또는 트랜스듀서에서 광섬유로) 중 어느 하나 또는 둘 다의 방향으로 진행할 수 있다.
- [0128] 어떤 실시예에서는, 상기 웨이퍼의 다이싱을 하기 전에, 광섬유(104)를 위한 그루브(310)를 구비한, 도 17b의 스페이서(520)와 유사한 스페이서들을 구획하도록 적당한 재료(예컨대, 폴리머, 미도시)가 피착되고 패터닝된다. 상기 스페이서들은 또한 도 32a~32c에서와 같이 감법으로 형성될 수 있다. 상기 스페이서 재료는 적당한 프로세스(예컨대, 습식 에칭)에 의해 상기 역행 측벽들의 바닥부터 에칭된다.
- [0129] 대안으로, 상기 스페이서 및 그루브들은 마스크(810)에 의해 구획될 수 있다(도 52a~52b 참조). 즉, 마스크(810)는 상기 그루브들 사이의 스페이서 영역을 피복할 수 있다. 그 다음 상기 그루브들 및 스페이서들이 도 53 및 도 54의 에칭들에 의해 형성될 것이다. 이 경우에, 상기 스페이서들 및 그루브들은 역행 측벽들을 가질 수도 있다 - 그루브의 횡 단면은 도 5에서와 같다).
- [0130] 상기 그루브들 및 스페이서들은 도 44b의 인터포저(124.1)와 동일할 수 있는 별도의 인터포저(124.1)(도 5)에 의해 제공될 수 있다.
- [0131] 도 56 ~ 도 59는 측면(5210.2)만이 역행하는 실시예를 도시하며, 나머지 측면들은 측면(5210.2)에 인접한 부분들 외에는 수직이다. 제조는 도 52a~52b 및 도 53에서와 같이 진행하여 수직 측벽(5210.1~5210.4)을 가진 캐비티(410)를 형성한다. 그 다음 측면(5210.2)에 인접한 영역 이외에 캐비티(410)를 피복하는 마스크(5610)(도 56, 평면도)가 형성된다. 그 다음 상기 습식 에칭이 도 54에 대해서 전술한 것과 같이 수행된다. 상기 습식 에칭은 마스크(5610)에 대해 선택적이다. 상기 습식 에칭은 마스크(5610)에 의해 노출된 캐비티 부분을 깊게 하고 측면(5210.2)에 인접한 측면(5210.1, 5210.3)(미도시)의 부분들 및 측면(5210.2)에 135° 역행 프로파일을 형성한다. 측면(5210.2)을 가로질러 상기 깊어진 캐비티 부분에 45° 경사(5710)가 형성된다.
- [0132] 마스크 층(810, 5610)은 그 다음 제거된다(도 58 참조, 수직 평면도). 상기 구조체의 다이싱 후에, 트랜스듀서(120) 및 광섬유(104)가 도 55a를 참조하여 전술한 것과 같이 부착된다(도 59 참조, 수직 단면도). 스페이서들은 도 55a 또는 도 55b를 참조하여 전술한 것과 같이 형성될 수 있다.
- [0133] 상기 역행 측벽들은 135° 이외의 각도일 수 있다. 예를 들어, 만일 측벽들이 (100) 또는 (110) 웨이퍼 내의 {111} 평면들이라면 125.3° 각도가 가능하다. 그와 같은 각도를 얻기 위해, 측면(5210.2)은 (100) 웨이퍼에서 [111] 방위가 되어야 하며, (110) 웨이퍼에서 [100] 방위가 되어야 한다.
- [0134] 전술한 어떤 광학 실시예에서는, 광섬유(104)는 옵션이며; 광빔들은 광섬유 없이 공간을 통해 전송된다. 예를 들면, 어떤 실시예에서는, 상기 광빔은 레이저 빔이다.
- [0135] 어떤 실시예에서는, 상기 역행 측벽들은 도 5를 참조하여 설명된 것과 같이 MEMS 응용에서 사용된다. 예를 들면, 도 60(도 54와 같은 수직 단면도)은 도 5 또는 도 54에서와 같은 실리콘 구조체에 기초한 센서를 도시한다. 상기 센서는, 실리콘 평면들에 의해 형성된 125.3° 각도 또는 135° 각도의 2개 이상의 역행 측벽을 가진 캐비티(410)를 구비하고 (100) 방위를 가진 단결정 실리콘 웨이퍼(130)로 만들어진다. 상기 캐비티는 도 52a~도 54를 참조하여 전술한 것과 같이 형성될 수 있다. 캐비티 바닥의 얇은 기판 부분(6010)은, 기판(130)의 상부 및/또는 바닥에 형성된 다수의 블록들로 도시된 회로(6020)에 의해 그 변형이 검출되는 멤브레인을, 제공한다. 회로 블록(6020)은 기판(130)과 통합된 요소들 및/또는 상기 기판에 연결된 외부 요소들을 포함할 수 있다. 어떤 실

시에에서는, 멤브레인(6010)은 회로(6020)에 연결된 하나 이상의 저항기들을 제공하도록 도핑된다. 만일 상기 멤브레인이 변형되면, 상기 저항기들 중 한 개 이상이 늘어나게 되어 저항성이 증가되거나, 더욱 압축되어 저항성이 감소된다. 상기 저항기를 통과하는 전류 또는 전압은 알려진 기술을 사용하여 회로(6020)에 의해 검출된다. 1990년 3월 6일자 공고된 Okada의 미국 특허 제4,905,523호; 1999년 12월 7일 공고된 미국 특허 제5,998,234호; 및 2010년 11월 5일 출원되고 2012년 3월 15일 US2012/0060605 A1으로 공개된 Wu 등의 미국 특허 출원 제12/951,738호를 참조할 수 있으며, 이것들은 모두 참조를 위해 본 명세서에 포함된다.

[0136] 다른 MEMS 응용에서, 회로 블록(6020)은 멤브레인(6010)을 가열 또는 변형시켜 캐비티(410) 내의 액체 또는 기체(미도시)에 영향을 미치는 트랜스듀서를 포함한다. 그와 같은 기능은 센서 기능에 추가로 제공되거나 센서 기능 없는 MEMS 구조체 내에 제공될 수도 있다.

[0137] 상기 센서 실시예에서, 상기 멤브레인 모션은 또한 도 61에서와 같이 광학적으로 검출될 수도 있다. 이 실시예에서, 캐비티 측벽(5210.2, 5210.4)들은 도 54에서와 같이 135° 각도를 이룬다. 송신기(120.1) 및 수신기(120.2)(이것들은 별도의 반도체 칩 또는 동일한 칩에 형성된 트랜스듀서일 수 있음)는, 멤브레인이 변형할 때 멤브레인과 함께 이동하도록 멤브레인(6010)의 바닥에 견고하게 부착되거나, 멤브레인이 변형할 때 그 위치가 변하지 않도록, 별도의 마운트(미도시) 위에 탑재될 수 있다. 송신기(120.1)는 멤브레인을 통해서 광빔(140)(예컨대, 레이저 빔)을 전송한다. 만일 멤브레인(6010)이 수평이면, 상기 빔은 캐비티 측벽(5210.2)에 의해 반사되어 측벽(5210.4)까지 수평으로 진행한다. 측벽(5210.4)은 상기 빔을 수직 하방으로 반사하여 멤브레인(6010)을 통해 수신기(120.2)까지 진행하게 한다. 만일 멤브레인이 변형되면, 빔(140)의 경로는 변할 것이고, 상기 빔은 수신기(120.2)에 도달하지 않거나, 상이한 측정가능 파라미터, 예컨대, 수신기(120.2)의 상이한 부분에 및/또는 상이한 각도로 및/또는 강도의 상이한 공간 분포로 및/또는 상이한 위상 및/또는 편광(polarization)을 가진 다른 방식으로 상기 수신기에 도달할 것이다. 이 차이들은 수신기(120.2)에 의해 검출되어 감지 신호(예컨대, 상기 차이를 나타내는 전기 신호)를 제공한다.

[0138] 도 60 및 도 61의 센서들은 멤브레인 변위(displacement) 및/또는 진동 및/또는 스트레인(strain)(즉, 멤브레인 상의 압력)을 검출 및 측정하기 위해 사용될 수 있다. 그것들이 멤브레인의 변위 또는 변형(deformation) 또는 진동에 의해 영향을 받으면 다른 파라미터들이 측정될 수도 있다. 그와 같은 파라미터들은 온도, 전기 전도율, 전기 저항, 스트레인, 압력, 반사율(reflectivity), 굴절률(refractive index), 및 어쩌면 다른 파라미터를 포함한다.

[0139] 어떤 실시예에서는, 도 54의 구조체의 측벽(5210)은 칩간 통신을 위한 반사성 표면으로서 사용된다. 도 62(수직 단면도)는 칩(6210.1, 6210.2) 사이의 통신을 위한 광학 인터포저로서 사용되는 기관(130)을 보여준다. 칩(6210)은 어쩌면 전도성 배선(6230)에 의해 트랜스듀서(120.1)에 연결된다. 칩(6210.2)는 다른 전도성 배선(6230)에 의해 트랜스듀서(120.2)에 연결된다. 칩(6210.1) 및 트랜스듀서(120.1)는 기관(130)의 상부면에 부착된다. 칩(6210.2)과 트랜스듀서(120.2)는 기관(130)의 바닥면 위에 부착된다. 트랜스듀서(120.1)는 캐비티(140)의 측벽(5210.4)에 인접해 있다. 트랜스듀서(120.2)는 상기 캐비티 아래에 탑재된다. 배선(6230)은 기관(130) 내 및/또는 위에 및/또는 별개의 배선(미도시)에 의해 형성될 수 있다. 다수의 변형이 있을 수 있다. 예를 들면, 칩(6210.1)과 트랜스듀서(120.1)은 단일의 칩 내에 통합될 수 있고; 칩(6210.2)과 트랜스듀서(120.2) 역시 단일의 칩 내에 통합될 수 있으며; 대안으로, 칩(6210.1, 6210.2)들 중 하나 이상이 상기 인터포저로부터 분리되어 탑재될 수 있으며; 이것들은 비한정적인 실시예이다.

[0140] 캐비티 측벽(5210.2, 5210.4)들은 135° 각도를 이룬다. 측벽(5210.2)은 측벽(5210.4)보다 더 키가 크다. 트랜스듀서(120.1)는 캐비티 에지로부터 연장하는 기관의 수평 표면 위의 측벽(5210.4)의 상부에 탑재된다. 트랜스듀서(120.1)에서 방출된 수평 빔(140)은 측벽(5210.2)에 의해 수직 하방으로 반사되어 트랜스듀서(120.2)까지 진행한다. 다른 실시예에서는, 빔(140)은 역방향으로(즉, 트랜스듀서(120.2)로부터 트랜스듀서(120.1)까지) 진행하거나, 반대 방향의 복수의 빔들이 제공될 수 있다.

[0141] 상기 인터포저는 도 63a~63c(수직 단면도)에 도시한 것과 같이 제조될 수 있다. 먼저, 기관(130)이 도 52a~도 54에서와 같이 처리된다. 그 다음 포지티브(positive) 포토레지스트의 층(6310)이 피착되어 캐비티(410)을 충전하고 기관(130)을 덮는다. 상기 레지스트 층은 평탄한 상부면을 가진다. 상기 레지스트에는 캐비티 측벽(5210.4) 위의 기관(130)을 노출하도록 개구(6320)(도 63b 참조)가 알려진 기술을 사용하여 형성된다. 상기 개구는 캐비티(410) 내로 연장할 수 있지만 상기 레지스트는 캐비티 바닥이 노출되지 않도록 캐비티 바닥부터 제거되지 않는다. 상기 레지스트 패터닝은, 당해 기술분야에서 알려진 것과 같이, 캐비티 바닥 위의 전체 깊이보다 작은 제한된 깊이까지 상기 포토레지스트를 노출하여 달성될 수 있다.

- [0142] 기관(130)은 레지스트(6310)에 선택적으로, 즉 측벽(5210.4)에 인접하게 에칭된다(도 63c 참조). 측벽(5210.4)은 더 짧아진다. 상기 레지스트는 그 다음 도 62에 도시한 인터포저를 얻기 위해 벗겨진다.
- [0143] 전도성 배선(6230) 및 다른 전도성 배선들이 임의의 적당한 단계에서 형성될 수 있고, 트랜스듀서 및 칩들이 적당히 탑재될 수 있다.
- [0144] 측벽(5210.4)은 도 62에서 반사체로서 사용되지 않기 때문에, 측벽(5210.4)은 수직이거나 어떤 다른 각도를 이룰 수 있다. 또한, 인터포저(130)는 도 55a 또는 도 59에서와 같을 수 있으며, 트랜스듀서(120.1)는 광섬유(104)를 대체한다.
- [0145] 도 62의 실시예 및, 역행 표면들을 구비한(예를 들면, 도 51, 55a, 55b, 59, 61에서와 같이) 다른 어떤 광학 실시예에서, (측벽(5210.4)과 같은) 역행 측벽의 반사 특성은, 원하는 반사 특성(예컨대 원하는 파장 범위에서 원하는 매끄러움 및 원하는 반사율)을 제공하는 매끄러운 반사층(도 18의 층(144)과 유사)을 형성함으로써 개선될 수 있다. 예를 들면, 알루미늄 또는 구리가 CVD에 의해 피착될 수 있다. 도 63d 및 63e에서와 같이, 리스퍼터링(re-sputtering)이 이어지는 스퍼터링도 사용될 수 있다. 더욱 구체적으로는, 적당한 반사 재료, 예컨대 금속(알루미늄, 구리, 금, 은, 또는 다른 적당한 재료 또는 그것들의 조합)의 층(6330)이 기관(130)의 상부면 위에 스퍼터-피착될 수 있다. 층(6330)은 등각이 아니며(non-conformal), 스퍼터링 타겟(미도시)의 시선 내의 상기 표면들을 피복하지만 역행 측벽(5210.2, 5210.4)을 피복하지 않는다(도 63d 참조). 그 다음 리스퍼터링이 수행된다. 이 프로세스에서, 층(6330)은 층(6330)의 원자들을 배출하는 이온 또는 원자(예컨대, 아르곤)에 의해 포격당한다. 캐비티(410)의 바닥부터 배출된 원자들의 일부는 미리 측벽(5210.2) 위에 및 어쩌면 다른 역행 측벽들 위에 피착하여 반사성 미리(144)를 제공한다.
- [0146] 대안으로, 미리(144)는 별도의 기관(미도시) 위에 형성될 수 있고, 그 다음 상기 별도의 기관으로부터 분리되어, 도 18을 참조하여 기술한 것과 같이, 접착제로 미리 측벽 또는 측벽들에 접착된다.
- [0147] 본 발명은 기술한 피처들에 한정되지 않는다. 예를 들면, 상이한 채널(310)들은 동일한 구조체에서 상이한 길이를 가질 수 있다. 가시광(약 380 nm ~ 약 740 nm) 또는 적외 방사선(약 10 nm ~ 가시광까지), 또는 자외 방사선(대략 가시광부터 약 300 μ m까지)를 포함하지만 이에 한정되지 않는 어떤 적당한 파장에 대해 광섬유 이외의 도파관이 제공될 수 있다. 다른 변형 역시 가능하다. 어떤 실시예들은 단결정 실리콘 영역(예컨대, 도 54의 영역(130))을 포함하는 기관을 제공하며, 상기 영역은:
- [0148] 상기 단결정 실리콘의 결정 평면(예컨대, {100} 평면)인 제1 표면(이것은 예를 들면 캐비티(410)의 바닥면일 수 있음);
- [0149] 상기 단결정 실리콘의 결정 평면(예컨대, {110} 평면)인 제2 표면(이것은 예를 들면 캐비티(410)의 측벽 표면(5210.2)일 수 있음)을 포함하며,
- [0150] 상기 제1 표면 및 제2 표면은 서로 135° 또는 125.3°의 각도로 만나며, 상기 각도는 상기 단결정 실리콘에 의해 점유된 공간을 통해 측정된다(예컨대, 도 5의 각도(α)).
- [0151] 어떤 실시예에서는, 상기 기관은, 제2 표면이 전자기파의 경로를 제공하는 반사체인 구조체를 위해 사용되며(예컨대, 도 55a, 55b, 59 참조), 상기 경로는 제1 표면에 평행인 제1 세그먼트(예컨대, 도 55a 또는 55b의 '140B') 및 제 1 표면을 관통하는 제2 세그먼트(예컨대, '140A')를 가지며, 제1 및 제2 세그먼트는 상기 반사체에서 만난다.
- [0152] 어떤 실시예들은, 상기 경로에서 전자기파를 수신하거나 상기 경로에 전자기파를 송신하기 위한, 상기 경로의 제2 세그먼트를 만나는 트랜스듀서(예컨대, 도 55a의 '120')를 포함한다. 어떤 실시예에서, 상기 트랜스듀서는 기관에 부착된다.
- [0153] 어떤 실시예에서는, 상기 전자기파는 10 nm ~ 300 μ m 범위의 파장이다.
- [0154] 어떤 실시예들은 기관을 제조하는 방법을 제공하며, 상기 방법은:
- [0155] 상기 단결정 실리콘의 결정 평면(예컨대, (100) 평면)인 제1 표면(예컨대, 도 52a에서 기관(130)의 상부면)을 가진, 단결정 실리콘 영역을 획득하는 단계;
- [0156] 제2 표면에 비아를 형성하는 단계(예컨대, 상기 비아는 도 53에서 캐비티(410)이거나, 관통 구멍일 수 있음)로서, 상기 비아는 135° 또는 125.3°의 미리 정의된 각도(α)보다 작은 각도를 형성하는 측벽을 가지고, 상기 각도(α)는 상기 비아의 바닥을 통과하고 상기 제1 표면에 평행인 제1 평면과 상기 측벽 사이의 각도이고(예컨

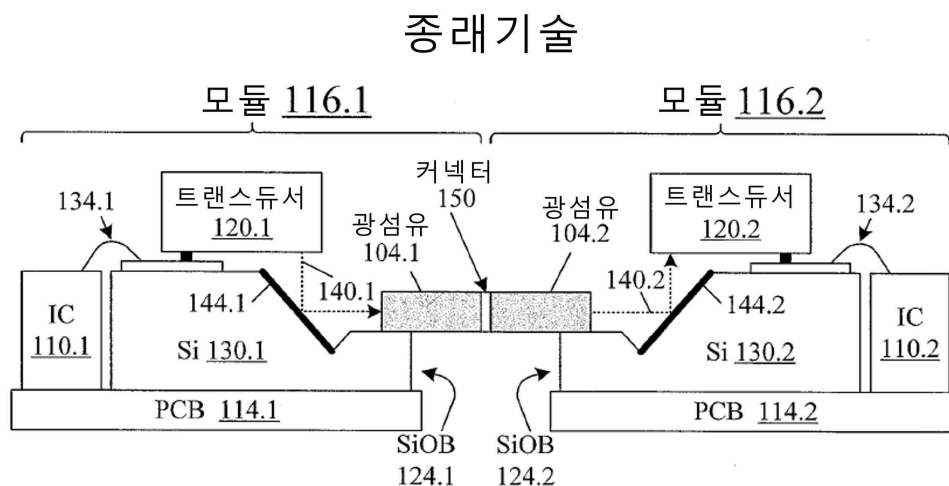
대, 상기 제1 평면은 도 53에서 캐비티(410)의 바닥면일 수 있으며; 만일 상기 비아가 관통 구멍이면, 상기 제1 평면은 상기 비아 바닥을 통과하는 수평 평면일 수 있다), 상기 각도(α)는 상기 단결정 실리콘 영역을 통해 측정되며,

- [0157] 상기 제1 평면에 대하여 상기 각도(α)로 제2 표면(예컨대, 도 54에서 측벽 표면(5210.4))을 형성하기 위해, 상기 단결정 실리콘 영역의 미리 정의된 결정 평면들에 대해 선택적으로(예컨대, {110} 평면들에 대해 선택적으로) 상기 측벽을 습식-에칭하는 단계;를 포함한다.
- [0158] 어떤 실시예들은 상기 하나 이상의 도파관에 결합되는 하나 이상의 트랜스듀서들에 복수의 도파관(예컨대, 광섬유 케이블(104))을 접속(interfacing)하는 인터포저(예컨대, 도 46에서 '124')를 제공하며, 각각의 도파관은 하나 이상의 상기 트랜스듀서들과의 사이에서 전자기파를 전송하기 위한 것이며, 상기 인터포저는:
 - (a) 상기 도파관을 지지하기 위한 복수의 제1 채널(예컨대, '310')을 구획하는 하나 이상의 제1 스페이서(예컨대, '4420')를 포함하는 제1 인터포저 구조체(예컨대, '124.1'); 및
 - (b) 제1 캐비티(예컨대, '410')를 포함하는 제2 인터포저 구조체(예컨대, '124.2')를 포함하고, 상기 제1 인터포저 구조체는 제1 인터포저 구조체에 부착되고 제1 캐비티 내에 적어도 부분적으로 위치되며,
- [0161] 상기 캐비티는 하나 이상의 측벽 부분들(예컨대, 측벽 부분은 단일 그루브(310) 내의 부분일 수 있다)을 포함하는 측벽 표면(예컨대, 도 45에서 캐비티(410)의 우측 측벽)을 포함하고,
- [0162] 각각의 제1 채널은 상기 하나 이상의 측벽 부분들의 관련된 하나에 인접한 제1 단부(예컨대, 미러(144)에 인접한 우측 단부)를 구비하고, 각각의 측벽 부분은 상기 제1 채널의 각각의 도파관에 출입하는 전자기파를 조향하기 위한 재조향(redirecting) 요소(예컨대, 단일의 그루브(310)를 위한 미러(144) 부분)를 제공 및/또는 지지하기 위한 것이다.
- [0163] 어떤 실시예들은 하나 이상의 트랜스듀서에 복수의 도파관을 접속하기 위한 인터포저를 제조하는 방법을 제공하며, 상기 방법은:
 - [0164] 기관 내에 제1 캐비티를 형성하는 단계(예컨대, 도 32a에서 '410');
 - [0165] 상기 제1 캐비티의 바닥면 위에 제1 층(예컨대, '520')을 형성하는 단계로서, 상기 제1 층의 상부면에는 하나 이상의 갭(예컨대, 도 32a에서 피치(520)들 사이의 갭)이 구비되며,
 - [0166] 상기 하나 이상의 갭에 제2 층(예컨대, '3410')을 형성하는 단계; 및
 - [0167] 상기 하나 이상의 갭에 위치하는 상기 제2 층의 부분들에 의해 서로 분리된 복수의 채널을 형성하기 위해 상기 제1 층의 적어도 일부를 제거하는 단계로서, 상기 하나 이상의 갭 내의 제2 층 부분들은 상기 제1 캐비티에 하나 이상의 스페이서를 제공하고, 상기 복수의 채널들은 전자기파를 전송하기 위한 도파관을 지지하기 위한 것이며, 상기 도파관들은 하나 이상의 트랜스듀서들에 결합되는 것이다.
- [0168] 어떤 실시예에서는, 상기 제2 층을 형성하는 단계는, 제1 층에 중첩하도록 상기 제2 층을 형성하는 단계를 포함하고(예를 들면 도 34c 또는 34d에서와 같이);
- [0169] 상기 제1 층의 적어도 일부를 제거하는 단계는, 상기 제2 층 아래로부터 상기 제1 층의 적어도 일부를 제거하는 단계를 포함한다.
- [0170] 어떤 실시예에서는, 상기 제2 층을 형성하는 단계는, 상기 하나 이상의 갭에 상기 제2 층을 전기도금하는 단계를 포함한다(예컨대, 도 34d 참조).
- [0171] 어떤 실시예는 상기 제2 층의 전기도금을 위한 시드 층(예컨대, '3420')을 형성하는 단계를 더 포함하고, 상기 시드 층은 상기 제1 층 전에 형성되며;
- [0172] 상기 하나 이상의 갭을 구비한 상기 제1 층을 형성하는 단계는:
 - [0173] 상기 하나 이상의 갭이 없는 상기 제1 층을 형성하는 단계; 및
 - [0174] 상기 하나 이상의 갭을 형성하고 상기 하나 이상의 갭 내의 상기 시드 층을 노출시키기 위해 상기 하나 이상의 갭의 위치에서 상기 제1 층을 제거하는 단계를 포함한다.
- [0175] 어떤 실시예들은 상기 도파관들에 결합되는 하나 이상의 트랜스듀서들에 복수의 도파관을 접속하기 위한 인터포저를 제공하고, 상기 인터포저는 그 내부에 제1 캐비티를 가진 상부면을 포함하며;

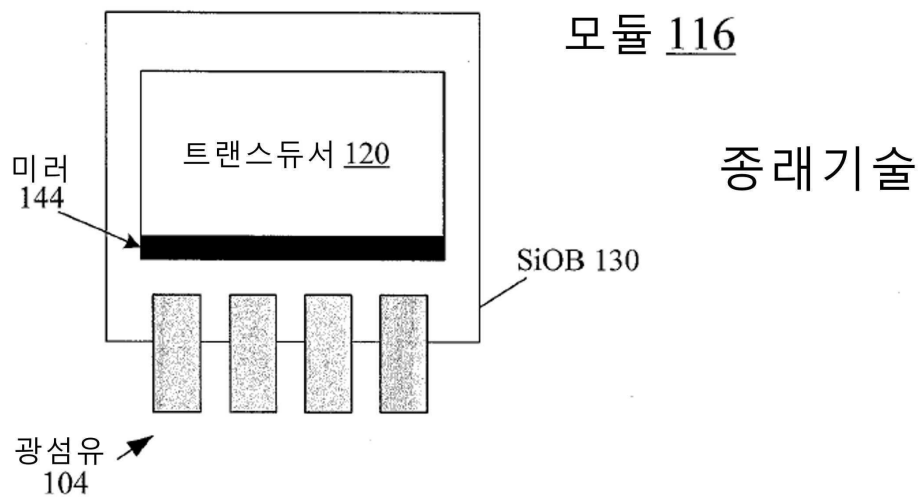
- [0176] 상기 인터포저는 또한 상기 제1 캐비티 표면 위에 하나 이상의 제1 스페이서를 포함하고, 상기 하나 이상의 제1 스페이서는 상기 도파관을 지지하는 복수의 제1 채널들을 구획하며(예를 들면, 상기 스페이서들은 도 34a 또는 34e에서 채널(310)들 사이에 층(3410)을 포함할 수 있다);
- [0177] 하나 이상의 제1 스페이서는 하나 이상의 제1 채널에 중첩한다(예컨대, 도 34a 또는 도 34e에서와 같이).
- [0178] 어떤 실시예에서는, 2개 이상의 인접한 제1 스페이서가 제1 채널 위에서 만난다(예컨대, 도 34a에서와 같이).
- [0179] 어떤 실시예들은 상기 하나 이상의 트랜스듀서에의 연결을 위한 전기 회로를 추가로 포함한다(예컨대, 도 22a~도 26, 도 31, 도 35f, 도 38, 도 59 참조).
- [0180] 어떤 실시예들은 인터포저를 제조하는 방법을 제공하며, 상기 방법은:
- [0181] 반도체 재료의 제1 층(예컨대, 도 47~48d에서 '130.1') 및 상기 반도체 재료의 제1 층 아래에 있는 절연층(예컨대, 층(2910))을 포함하는 기판을 획득하는 단계;
- [0182] 상기 제2 층 내에 복수의 채널을 구획하기 위해 상기 반도체 재료의 제1 층 위에 마스크(예컨대, '810')를 형성하는 단계로서, 상기 채널들은 하나 이상의 트랜스듀서에 결합되는 도파관들을 지지하기 위한 것이며;
- [0183] 상기 채널들을 형성하기 위해 상기 마스크 및 상기 절연층에 선택적으로 상기 제1 층을 에칭하는 단계를 포함한다.
- [0184] 어떤 실시예들은 상기 제1 층 내에 하나 이상의 그루브(예컨대, 도 49의 그루브(4920), 또는 복수의 그루브(미도시) - 별도의 그루브가 예를 들면 각 채널(310)의 단부에 형성될 수 있으며; 상이한 채널(310)들은 원한다면 상이한 길이를 가질 수 있다)를 형성하는 단계를 추가로 포함하고, 각각의 그루브는 하나 이상의 측벽 부분들(예컨대, '4920M')을 가지며, 각각의 채널은 상기 측벽 부분들의 관련된 하나에 인접한 제1 단부를 가지고, 각각의 측벽 부분은 상기 제1 채널의 각각의 광섬유 케이블에 출입하는 광을 조향하기 위한 광학소자를 제공 및/또는 지지하기 위한 것이다(상기 광학소자는 각각의 채널(310)로부터 가로지르는 미러(144)의 부분일 수 있으며; 상기 미러는 금속이거나, 도 51에서와 같은 실리콘(130.2)의 표면일 수 있다).
- [0185] 다른 실시예 및 변형이 첨부된 청구항들에 의해 정의된 것과 같이 본 발명의 범위 내에 포함될 수 있다.

도면

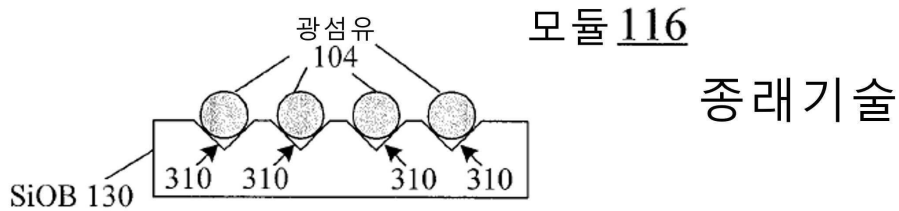
도면1



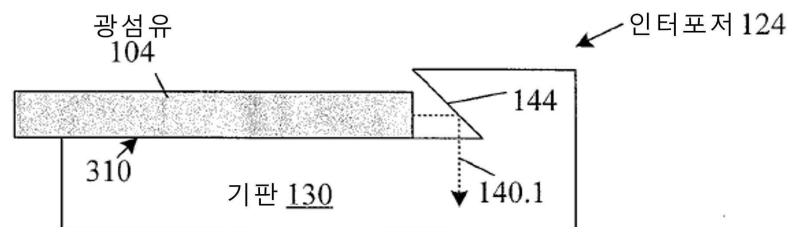
도면2



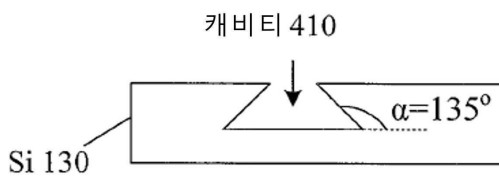
도면3



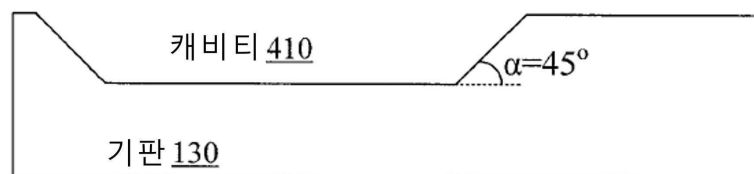
도면4



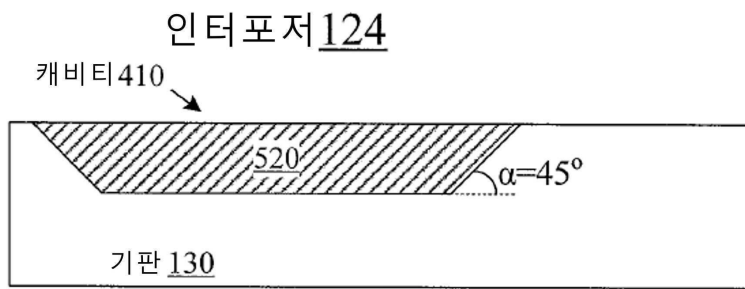
도면5



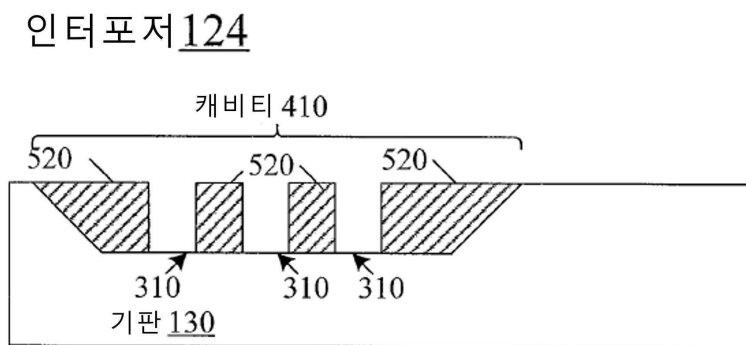
도면6a



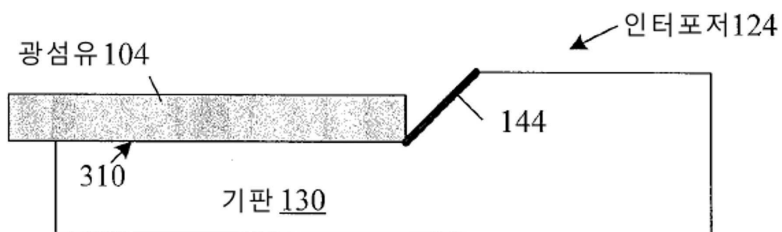
도면6b



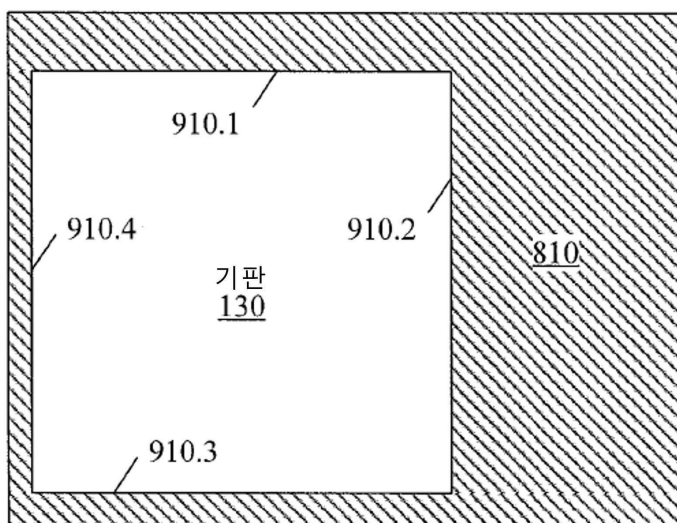
도면6c



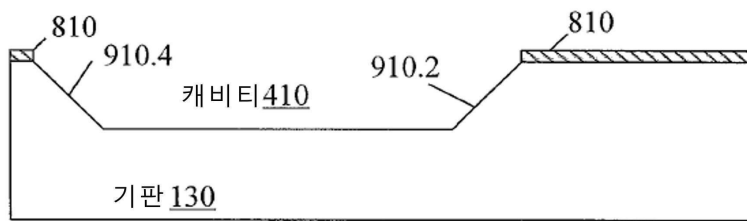
도면7



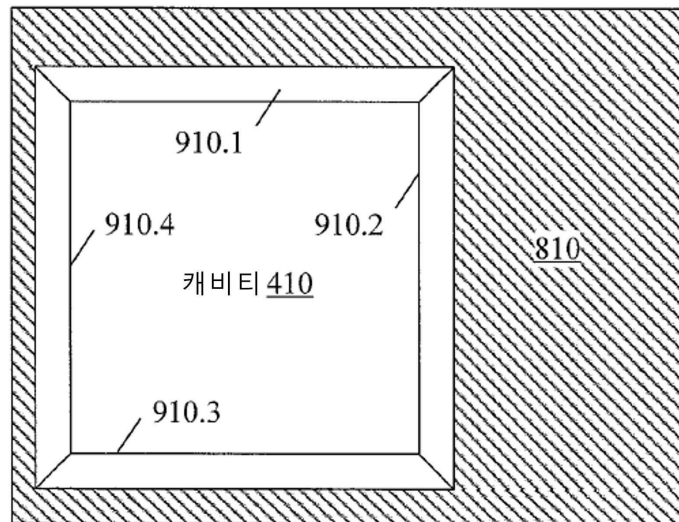
도면8



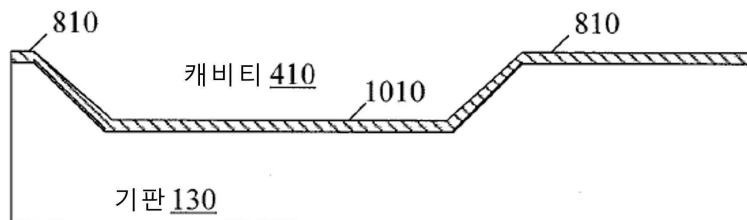
도면9a



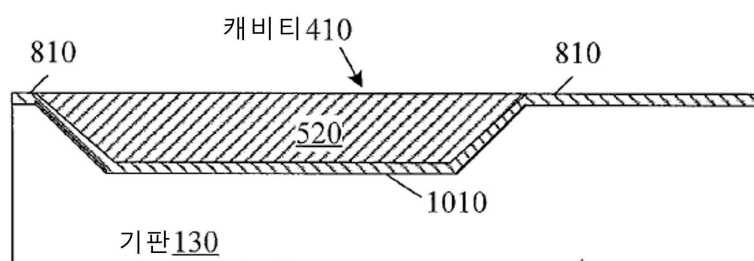
도면9b



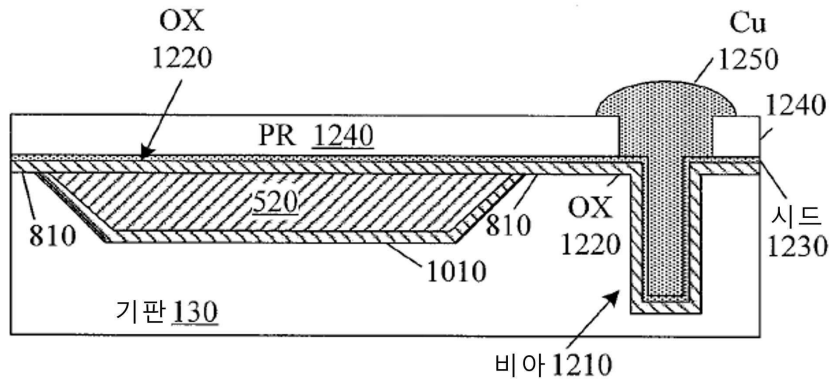
도면10



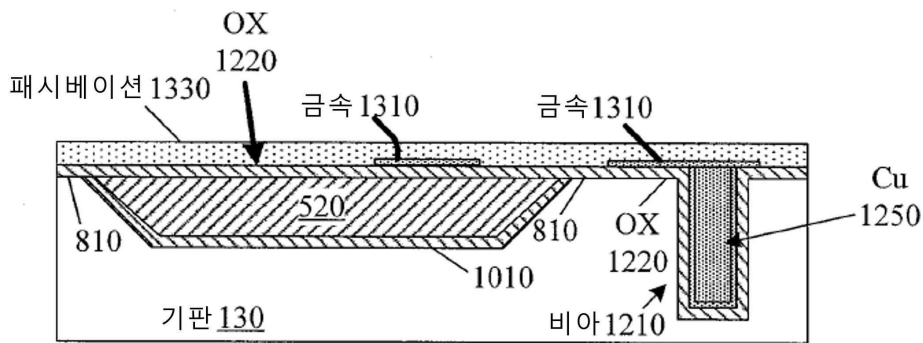
도면11



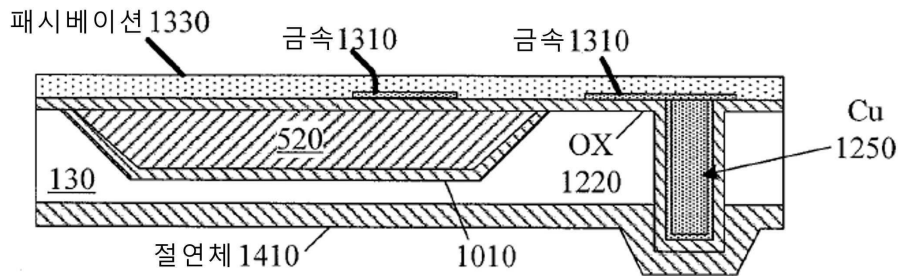
도면12



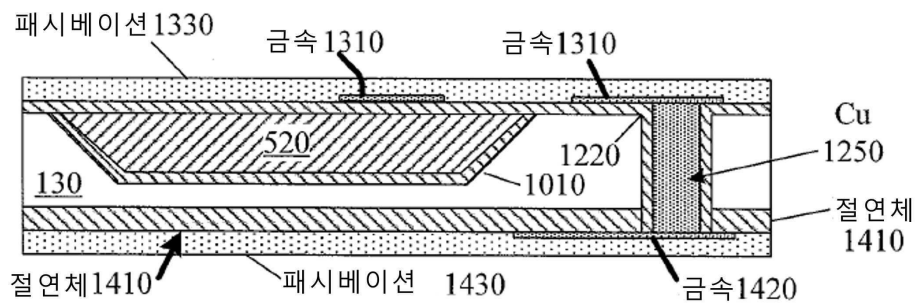
도면13



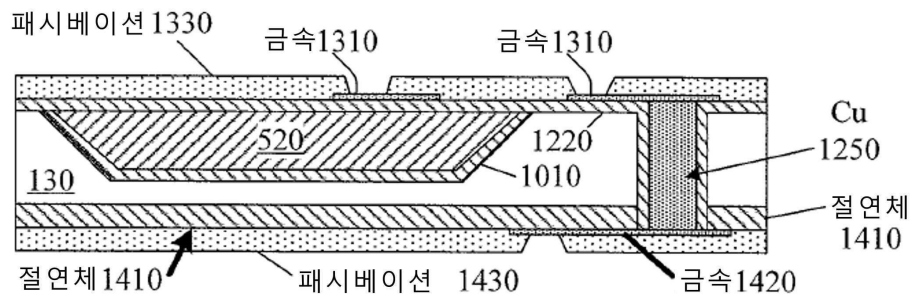
도면14



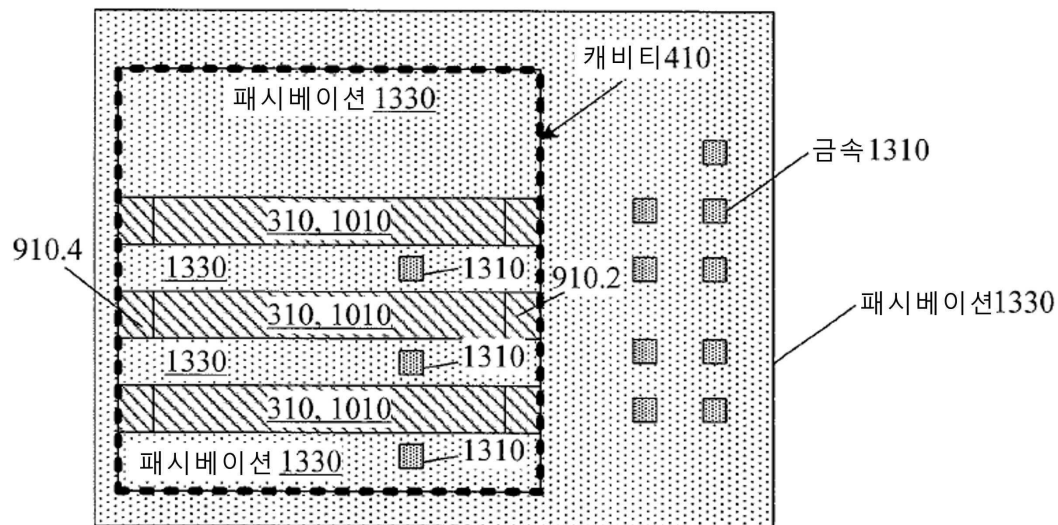
도면15



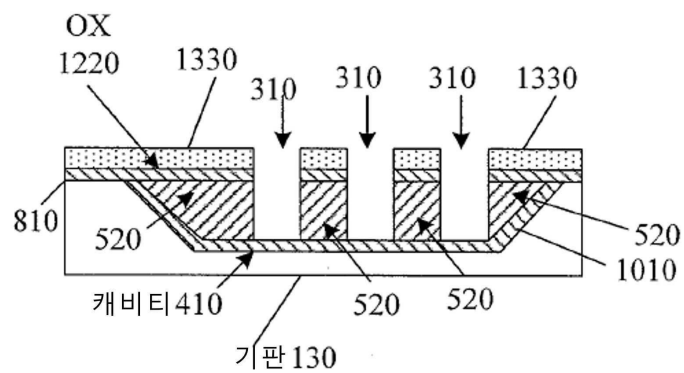
도면16



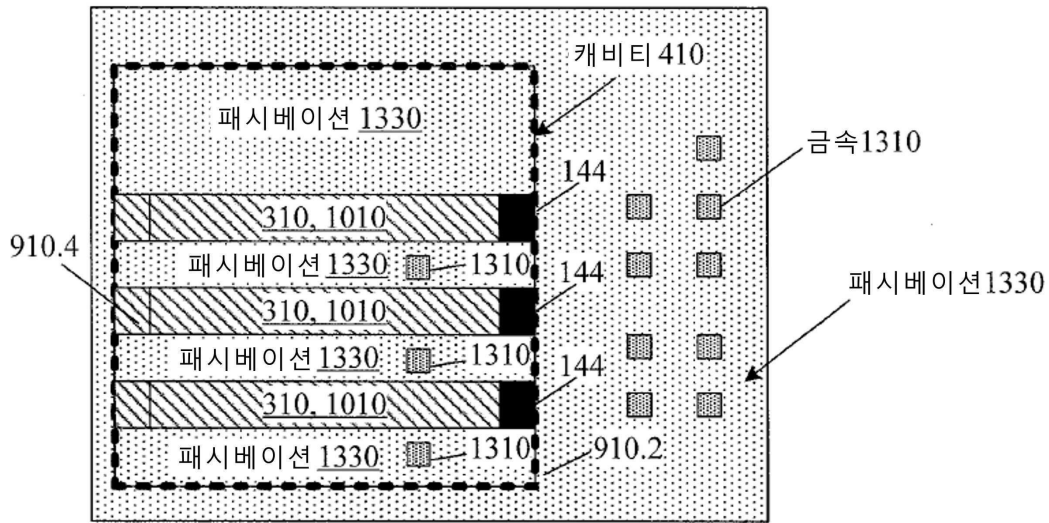
도면17a



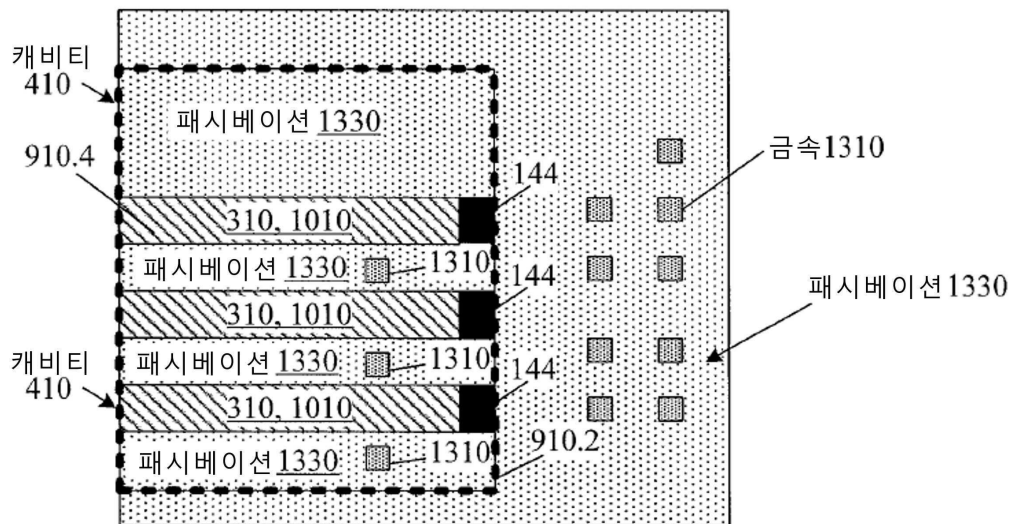
도면17b



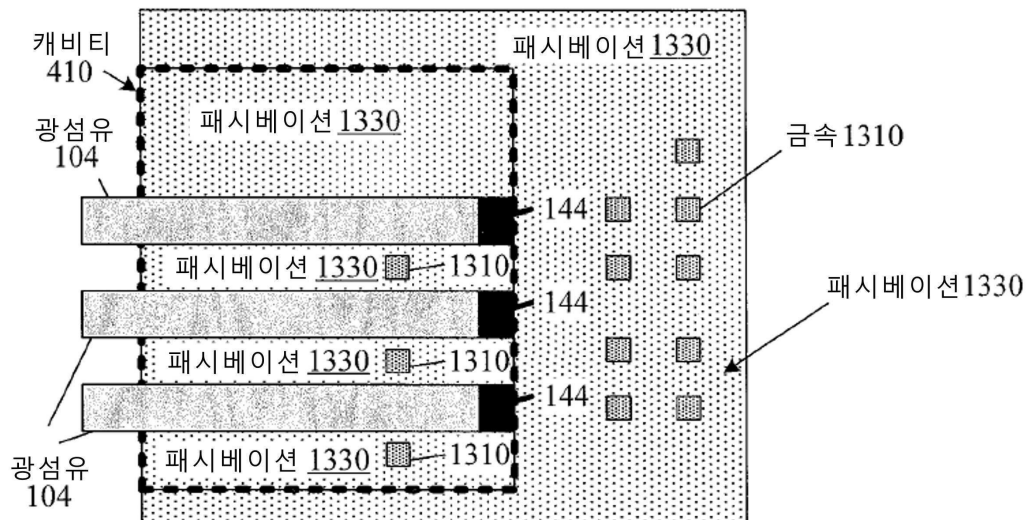
도면18



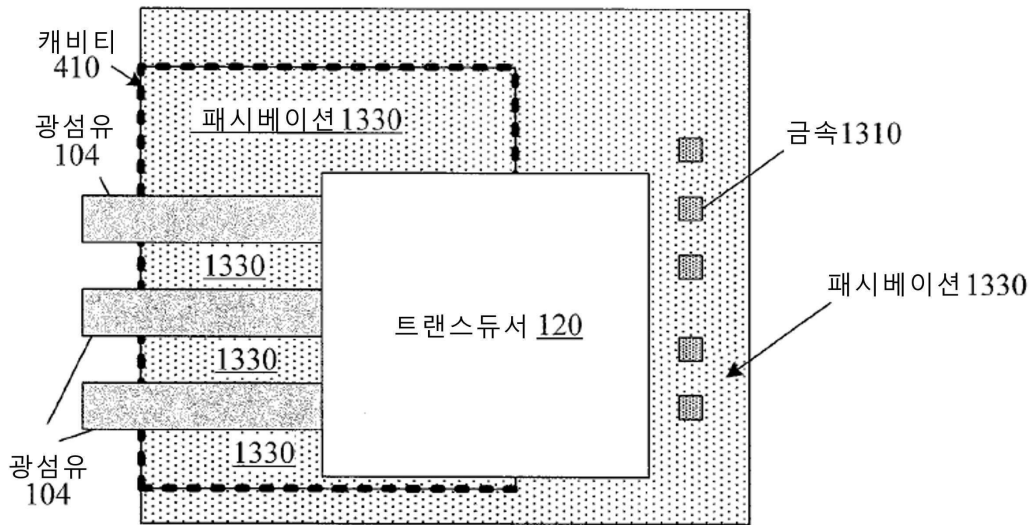
도면19



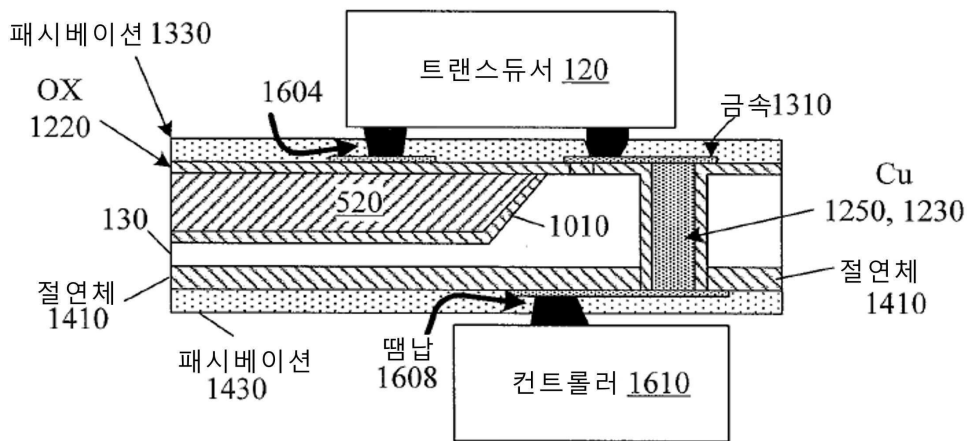
도면20



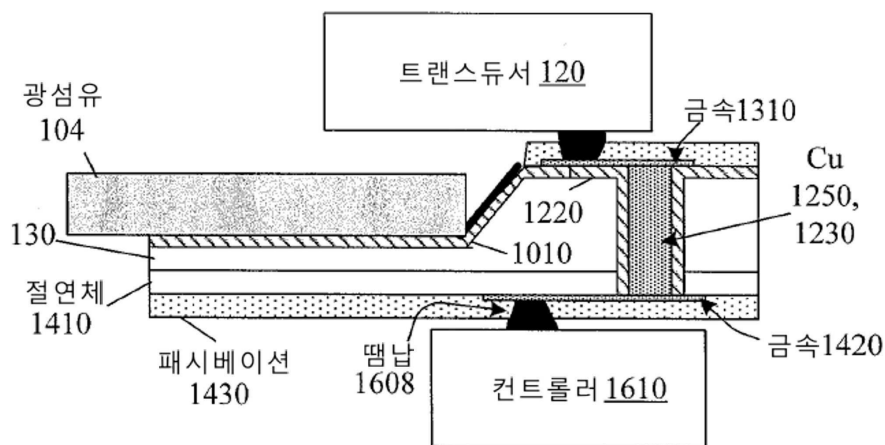
도면21



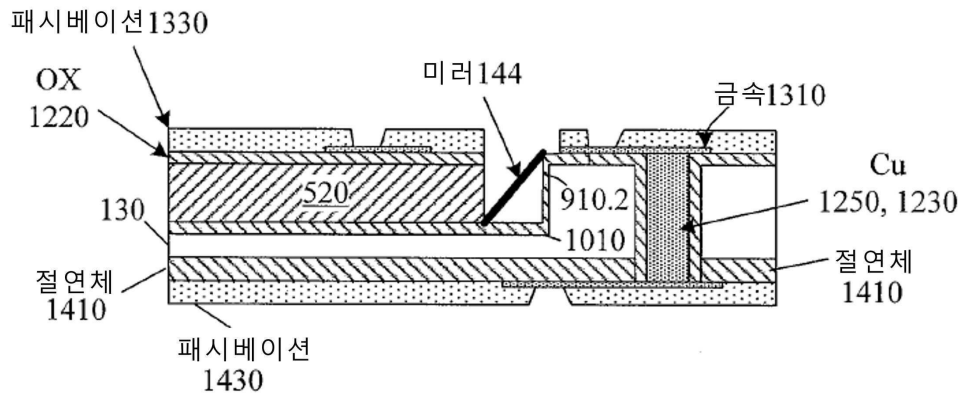
도면22a



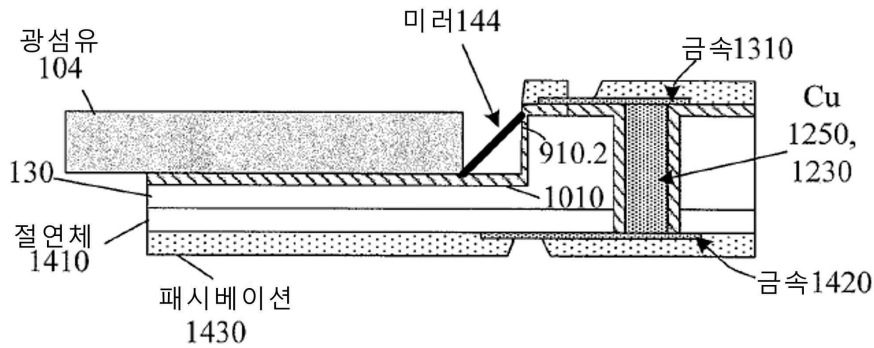
도면22b



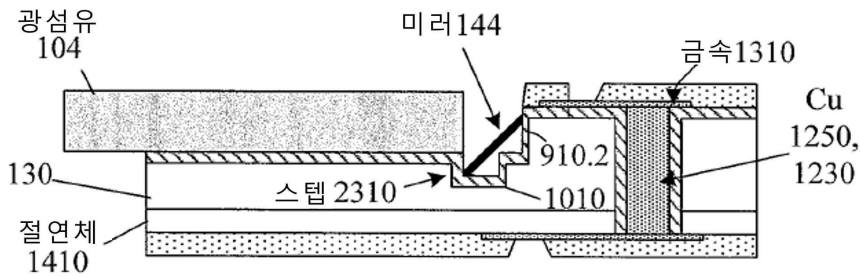
도면23a



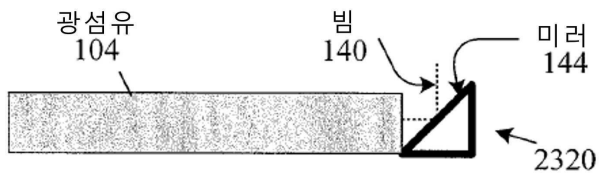
도면23b



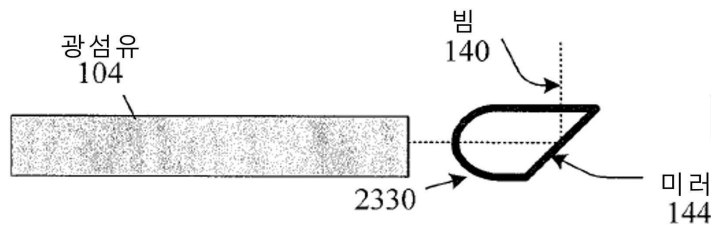
도면23c



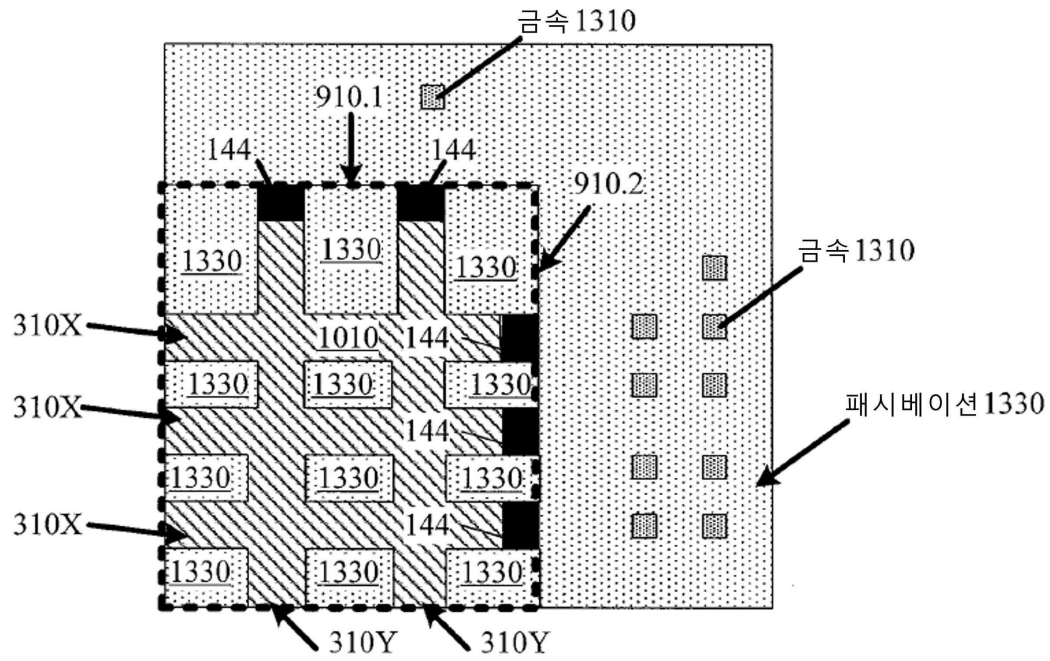
도면23d



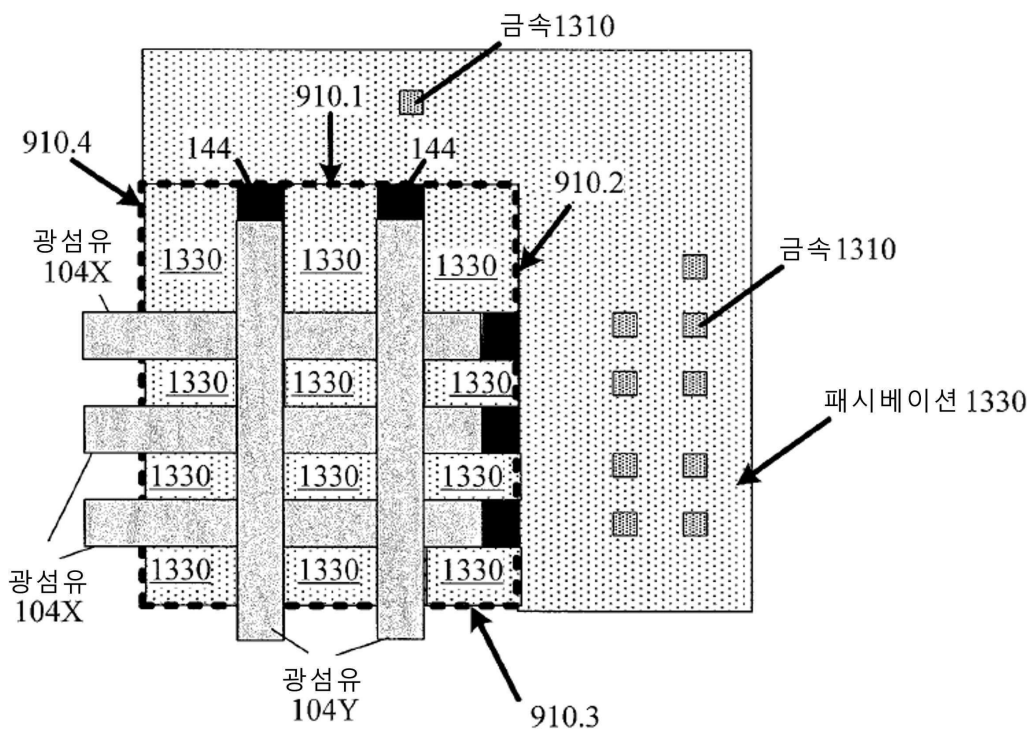
도면23e



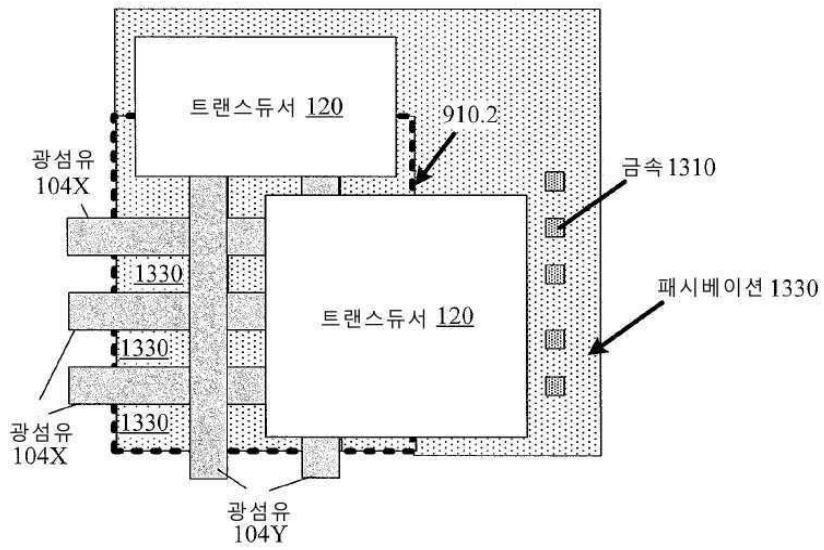
도면24



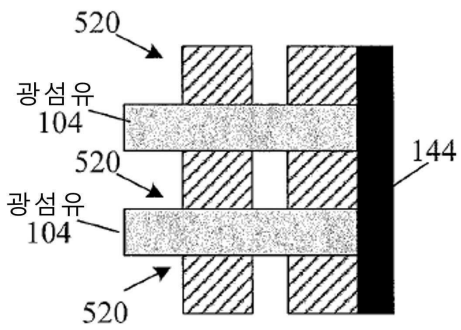
도면25



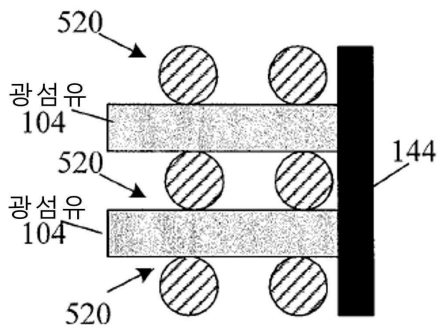
도면26



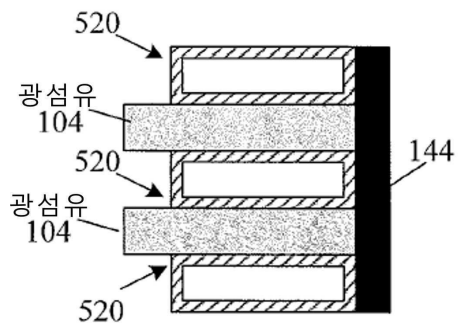
도면27a



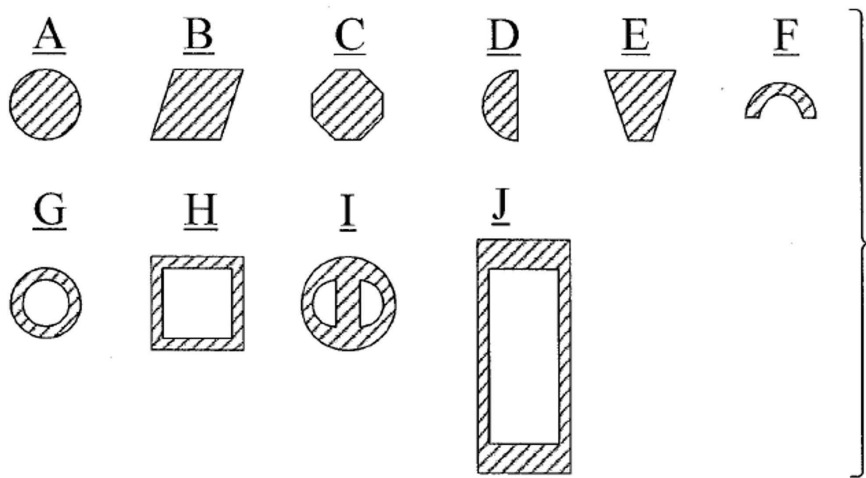
도면27b



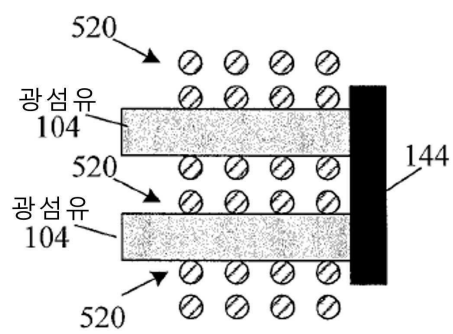
도면27c



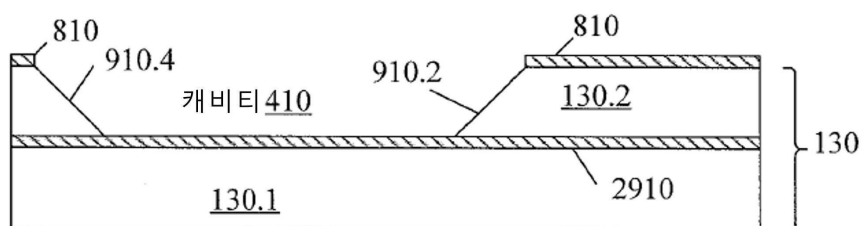
도면27d



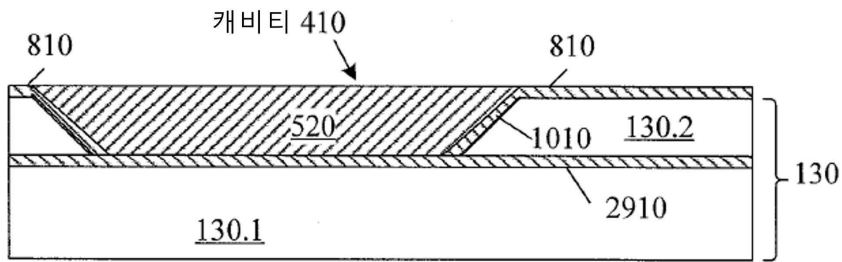
도면28



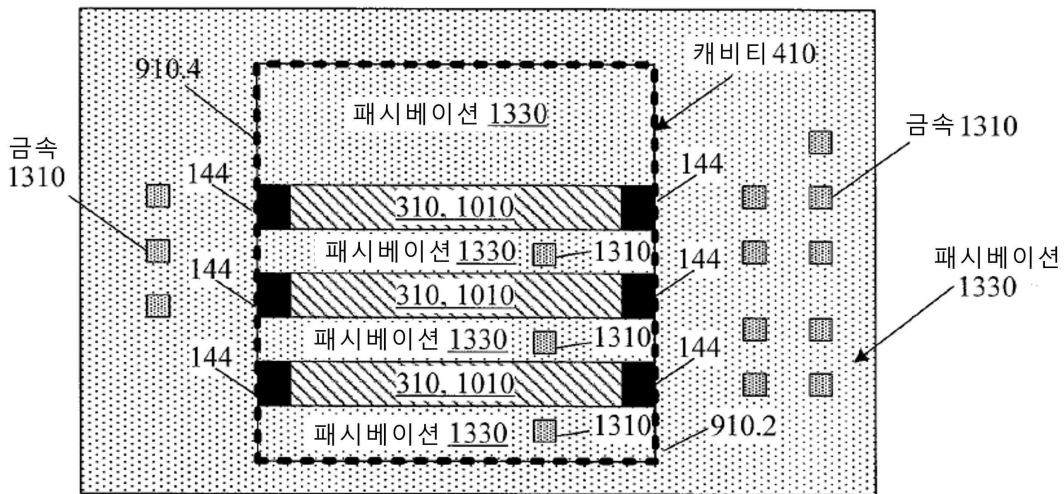
도면29



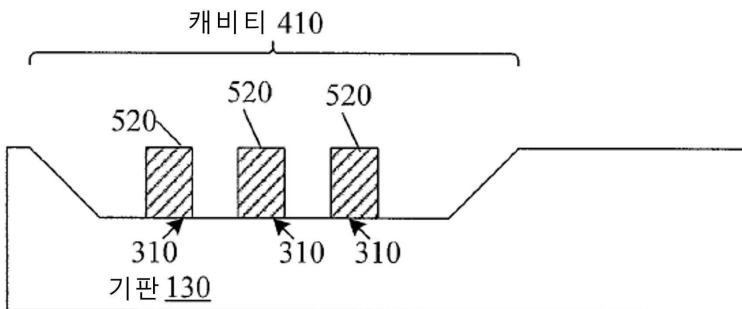
도면30



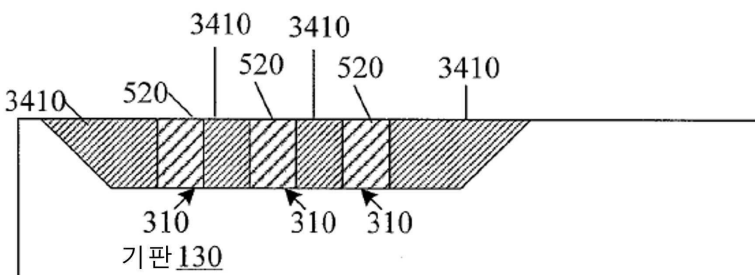
도면31



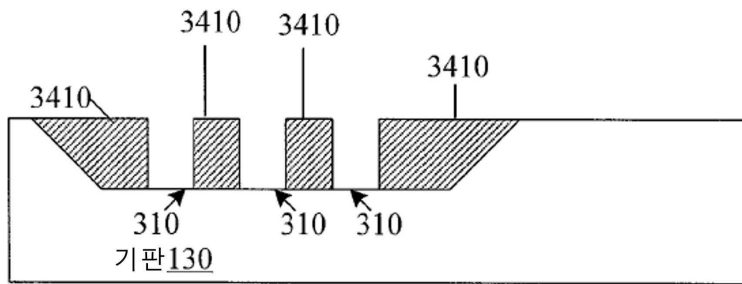
도면32a



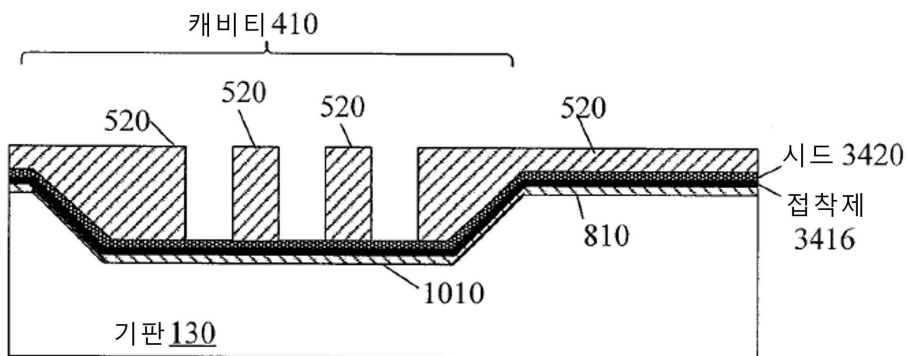
도면32b



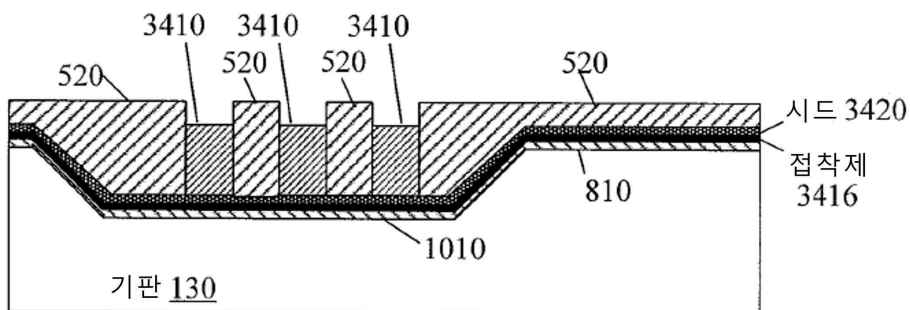
도면32c



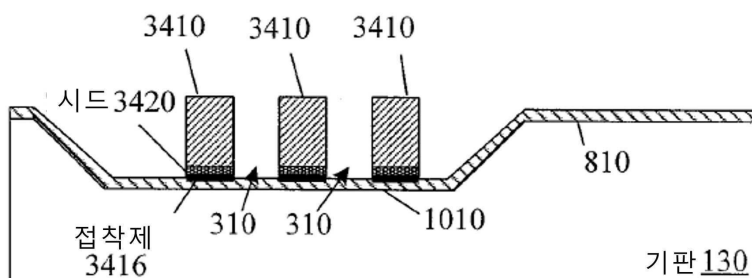
도면33a



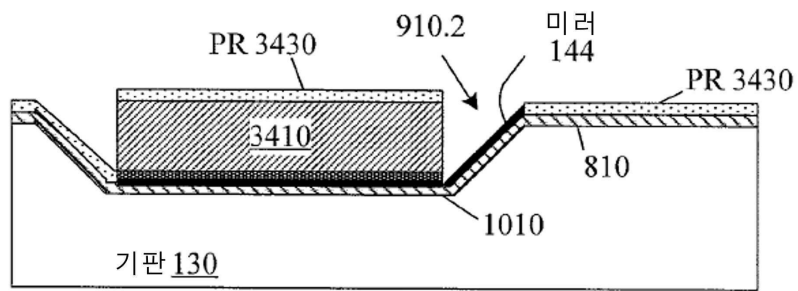
도면33b



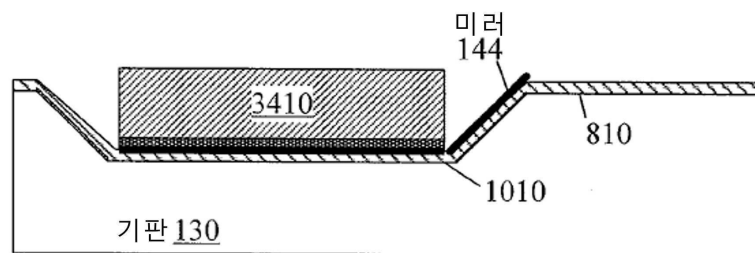
도면33c



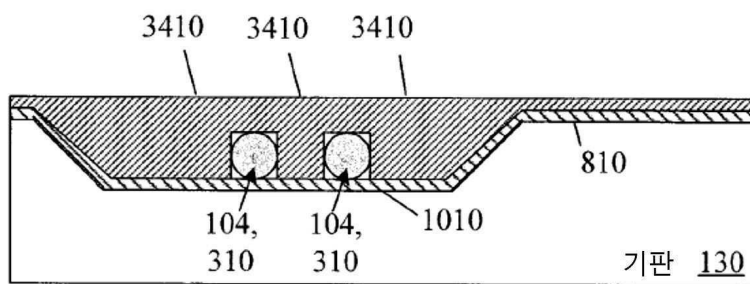
도면33d



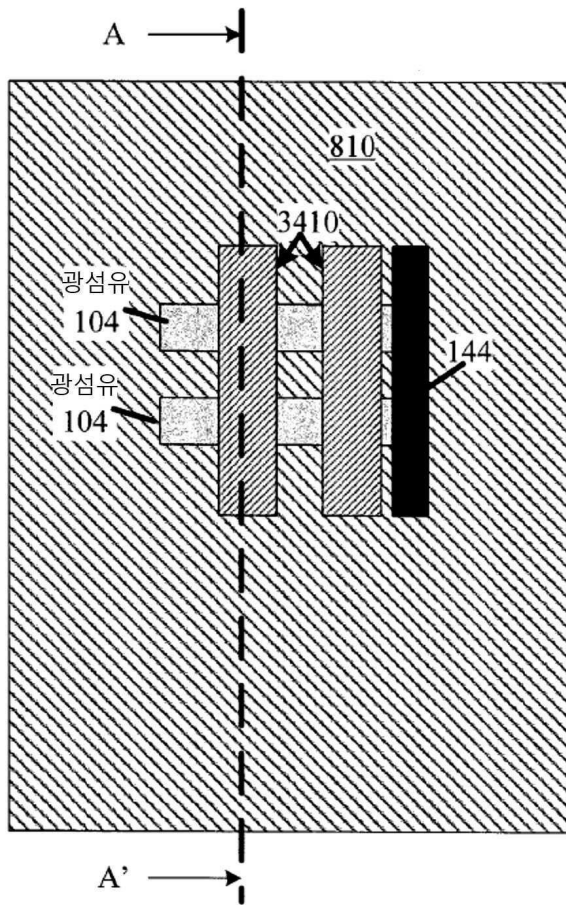
도면33e



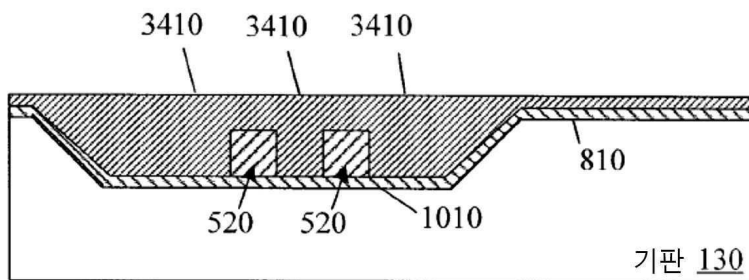
도면34a



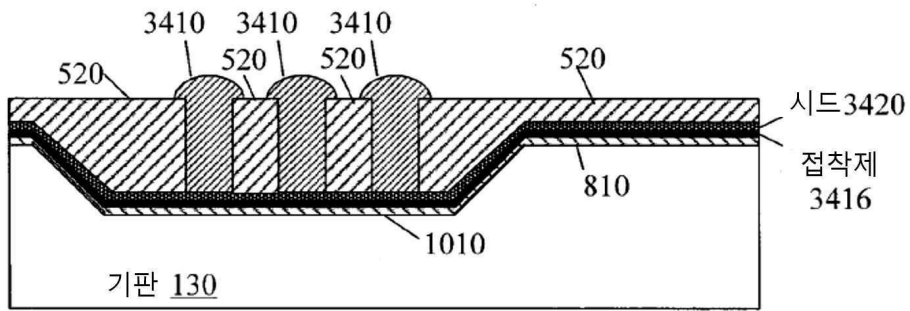
도면34b



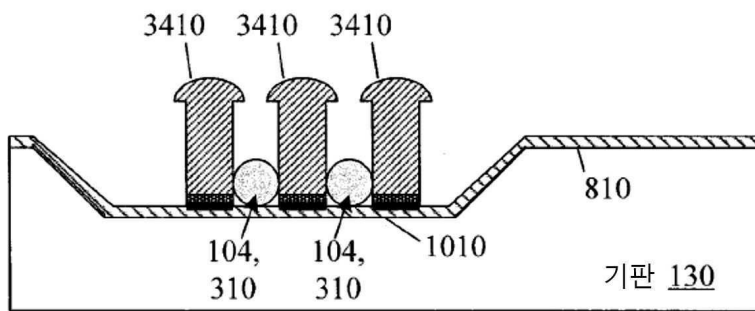
도면34c



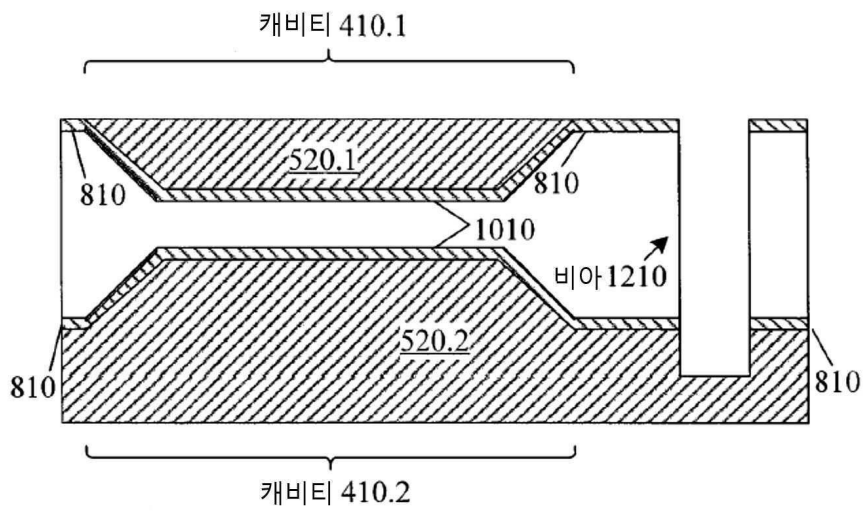
도면34d



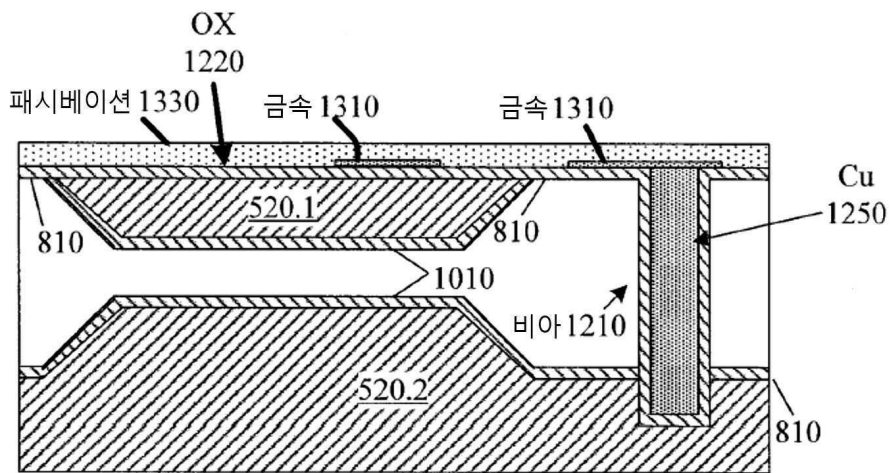
도면34e



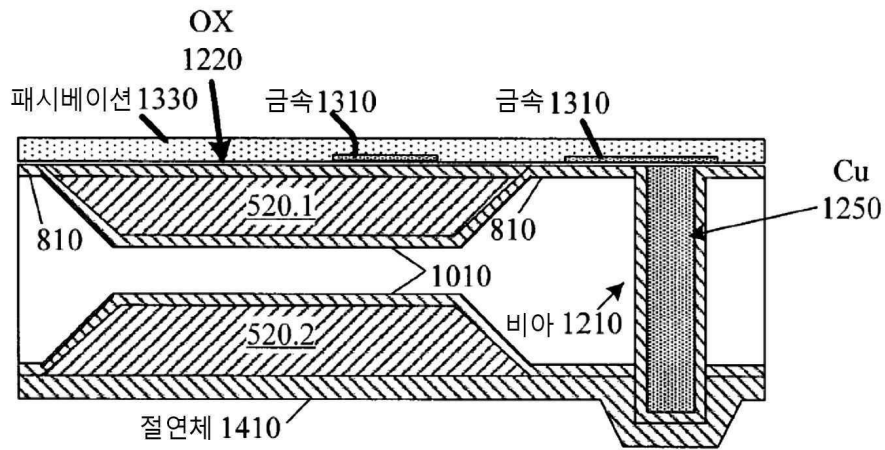
도면35a



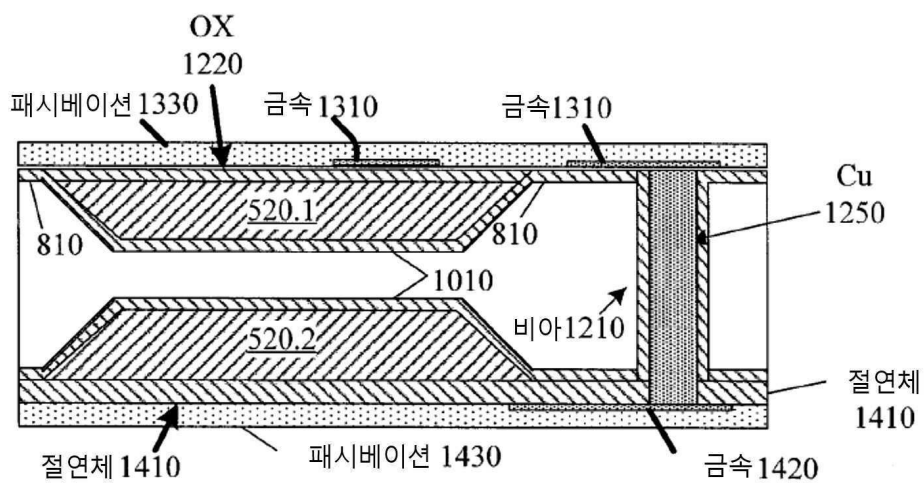
도면35b



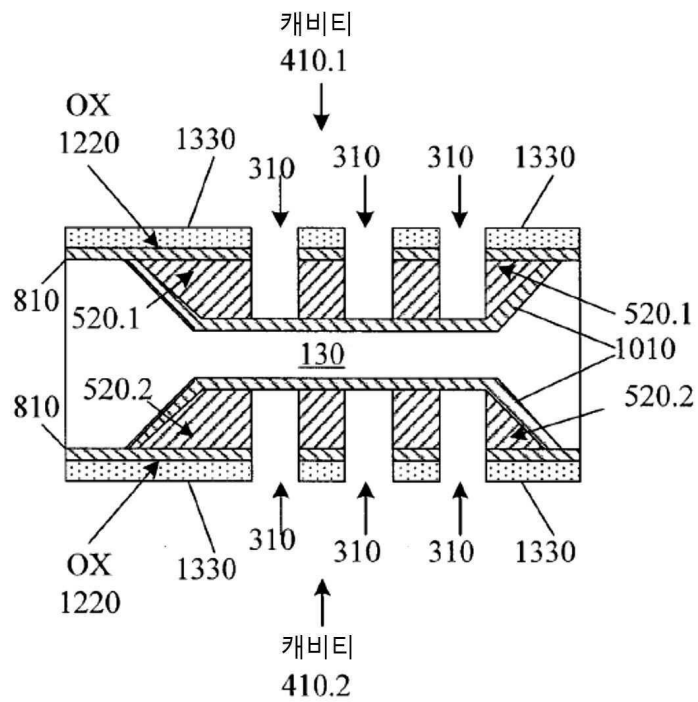
도면35c



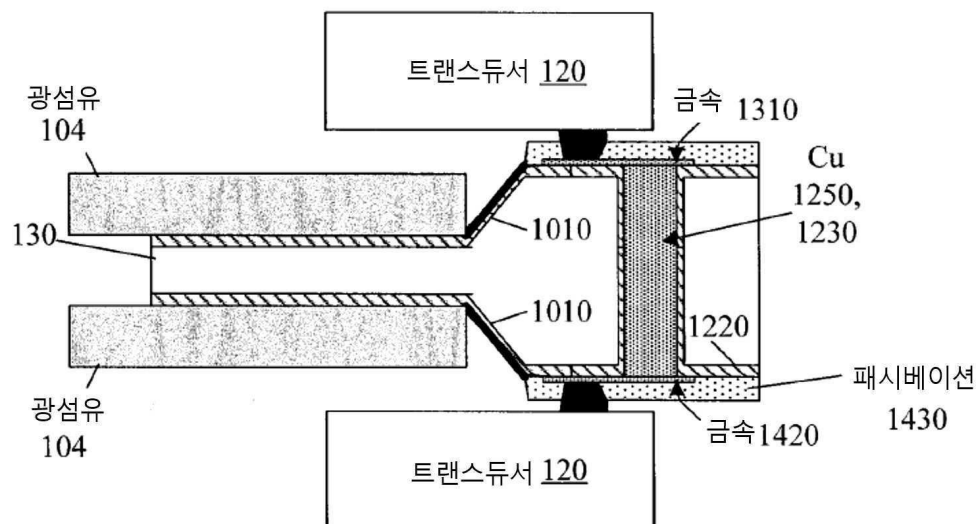
도면35d



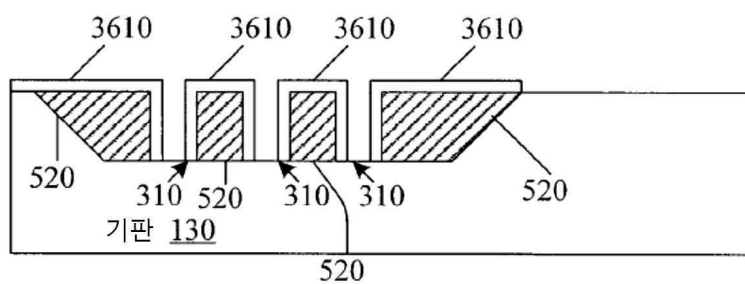
도면35e



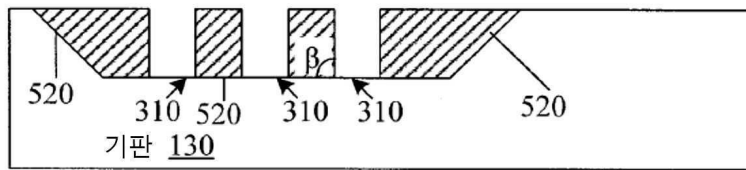
도면35f



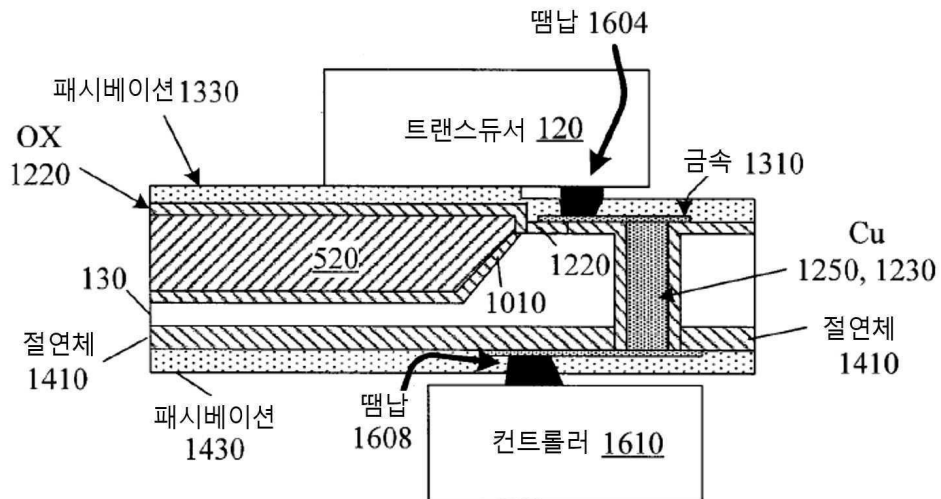
도면36



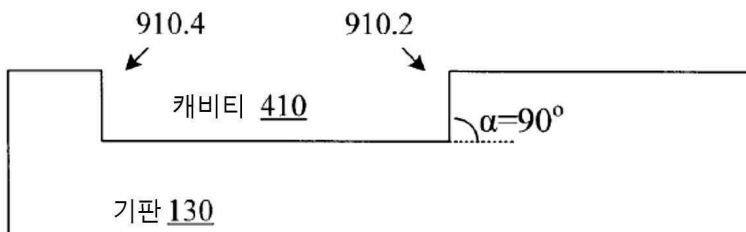
도면37



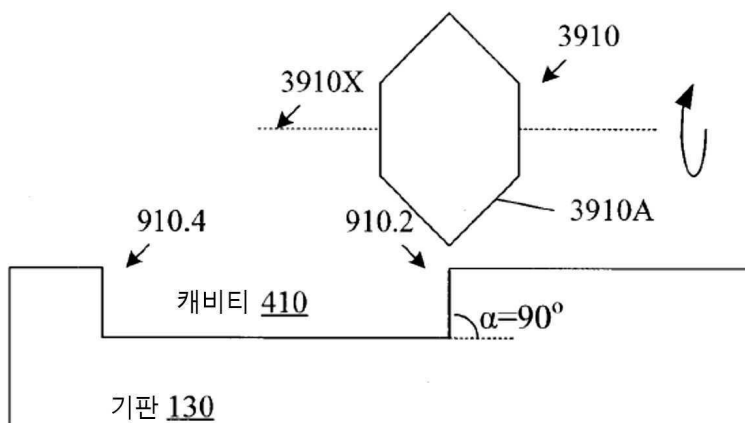
도면38



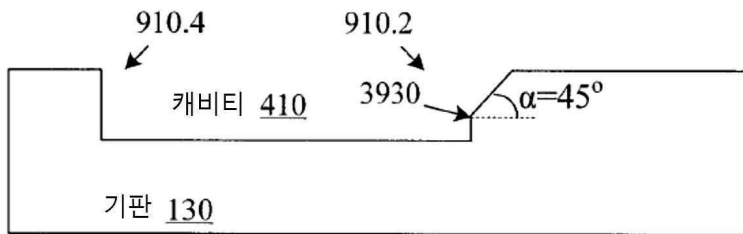
도면39a



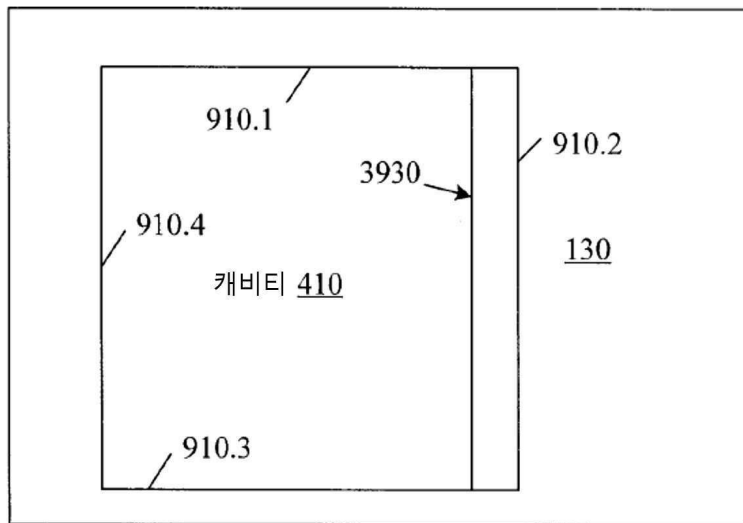
도면39b



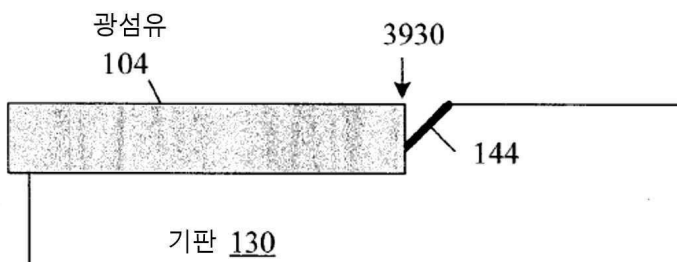
도면39c



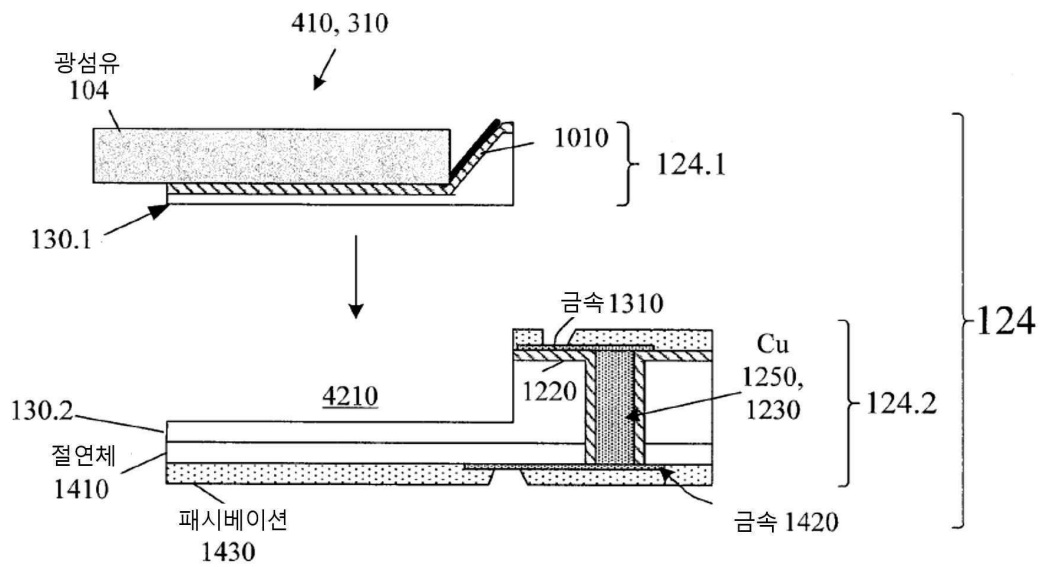
도면40



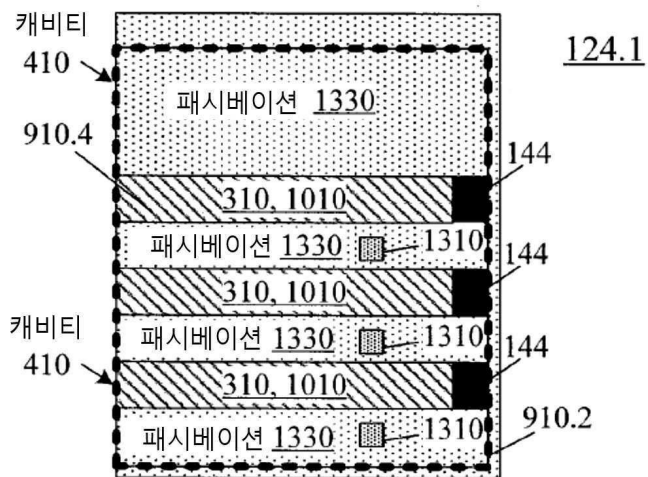
도면41



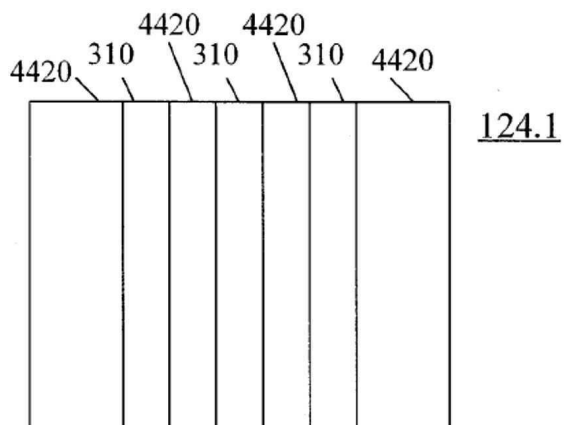
도면42



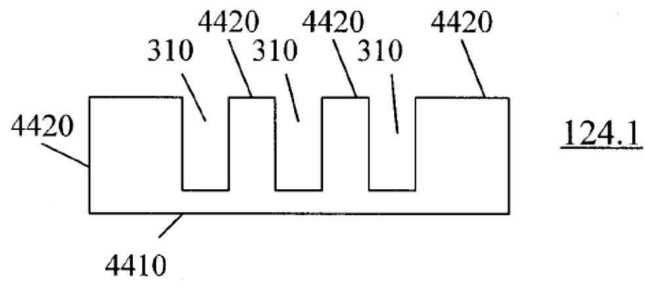
도면43



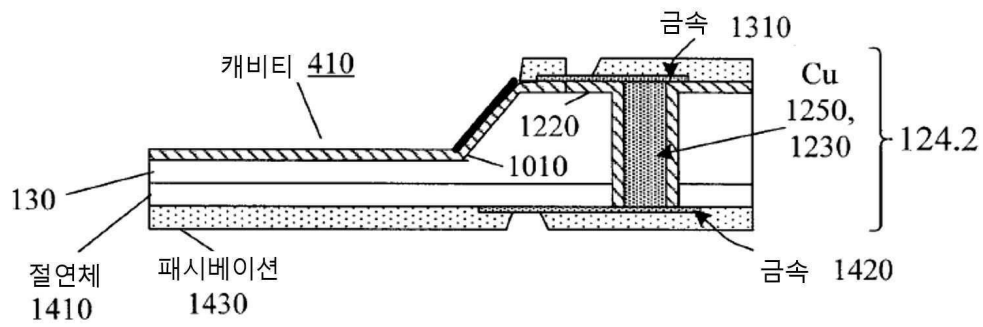
도면44a



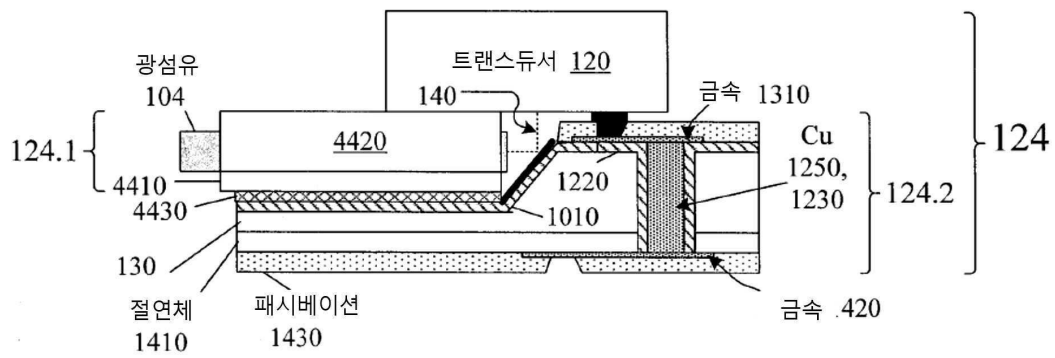
도면44b



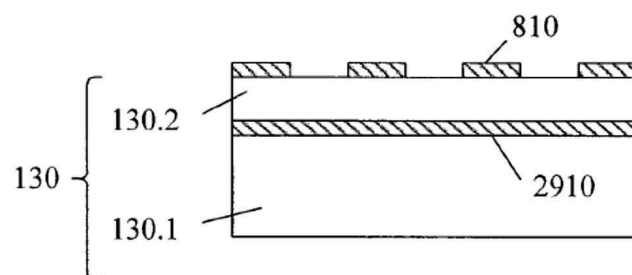
도면45



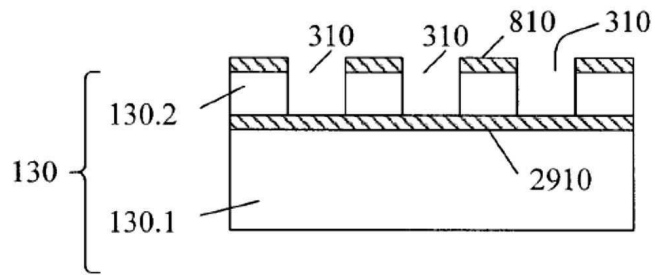
도면46



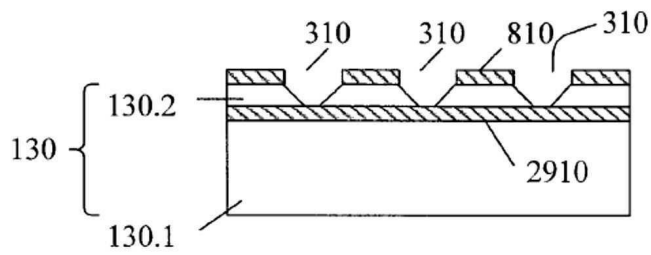
도면47



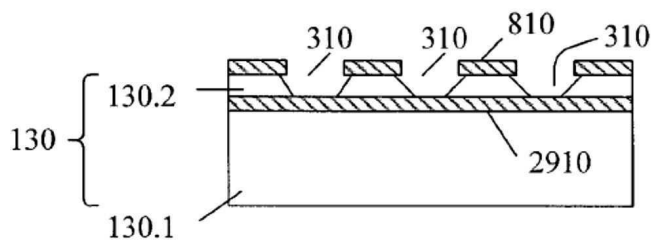
도면48a



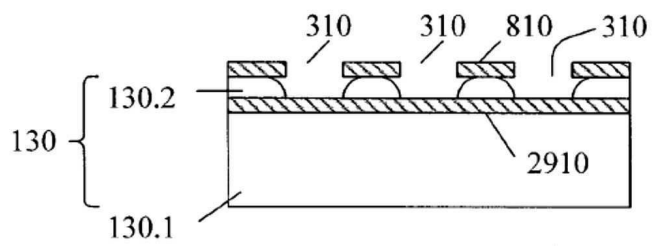
도면48b



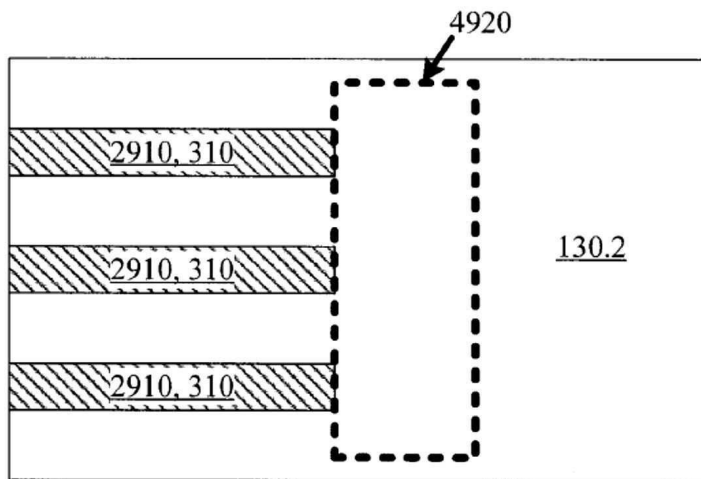
도면48c



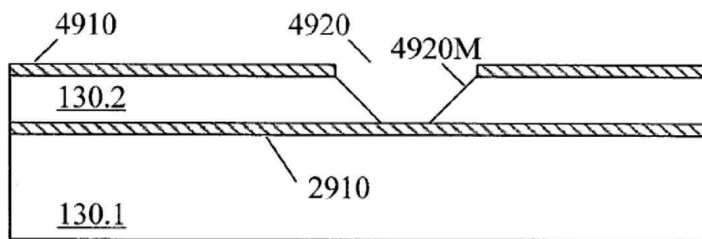
도면48d



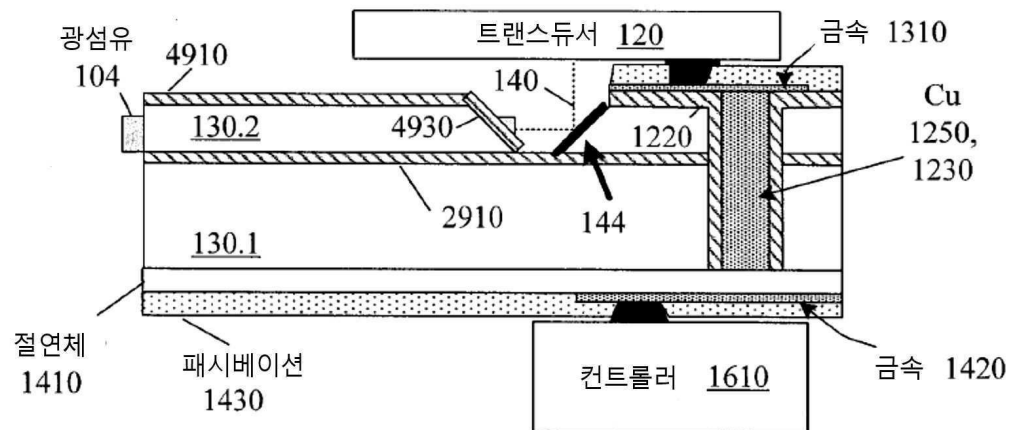
도면48e



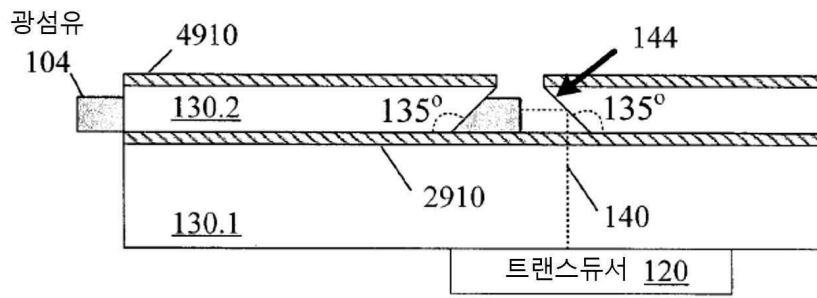
도면49



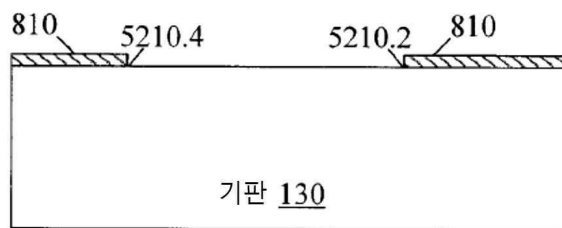
도면50



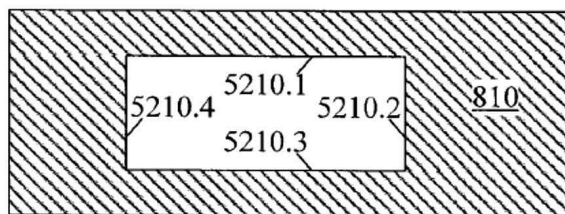
도면51



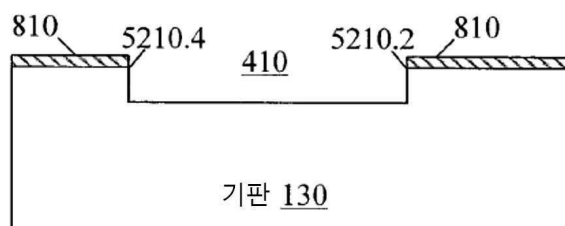
도면52a



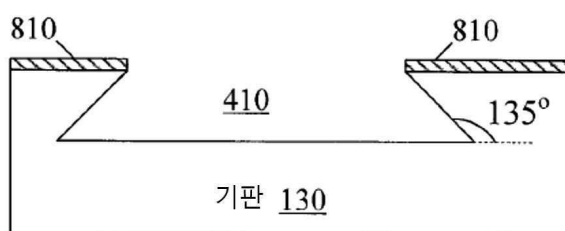
도면52b



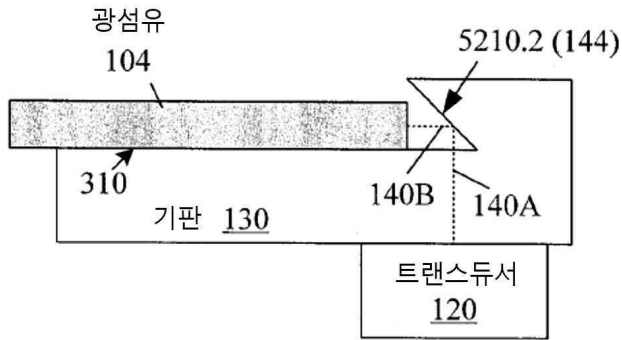
도면53



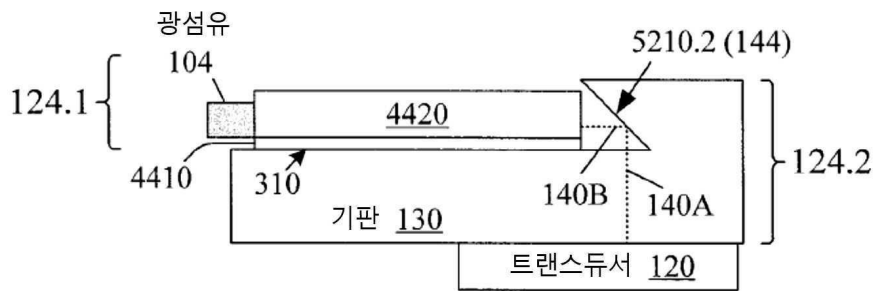
도면54



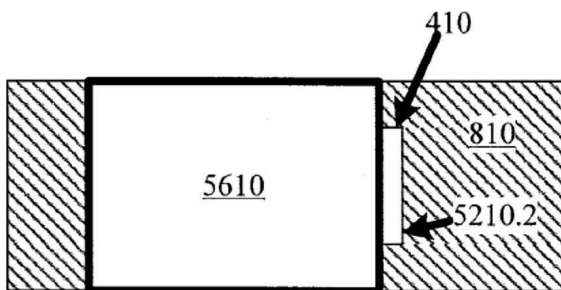
도면55a



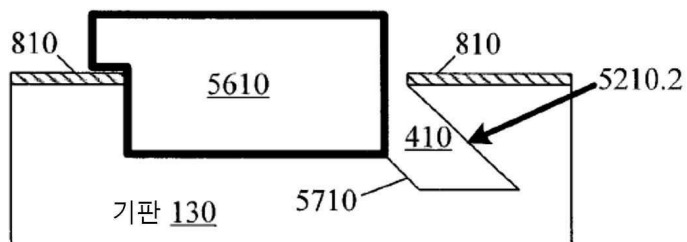
도면55b



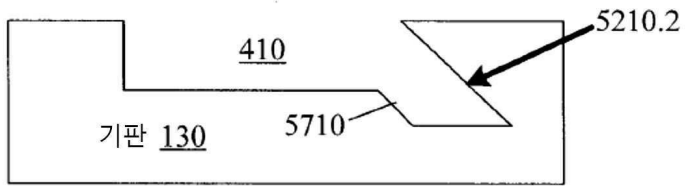
도면56



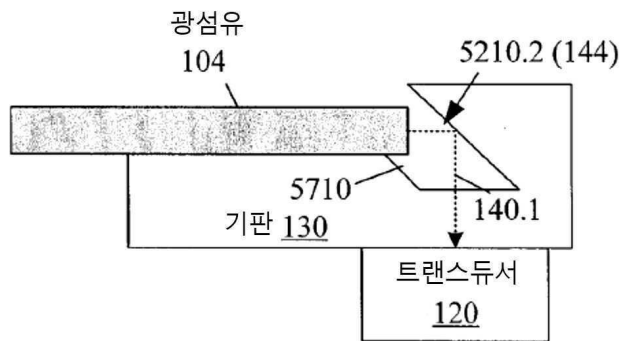
도면57



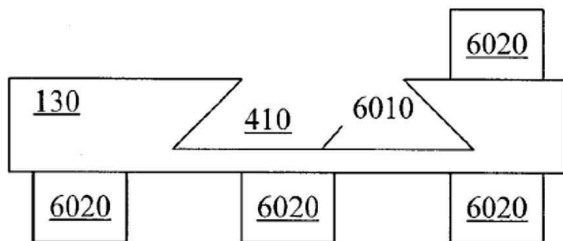
도면58



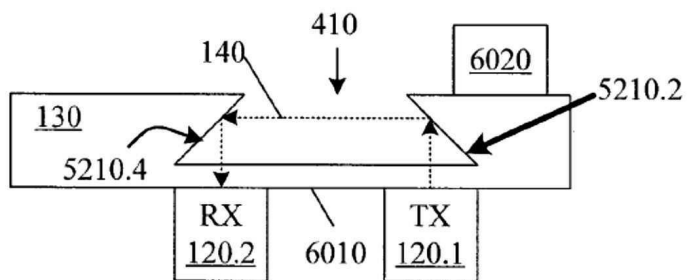
도면59



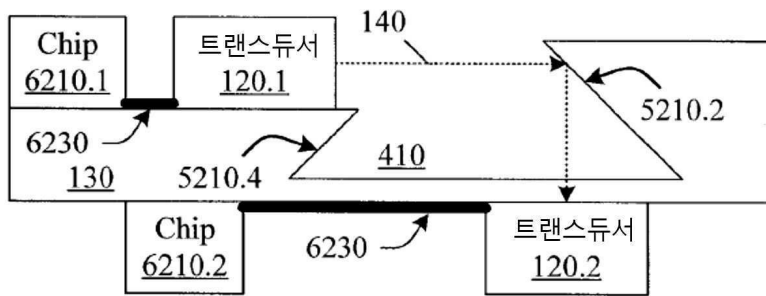
도면60



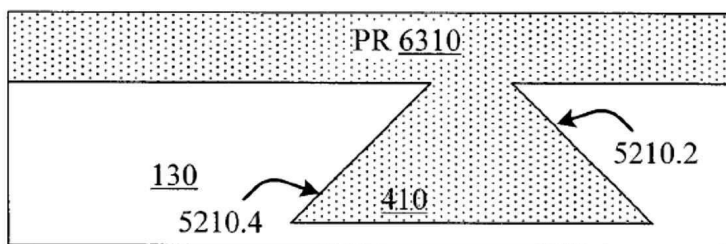
도면61



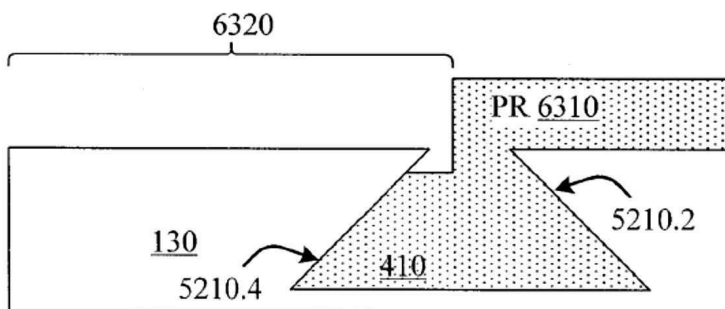
도면62



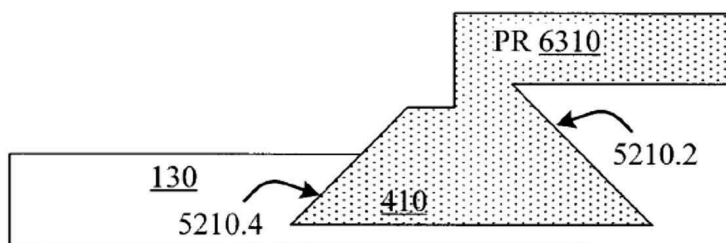
도면63a



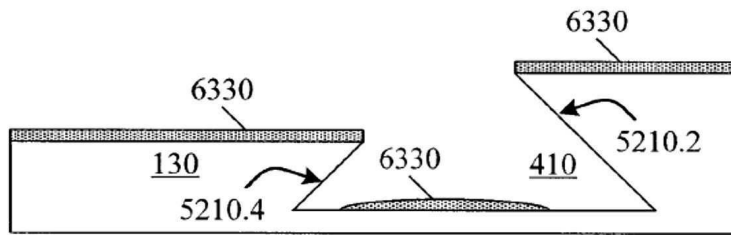
도면63b



도면63c



도면63d



도면63e

