

公告本

申請日期:	90.12.13	案號:	90130915
類別:	H01L 21/44		

(以上各欄由本局填註)

發明專利說明書

511193

一、 發明名稱	中文	陣列型鋅墊晶片內部電路結構及其製造方法
	英文	
二、 發明人	姓名 (中文)	1. 鄭文隆 2. 張逸鳳 3. 黃宏政
	姓名 (英文)	1. Wen-Lung Cheng 2. I-Feng Chang 3. Hung-Cheng Huang
	國籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 台北市內湖路一段246號2樓 2. 台北市內湖路一段246號2樓 3. 台北市內湖路一段246號2樓
三、 申請人	姓名 (名稱) (中文)	1. 揚智科技股份有限公司
	姓名 (名稱) (英文)	1. Acer Laboratories Inc.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 台北縣汐止市新台五路一段八十八號二十一樓
	代表人 姓名 (中文)	1. 呂理達
代表人 姓名 (英文)	1.	



本案已向

國(地區)申請專利	申請日期	案號	主張優先權
-----------	------	----	-------

無

有關微生物已寄存於	寄存日期	寄存號碼
-----------	------	------

無

五、發明說明 (1)

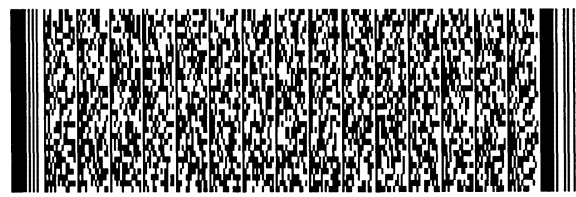
本發明係有關於一種陣列型鐳墊晶片內部電路結構及其製造方法，且特別有關於一種具有至少四排之陣列型鐳墊的打線式 (wire-bonding) 晶片的內部電路結構及其製造方法，適用於例如球格陣列 (Ball Grid Array, BGA) 結構或倒裝晶片 (Flip Chip) 結構之晶片。

隨著半導體科技的演進，半導體晶片的執行速度以及其設計複雜度日益提高。因此，半導體之封裝

(packaging) 也不斷創新，以期提昇封裝效率。就打線式的封裝結構而言，晶片上的鐳墊 (bonding pad) 配置是一個重要的環節，特別在某些封裝結構，例如球格陣列 (BGA) 結構中，IC 鐳墊配置設計是決定鐳墊封裝效率的重要因素之一。

目前常見的習知 IC 鐳墊配置設計包括有單排 (single in-line) 鐳墊設計、交錯型 (staggered) 鐳墊設計，以及陣列型鐳墊設計。由於晶片的功能日漸增加，晶片表面之最大可容許鐳墊數也必須增加，單排鐳墊設計無法滿足此一需求；而交錯型鐳墊設計與陣列型鐳墊設計可增加相同面積的晶片表面之最大可容許鐳墊數，因此可設置較多的鐳墊數目，且加速晶片電路速度，故可使晶片面積減小，降低成本，且容易控制晶片封裝良率。

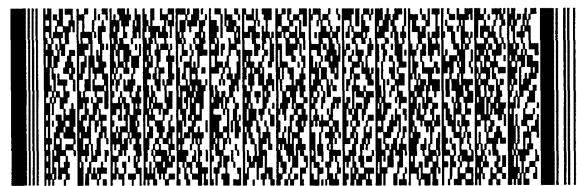
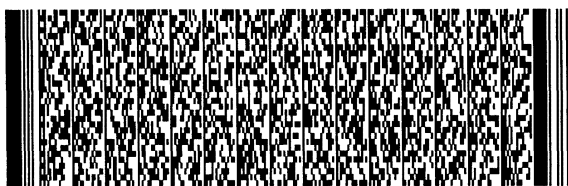
請參見第1a圖與第1b圖，說明有關習知交錯型鐳墊晶片封裝結構100的設計。如第1a圖所示，交錯型鐳墊晶片封裝結構100設有一交錯型鐳墊晶片110，晶片110表面設置有配置成交錯的兩排鐳墊120，如第1b圖所示，包括外



五、發明說明 (2)

排銲墊121與內排銲墊122。銲墊120包括用以接地的接地墊、用以提供電源的電源墊、以及用以輸入/輸出訊號的訊號墊(或稱輸入/輸出墊,I/O墊),分別由銲線121a、121b、121c與122a連接至接地環(ground ring)130、電源環(power ring)140以及導電線路(conductive trace)160。

另外,有關陣列型銲墊晶片的設計已於同一申請人於民國90年10月19日所提出之我國專利申請案號90125929號「陣列型銲墊之晶片封裝結構」中所揭示。請再參見第2a圖與第2b圖,說明有關陣列型銲墊晶片封裝結構1的設計。如第2a圖所示,陣列型銲墊晶片封裝結構1設置有一陣列型銲墊晶片10,其表面配置有複數銲墊20,位於晶片10之上表面週邊,排列成至少四排,如第2b圖所示,晶片10上由內而外分別為一最內排銲墊24、一次內排銲墊23、一次外排銲墊22以及一最外排銲墊21。最內排銲墊24與次內排銲墊23(即訊號墊)係類似於交錯型銲墊配置的方法,相對於晶片10之一側邊交錯排列;而次外排銲墊22係相對於晶片10之側邊垂直對齊最內排銲墊24,且最外排銲墊21係相對於晶片10之側邊垂直對齊次內排銲墊23。另外,最內排銲墊24以及次內排銲墊23係只用以做為訊號墊,且最外排銲墊21以及次外排銲墊22係只用以做為電源墊以及接地墊。各銲墊20由不同線弧高度的第一組銲線21a、第二組銲線22a、第三組銲線23a以及第四組銲線24a分別連接至接地環30、電源環40與導電線路60。



五、發明說明 (3)

上述交錯型鐳墊晶片與陣列型鐳墊晶片兩者相比，陣列型鐳墊晶片較交錯型鐳墊晶片在相同晶片面積下，最大可容許鐳墊數更為增加，因此可使晶片面積更為減小，成本更為降低，且晶片封裝良率更為提高。

然而，陣列型鐳墊晶片在鐳墊數量增加的同時，晶片內部電路也必須設置得更為密集，如此則使得陣列型鐳墊晶片的內部電路設置出現問題。

請參見第3圖，顯示交錯型鐳墊晶片110內部電路結構之一習知例。本習知例中，外排鐳墊121全為電源墊或接地墊，分別以電源／接地匯流排128所構成的第一訊號線電性連接至電源／接地電路團180；而內排鐳墊122全為訊號墊，分別以訊號匯流排126所構成的第二訊號線電性連接至訊號電路團170。另外，訊號電路團170與電源／接地電路團180係對齊於各鐳墊120而彼此互相鄰接，每一電路團的寬度W約與鐳墊間距P相等，而構成交錯型鐳墊晶片之內部電路。

上述交錯型鐳墊晶片之內部電路構造中，訊號電路團170與電源／接地電路團180係對齊於各鐳墊120彼此互相鄰接；然而，在陣列型鐳墊晶片中，由於做為電源墊與接地墊的最外排鐳墊21與次外排鐳墊22係相對於晶片10之側邊垂直對齊做為訊號墊的次內排鐳墊23與最內排鐳墊24，因此使得陣列型鐳墊晶片中的訊號電路團與電源／接地電路團無法以對齊於各鐳墊20而互相鄰接的方式設置；若依上述方法將陣列型鐳墊晶片的內部電路以對齊於各鐳墊20



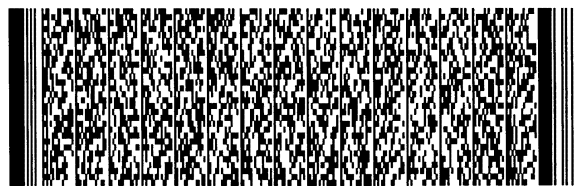
五、發明說明 (4)

而互相鄰接的方式排列，則各電路團會彼此干涉，使得陣列型鐳墊晶片的內部電路無法正常配置而出現問題。

有鑑於此，本發明之一目的在於提出一種陣列型鐳墊晶片內部電路結構，可使得陣列型鐳墊晶片在相同晶片面積的最大可容許鐳墊數增加時，可具有對應之內部電路結構；換言之，本發明可提供一種用於陣列型鐳墊晶片的內部結構，使陣列型鐳墊晶片可確實實施，使得晶片面積更為減小，因而降低成本，且容易控制晶片封裝良率。

本發明首先揭示一種陣列型鐳墊晶片，包括複數鐳墊、複數訊號電路團、以及一靜電防護電路環。鐳墊係位於晶片之上表面週邊，排列成至少四排，包括一最內排鐳墊、一次內排鐳墊、一次外排鐳墊以及一最外排鐳墊，最內排鐳墊與次內排鐳墊係相對於晶片之一側邊交錯排列，其中最內排以及次內排鐳墊只包括訊號墊，而最外排以及次外排鐳墊只包括電源墊以及接地墊。訊號電路團係位於晶片之鐳墊內側，各訊號電路團係分別垂直對齊各訊號墊。而靜電防護電路環係位於訊號電路團與最內排鐳墊之間。

本發明更揭示一種陣列形鐳墊晶片的製造方法，包括下列步驟：提供一基底，具有複數訊號電路團以及由電源／接地電路構成之一靜電防護電路環（Electro-Static Discharge, ESD），其中訊號電路團與靜電防護電路環之間係彼此相互絕緣隔離；其次，在基底之部分上方依序形成複數導體層，其中各導體層之間具有絕緣層，使導體層



五、發明說明 (5)

彼此相互絕緣隔離；然後，在導體層之部分上方形成複數鐳墊，其中鐳墊排列成至少四排，包括一最內排鐳墊、一次內排鐳墊、一次外排鐳墊以及一最外排鐳墊；最後，在絕緣層中形成複數貫孔 (via)，使得最外排與次外排鐳墊經由導體層及靜電防護電路環而與訊號電路團上方之部分導體層電性連接並形成一第一訊號線，且次內排與最內排鐳墊分別經由導體層而與訊號電路團電性連接並形成一第二訊號線，其中第一訊號線與第二訊號線彼此相互絕緣隔離。

本發明所揭示之陣列型鐳墊晶片及其製造方法中，次外排鐳墊係可相對於晶片之側邊垂直對齊最內排鐳墊，且最外排鐳墊係可相對於晶片之側邊垂直對齊次內排鐳墊。另外，訊號電路團之寬度係大體相等於鐳墊間距

(bonding pad pitch) 之寬度。又，訊號電路團上方更可包括電源／接地電路環，用以提供訊號電路團之電源。

另外，本發明所揭示之陣列型鐳墊晶片可適用於一倒裝晶片結構 (Flip Chip Structure) 或一球格陣列 (BGA) 封裝結構。

透過本發明之陣列型鐳墊晶片及其製造方法，可提供對應於陣列型鐳墊晶片之內部電路結構，使得相同晶片面積的最大可容許鐳墊數增加時，內部電路結構也可相對緊密配置的優點；換言之，使用本發明之陣列型鐳墊晶片，不但可將鐳墊進行陣列型配置，而且可使內部電路也做相對應之緊密配置，使得晶片面積更為減小，因而降低晶片



五、發明說明 (6)

封裝成本，且容易控制晶片封裝良率。

為使本發明之上述及其他目的、特徵和優點能更明顯易懂，下文特舉一具體之較佳實施例，並配合所附圖式做詳細說明。

圖式說明：

第1a圖係顯示習知交錯型鐳墊晶片封裝結構的局部剖面圖。

第1b圖係顯示第1a圖之習知交錯型鐳墊晶片封裝結構的局部上視圖。

第2a圖係顯示習知陣列型鐳墊晶片封裝結構的局部剖面圖。

第2b圖係顯示第2a圖之習知陣列型鐳墊晶片封裝結構的局部上視圖。

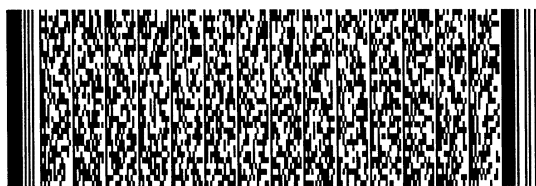
第3圖係顯示習知交錯型鐳墊晶片內部電路結構的示意圖。

第4圖係顯示本發明之陣列型鐳墊晶片內部電路結構的示意圖。

第5a圖係顯示本發明一實施例之陣列型鐳墊晶片內部電路結構的俯視圖。

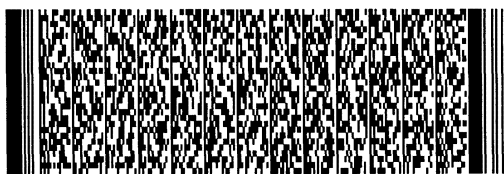
第5b圖係顯示第5a圖之陣列型鐳墊晶片內部電路結構的側視圖。

符號說明：



五、發明說明 (7)

- 10 ~ 陣列型鐳墊晶片；
- 20 ~ 鐳墊；
- 21 ~ 最外排鐳墊；
- 22 ~ 次外排鐳墊；
- 23 ~ 次內排鐳墊；
- 24 ~ 最內排鐳墊；
- 26 ~ 訊號匯流排；
- 28 ~ 電源 / 接地匯流排；
- 70 ~ 訊號電路團；
- 80 ~ 靜電防護電路環；
- 82 ~ 電源電路；
- 84 ~ 接地電路；
- 90 ~ 訊號電源 / 接地電路環；
- P ~ 鐳墊間距；
- W ~ 電路間距；
- S1、S2 ~ 訊號墊；
- G1 ~ 接地墊；
- P1 ~ 電源墊；
- 1 ~ 陣列型鐳墊晶片封裝結構；
- 21a、22a、23a、24a ~ 鐳線；
- 25 ~ 鐳墊組；
- 30 ~ 接地環；
- 40 ~ 電源環；
- 60 ~ 導電線路；



五、發明說明 (8)

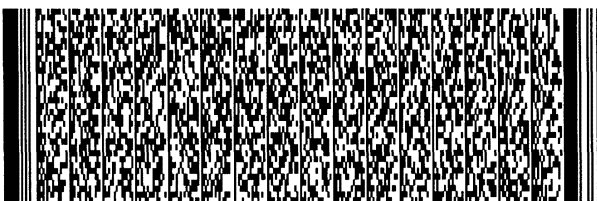
- 100 ~ 交錯型鐳墊晶片封裝結構；
- 110 ~ 交錯型鐳墊晶片；
- 120 ~ 鐳墊；
- 121 ~ 外排鐳墊；
- 122 ~ 內排鐳墊；
- 121a、121b、121c、122a ~ 鐳線；
- 126 ~ 訊號匯流排；
- 128 ~ 電源 / 接地匯流排；
- 130 ~ 接地環；
- 140 ~ 電源環；
- 160 ~ 導電線路；
- 170 ~ 訊號電路團；
- 180 ~ 電源 / 接地電路團。

實施例詳細說明：

請參見第4圖，說明本發明一實施例之陣列型鐳墊晶片10的內部電路結構。

本實施例中，陣列型鐳墊晶片10上配置有複數鐳墊20、複數訊號電路團70、以及一靜電防護電路環80。

本實施例中，鐳墊20係位於晶片之上表面週邊，排列成四排，由內而外分別為最內排鐳墊24、次內排鐳墊23、次外排鐳墊22以及最外排鐳墊21。最內排鐳墊24與次內排鐳墊23係相對於晶片10之一側邊交錯排列，而次外排鐳墊22係相對於晶片10之側邊垂直對齊最內排鐳墊24，且最外



五、發明說明 (9)

排錫墊21係相對於晶片10之側邊垂直對齊次內排錫墊23。另外，最內排錫墊24以及次內排錫墊23係只用以做為訊號墊，且最外排錫墊21以及次外排錫墊22係只用以做為電源墊以及接地墊。

另外，訊號電路團70係位於晶片10之錫墊20內側，各訊號電路團70係分別垂直對齊各訊號墊23與24而彼此互相鄰接，且訊號電路團70之寬度W大體相等於各錫墊20之錫墊間距寬度P。另外，靜電防護電路環80則位於訊號電路團70與最內排錫墊24之間。又，做為電源墊與接地墊的最外排錫墊21以及次外排錫墊22係以電源／接地匯流排28所構成之第一訊號線與靜電防護電路環80電性連接，而做為訊號墊的次內排錫墊23與最內排錫墊24係以訊號匯流排26所構成之第二訊號線分別與訊號電路團70電性連接。

請再參見第5a圖以及第5b圖，說明上述實施例之陣列型錫墊晶片10的內部電路結構以及其製造方法。

第5a圖係顯示一組四排各一個錫墊20與其內部電路之構造，其中最內排錫墊24以及次內排錫墊23為訊號墊S1及S2，次外排錫墊22為接地墊G1，而最外排錫墊21為電源墊P1。訊號墊S1及S2係由訊號匯流排26分別與訊號電路團70電性連接，而接地墊G1與電源墊P1則分別由電源／接地匯流排28與靜電防護電路環80。訊號匯流排26與電源／接地匯流排28由第5a圖中所視呈重疊狀，其側視剖面構造及製造方法可由第5b圖做更清楚的描述。

第5b圖係顯示第5a圖之陣列型錫墊晶片內部電路結構

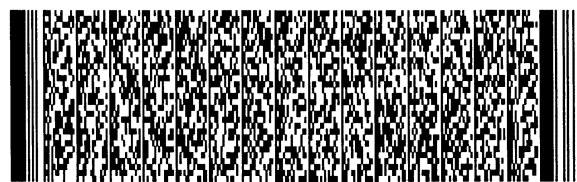


五、發明說明 (10)

沿A-A線所取的側視剖面圖，其中只顯示接地墊G1與訊號墊S1（即次外排鉚墊22與最內排鉚墊24）之內部電路結構；電源墊P1與另一訊號墊S2之結構類似，故不另行敘述。

本實施例之陣列型鉚墊晶片之製造過程，首先提供一基底（未圖示），在基底上具有訊號電路團70以及由電源／接地電路構成之靜電防護電路環80。其中，訊號電路團70彼此之間以及訊號電路團70與靜電防護電路環80之間必須彼此相互絕緣隔離，以避免短路。其次，在基底之部分上方依序形成複數導體層M1～M6，如第5b圖所示；各導體層之間具有絕緣層（未圖示），使導體層彼此相互絕緣隔離。又，導體層M1構成連接至靜電防護電路環80的電源電路82與接地電路84；第5b圖中，由於鉚墊22係接地墊G1，因此導體層M2係電性連接於接地電路84之部分，而與電源電路82絕緣。又，導體層M4與M5在位於訊號電路團70之上方形成有電源／接地電路環90，用以提供各訊號電路團70之電源。

各導體層與絕緣層形成之後，在導體層之部分上方形成鉚墊20，鉚墊20之排列係如前所述，排列成至少四排。鉚墊構成之後，為使各導體層與絕緣層構成通連接地墊G1、靜電防護電路環80以及電源／接地電路環90的第一訊號線（即電源／接地匯流排28），以及通連防護訊號墊S1與訊號電路團70的第二訊號線（即訊號匯流排26），必須在各絕緣層中形成複數貫孔（via），以使第一訊號線通



五、發明說明 (11)

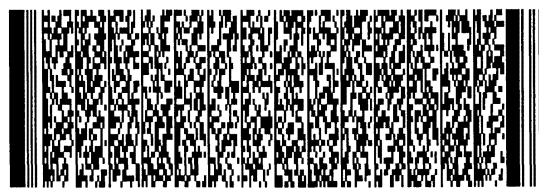
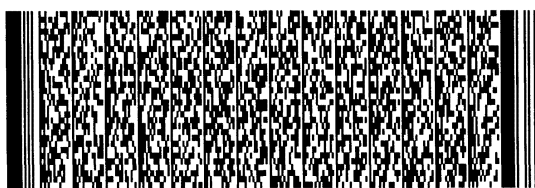
連接地墊G1、靜電防護電路環80以及電源／接地電路環90，第二訊號線通連防護訊號墊S1與訊號電路團70，且第一訊號線與第二訊號線彼此相互絕緣隔離，而構成本實施例之陣列型鐳墊晶片之內部電路結構。

在此必須特別說明，本實施例中，最外排鐳墊21係做為電源墊P1，而次外排鐳墊22係做為接地墊G1；然而，本發明並非限定於如此的配置，換言之，最外排鐳墊21以及次外排鐳墊22皆可用以做為電源墊或接地墊。

另外，本實施例之導體層為M1～M6共六層，且做為第一訊號線之電源／接地匯流排28係由下方之導體層M2構成，而通過第二訊號線之訊號匯流排26下方，經過靜電防護電路環80之後，再經由貫孔向上延伸，而連接至電源／接地電路環90。然而，本發明並非限定構成上述第一訊號線以及第二訊號線之導體層限制；換言之，本發明可藉由不同層數之導體層之設置而達成。

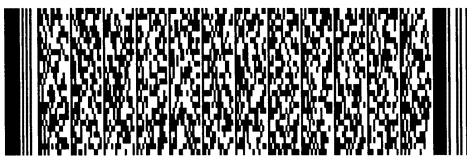
又，本實施例中，如第5b圖所示，由於鐳墊22係接地墊G1，因此做為第一訊號線之電源／接地匯流排28之導體層M2係電性連接於接地電路84之部分，而與電源電路82絕緣。若第一訊號線之電源／接地匯流排28係連接電源墊P1與靜電防護電路環80時，則導體層M2係電性連接於電源電路82之部分，而與接地電路84絕緣。

本發明之陣列型鐳墊晶片之內部電路設計以及其製造方法可適用於一倒裝晶片結構或一球格陣列結構，以及其他類似的晶片結構。



五、發明說明 (12)

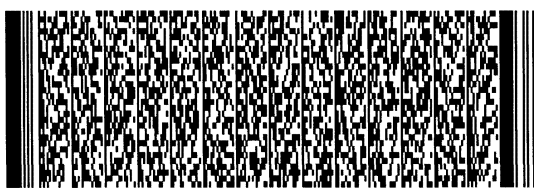
雖然本發明已以數個較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，仍可作些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



四、中文發明摘要 (發明之名稱：陣列型鐳墊晶片內部電路結構及其製造方法)

本發明揭示一種陣列型鐳墊晶片內部電路結構。該陣列型鐳墊晶片包括複數鐳墊、複數訊號電路團、以及一靜電防護電路環。鐳墊係位於晶片之上表面週邊，排列成至少四排，包括一最內排鐳墊、一次內排鐳墊、一次外排鐳墊以及一最外排鐳墊，最內排鐳墊與次內排鐳墊係相對於晶片之一側邊交錯排列，其中最內排以及次內排鐳墊只包括訊號墊，而最外排以及次外排鐳墊只包括電源墊以及接地墊。訊號電路團係位於晶片之鐳墊內側，各訊號電路團係分別垂直對齊各訊號墊。而靜電防護電路環係位於訊號電路團與最內排鐳墊之間。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種陣列型鐳墊晶片，包括：

複數鐳墊，位於該晶片之上表面週邊，排列成至少四排，包括一最內排鐳墊、一次內排鐳墊、一次外排鐳墊以及一最外排鐳墊，該最內排鐳墊與該次內排鐳墊係相對於該晶片之一側邊交錯排列，其中該最內排鐳墊以及該次內排鐳墊只包括訊號墊，而該最外排鐳墊以及該次外排鐳墊只包括電源墊以及接地墊；

複數訊號電路團，位於該晶片之該等鐳墊內側，各該訊號電路團係分別垂直對齊各該訊號墊；以及

一靜電防護電路環，位於該等訊號電路團與該最內排鐳墊之間。

2. 如申請專利範圍第1項所述之陣列型鐳墊晶片，其中：

該次外排鐳墊係相對於該晶片之該側邊垂直對齊該最內排鐳墊；且

該最外排鐳墊係相對於該晶片之該側邊垂直對齊該次內排鐳墊。

3. 如申請專利範圍第1項所述之陣列型鐳墊晶片，其中該等訊號電路團之寬度係大體相等於該等鐳墊間距 (bonding pad pitch) 之寬度。

4. 如申請專利範圍第1項所述之陣列型鐳墊晶片，其中該等訊號電路團上方更包括電源／接地電路環，用以提供該等訊號電路團之電源。

5. 如申請專利範圍第1項所述之陣列型鐳墊晶片，其



六、申請專利範圍

中該陣列型鐳墊晶片係適用於一倒裝晶片結構 (Flip Chip Structure) 。

6. 如申請專利範圍第1項所述之陣列型鐳墊晶片，其中該陣列型鐳墊晶片係適用於一球格陣列 (BGA) 封裝結構。

7. 一種陣列形鐳墊晶片的製造方法，包括下列步驟：

提供一基底，具有複數訊號電路團以及由電源／接地電路構成之一靜電防護電路環 (Electro-Static Discharge, ESD)，其中該等訊號電路團與該靜電防護電路環之間係彼此相互絕緣隔離；

在該基底之部分上方依序形成複數導體層，其中該等導體層之間具有絕緣層，使該等導體層彼此相互絕緣隔離；

在該等導體層之部分上方形成複數鐳墊，其中該等鐳墊排列成至少四排，包括一最內排鐳墊、一次內排鐳墊、一次外排鐳墊以及一最外排鐳墊；以及

在該等絕緣層中形成複數貫孔 (via)，使得該最外排鐳墊與該次外排鐳墊經由該等導體層及該靜電防護電路環而與該等訊號電路團上方之部分該等導體層電性連接並形成一第一訊號線，且該次內排鐳墊與該最內排鐳墊分別經由該等導體層而與該等訊號電路團電性連接並形成一第二訊號線，其中該第一訊號線與該第二訊號線彼此相互絕緣隔離。

8. 如申請專利範圍第7項所述之陣列形鐳墊晶片的製



六、申請專利範圍

造方法，其中：

該次外排鐳墊係相對於該晶片之該側邊垂直對齊該最內排鐳墊；且

該最外排鐳墊係相對於該晶片之該側邊垂直對齊該次內排鐳墊。

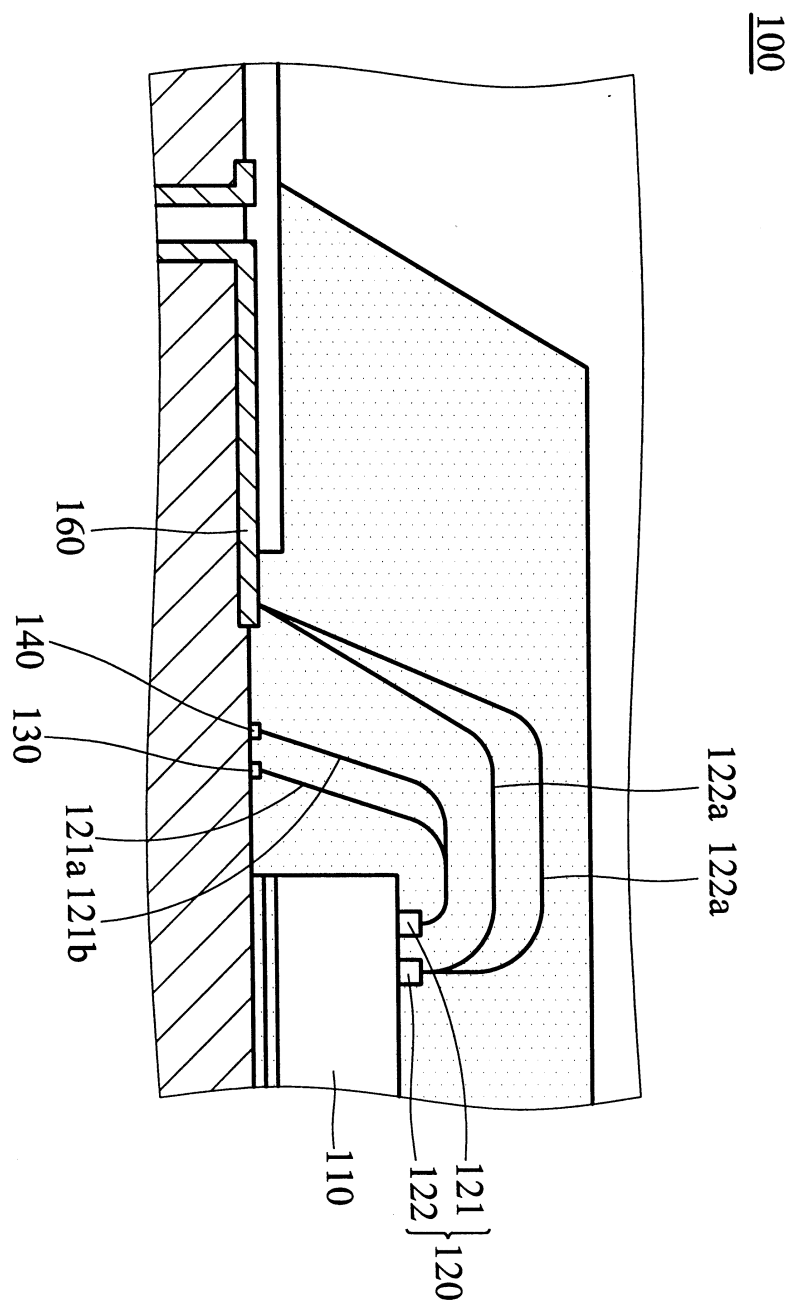
9. 如申請專利範圍第7項所述之陣列形鐳墊晶片的製造方法，其中該等訊號電路團之寬度係大體相等於該等鐳墊間距（bonding pad pitch）之寬度。

10. 如申請專利範圍第7項所述之陣列形鐳墊晶片的製造方法，其中該等訊號電路團上方之部分該等導體層更包括電源／接地電路環，用以提供該等訊號電路團之電源。

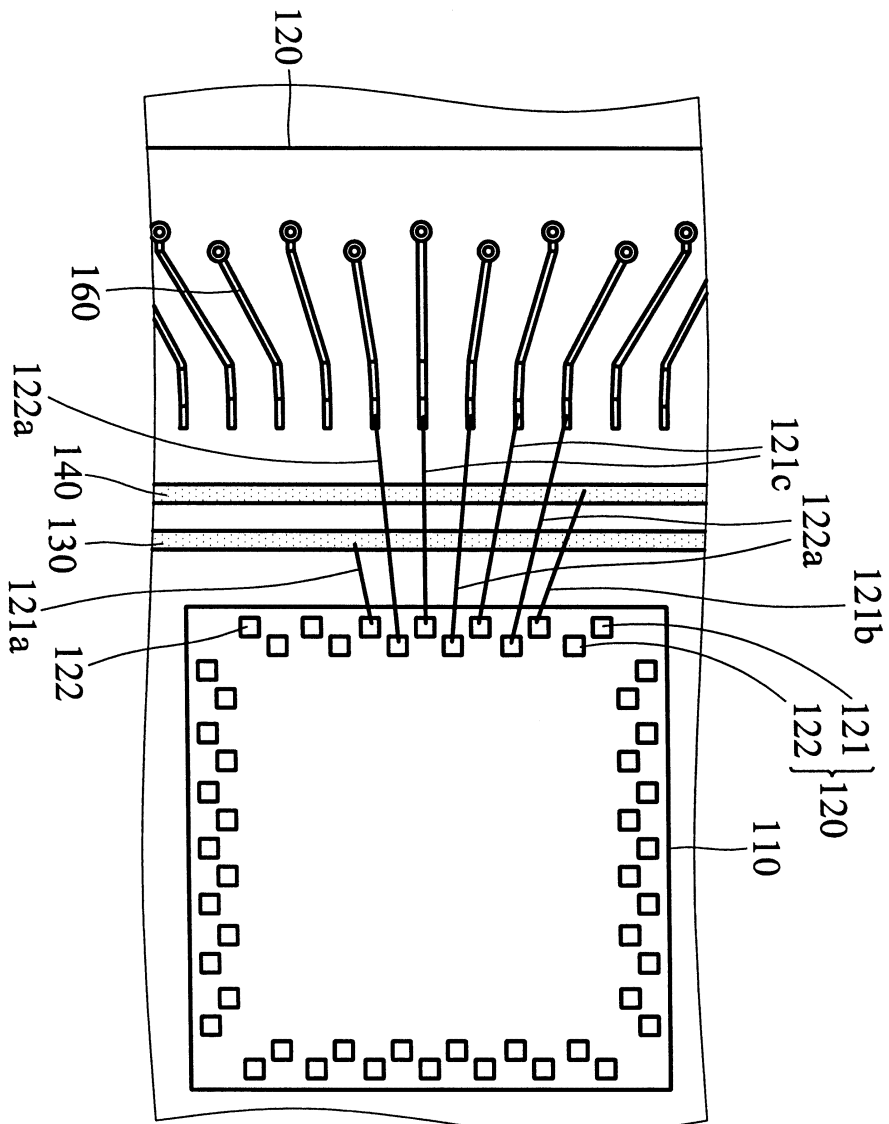
11. 如申請專利範圍第7項所述之陣列形鐳墊晶片的製造方法，其中該陣列型鐳墊晶片係適用於一倒裝晶片結構（Flip Chip Structure）。

12. 如申請專利範圍第7項所述之陣列形鐳墊晶片的製造方法，其中該陣列型鐳墊晶片係適用於一球格陣列（BGA）封裝結構。



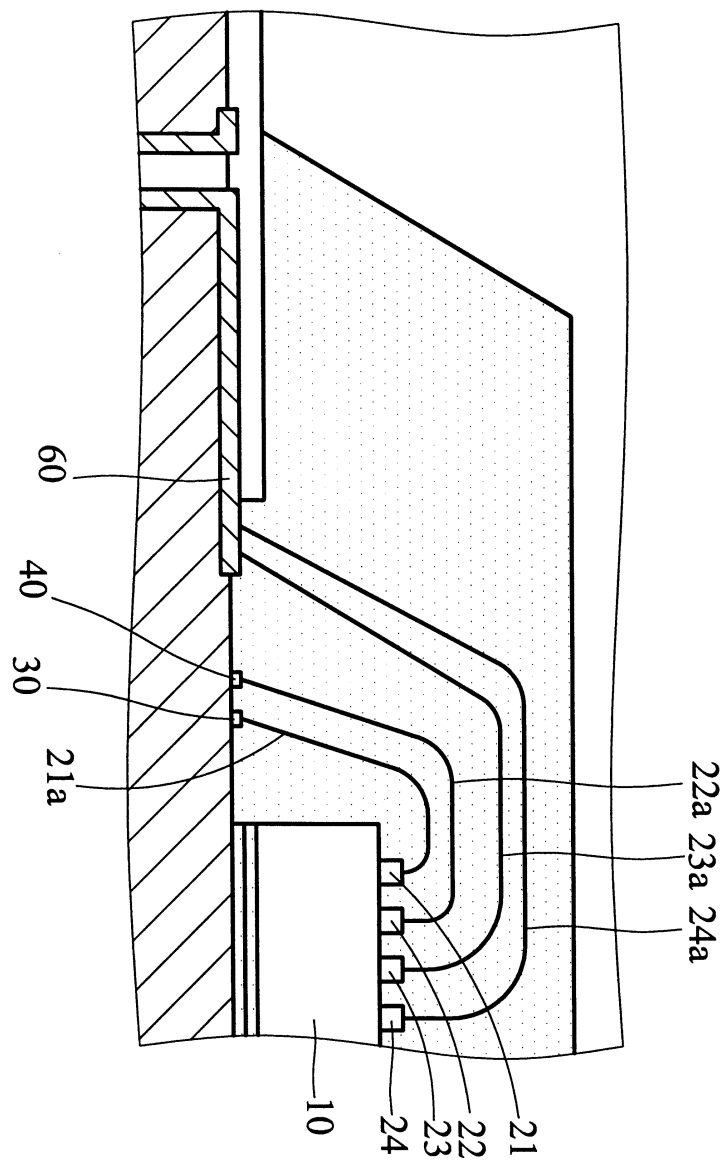


第1a圖

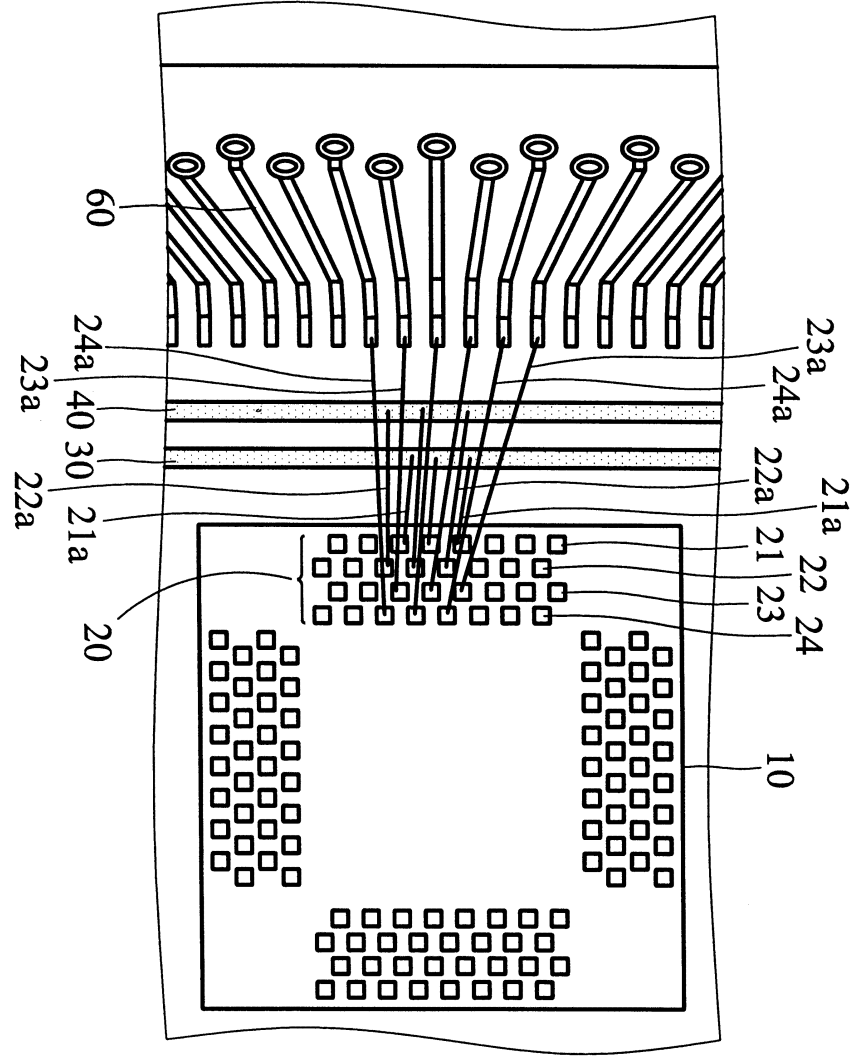


第1b圖

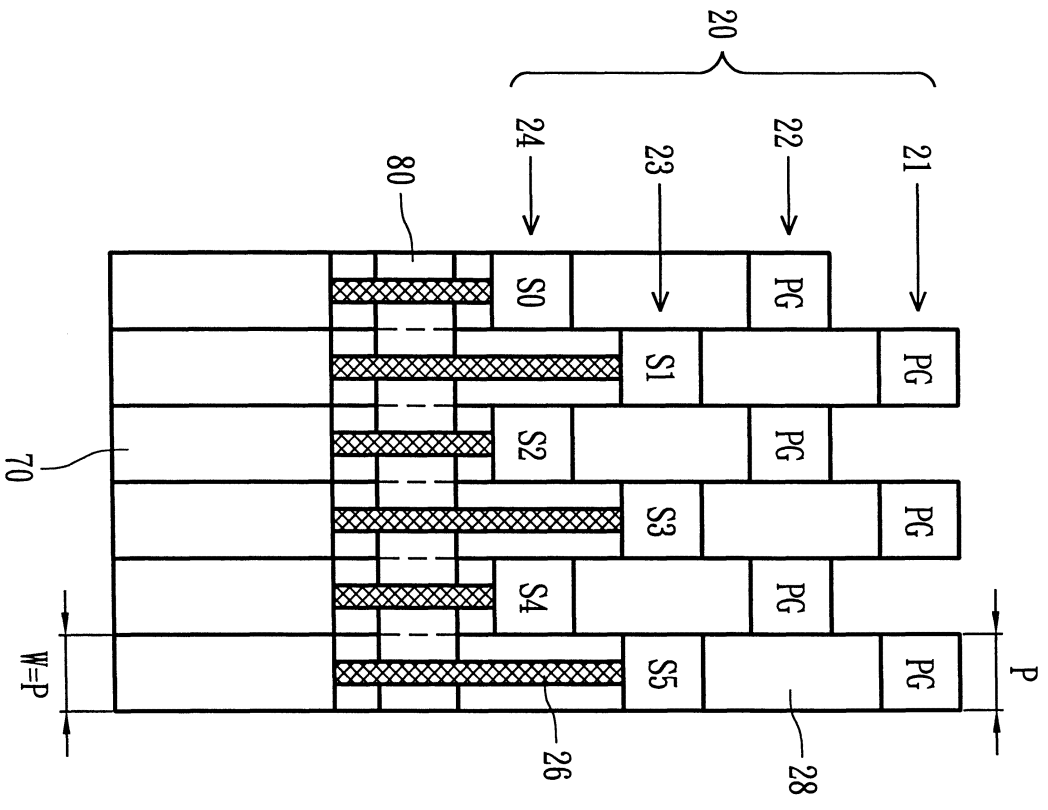
I



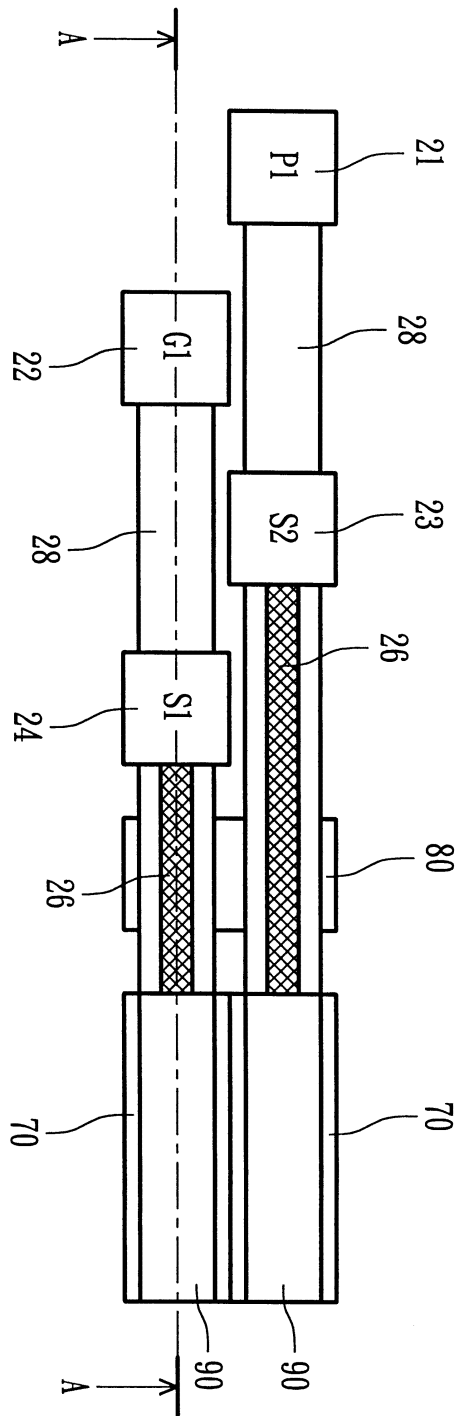
第 2a 圖



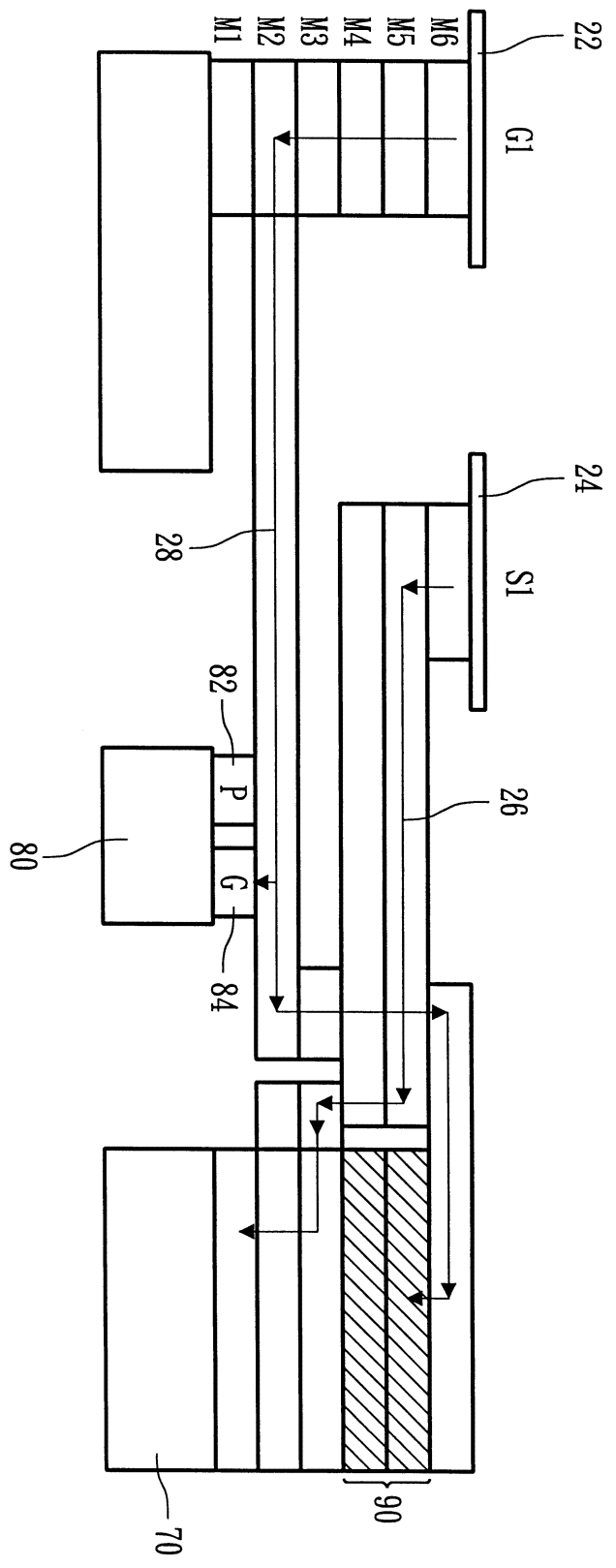
第2b圖



第 4 圖



第 50 圖



第5b圖