



(12) 发明专利

(10) 授权公告号 CN 102103561 B

(45) 授权公告日 2015. 04. 01

(21) 申请号 201010573018. 2

6 页, 图 4.

(22) 申请日 2010. 12. 01

US 7085874 B2, 2006. 08. 01, 说明书第 49, 65 段.

(30) 优先权数据

117760/09 2009. 12. 01 KR

US 2007067549 A1, 2007. 03. 22, 全文.

US 7519728 B1, 2009. 04. 14, 全文.

(73) 专利权人 三星电子株式会社

CN 101213534 A, 2008. 07. 02, 全文.

地址 韩国京畿道

US 6900812 B1, 2005. 05. 31, 全文.

(72) 发明人 尹栽根 严濬亨 权佑彻 姜贤俊
郑法澈

审查员 李乐

(74) 专利代理机构 北京市柳沈律师事务所
11105

代理人 钱大勇

(51) Int. Cl.

G06F 13/36(2006. 01)

(56) 对比文件

CN 1983223 A, 2007. 06. 20, 说明书第 5 — 9 页, 图 2 — 5.

CN 101261575 A, 2008. 09. 10, 说明书第 4 —

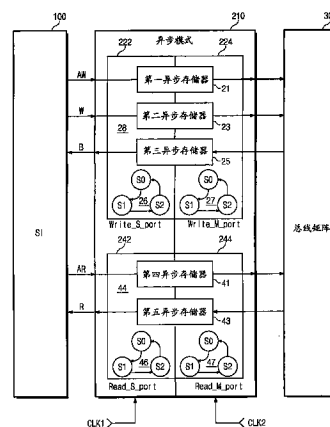
权利要求书 2 页 说明书 9 页 附图 10 页

(54) 发明名称

数据处理系统中的异步扩展电路

(57) 摘要

一种数据处理系统中的异步扩展电路。所述异步扩展电路包括异步打包器和异步解包器。所述异步打包器包括: 写缓冲器, 共同地用于异步桥以及用于扩展和缓冲写通道数据; 以及第一和第二异步打包控制器, 用于关于在突发写操作期间输入到写缓冲器 / 从写缓冲器输出的写通道数据, 分别根据第一和第二时钟来控制通道压缩。所述异步解包器包括: 读缓冲器, 共同地用于异步桥以及用于扩展和缓冲读通道数据; 以及第一和第二异步解包控制器, 用于关于在突发读操作期间输入到读缓冲器 / 从读缓冲器输出的读通道数据, 分别根据第一和第二时钟来控制通道压缩。



1. 一种数据处理系统中的异步扩展电路,包括:

异步打包器,包括:

写缓冲器,用于异步桥以及用于扩展和缓冲写通道数据;和

第一和第二异步打包控制器,用于关于写通道数据分别根据第一和第二时钟来控制通道压缩,所述写通道数据是在突发写操作期间输入到写缓冲器/从写缓冲器输出的;和

异步解包器,包括:

读缓冲器,用于异步桥以及用于扩展和缓冲读通道数据;和

第一和第二异步解包控制器,用于关于读通道数据分别根据第一和第二时钟来控制通道压缩,所述读通道数据是在突发读操作期间输入到读缓冲器/从读缓冲器输出的,

其中,所述写通道包括写地址通道、写数据通道和写响应通道,

其中,在第一时钟的频率高于第二时钟的频率时,在突发写操作期间提前预定数量的时钟周期执行写地址通道的请求,以便在扩展时优化等待时间,并且

其中,在第一时钟的频率低于第二时钟的频率时,在突发写操作期间延迟写地址通道的请求预定数量的时钟周期,以便在扩展时优化公用程序总线。

2. 如权利要求1所述的异步扩展电路,其中所述写缓冲器包括分别分配给写地址通道、写数据通道和写响应通道的存储器。

3. 如权利要求2所述的异步扩展电路,其中所述存储器是先进先出(FIFO)存储器。

4. 如权利要求2所述的异步扩展电路,其中所述第一时钟是总线主时钟,所述第二时钟是高级可扩展接口(AXI)总线时钟。

5. 如权利要求4所述的异步扩展电路,其中所述异步打包器对写通道数据执行异步打包,并且所述异步解包器对读通道数据执行异步解包。

6. 一种数据处理系统中的异步扩展电路,包括:

异步打包器,包括:

第一、第二和第三异步存储器,共同地用于异步桥以及用于扩展和缓冲写通道数据;和

第一和第二异步打包控制器,用于关于写通道数据分别根据总线主时钟和总线从时钟来控制通道压缩,所述写通道数据是在突发写操作期间输入到第一、第二和第三异步存储器/从第一、第二和第三异步存储器输出的;和

异步解包器,包括:

第四和第五异步存储器,共同地用于异步桥以及用于扩展和缓冲读通道数据;和

第一和第二异步解包控制器,用于关于读通道数据分别根据总线主时钟和总线从时钟来控制通道压缩,所述读通道数据是在突发读操作期间输入到第四和第五异步存储器/从第四和第五异步存储器输出的,

其中,所述写通道包括写地址通道、写数据通道和写响应通道,

其中,在总线主时钟的频率高于总线从时钟的频率时,在突发写操作期间提前预定数量的时钟周期执行写地址通道的请求,以便在扩展时优化等待时间,并且

其中,在总线主时钟的频率低于总线从时钟的频率时,在突发写操作期间延迟写地址通道的请求预定数量的时钟周期,以便在扩展时优化公用程序总线。

7. 一种数据处理系统,包括:

中央处理单元(CPU),包括层2(L2)高速缓存控制器;

连接在 CPU 与系统总线之间的异步扩展电路,包括:

异步打包器,包括:

写缓冲器,用于异步桥以及用于扩展和缓冲写通道数据;和

第一和第二异步打包控制器,用于关于写通道数据分别根据第一和第二时钟来控制通道压缩,所述写通道数据是在突发写操作期间输入到写缓冲器/从写缓冲器输出的;和

异步解包器,包括:

读缓冲器,用于异步桥以及扩展和缓冲读通道数据;和

第一和第二异步解包控制器,用于关于读通道数据分别根据第一和第二时钟来控制通道压缩,所述读通道数据是在突发读操作期间输入到读缓冲器/从读缓冲器输出的,

其中,所述写通道包括写地址通道、写数据通道和写响应通道,

其中,在第一时钟的频率高于第二时钟的频率时,在突发写操作期间提前预定数量的时钟周期执行写地址通道的请求,以便在扩展时优化等待时间,并且

其中,在第一时钟的频率低于第二时钟的频率时,在突发写操作期间延迟写地址通道的请求预定数量的时钟周期,以便在扩展时优化公用程序总线。

8. 一种数据处理系统中的异步打包方法,所述数据处理系统包括:写缓冲器,用于异步桥以及用于扩展和缓冲写通道数据;以及第一和第二异步打包控制器,用于关于在突发写操作期间输入到写缓冲器/从写缓冲器输出的写通道数据,分别根据总线主时钟和总线从时钟来控制通道压缩,所述方法包括:

当总线主时钟的频率高于总线从时钟的频率时,在突发写操作期间提前写地址通道的请求预定数量的时钟周期;和

当总线主时钟的频率低于总线从时钟的频率时,在突发写操作期间延迟写地址通道的请求预定数量的时钟周期,

其中,所述写通道包括写地址通道、写数据通道和写响应通道。

数据处理系统中的异步扩展电路

[0001] 相关申请的交叉引用

[0002] 本专利申请要求于 2009 年 12 月 1 日提交的韩国专利申请 No. 10-2009-0117760 的优先权,其整体内容通过引用并入于此。

技术领域

[0003] 本公开此处涉及一种数据处理系统,更具体地,涉及一种在诸如智能电话和导航设备的移动系统中通常具有异步桥功能的异步扩展 (asynchronous upsizing)。

背景技术

[0004] 在诸如智能电话、个人导航设备、便携式互联网设备、便携式广播设备或多媒体设备的移动系统中,在片上系统(下文中称作“SoC”)上使用高频运行的高性能移动应用处理器以支持各种应用。

[0005] 由于移动应用处理器负责算术运算和程序命令执行,因此移动应用处理器是影响移动 SoC 性能的关键元件。移动应用处理器可以包括片上辅助高速缓存(称作 L2(层 2)高速缓存),以便能够集成各种功能,例如无线通信、个人导航、相机、便携式游戏、便携式音频/视频播放器、移动 TV 和个人数字助理(PDA)。当由于处理器原因而使得存储器业务繁重时,添加 L2 高速缓存是增加移动系统性能的公知方法。

[0006] 为了有效设计 SoC,选择用于相互通信的总线系统是将要在一个芯片上集成的多个预先设计的知识产权(IP)(已购买外围功能块)之间的一种选择。已知总线系统的一个典型示例是基于来自高级 RISC 机器(ARM)公司的 AMBA 协议的 AMBA3.0 高级可扩展接口(AXI)总线系统。

[0007] 因为例如开发时间和人力的局限,作为 SoC 的各部分的外围功能块,例如直接存储器存取控制器(DMAC)、通用串行总线(USB)、外围组件互连(PCI)、静态存储器控制器(SMC)和智能卡接口(SCI),可以作为来自外部供应商的 IP 进行采购。所采购的外围功能块 IP 与中央处理单元(CPU)和数据处理功能块一起被集成在芯片上以组成 SoC。

[0008] 随着用户对高性能移动应用处理器需求的增加,SoC 中的 CPU 和高速缓存控制器的工作频率已经达到数千兆赫(GHz)。与之相反,总线系统的频率未增加到数 GHz。作为替换,利用比 CPU 更宽的数据总线宽度来降低数据传输率(频率)。例如,当具有大约 1GHz 的工作频率的 CPU 的数据总线宽度是 64 位时,总线系统的工作频率可被设计为具有大约 200MHz 的工作频率和大约 128 位的数据总线宽度。

[0009] 因此,为了调节数据传输率,可以在中央处理单元(可连接到高速缓存控制器的 CPU,具有 64 位数据总线宽度和 1GHz 工作频率)与具有 128 位数据总线宽度和 200MHz 工作频率(传输率)的总线系统之间提供 64 位数据到 128 位数据扩展电路。

[0010] 由于 SoC 设计的尺寸增加,广泛使用异步桥(async brige),并且由于带宽需求的增加已经引入了 128 位 AXI 总线,因此扩展器和异步桥的性能被认为是至关重要的因素。异步桥和扩展器对于显示 IP 路径来说都是必需的。对这样的显示 IP 的业务模式进行分析通

常会导致连续的突发读请求。

[0011] 当在其中显示 IP 被收集的显示子系统中连续地显示读请求时,“读就绪”信号由于异步桥和扩展器的带宽差而可能未被维持为高。在这样的情况下,存储器控制器的操作可能停止,这影响了整个系统的性能。因此,为了使性能恶化最少,被提供给存储器控制器的“读就绪”信号必须被维持为高。在这种情况下,由于异步桥和扩展器两者需要缓冲器,因此可以增加门(例如晶体管)数开销。

[0012] 而且,当在突发写的情况下对写地址通道和写数据通道执行压缩以增加公用程序总线(bus utility)时,需要更为有效的压缩方案。例如,当异步桥和扩展器彼此独立且分离时,可能降低通道压缩的效率,由此导致等待时间(latency)和公用程序总线恶化。

[0013] 因此,需要更有效率的通道压缩技术来减少可应用于移动系统的异步桥和扩展器中的门数开销。

发明内容

[0014] 本公开提供了一种能够提高数据处理系统的性能的异步扩展电路。

[0015] 本公开也提供了一种能够减少门数开销的异步扩展电路。

[0016] 本公开也提供了一种具有异步桥功能的扩展电路。

[0017] 本公开也提供了一种能够更有效地执行通道压缩的异步扩展电路和异步扩展方法。

[0018] 本公开也提供了一种扩展电路和使用该扩展电路的数据处理系统,其能够减小电路所占据的面积并且在突发写操作期间改善等待时间和公用程序总线。

[0019] 本发明构思的一方面提供了一种数据处理系统中的异步扩展电路,包括异步打包器和异步解包器。异步打包器包括:写缓冲器,用于异步桥以及用于扩展和缓冲写通道数据;以及第一和第二异步打包控制器,用于关于在突发写操作期间输入到写缓冲器/从写缓冲器输出的写通道数据,分别根据第一和第二时钟来控制通道压缩。异步解包器包括:读缓冲器,用于异步桥以及用于扩展和缓冲读通道数据;以及第一和第二异步解包控制器,用于关于在突发读操作期间输入到读缓冲器/从读缓冲器输出的读通道数据,分别根据第一和第二时钟来控制通道压缩。

[0020] 在一些实施例中,所述写缓冲器可以包括分别分配给写地址通道、写数据通道和写响应通道的存储器。所述读缓冲器可以包括分别分配给读地址通道和读数据通道的存储器。

[0021] 第一时钟可以是总线主时钟,第二时钟可以是总线从时钟。第二时钟可以是高级可扩展接口(AXI)总线时钟。

[0022] 在其它实施例中,在第一时钟的频率高于第二时钟的频率时,在突发写操作期间写地址通道的请求可以提前预定数量的时钟周期,以便执行等待时间优化的扩展。而且,在第一时钟的频率低于第二时钟的频率时,在突发写操作期间可以延迟写地址通道的请求预定数量的时钟周期,以便执行公用程序总线优化的扩展。

[0023] 在其它实施例中,所述存储器可以分别是先进先出(FIFO)存储器。而且,总线主时钟可以是存储器控制器提供的时钟。

[0024] 在其它实施例中,所述异步打包器可以对写通道数据执行异步打包,并且所述异

步解包器对读通道数据执行异步解包。

[0025] 本发明构思的另一方面提供了一种数据处理系统中的异步扩展电路,包括异步打包器和异步解包器。异步打包器包括:第一、第二和第三异步存储器,共同地用于异步桥以及用于扩展和缓冲写通道数据;以及第一和第二异步打包控制器,用于关于在突发写操作期间输入到第一、第二和第三异步存储器/从第一、第二和第三异步存储器输出的写通道数据,分别根据主时钟和从时钟来控制通道压缩。异步解包器包括:第四和第五异步存储器,共同地用于异步桥以及用于扩展和缓冲读通道数据;以及第一和第二异步解包控制器,用于关于在突发读操作期间输入到第四和第五异步存储器/从第四和第五异步存储器输出的读通道数据,分别根据主时钟和从时钟来控制通道压缩。

[0026] 在一些实施例中,主时钟可以是 CPU 时钟,从时钟可以是 AXI 总线时钟。

[0027] 在其它实施例中,第一异步存储器、第二异步存储器和第三异步存储器可被分别分配给写地址通道、写数据通道和写响应通道。而且,第四异步存储器和第五异步存储器可被分别分配给读地址通道和写数据通道。

[0028] 在其它实施例中,在主时钟的频率高于从时钟的频率时,在突发写操作期间写地址通道的请求可以提前预定数量的时钟周期,以便执行等待时间优化的扩展。

[0029] 甚至在其它实施例中,在主时钟的频率低于从时钟的频率时,在突发写操作期间可以延迟写地址通道的请求预定数量的时钟周期,以便执行公用程序总线优化的扩展。

[0030] 本发明构思的其它方面提供了一种数据处理系统,包括:中央处理单元(CPU),连接到层 2(L2) 高速缓存控制器;经由 L2 高速缓存控制器连接在 CPU 与接口总线之间的异步扩展电路。异步扩展电路包括异步打包器和异步解包器。异步打包器包括:写缓冲器,共同地用于异步桥以及用于扩展和缓冲写通道数据;和第一和第二异步打包控制器,用于关于在突发写操作期间输入到写缓冲器/从写缓冲器输出的写通道数据,分别根据第一和第二时钟来控制通道压缩。异步解包器包括:读缓冲器,共同地用于异步桥以及扩展和缓冲读通道数据;以及第一和第二异步解包控制器,用于关于在突发读操作期间输入到读缓冲器/从读缓冲器输出的读通道数据,分别根据第一和第二时钟来控制通道压缩。以及显示知识产权(IP),连接到该接口总线。

[0031] 在一些实施例中,显示 IP 可以是用于移动系统的 IP。

[0032] 本发明构思的另一方面提供了一种数据处理系统中的异步打包方法,所述数据处理系统包括:写缓冲器,共同地用于异步桥以及用于扩展和缓冲写通道数据;以及第一和第二异步打包控制器,用于关于在突发写操作期间输入到写缓冲器/从写缓冲器输出的写通道数据,分别根据主时钟和从时钟来控制通道压缩。所述异步打包方法包括:当主时钟的频率高于从时钟的频率时,在突发写操作期间将写地址通道的请求提前预定数量的时钟周期;和当主时钟的频率低于从时钟的频率时,在突发写操作期间将写地址通道的请求延迟预定数量的时钟周期。

[0033] 下面将参考附图更详细地描述本发明构思的示例性实施例。然而,本发明构思可以以不同的形式体现并且不应当理解为限于此处阐述的实施例。相反,提供这些实施例,从而本公开将会透彻完整,并且将向本领域的技术人员传达本发明构思的范畴。

[0034] 在本公开中,当某些元件或线路是指连接到目标元件块时,它们可以直接连接到目标元件块或者可以经由其它元件间接地连接到目标元件块。

[0035] 在不同附图中提供的相同或相似附图标记表示相同或详细组件。在一些附图中，为了有效解释技术内容可以夸大元件和线路的尺寸。

[0036] 将要注意，本文中描述和图示的每个实施例包括其补充实施例。

附图说明

[0037] 包含附图以提供对本发明构思的进一步理解，并且被并入此且构成本说明书的一部分。附图图示了本发明构思的示例性实施例，且与说明书一起用于解释本发明构思的原理。附图中：

[0038] 图 1 是根据本发明构思的示例性实施例的包括高性能总线矩阵的数据处理系统（例如片上系统（SoC））中的异步扩展电路 500 的方框图；

[0039] 图 2 是图示数据处理系统中的图 1 的异步扩展电路 500 中的数据扩展的方框图和定时图；

[0040] 图 3 是图 1 的异步扩展电路 500 的异步扩展器 200 的详细方框图；

[0041] 图 4 是根据本发明构思的示例性实施例的图 1 的异步扩展电路 500 的异步扩展器 210 的详细方框图；

[0042] 图 5 是示出根据本发明构思的示例性实施例的门数减少的门数的表格；

[0043] 图 6 是图示根据本发明构思的示例性实施例的总线等待时间和公用程序总线优化的操作定时图；

[0044] 图 7 是根据本发明构思的示例性实施例的主时钟和从时钟的频率之间的比率表；

[0045] 图 8 是示出取决于图 7 的频率比和突发长度的时钟的波动的表格；

[0046] 图 9 是映射图 8 的表格中的时钟波动分布的图；和

[0047] 图 10 是采用根据本发明构思的实施例的异步扩展电路的移动数据处理系统的图。

具体实施方式

[0048] 图 1 是根据本发明构思的实施例的片上系统（SoC）中的异步扩展电路 500 的方框图，所述片上系统使用高级 RISC 机器（ARM）公司的 PrimCell 高性能矩阵（HPM）。

[0049] 参考图 1，从接口（SI）上的接口支持组件的示例性连接示出为包括桥单元 2、扩展器 200、寄存器片 4 和总线矩阵 300。用作频率转换元件的桥单元 2 可以跨接在两个异步时钟域之间。扩展器 200 可以是数据总线宽度转换元件，能够使主方连接到具有更大数据数据宽度的从方。寄存器片 4 可以是缓冲元件，用于存储高级微控制器总线体系（AMBA）高级可扩展接口（AXI）信号。

[0050] 在图 1 中，扩展器 200 可以主要执行数据扩展器的功能，例如用于将 64 位数据扩展为 128 位数据以便降低传输率。在图 1 中，与桥单元 2 连接的从接口（SI）100 可以连接到具有大约 64 位数据的总线宽度和大约 1GHz 的工作频率的中央处理单元（CPU）（例如具有应用处理器，未示出）方，并且总线矩阵 300 可以是具有大约 128 位数据的总线宽度和大约 200MHz 的工作频率的总线系统。总线矩阵 300 可以具有多层总线矩阵结构。MI (102) 表示总线矩阵 300 处的主接口。

[0051] 图 2 是图示数据处理系统中的图 1 的异步扩展电路 500 中数据扩展的方框图和定

时图。

[0052] 参考图 2, 数据处理系统可以包括在扩展器 200 之前的窄 AXI 总线和在扩展器 200 之后的宽 AXI 总线。扩展器 200 将施加到窄总线 BN 的 32 位、32 位和 64 位数据分别扩展为 64 位、128 位和 128 位数据, 以便将扩展后数据提供给宽总线 BW。Lo 是指最低有效位, Hi 可以表示最高有效位。例如, 在总计 128 位数据中, 0 到 63 位可以对应于 Lo, 64 到 127 位可以对应于 Hi。在图 2 中, 与桥单元 2 连接的从接口 (SI) 100 可以连接到中央处理单元 (CPU) 方, CPU 具有大约 64 位数据的总线宽度和大约 1GHz 的工作频率, 并且 AXI 总线矩阵 300 可以是具有大约 128 位数据的总线宽度和大约 200MHz 的工作频率的总线系统。

[0053] 图 3 是图示图 1 的异步扩展电路 500 中的同步扩展器 200 的详细方框图。

[0054] 在图 3 中, 扩展器 200 以同步模式操作, 并且包括同步打包器 220 和同步解包器 240, 它们根据处理器时钟 CLK1 操作。同步打包器 220 包括第一和第二同步存储器 21 和 23 以及同步打包控制器 25。同步解包器 240 包括 CAM 41、第三同步存储器 43 和同步解包控制器 45。同步打包器 220 对写地址通道、写数据通道和写响应通道执行同步打包。同步解包器 240 对读地址通道和写数据通道执行同步解包。

[0055] 第一同步存储器 21 响应于同步打包控制器 25 的控制存储写地址通道的地址, 并且扩展所存储的地址以便将扩展后的地址输出到总线矩阵 300。

[0056] 第二同步存储器 23 响应于同步打包控制器 25 的控制存储写数据通道的数据, 并且扩展所存储的数据以便将扩展后的数据输出到总线矩阵 300。此处, 所存储的 64 位数据被扩展和施加到总线矩阵 300 作为 128 位数据。

[0057] CAM 41 是执行地址读内容可寻址存储器 (ARCAM) 的功能的存储器。

[0058] 第三同步存储器 41 响应于同步解包控制器 45 的控制存储读地址通道的数据, 并且对所存储的数据执行位转换以便将转换后的数据输出到从接口 (SI) 100。

[0059] 第一到第三同步存储器 21、23 和 43 可以使用具有先进先出 (FIFO) 功能的先进先出存储器来实现。

[0060] 在图 3 中, 可以在处理器的时钟域下操作施加到扩展器 200 的时钟 CLK1。因此, 当处理器时钟具有大约 1GHz 的频率时, 时钟 CLK1 也可以赋予大约 1GHz 的频率。另一方面, 总线矩阵 300 中使用的总线时钟可以具有大约 200MHz 的频率。

[0061] 处理器 (或 CPU) 时钟可以是由动态电压频率调整控制器 (DVFS) 控制的动态电压频率调整 (DVFS) 时钟, 该动态电压频率调整控制器已被用来最小化 SoC 的电流消耗。时钟频率可以由 DVFS 动态地控制。

[0062] 在图 3 中, AW 代表写地址通道信号, W 代表写数据通道信号, B 代表写响应通道信号, AR 代表读地址通道信号, R 代表读数据通道信号。而且, SI 代表从接口 100, MI 代表主接口。

[0063] 由于图 3 中所示的扩展器 200 以同步模式操作, 因此它可以适用于以异步桥操作, 而不增加 SoC 设计的尺寸。

[0064] 在频繁使用异步扩展器和异步桥的显示器 IP 路径中, 操作性能是至关重要的。如果“读就绪”信号由于在显示子系统内的异步桥和扩展器之间的带宽差而未保持为高, 则可以停止存储器控制器的操作, 这对整个系统的性能有负面影响。因此, 为了使性能恶化降至最少, 提供给存储器控制器的“读就绪”信号必须保持为高。在这种情况下, 由于异步桥和

扩展器两者都需要缓冲器,因此可能引起门数开销。如图 4 所示,通过共享写缓冲器和读缓冲器可以实现异步扩展器 210(具有异步操作模式)并且减少门数开销。

[0065] 当在突发写操作中执行通道压缩时,如图 9 所示,可以根据关于主和从之间的突发长度和时钟比的操作时钟调节表来控制通道压缩,以便改善等待时间或公用程序总线并增加通道压缩效率。

[0066] 图 4 是图示根据本发明构思的示例性实施例的图 1 的异步扩展电路 500 的异步扩展器 210 的详细方框图。

[0067] 异步扩展器 210 包括第一和第二异步打包器 222 和 224 以及第一和第二异步解包器 242 和 244。

[0068] 第一和第二异步打包器 222 和 224 共同地用于异步桥和用于扩展,并且共享缓冲写通道数据 AW、W 和 B 的第一到第三异步存储器 21、23 和 25。第一异步打包器 222 包括第一异步打包控制器 26,用于在突发写期间关于输入到第一到第三异步存储器 21、23 和 25/从第一到第三异步存储器 21、23 和 25 输出的写通道数据,根据主时钟 CLK1 来控制通道压缩。第二异步打包器 224 包括第二异步打包控制器 27,用于在突发写期间关于输入到第一到第三异步存储器 21、23 和 25/从第一到第三异步存储器 21、23 和 25 输出的写通道数据,根据从时钟 CLK2 来控制通道压缩。

[0069] 第一和第二异步解包器 242 和 244 共同用于异步桥和用于扩展,并且共享缓冲读通道数据 AR 和 R 的第四和第五异步存储器 41 和 43。第一异步解包器 242 包括第一异步解包控制器 46,用于在突发读期间关于输入到第四和第五异步存储器 41 和 43/从第四和第五异步存储器 41 和 43 输出的读通道数据,根据主时钟 CLK1 控制通道压缩。第二异步解包器 244 包括第二异步解包控制器 47,用于在突发读期间关于输入到第四和第五异步存储器 41 和 43/从第四和第五异步存储器 41 和 43 输出的读通道数据,根据从时钟 CLK2 控制通道压缩。

[0070] 第一到第三异步存储器 21、23 和 25 可被实现为 FIFO 存储器,并且可以包含在写缓冲器 28 中。第四和第五异步存储器 41 和 43 可被实现为 FIFO 存储器并且可以包含在读缓冲器 44 中。

[0071] 主时钟 CLK1 可以是存储器控制器提供的时钟或者 CPU(未示出)的时钟。从时钟 CLK2 可以是 AXI 总线时钟。

[0072] 第一异步存储器 21 响应于第一异步打包控制器 26 的控制,存储写地址通道 AW 的地址。响应于第二异步打包控制器 27 的控制,第一异步存储器 21 对所存储的写地址通道 AW 的地址执行异步桥接和扩展,以便将扩展的地址输出到总线矩阵 300。

[0073] 第二异步存储器 23 响应于第一异步打包控制器 26 的控制存储写数据通道 W 的数据。响应于第二异步打包控制器 27 的控制,第二异步存储器 23 对所存储的写地址通道 W 的数据执行异步桥接和扩展,以便将扩展的数据输出到总线矩阵 300。

[0074] 第三异步存储器 25 响应于第二异步打包控制器 27 的控制存储写响应通道 B 的数据。响应于第一异步打包控制器 26 的控制,第三异步存储器 25 对所存储的写响应通道 B 的数据执行异步桥接和位宽度转换,以便将转换后的数据输出到从接口 100。

[0075] 第四异步存储器 41 响应于第一异步解包控制器 46 的控制存储读地址通道 AR 的地址。响应于第二异步解包控制器 47 的控制,第四异步存储器 41 对所存储的读地址通道

AR 的地址执行异步桥接和扩展,以便将扩展的地址输出到总线矩阵 300。

[0076] 第五异步存储器 43 响应于第二异步解包控制器 47 的控制存储读响应通道 R 的数据。响应于第一异步解包控制器 46 的控制,第五异步存储器 43 对所存储的读响应通道 R 的数据执行异步桥接和位宽度转换,以便将转换后的数据输出到从接口 100。

[0077] 在图 4 中所示的异步扩展器 210 中,写缓冲器 28 和读缓冲器 44 可被共享来降低门数开销。

[0078] 图 5 是示出根据本发明构思的示例性实施例的门数减少的表。在图 5 的表格的第一行中,5214(63K) 所示为用于图 1 的异步扩展电路 500 的图 4 的异步扩展器 210 中的门数。将会理解的是,与图 3 的同步扩展器 200 具有的门数 9773(117K) 相比,图 4 的异步扩展器 210 具有的门数 5214(63K) 减少了大约 47%。而且,在图 5 的表格的第二行中,门数从 10838 减少到 5715。因此,通过共享写缓冲器 28 和读缓冲器 24 明显地减少了门数。

[0079] 如图 9 所示,当在突发写操作中执行通道压缩时,根据关于主和从之间的突发长度和时钟比率的操作时钟调节表,可以控制通道压缩,从而改善总线等待时间(与如图 6 的 P1 和 P2 定时中所示的 G1 和 G2 相比)或者公用程序总线(与如图 6 的 P3 和 P4 定时中所示的 G3 和 G4 相比)。

[0080] 图 6 是图示图 4 的异步扩展器 210 具有的总线等待时间和公用程序总线优化的操作定时图。

[0081] 图 7 是示出图 4 的异步扩展器 210 中的主时钟和从时钟的频率之间的比率表。

[0082] 图 8 是示出取决于图 7 的频率比和突发长度的时钟波动的表。

[0083] 图 9 是图示根据时钟的波动分布重新构造的图 8 的表中的频率比的图。

[0084] 参考图 6,定时波形 A1 代表 AW 请求,A2 代表 64 位宽的写数据。A3 是 128 位宽的写数据。例如,当总线主时钟和从时钟的频率等于大约 200MHz 时,对于突发写操作,AW 请求可被延迟一定数量的时钟,就像 A4 相对于 A1 被延迟一样。而且,从扩展器输出的 128 位宽的写数据可以变成如 A5 中所示被延迟。

[0085] 另一方面,当总线主时钟大约为 300MHz 和总线从时钟大约为 200MHz 时,在图 3 的同步扩展器 200 中,AW 请求可被生成为类似 G1,并且 128 位宽的写数据可被输出为像 G2 一样,以便在突发写操作中改善等待时间。

[0086] 当总线主时钟大约为 200MHz 且总线从时钟大约为 300MHz 时,在图 3 的同步扩展器 200 中,AW 请求可被生成为类似 G3,并且 128 位宽的写数据可被输出为像 G4 一样,以便在突发写操作中改善公用程序总线。

[0087] 在图 4 的异步扩展器 210 中,如 P1 和 P2 定时所示,写地址通道的请求在突发写操作期间可以提前预定数量的时钟周期。具体地,当总线主时钟大约为 300MHz 且总线从时钟大约为 200MHz 时,在图 4 的异步扩展器 210 中,AW 请求可被生成为类似 P1,并且 128 位宽的写数据可被输出为像 P2 一样,以便在突发写操作中改善等待时间。由于定时波形 P2 是提前输出的数据,如箭头 AR1 所示,因此可以改善等待时间。

[0088] 而且,当总线主时钟的频率低于总线从时钟的频率时,如 P3 和 P4 所示,写地址通道的请求可以在突发写操作中延迟预定数量的时钟周期,以便执行公用程序总线优化的扩展。具体地,当总线主时钟大约为 200MHz 且总线从时钟大约为 300MHz 时,在图 4 的扩展器中,AW 请求可被生成为类似 P3,并且 128 位宽的写数据可被输出为像 P4 一样,以便在突发

写操作中改善公用程序总线。尽管后来输出了定时波形 P4(与 G4 相比延迟两个时钟),但是由于在时间段 T1 处的输出,可以改善公用程序总线。

[0089] 关于写通道的压缩,当在时间段 T3 输出的写数据是针对等待时间的通道压缩时,写数据可以在时间段 T2 被输出。在用于公用程序总线的通道压缩中,由于写数据在时间段 T3 处输出,因此可以使得压缩进行得与减少的段一样多。

[0090] 在关于写通道的通道压缩中,对于等待时间的请求提前或者对于公用程序总线的请求延迟的程度可以取决于图 9 中所示的表格映射。基于图 7 和图 8 的透彻理解,图 9 可以更好理解。

[0091] 参考图 7,以频率递增的顺序在水平轴上排列总线主时钟频率,并且以频率递增的顺序在垂直轴上排列从时钟。符号 ns(毫微秒)表示时钟的周期(相应频率的倒数)。例如,300MHz 时钟具有大约 3.3ns 的周期。

[0092] 图 7 的表格的各区域(field)代表频率比。因此,例如,在图 7 中,数值 1 示出在 200MHz 的主时钟频率和 200MHz 的从时钟频率相等的点处。因此,数值(比)0.67 示出在 300MHz 的主时钟和 200MHz 的从时钟彼此交叉的点处。而且,数值 1.5 示出在 200MHz 的主时钟和 300MHz 的从时钟彼此交叉的点处。如图 8 所示,根据频率比可以构造和组织突发长度的表格。

[0093] 在图 8 中,以递增顺序沿着垂直轴示出频率比(或时钟比)。图 8 的水平轴上示出的 AWLEN 表示 AW 的长度,AWLENm-1 表示突发长度。

[0094] 参考图 8,在垂直轴上的数值 1.00 的基础上沿着水平轴排列数值(1,2,1,2,3,2,3,4,...,8)。该数值可以通过从 AWLEN 中减去 AW 获得。因此, $1-0=1$, $2-0=2$, $2-1=1$,并且最后数值 8 可以通过从 16 减去 8 而获得。

[0095] 如图 9 中所示,通过在垂直轴上的值 1.00 的基础上对图 8 的数字表的相等值垂直分组,得到映射时钟 t 的波动分布的图形。例如,对于与图 9 中表示为“0”的区域对应的频率比和突发长度,不必提前或延迟请求。而且,对于与表示为“+1”的区域对应的频率比和突发长度,该请求可以相对于公用程序总线延迟一个时钟。对于与表示为“-1”的区域对应的频率比和突发长度,该请求可以提前一个时钟以便改善等待时间。对于与表示为“+4”的区域对应的频率比和突发长度,该请求可以相对于公用程序总线延迟四个时钟。对于与表示为“-3”的区域对应的频率比和突发长度,该请求可以提前三个时钟以便改善等待时间。

[0096] 因此,用于优化等待时间和公用程序总线的通道压缩操作可以通过图 4 的异步扩展器 210 的第一和第二异步打包控制器 26 和 27 来进行。

[0097] 根据本发明构思的示例性实施例,使用能够在移动系统中利用的异步桥和异步扩展器来降低门(晶体管)数开销,并且能够更有效地执行通道压缩。

[0098] 图 10 是图示根据本发明构思的实施例的利用异步扩展电路的移动数据处理系统的图。

[0099] 参考图 10,移动系统可以包括第一 CPU 500,其具有 L2 高速缓存,通过 AXI 总线 BUS 1 连接到媒体系统 510、调制解调器 520、存储器控制器(CPU)410、引导 ROM 430 和显示控制器 440。例如 DRAM 或闪速存储器的存储器 420 可以连接到存储器控制器 410。例如 LCD 的显示器 450 可以连接到显示器控制器 440。

[0100] 在图 10 中,BUS 1 可以是 CPU 总线,且 BUS2 可以是存储器总线。CPU500 除了内部

层 2(L2) 高速缓存以外,可以包括内部层 1(L1) 高速缓存。L1 高速缓存(未示出)可用于存储被频繁访问的数据和 / 或命令。类似地,L2 高速缓存可用于存储被频繁访问的数据和 / 或命令。

[0101] 图 10 的移动系统可以实现为各种设备,例如智能电话、个人导航设备、便携式联网设备、便携式广播设备和多媒体设备。

[0102] 在图 10 的移动系统中,图 4 的扩展器 210 可以连接在 CPU 500 与 AXI 总线 BUS1 之间。

[0103] 在这种情况下,CPU 时钟可用作图 4 的第一时钟 CLK1,且 AXI 总线 BUS1 的时钟可以是图 4 的第二时钟 CLK2。

[0104] 在写通道的压缩操作期间,当第一时钟 CLK1 的频率高于第二频率 CLK2(与两个频率彼此相等的情况相比)时,图 4 的电路可以在突发写操作中将写地址通道的请求提前预定数量的时钟周期。另一方面,当第一时钟 CLK1 的频率低于第二频率 CLK2(与两个频率彼此相等的情况相比)时,所述电路可以在突发写操作中将写地址通道的请求延迟预定数量的时钟周期。

[0105] 如上所述,根据使用图 4 的扩展器 210 的异步扩展电路 500 的配置,集成在芯片上的电路 500 所占据的区域可以通过共享缓冲器来减小,由此降低了实现电路所需的成本。而且,在异步打包器中的通道压缩期间,可以优化等待时间或公用程序总线,从而提高操作性能。

[0106] 因此,当在图 10 的 SoC 中采用使用图 4 的扩展器 210 的异步扩展电路 500 时,可以降低数据处理系统的制造成本,并且可以提高 SoC 的操作性能。

[0107] 尽管已经在不限于此的本发明构思的上述示例性实施例中主要描述了缓冲器的共享和通道压缩,但是本发明构思的实施例也可以广泛地应用于任何数据处理系统,其中可能另外发生门(晶体管)数开销或者通道压缩效率不高。

[0108] 在应用本发明构思的实施例的移动系统中,处理器的数量可以增加至不止两个。处理器的示例(CPU 500,CPU 400)可以包括微处理器、CPU、数字信号处理器、微控制器、精简指令集计算机和复杂指令集计算机。

[0109] 上述主题将被认为是图解性和非限制性的,并且所附权利要求往往涵盖落入本发明构思的真实精神和范畴之内的所有所述修改、改进和其它实施例中。因此,为了法律允许的最大程度,本发明构思的范畴将由所附权利要求及其等价物的最宽广可容许解释来确定,并且不应当局限于或限制为示例性实施例的前面详细描述。

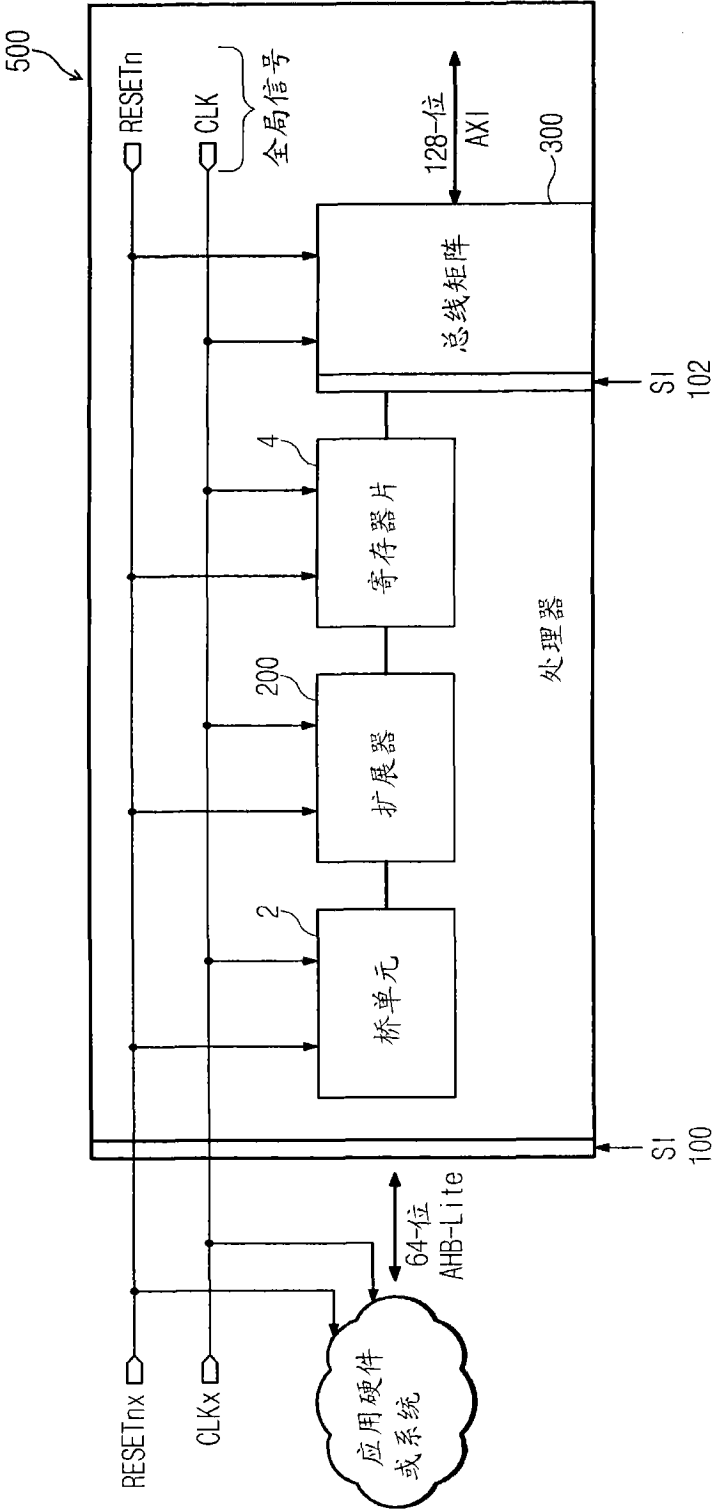


图 1

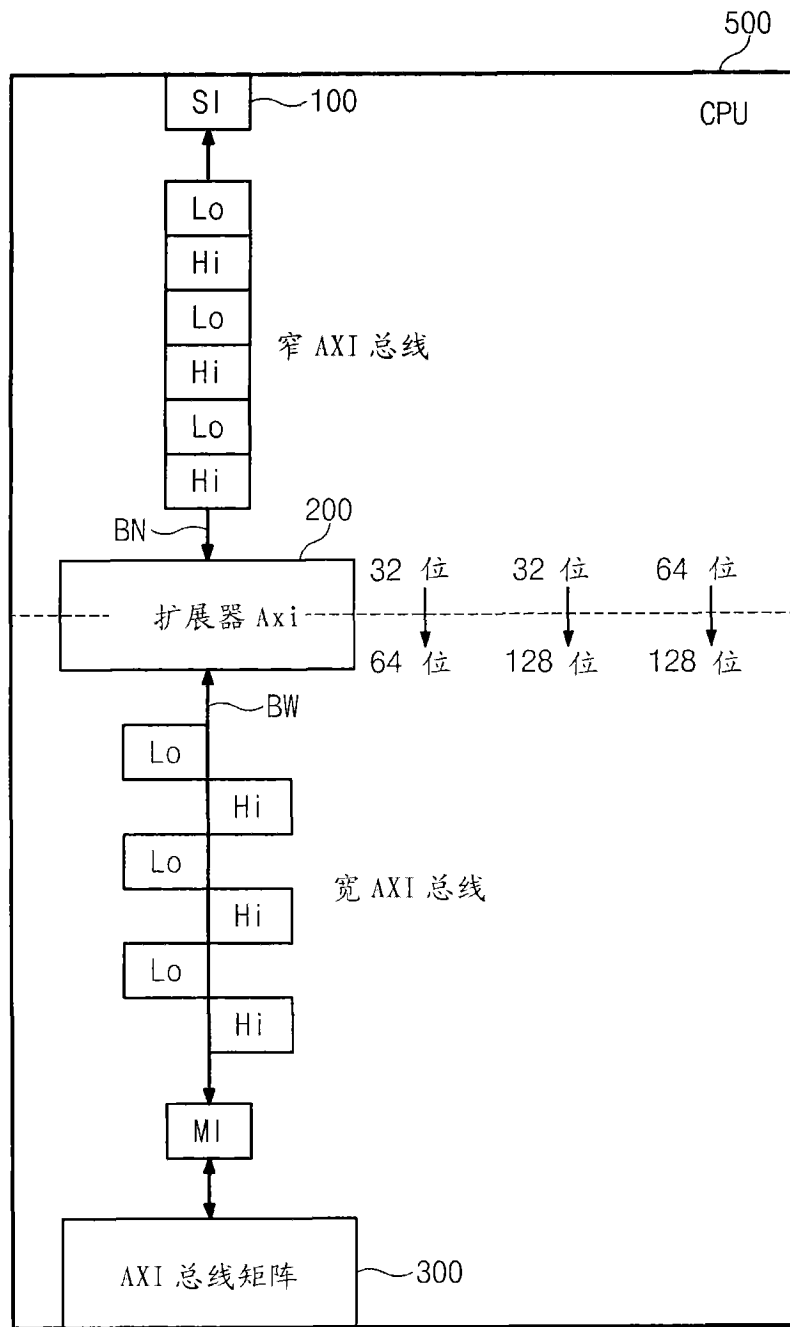


图 2

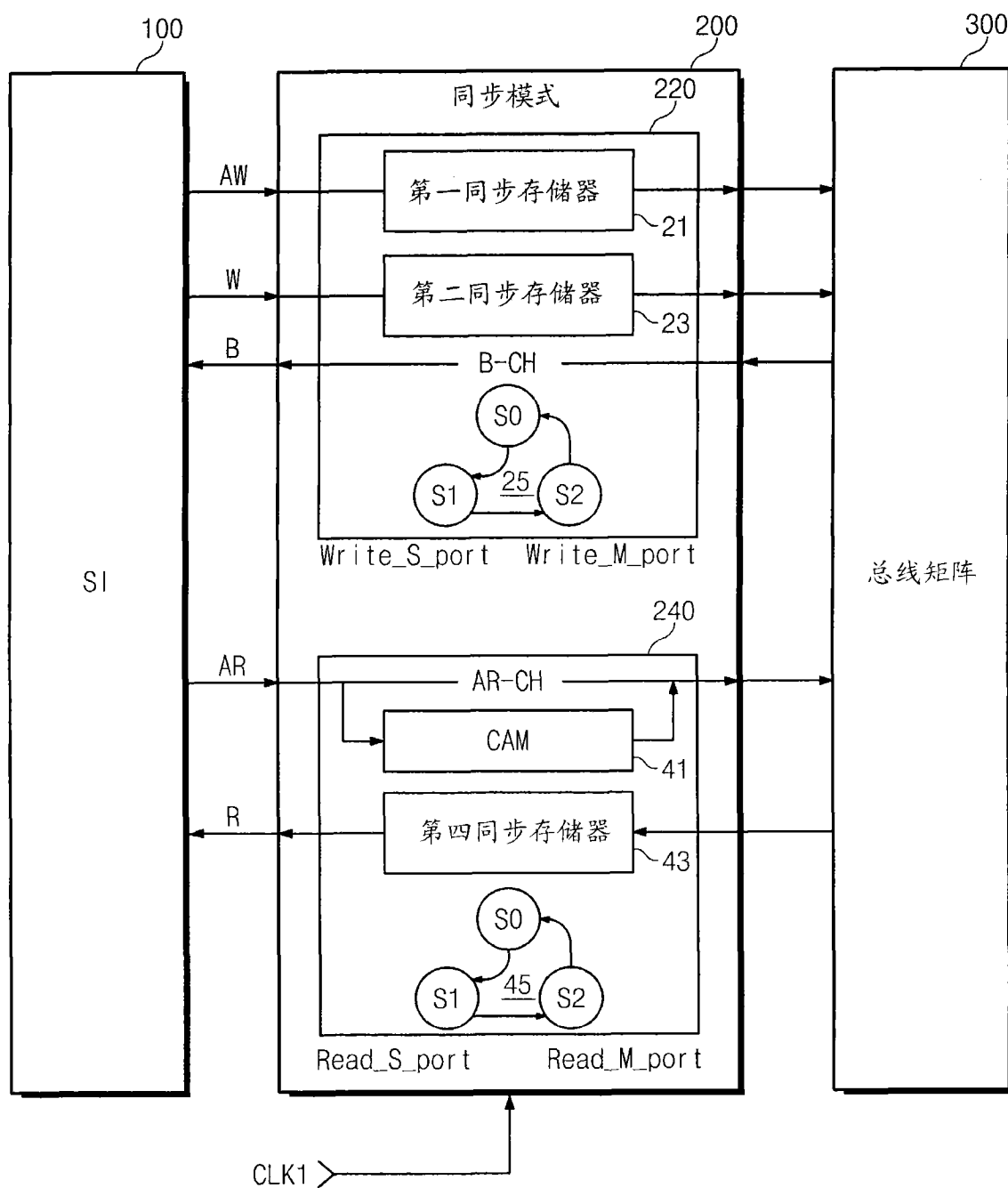


图 3

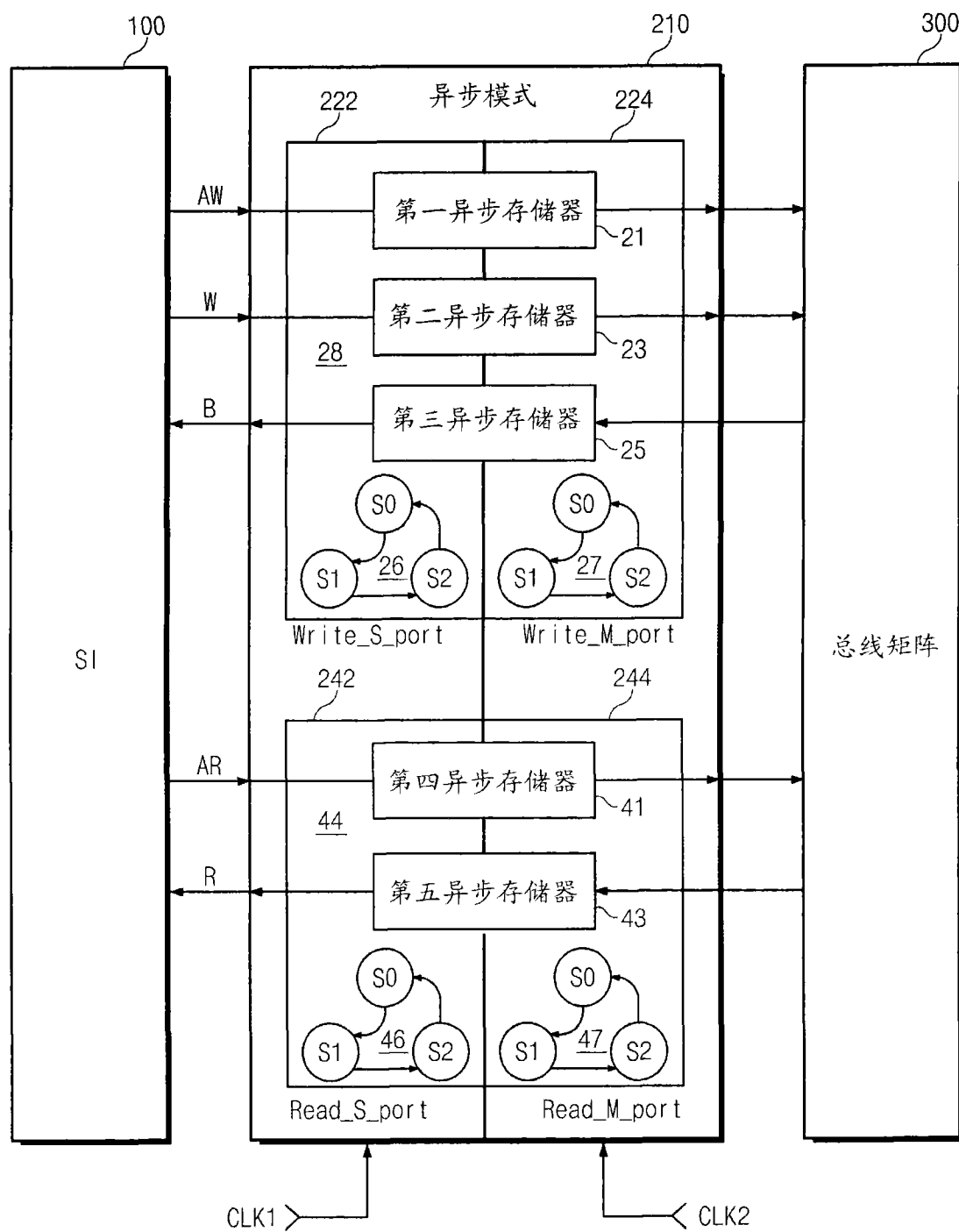


图 4

WR 深度	RD 深度	总缓冲位 扩展器 + 异步	总缓冲位 SPLA_Upsizer
1	2	9773 (117K)	5214 (63K)
1	2.4 (166 到 200)	10838 (130K)	5715 (69K)
1	3	12373 (149K)	6438 (78K)
1	4	14973 (180K)	7662 (92K)
1	5	17573 (211K)	8886 (107K)
1	6	20173 (243K)	10110 (122K)
1	7	22773 (274K)	11334 (136K)
1	8	25373 (305K)	12558 (151K)
1	9.64 (166 到 200)	29633 (356K)	14564 (175K)

图 5

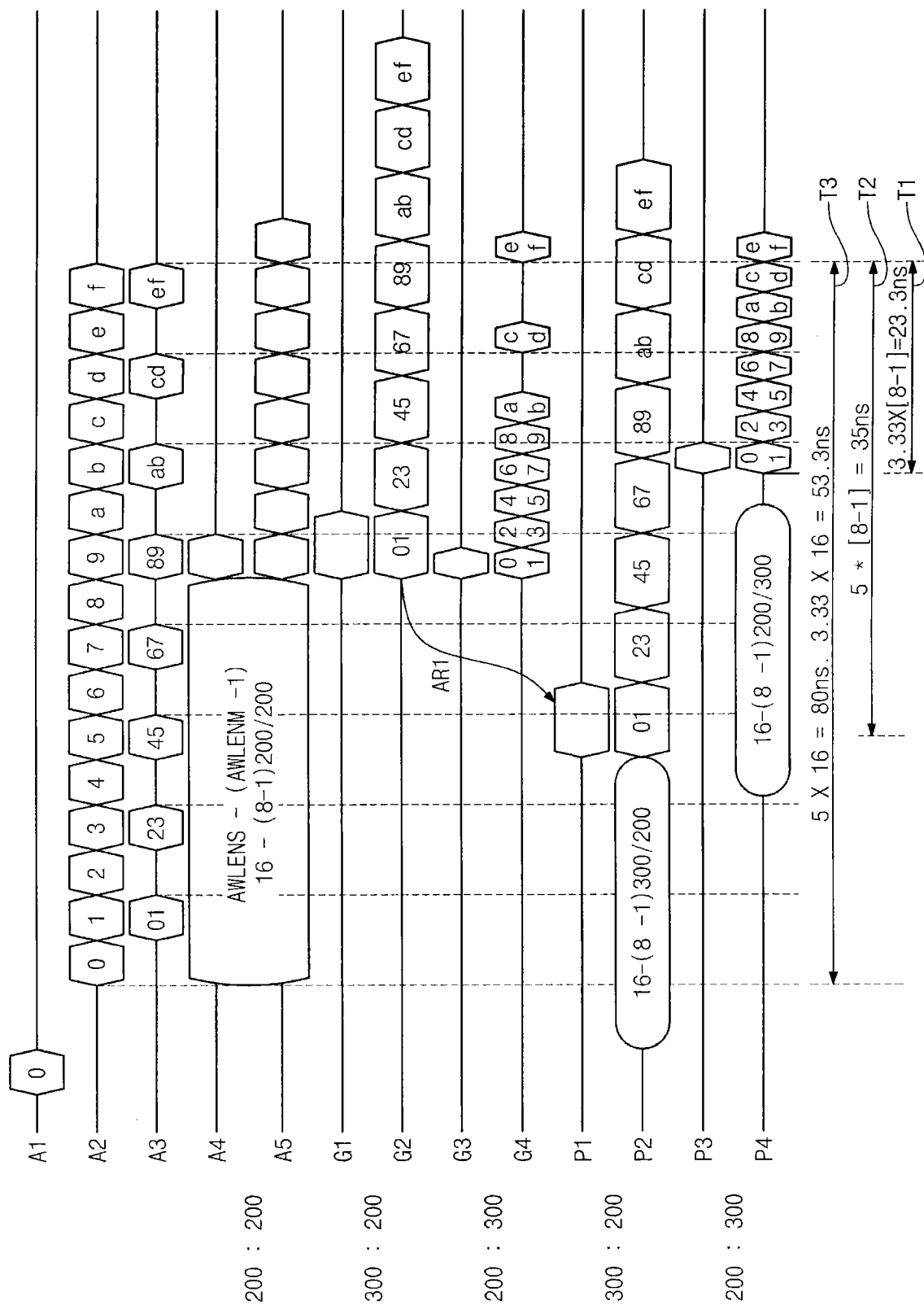


图 6

MHz		33.3	66.7	100	133.3	166.7	200	300	333.3	400	533.3
	ns	30	15	10	7.5	6	5	3.3	3	2.5	1.9
33.3	30	1	0.5	0.33	0.25	0.2	0.17	0.11	0.1	0.08	0.06
66.7	15	2	1	0.67	0.5	0.4	0.33	0.22	0.2	0.17	0.13
100	10	3	1.5	1	0.75	0.6	0.5	0.33	0.3	0.25	0.19
133.3	7.5	4	2	1.33	1	0.8	0.67	0.44	0.4	0.33	0.25
166.7	6	5	2.5	1.67	1.25	1	0.83	0.56	0.5	0.42	0.31
200	5	6	3	2	1.5	1.2	1	0.67	0.6	0.5	0.38
300	3.3	9	4.5	3	2.25	1.8	1.5	1	0.9	0.75	0.56
333.3	3	10	5	3.33	2.5	2	1.67	1.11	1	0.83	0.63
400	2.5	12	6	4	3	2.4	2	1.33	1.2	1	0.75
533.3	1.9	16	8	5.33	4	3.2	2.67	1.78	1.6	1.33	1

图 7

AWLENS	1	2	2	3	4	4	5	6	6	7	8	8	9	10	10	11	12	12	13	14	14	15	16	16
AWLENS-1	0	0	1	1	1	2	2	2	3	3	3	4	4	4	5	5	5	6	6	7	7	7	7	8
0.50	1	2	1	2	3	2	4	5	4	5	6	6	7	8	7	8	9	9	10	11	10	11	12	12
0.56	1	2	1	2	3	2	3	4	4	5	6	5	6	7	7	8	9	8	9	10	10	11	12	11
0.60	1	2	1	2	3	2	3	4	4	5	6	5	6	7	7	8	9	8	9	10	9	10	11	11
0.67	1	2	1	2	3	2	3	4	3	4	5	5	6	7	6	7	8	7	8	9	9	10	11	10
0.83	1	2	1	2	3	2	3	4	3	4	5	4	5	6	5	6	7	7	8	9	8	9	10	9
0.90	1	2	1	2	3	2	3	4	3	4	5	4	5	6	5	6	7	6	7	8	7	8	9	8
1.00	1	2	1	2	3	2	3	4	3	4	5	4	5	6	5	6	7	6	7	8	7	8	9	8
1.11	1	2	1	1	2	1	2	3	2	3	4	3	4	5	4	5	6	5	6	7	6	7	8	7
1.20	1	2	1	1	2	1	2	3	2	3	4	3	4	5	4	5	6	4	5	6	5	6	7	6
1.50	1	2	1	1	2	1	2	3	1	2	3	2	3	4	2	3	4	3	4	5	3	4	5	4
1.67	1	2	1	1	2	1	1	2	1	1	2	1	2	3	1	2	3	1	2	3	2	3	4	2
1.80	1	2	1	1	2	1	1	2	1	1	2	1	2	1	2	1	2	3	1	2	3	1	2	3
2.00	1	2	1	1	2	1	1	2	1	1	2	1	2	1	2	1	2	1	1	2	1	1	2	1

图 8

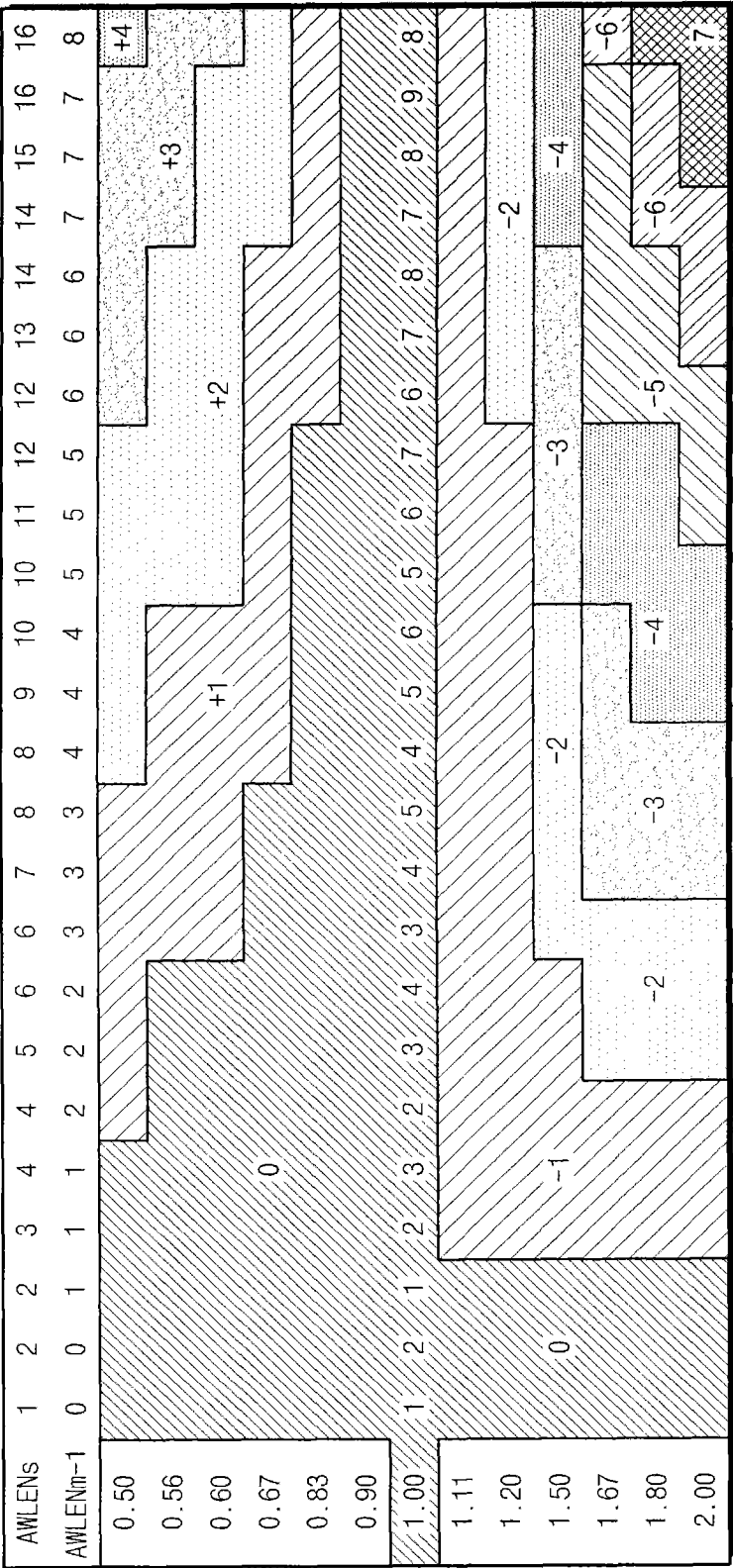


图 9

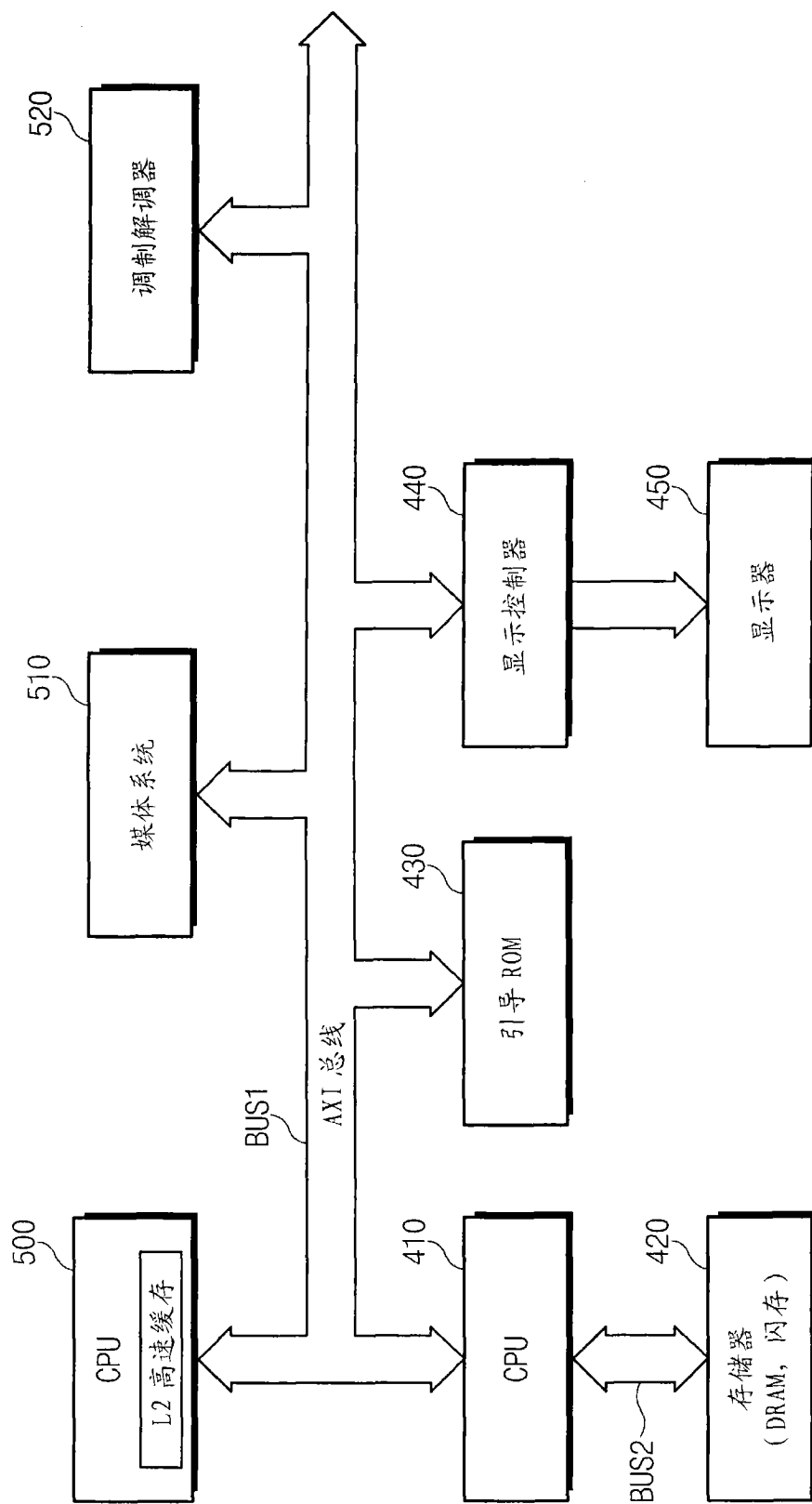


图 10