(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3705305号
(P3705305)
(45)発行日　平成17年10月12日(2005.10.12)　(24)登録日　平成17年8月5日(2005.8.5)

(51)Int.Cl.[7]	F I		
G06F 3/06	G06F	3/06	301J
G04G 1/00	G04G	1/00	323
G06F 3/08	G06F	3/08	H
G06F 12/06	G06F	12/06	515H
G10L 19/00	G10L	9/18	G

請求項の数 6　(全 15 頁)　最終頁に続く

(21)出願番号　特願平8-122051
(22)出願日　平成8年5月16日(1996.5.16)
(65)公開番号　特開平9-305321
(43)公開日　平成9年11月28日(1997.11.28)
審査請求日　平成15年2月19日(2003.2.19)

(73)特許権者　000001443
カシオ計算機株式会社
東京都渋谷区本町１丁目６番２号
(74)代理人　100096699
弁理士　鹿嶋　英實
(72)発明者　相原　文一
東京都羽村市栄町３丁目２番１号　カシオ計算機株式会社羽村技術センター内

審査官　篠塚　隆

(56)参考文献　特開平９－２３７２０８（ＪＰ，Ａ）

最終頁に続く

(54)【発明の名称】音声記憶再生装置

(57)【特許請求の範囲】

【請求項１】

半導体チップと制御手段とからなり、

前記半導体チップは、

複数の記憶領域を有し、各記憶領域に音声データが記憶される半導体メモリと、

この半導体メモリの複数の記憶領域のうち、記憶・再生の対象となる記憶領域を指定する記憶領域指定信号、及び音声データの記憶を指示する記憶指示信号が入力される単一の記憶指示入力端子と、

音声データの再生を指示する再生指示信号が入力される単一の再生指示入力端子と、

前記記憶領域指定信号に従って前記半導体メモリの複数の記憶領域のうち記憶・再生対象となる記憶領域を指定すると共に、前記記憶指示信号に従って指定された記憶領域に音声データを記憶すると共に、前記再生指示信号に従って指定された記憶領域に記憶されている音声データを読み出す記憶媒体制御手段とを備え、

前記制御手段は、

スイッチの操作毎に前記半導体メモリの複数の領域を順番に指定する単一の記憶領域指定スイッチと、

単一の録音指示スイッチと、

単一の再生指示スイッチと、

前記記憶領域指定スイッチが操作された際に、前記記憶指示入力端子を介して前記半導体チップの記憶媒体制御手段に記憶領域指定信号を送出し、前記録音指示スイッチが操作

された際に、前記記憶指示入力端子を介して前記半導体チップの記憶媒体制御手段に前記記憶領域指定信号を送出した後前記記憶指示信号を送出し、前記再生指示スイッチが操作された際に前記再生指示入力端子を介して前記半導体チップの記憶媒体制御手段に前記再生指示信号を送出する制御回路とを備えていることを特徴とする音声記憶再生装置。

【請求項２】

半導体チップと制御手段とからなり、

前記半導体チップは、

複数の記憶領域を有し、各記憶領域に音声データが記憶される半導体メモリと、

音声データの記憶を指示する記憶指示信号が入力される単一の記憶指示入力端子と、

この半導体メモリの複数の記憶領域のうち、記憶・再生の対象となる記憶領域を指定する記憶領域指定信号、及び音声データの再生を指示する再生指示信号が入力される単一の再生指示入力端子と、

前記記憶領域指定信号に従って前記半導体メモリの複数の記憶領域のうち記憶・再生対象となる記憶領域を指定すると共に、前記記憶指示信号に従って所定の記憶領域に音声データを記憶すると共に、前記再生指示信号に従って所定の記憶領域に記憶されている音声データを読み出す記憶媒体制御手段とを備え、

前記制御手段は、

スイッチの操作毎に前記半導体メモリの領域を順番に指定する単一の記憶領域指定スイッチと、

単一の録音指示スイッチと、

単一の再生指示スイッチと、

記憶領域指定スイッチ手段が操作された際に、前記記再生指示入力端子を介して前記半導体チップの記憶媒体制御手段に前記記憶領域指定信号を送出し、前記録音指示スイッチ手段が操作された際に、前記記憶指示入力端子を介して前記記憶指示信号を送出し、前記再生指示スイッチ手段が操作された際に前記再生指示入力端子を介して前記半導体チップの記憶媒体制御手段に前記記憶領域指定信号を送出した後前記再生指示信号を送出する制御回路とを備えていることを特徴とする音声記憶再生装置。

【請求項３】

前記制御回路は、前記記憶領域指定信号として、パルス信号を送出し、前記記憶媒体制御手段は、前記パルス信号が供給される度に、記憶・再生の対象となる記憶領域を１つずつ進めることを特徴とする請求項１もしくは２記載の音声記憶再生装置。

【請求項４】

前記制御回路は、前記音声データの記憶・再生指示に先だって、記憶領域補正信号として、（記憶領域数－１）個の所定周期のパルス信号を送出することを特徴とする請求項１もしくは２記載の音声記憶再生装置。

【請求項５】

前記記憶媒体制御手段は、少なくとも、（所定周期×記憶領域数）以上の周期を有するパルス信号と前記所定周期のパルス信号との論理積をとり、該論理積の結果に基づいて、前記記憶領域指定信号または前記記憶領域補正信号と、前記記憶指示信号または前記再生指示信号とを識別することを特徴とする請求項４記載の音声記憶再生装置。

【請求項６】

半導体メモリは、不揮発性のメモリからなることを特徴とする請求項１もしくは２記載の音声記憶再生装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、音声データを記憶するとともに、記憶した音声データを再生する音声記憶再生装置に関する。

【０００２】

【従来の技術】

従来より、外部からの音声信号を符号化（Ａ／Ｄ変換）し、ＲＡＭ等の半導体メモリに記憶させておき、再生スイッチ等の操作によって上記ＲＡＭから記憶されている符号化信号を読み出し、復号化（Ｄ／Ａ変換）して音声出力する音声の記憶再生装置が知られている。

【０００３】

【発明が解決しようとする課題】

ところで、従来の音声の記憶再生装置では、１つの半導体メモリを１つの録音再生装置として使用する場合、録音時および再生時には、最初のアドレスからアドレス指定すればよい。しかしながら、１つの半導体メモリを複数のブロックに分けて、それぞれ選択的に録音再生する場合においては、そのブロックの先頭アドレスから順次アドレス指定しなければならない。そのため、選択されたブロックの先頭アドレスデータをアドレス制御部に送ってプリセットし、そのアドレスから順次アドレスを更新していく必要があった。

【０００４】

一方、符号化されたデータをＲＡＭ等の揮発性メモリに記憶したのでは、電池寿命や電池交換時、あるいは停電地等において、記憶内容が消えてしまうので、ＥＥＰＲＯＭ等の不揮発性メモリを用いることが考えられる。しかしながら、これらの不揮発性メモリは、例えば、１Ｖ程度で動作するＣＭＯＳ回路に比較して、動作させるための駆動電圧が極めて高い。このため、録音再生等を制御する比較的低電圧で動作する電子回路と、不揮発性メモリ等を含む電子回路とを、それぞれ別々のチップで構成し、それぞれ異なった電圧で制御しなければならない。このように、主要な回路部と不揮発性メモリ等を含む電子回路とを別チップで構成し、かつ、上述したように、１つの不揮発性メモリを複数のブロックに分け、それぞれ選択的に録音再生する場合にあっては、各ブロックの先頭アドレスを直接アドレス指定しなければならないので、アドレスデータの入力端子として複数の端子が必要となり、不揮発性メモリ等を含む電子回路のチップが大型化してしまうという問題があった。

【０００５】

そこで本発明は、回路構成を複雑化することなく、メモリを複数のブロックに分割し、それぞれのブロック毎に、選択的に録音・再生できる音声記憶再生装置を提供することを目的とする。

【０００６】

【課題を解決するための手段】

上記目的達成のため、請求項１記載の発明による音声記憶再生装置は、半導体チップと制御手段とからなり、前記半導体チップは、複数の記憶領域を有し、各記憶領域に音声データが記憶される半導体メモリと、この半導体メモリの複数の記憶領域のうち、記憶・再生の対象となる記憶領域を指定する記憶領域指定信号、及び音声データの記憶を指示する記憶指示信号が入力される単一の記憶指示入力端子と、音声データの再生を指示する再生指示信号が入力される単一の再生指示入力端子と、前記記憶領域指定信号に従って前記半導体メモリの複数の記憶領域のうち記憶・再生対象となる記憶領域を指定すると共に、前記記憶指示信号に従って指定された記憶領域に音声データを記憶すると共に、前記再生指示信号に従って指定された記憶領域に記憶されている音声データを読み出す記憶媒体制御手段とを備え、前記制御手段は、スイッチの操作毎に前記半導体メモリの複数の領域を順番に指定する単一の記憶領域指定スイッチと、単一の録音指示スイッチと、単一の再生指示スイッチと、前記記憶領域指定スイッチが操作された際に、前記記憶指示入力端子を介して前記半導体チップの記憶媒体制御手段に前記記憶領域指定信号を送出し、前記録音指示スイッチが操作された際に、前記記憶指示入力端子を介して前記半導体チップの記憶媒体制御手段に前記記憶領域指定信号を送出した後前記記憶指示信号を送出し、前記再生指示スイッチが操作された際に前記再生指示入力端子を介して前記半導体チップの記憶媒体制御手段に前記再生指示信号を送出する制御回路とを備えていることを特徴とする。

【０００７】

また、好ましい態様として、前記制御回路は、例えば請求項３記載のように、前記記憶領

域指定信号として、前記記憶媒体制御手段は、前記パルス信号が供給される度に、記憶・再生の対象となる記憶領域を１つずつ進めるようにしてもよい。

【０００８】

また、好ましい態様として、前記制御回路は、例えば請求項４記載のように、前記音声データの記憶・再生指示に先だって、記憶領域補正信号として、（記憶領域数－１）個の所定周期のパルス信号を送出するようにしてもよい。

【０００９】

また、好ましい態様として、前記記憶媒体制御手段は、例えば請求項５記載のように、少なくとも、（所定周期×記憶領域数）以上の周期を有するパルス信号と前記所定周期のパルス信号との論理積をとり、該論理積の結果に基づいて、前記記憶領域指定信号または前記記憶領域補正信号と、前記記憶指示信号または前記再生指示信号とを識別するようにしてもよい。

【００１０】

また、請求項６記載のように、不揮発性のメモリからなるようにしてもよい。

【００１１】

【発明の実施の形態】

以下、本発明の実施の形態を、携帯用電子機器である電子腕時計等に適用した一実施例として、図面を参照して説明する。

Ａ．本実施例の構成

図１は本発明の一実施例における電子腕時計の構成を示すブロック図である。図において、本実施例の電子腕時計は、時計機能、計算機機能、多数の名前・電話番号データ等を記憶して表示するデータバンク機能、外部からの音声をメモとして記憶して再生するメモ機能等を有し、時計機能、計算機機能、データバンク機能等の処理回路を備え、且つ、音声の録音再生を制御する制御手段を備えた、例えばＣーＭＯＳ素子からなる１チップの制御用集積回路１と、音声データが記憶される、例えばフラッシュＥＥＰＲＯＭからなる不揮発性メモリおよび該不揮発性メモリおよびのアドレスを制御する制御手段を備えた１チップのメモリ制御集積回路２とから構成されている。制御用集積回路１とメモリ制御集積回路２とは、異なる駆動電圧で動作するが、同一のバッテリから電源供給を受け、それぞれの集積回路内の電源回路で必要な電圧を得るように構成されている。

【００１２】

まず、制御用集積回路１およびその周辺回路について説明する。キー入力部３は、各種データを入力するためのテンキー、文字キー等（図示せず）を備えており、また、音声を録音するための録音スイッチ３ａ、録音した音声データを再生する再生スイッチ３ｂ、および後述するＥＥＰＲＯＭ２５の複数の記憶領域のブロック（８つ）のうち、録音・再生を行うブロックを選択するためのセレクトキー３ｃを備えている。該キー入力部３の各キーの入力信号は制御部７に送られキー入力が検知される。

【００１３】

発振回路４は、所定周波数の基準クロックを生成し、分周回路５に供給する。分周回路５は、上記基準クロックに従って、計時回路６、制御部７等の各部を動作させるためのシステムクロック、各種タイミングクロックを生成して出力する。計時回路６は、分周回路５からのタイミングクロックのうちの計時用の基準信号である１秒信号に基づいて、現在時刻（月日、曜日、時分秒）を計時し、制御部７に供給する。

【００１４】

制御部７は、後述するＲＯＭ８に記憶された所定のマイクロプログラムを実行することにより、当該電子腕時計の上述した各種機能を実現するＣＰＵ（中央処理回路）であり、特に、本実施例では、後述する処理により、後述するＥＥＰＲＯＭ２５の分割されたブロックに対しての音声データの録音・再生等を行う。具体的には、制御部７は、セレクトキー３ｃが押下される度に、録音・再生を行うブロックを１つずつ巡回させることにより、所望するブロックを選択させ、録音スイッチ３ａが押下されると、ＥＥＰＲＯＭ２５の選択されたブロックにマイク５から入力される音声の音声データを記憶し、一方、再生スイッ

チ３ｂが押下されると、ＥＥＰＲＯＭ２５の選択されたブロックに記憶された音声データを再生し、録音キー３ａおよび再生キー３ｂが同時に押下されると、後述するＲＡＭ９に記憶されている各種フラグや日付・時刻データを消去する。

【００１５】

ＲＯＭ８は、上記制御部７によって実行されるマイクロプログラムや各種初期パラメータを記憶する。また、ＲＡＭ９は、上記制御部７によるプログラムの実行に伴って生じる各種データを格納するレジスタやワーキングエリアとして用いられる。

【００１６】

ここで、図２は、ＲＡＭ９のデータ構成を示す概念図である。図２において、表示レジスタは、後述するＬＣＤ表示器（液晶表示装置）１４に各種データを表示するためのデータを記憶するレジスタである。レジスタMは、音声データが記憶されるＥＥＰＲＯＭ２５の８つのブロックのうち指定された録音／再生ブロックを指定するためのレジスタである。

【００１７】

次に、フラグＰは、音声を録音中であることを示すフラグであり、「１」の時には、後述するマイク５から入力された音声を符号化部（符号化回路）６を介して取り込み、音声データとしてＥＥＰＲＯＭ２５へ記憶させる。また、フラグＬは、音声を再生中であることを示すフラグであり、「１」の時には、ＥＥＰＲＯＭ２５から読み出した音声データを後述する復合化部（複号化回路）１０を介して後述するスピーカ１１により出力させる。

【００１８】

次に、レジスタＲ０、Ｒ１、・・・Ｒ７は、複数のブロック（本実施例では８つ）に分割したＥＥＲＰＯＭ２５の各ブロック毎に、音声データを録音した日付および時刻を格納する領域（レジスタＴ）と、録音済みのブロックであるか否かを示すフラグＦとからなるレジスタである。フラグＦは、音声データが録音されていない場合に「０」となり、音声データを録音した場合に「１」となる。なお、本実施例では、上述したように、８つのブロックに分割しているので、レジスタMには、３ビットのブロック指示（指定）データによって、どのブロックに対する録音／再生であるかを指示するようになっている。

【００１９】

次に、図１に戻り、ドライバ１３は、制御部７から供給される時刻、計算データ、名前・電話番号データ、ＥＥＰＲＯＭ２５に記憶されている音声データに関する各種データをＬＣＤ（液晶）表示器１４に表示する。ＬＣＤ表示器１４は、ドットマトリクスやセグメントタイプの電極からなり、時計モード時には、日付、現在時刻、どのブロックが録音済みであるかを表示し、音声データの録音・再生時には、後述する表示例で示すように、少なくとも、現在の時刻、録音中のブロック、および録音時間を表示する（点滅表示）。

【００２０】

制御部７は、録音キー３ａ、再生キー３ｂおよびセレクトキー３ｃのそれぞれの操作に応じて、次に述べる３種類のフリップフロップＦ１，Ｆ２のセット／リセットを行う。

【００２１】

▲１▼セレクトキー３ｃが押下される度に、フリップフロップＦ１のセット端子を「１」とした後、リセット端子を「１」とし、フリップフロップＦ１の出力Ｑから１／２５６周期（２５６Ｈｚ）のパルスを１つ送出する。該パルスは、後述するメモリ制御集積回路２の制御部２０において、ＥＥＰＲＯＭ２５のブロックを指定するブロック指定信号ＢＬとしてブロック制御部２１に供給される。

【００２２】

▲２▼録音スイッチ３ａが押下されると、まず、フリップフロップＦ１のセット／リセットを１／２５６周期（２５６Ｈｚ）で７回繰り返した後、セット端子を「１」として出力Ｑを「１」とし、録音スイッチ３ａが離されると、フリップフロップＦ１のリセット端子を「１」として出力Ｑを「０」とする。

【００２３】

▲３▼再生スイッチ３ｂが押下されると、まず、フリップフロップＦ１のセット／リセットを１／２５６周期（２５６Ｈｚ）で７回繰り返した後、セット端子を「１」として出力

Ｑを「１」とし、再生スイッチ３ｂが離されると、フリップフロップＦ２のリセット端子を「１」として出力Ｑを「０」とする。

【００２４】

フリップフロップＦ１，Ｆ２は、各々、制御部７の制御に従って出力レベルがオン／オフされる出力Ｑを、それぞれメモリ制御集積回路２の制御部２０に供給する。電源１５は、共通のバッテリＢＴからの供給電圧を制御用集積回路１を動作させるための駆動電圧に変換し、上述した各部に供給する。

【００２５】

次に、メモリ制御集積回路２およびその周辺回路について説明する。制御部２０は、上述した制御用集積回路１のフリップフロップＦ１から供給される出力ＱおよびフリップフロップＦ２から供給される出力Ｑに従って、ＥＥＰＲＯＭ２５のブロックを指定するブロック信号、録音であることを示す録音信号、再生であることを示す再生信号、および録音された音声データを消去するためのクリア信号を生成し、ブロック信号およびクリア信号をブロック制御部２１に供給するとともに、上記録音信号、再生信号およびクリア信号をアドレス制御部２２に供給する。

【００２６】

ここで、図３は、上記制御部２０の回路構成を示す回路図である。図において、ＯＲ（オア）回路２０ａは、フリップフロップＦ１からの出力ＱとフリップフロップＦ２からの出力Ｑのいずれか一方でも「１」となると、「１」となるブロック信号ＢＬを送出し、ブロック制御部２１に供給する。すなわち、フリップフロップＦ１あるいはフリップフロップＦ２のいずれか一方から１つのパルスが供給されると、１パルスのブロック信号ＢＬをブロック制御部２１に供給する。また、ＡＮＤ（アンド）回路２０ｂは、フリップフロップＦ１からの出力ＱとフリップフロップＦ２からの出力Ｑが共に「１」の場合に「１」となるクリア信号ＣＬを送出し、アドレス制御部２２に供給する。また、該クリア信号ＣＬは、ＮＯＴ回路２０ｃによって反転された後、後述するＡＮＤ回路２０ｄ，２０ｈに供給される。

【００２７】

ＡＮＤ回路２０ｄは、上記クリア信号ＣＬが「０」で、クロックφ（１／３２秒周期：３２Ｈｚ）が「１」のとき、フリップフロップＦ１の出力Ｑを３ビットシフトレジスタ２０ｅに供給する。３ビットシフトレジスタ２０ｅは、上記ＡＮＤ回路２０ｄから録音制御信号Ｓ１が供給される度に、順次、保持しているビットをシフトしてフリップフロップＦ３のセット端子Ｓに供給する。したがって、３ビットシフトレジスタ２０ｅは、図４に示すように、ＡＮＤ回路２０ｄにクロックφの４クロック目が供給されると、フリップフロップＦ３をセットすることになる。言い換えると、クロックφの４クロック目が供給されるまでは、フリップフロップＦ３はセットされない。

【００２８】

フリップフロップＦ３は、上記３ビットシフトレジスタ２０ｅからのクロックが供給されると、セット（Ｑ＝１）され、フリップフロップＦ１の出力Ｑが「０」となると、ＮＯＴ回路２０ｆを介してリセット信号が供給されるので、リセット（Ｑ＝０）される。このように、フリップフロップＦ３は、クロックφを３２Ｈｚとしたので、図１に示すフリップフロップＦ１から１／２５６周期のクロックが供給されても、すぐにセット（Ｑ＝１）されず、２／３２～３／３２秒後にセット（Ｑ＝１）されることになる。

【００２９】

上記フリップフロップＦ３の出力Ｑは、ＡＮＤ回路２０ｇの一方の入力端に供給される。ＡＮＤ回路２０ｇは、フリップフロップＦ１の出力ＱとフリップフロップＦ３の出力Ｑとの論理積をとることにより、双方が共に「１」となっている間、すなわち、最初にフリップフロップＦ１から１／２５６周期のクロックが供給された時点の２／３２～３／３２秒後からフリップフロップＦ１がリセットされるまでの間、その出力を「１」とし、録音制御信号Ｓ１として図１に示すアドレス制御部２２に供給する。

【００３０】

このように、制御部７は、録音スイッチ３ａが押下されると、録音モードにするためにフリップフロップＦ１をセットするわけであるが、本実施例では、同じフリップフロップＦ１を用いて、予めブロックを選択した後、録音指示を行っているので、上記録音モードにするとき、ＯＲ回路２０ａを介してブロック制御部２１にブロック信号ＢＬが供給されることになり、選択されていたブロックが変わってしまう。そこで、本実施例では、録音スイッチ３ａが押下されてから上記２／３２～３／３２秒間で、まず、フリップフロップＦ１のセット／リセットを１／２５６周期で所定回数（ブロック数－１：本実施例では７回）繰り返すことで、ブロック制御部２１において設定されているブロックを、選択されたブロックの１つ前のブロックとし、その後、フリップフロップＦ１をセットするようにしている。

【００３１】

この結果、録音モードにするためにフリップフロップＦ１をセットすることで、制御部２０に録音モードにするための録音制御信号Ｓ１が供給されるとともに、ブロック制御部２１におけるブロックが１つ進められることにより、予め選択されたブロックに設定し直される。また、本実施例では、１／２５６周期でフリップフロップＦ１をセット／リセットするのに対して、１／３２周期（３２Ｈｚ）のクロックφの４つ目のクロックで、録音制御信号Ｓ１を送出するようにしているので、フリップフロップＦ１のセット／リセットを繰り返している間は、録音制御信号Ｓ１が送出されることはない。したがって、１本の線路によってブロックの指示と録音指示とを行うことができる。

【００３２】

次に、ＡＮＤ回路２０ｈは、上記クリア信号ＣＬが「０」で、クロックφ（１／３２周期：３２Ｈｚ）が「１」のとき、フリップフロップＦ２の出力Ｑを３ビットシフトレジスタ２０ｉに供給する。３ビットシフトレジスタ２０ｉは、上記ＡＮＤ回路２０ｈから再生制御信号Ｓ２が供給される度に、順次、保持しているビットをシフトしてフリップフロップＦ４のセット端子Ｓに供給する。したがって、３ビットシフトレジスタ２０ｉは、図４に示すように、ＡＮＤ回路２０ｈにクロックφの４クロック目が供給されると、フリップフロップＦ４をセットすることになる。言い換えると、クロックφの４クロック目が供給されるまでは、フリップフロップＦ４はセットされない。

【００３３】

フリップフロップＦ４は、上記３ビットシフトレジスタ２０ｉからのクロックが供給されると、セット（Ｑ＝１）され、フリップフロップＦ２の出力Ｑが「０」となると、ＮＯＴ回路２０ｊを介してリセット信号が供給されるので、リセット（Ｑ＝０）される。このように、フリップフロップＦ４は、クロックφを３２Ｈｚとしたので、図１に示すフリップフロップＦ２から１／２５６周期のクロックが供給されても、すぐにセット（Ｑ＝１）されず、２／３２～３／３２秒後にセット（Ｑ＝１）されることになる。

【００３４】

上記フリップフロップＦ４の出力Ｑは、ＡＮＤ回路２０ｋの一方の入力端に供給される。ＡＮＤ回路２０ｋは、フリップフロップＦ２の出力Ｑとフリップフロップ Ｆ４の出力Ｑとの論理積をとることにより、双方が共に「１」となっている間、すなわち、最初にフリップフロップＦ２から１／２５６周期のクロックが供給された時点の２／３２～３／３２秒後からフリップフロップＦ２がリセットされるまでの間、その出力を「１」とし、再生制御信号Ｓ２として図１に示すアドレス制御部２２に供給する。

【００３５】

このように、制御部７は、再生スイッチ３ｂが押下されると、再生モードにするためにフリップフロップＦ２をセットするわけであるが、本実施例では、同じフリップフロップＦ２を用いて、予めブロックを選択した後、再生指示を行っているので、上記録音モードにするとき、ＯＲ回路２０ａを介してブロック制御部２１にブロック信号ＢＬが供給されることになり、選択されていたブロックが変わってしまう。そこで、本実施例では、録音モードのときと同様に、再生スイッチ３ｂが押下されてから上記２／３２～３／３２秒間で、まず、フリップフロップＦ２のセット／リセットを１／２５６周期で所定回数（ブロッ

ク数－１：本実施例では７回）繰り返すことで、ブロック制御部２１において設定されているブロックを、選択されたブロックの１つ前のブロックとし、その後、フリップフロップＦ２をセットするようにしている。

【００３６】

この結果、録音モードと同様に、再生モードにおいても、フリップフロップＦ２をセットすることで、制御部２０に再生モードにするための再生制御信号Ｓ２が供給されるとともに、ブロック制御部２１におけるブロックが１つ進められることにより、予め選択されたブロックに設定し直される。また、この場合も、１／２５６周期でフリップフロップＦ１をセット／リセットするのに対して、１／３２周期（３２Ｈｚ）のクロックφの４つ目のクロックで、再生制御信号Ｓ２を送出するようにしているので、フリップフロップＦ２のセット／リセットを繰り返している間は、再生制御信号Ｓ２が送出されることはない。したがって、再生用にも、１本の線路を用いればよい。

【００３７】

次に、図１に戻り、ブロック制御部２１は、３ビットレジスタであり、上述した制御部２０から供給されるブロック信号ＢＬをカウントし、どのブロックに対する録音／再生であるかを示すブロック指定データ（３ビット）ＢＤとしてアドレス制御部２２に供給する。アドレス制御部２２は、上述した制御部２０から供給される録音制御信号Ｓ１、再生制御信号Ｓ２、クリア信号ＣＬおよびブロック指定データＢＤに従って、ＥＥＲＰＯＭ２５をアドレス指定してアクセスする。マイク２３は、ユーザの音声を集音し、音声信号を符号化部２４に供給する。符号化部２４は、増幅器、フィルター、Ａ－Ｄ（アナログ－デジタル）変換回路（いずれも図示せず）等を備え、音声信号をデジタルデータ（音声データ）に変換し、ＥＥＰＲＯＭ２５に供給する。復号化部２６は、アドレス制御部２２によってアクセスされたＥＥＰＲＯＭ２５のブロックの記憶領域から供給される音声データをアナログ信号に変換し、スピーカ２７によって音声として出力する。

【００３８】

ＥＥＰＲＯＭ２５は、全体として約２Ｍ（メガ）ビットのフラッシュメモリからなり、８つのブロック２５ａ乃至２５ｈを有する。マイク２３、符号化部２４を介して取り込まれた音声データはアドレス制御部２２によるアクセスに従って、所定のブロックに順次記憶される。発振回路２８は、ＥＥＰＲＯＭ２５等を動作させるための所定のクロック、クロックφを生成し、制御部２０、アドレス制御部２２、ＥＥＰＲＯＭ２５等の各部へ供給する。電源２９は、共通のバッテリＢＴからの供給電圧をメモリ制御集積回路２を動作させるための駆動電圧に変換し、上述した各部に供給する。

【００３９】

Ｂ．本実施例の動作

次に、上述した実施例による電子腕時計の動作について説明する。なお、時計機能、計算機能、データバンク機能については、従来と同様であるので、その説明は省略し、以下では、音声データのＥＥＰＲＯＭ２５に対する録音／再生動作について説明する。

【００４０】

（１）メイン処理

まず、図５は、本実施例のメイン動作を説明するためのフローチャートである。以下に述べるステップＳ１０～Ｓ２４は、キー入力部３でのキー入力を判断し、キー入力の有無に応じて実行すべき処理に分岐するとともに、ＬＣＤ表示器１４に各種データを表示するための処理である。まず、ステップＳ１０でキー入力部３で何らかのキーが押下されたか否かを判断し、何らかのキーが押下されると、ステップＳ１２に進む。ステップＳ１２では、押下されたキー（録音キー３ａ、再生キー３ｂ、セレクトキー３ｃ、他のキー）に応じて、後述するキー処理を行う。一方、キー入力がなければ、ステップＳ１４に進み、一定時間キー入力がないか否かを判断し、一定時間キー入力がなければ、ステップＳ１６で、録音フラグＰ，再生フラグＬをクリアし、ステップＳ１８で、フリップフロップＦ１，Ｆ２をリセットする。本実施例では、録音・再生は、それぞれ録音キー３ａが押下されている間、あるいは再生キー３ｂが押下されている間に行われ、録音キー３ａまたは再生キー

３ｂが離されると、終了するようになっている。上記ステップＳ１６，Ｓ１８は、録音キー３ａまたは再生キー３ｂが離された場合に、録音・再生を終了させるための処理である。

【００４１】

上記ステップＳ１２によるキー処理が終了するか、上記ステップＳ１４で一定時間内にキー入力があった場合、あるいは上記ステップＳ１８が終了すると、ステップＳ２０に進み、再生フラグＬが「１」であるか否かを判断する。そして、再生フラグＬが「１」の場合、すなわち、再生モードであれば、ステップＳ２２に進み、録音日時（日付、時刻）、記憶済みブロック、被選択（指定されている）ブロックをＬＣＤ表示器に表示する。即ち、再生モードの場合、図８（ａ）に示すように、ＬＣＤ表示器には、上部にＥＥＰＲＯＭ２５のブロックを示す１～８までの数字と各数字の下にどのブロックに音声データが記憶済みであるか示す矩形部とが表示される。そして、図８（ａ）において、点灯している矩形部（図示の１，２，８番目のブロック）が記憶済みのブロックであり、点滅している矩形部（図示の４番目のブロック）が記憶済みで且つ現在再生中の被選択ブロックを示している。また、ＬＣＤ表示器には、４番目のブロックに音声記憶が為された際の録音日時で、ＲＡＭ９のレジスタＲ３に記憶されている、日付（「３－１０」）、時刻（「１８：１０」）が表示される。

【００４２】

一方、再生フラグＬが「０」の場合、すなわち、再生モードでなければ、ステップＳ２４に進み、現在日時（日付、時刻）、記憶済みブロック、被選択ブロックをＬＣＤ表示器に表示する。即ち、ＬＣＤ表示器には、図８（ｂ）に示すように、点灯している矩形部（図示の２，４，８番目のブロック）が記憶済みのブロックであり、点滅している矩形部（図示の１番目のブロック）が現在録音中のブロックを示している。また、計時回路６で得られている現在時刻である、曜日（「ＳＵＮ」）、日付（「３－１７」）、時刻（「１０：５８　２５」）が表示される。

【００４３】

（２）キー処理

次に、上述したキー処理について説明する。ここで、図６および図７は、キー処理の動作を説明するためのフローチャートである。

【００４４】

２－１．ブロック選択処理

以下に述べるステップＳ３０～Ｓ３６は、音声データの録音・再生を行う際に、どのブロックに行うかを選択するための処理であり、まず、ステップＳ３０で、選択（セレクト）キー３ｃが押下されたか否かを判断し、セレクトキー３ｃが押下された場合には、ステップＳ３２に進み、録音フラグＰおよび再生フラグＬが「０」であるか否かを判断する。ここで、録音フラグＰおよび再生フラグＬが「０」である場合、すなわち、録音モードでも再生モードでもない場合には、ステップＳ３４に進み、フリップフロップＦ１をセット／リセットし、フリップフロップＦ１から１／２５６周期（２５６Ｈｚ）のパルスを１つ送出する。これにより、図３に示すＯＲ回路２０ａの出力が「１」となり、ブロック制御部２１におけるカウントが「１」だけインクリメントされる。次に、ステップＳ３６において、ＲＡＭ９のレジスタＭの録音／再生ブロック指定データを「１」だけインクリメントする。そして、当該キー処理を終了する。

【００４５】

このように、ブロックは、フリップフロップＦ１を１回、セット／リセットすることにより、１つインクリメントされ、セレクトキー３ｃが押下される度、１→２→３→……→６→７→８→１→２→…と巡回する。この場合、再生フラグＬが「０」であるので、前述した図５に示すメインルーチンに戻ったとき、ステップＳ２４で、図８（ｂ）に示す表示がなされる。ユーザは、所望するブロックになるまで、セレクトキー３ｃを押下することにより、所望のブロックを選択する。一方、録音フラグＰまたは再生フラグＬのどちらかが「１」の場合、すなわち録音モードか再生モードのいずれかになっている場合には、ステ

ップＳ３２における判断結果が「ＮＯ」となるので、セレクトキー３ｃを操作しても、指定されているブロックは変化しない。

【００４６】

２－２．録音モード

以下に述べるステップＳ４０～Ｓ５２は、録音キー３ａが押下されている間、マイク２３から入力され、符号化回路２４で変換された音声データを、アドレス制御部２２によって上記ブロック指示データＢＤで指示されるブロックに記憶する録音処理である。上記ステップＳ３０において、セレクトキー３ｃが押下されていない場合には、ステップＳ４０に進み、録音キー３ａが押下されているか否かを判断する。そして、録音キー３ａが押下されている場合には、ステップＳ４２に進み、再生フラグＬが「１」であるか否かを判断する。ここで、再生フラグＬが「１」の場合には、再生キー３ｂが押下された状態で、録音キー３ａが操作されたことを意味し、再生フラグＬが「０」の場合には、音声データをＥＥＰＲＯＭ２５に記憶する録音モードが選択されたことを意味する。

【００４７】

そこで、上記ステップＳ４２において、再生フラグＬが「０」である場合には、再生スイッチ３ｂは押下されていないので、ステップＳ４４に進み、録音フラグＰが「０」であるか否かを判断する。ここで、録音フラグＰが「０」の場合には、初めて録音キー３ａが操作されたことを意味するので、ステップＳ４６に進む。

【００４８】

ステップＳ４６では、フリップフロップＦ１のセット／リセットを１／２５６周期（２５６Ｈｚ）で７回繰り返す。これは、録音するためにフリップフロップＦ１をセットする際に、前述したブロック選択処理で既に選択したブロックが変わってしまうを防止するためであり、本実施例では、ＥＥＰＲＯＭ２５を８つのブロックに分割しているので、録音制御信号Ｓ１を送出する前に、前述したように、予めフリップフロップＦ１のセット／リセットを１／２５６周期（２５６Ｈｚ）で７回繰り返すことにより、ブロック制御部２１のブロック指定データＢＤを選択されたブロックの１つ前のブロックにしておく。次いで、ステップＳ４８で、フリップフロップＦ１をセットする。これにより、音声データを録音すべきブロックは、選択されたブロックとなる。次に、ステップＳ５０において、ＲＡＭ９の対応するブロックの日付・時刻領域（レジスタＴ）に計時回路６の現在の日付・時刻を記憶し、対応するフラグＦを「１」とする。次いで、録音フラグＰを「１」とし、当該処理を終了する。録音フラグＰが「１」となることで、録音キー３ａが押下されている間は、ステップＳ４４における判断結果が「ＮＯ」となるので、上述したステップＳ４６～Ｓ５２は、録音キー３ａが押下された時に一度だけ実行される。

【００４９】

これにより、メモリ制御集積回路２では、制御部２０からアドレス制御部２２に対して録音制御信号Ｓ１が供給される。また、アドレス制御部２２には、前述したブロック選択処理において、ブロック制御部２１に設定された３ビットのブロック指示データＢＤが供給されている。この結果、マイク２３から入力され、符号化回路２４で変換された音声データは、アドレス制御部２２によって上記ブロック指示データＢＤで指示されるブロックに順次記憶される。この場合、再生フラグＬが「０」であるので、前述した図５に示すメインルーチンに戻ったとき、ステップＳ２４で、図８（ｂ）に示す表示がなされる。

【００５０】

録音キー３ａが押下されている間、音声データのＥＥＰＲＯＭ２５への記憶が続けられる。そして、録音キー３ａが離されると、図５に示すステップＳ１６で、録音フラグＰがクリア（＝０）された後、ステップＳ１８で、フリップフロップＦ１がリセットされるので、図３に示すフリップフロップＦ３もリセットされ、音声データの録音が終了する。

【００５１】

２－３．再生モード

以下に述べるステップＳ６２～Ｓ７２は、再生キー３ａが押下されている間、アドレス制御部２２によって上記ブロック指示データで指示される、ＥＥＰＲＯＭ２５のブロックに

記憶された音声データを、復合化回路２６でアナログ信号に変換し、スピーカ２７から出力する再生処理である。上記セレクトキー３ｃまたは録音キー３ａが押下されていない場合には、ステップＳ３０、ステップＳ４０を経て、図７に示すステップＳ６２に進み、再生キー３ｂが押下されているか否かを判断する。そして、再生キー３ｂが押下されている場合には、ステップＳ６４に進み、録音フラグＰが「１」であるか否かを判断する。ここで、録音フラグＰが「１」の場合には、録音キー３ａが押下された状態で、再生キー３ｂが押下されたことを意味し、録音フラグＰが「０」の場合には、ＥＥＰＲＯＭ２５に記憶された音声データを再生する再生モードが選択されたことを意味する。

【００５２】

上記ステップＳ６４において、録音フラグＰが「０」である場合には、録音スイッチ３ａは押下されていないので、ステップＳ６６に進む。ステップＳ６６では、再生フラグＬが「０」であるか否かを判断する。ここで、再生フラグＬが「０」の場合には、初めて再生キー３ｂが操作されたことを意味するので、ステップＳ６８に進む。

【００５３】

ステップＳ６８では、フリップフロップＦ２のセット／リセットを１／２５６周期（２５６Ｈｚ）で７回繰り返す。これは、前述したように、再生するためにフリップフロップＦ２をセットして再生制御信号Ｓ２を送出する際に、前述したブロック選択処理で既に選択したブロックが変わってしまうを防止するためであり、予めフリップフロップＦ２のセット／リセットを１／２５６周期（２５６Ｈｚ）で７回繰り返すことにより、ブロック制御部２１のブロック指定データＢＤを選択されたブロックの１つ前のブロックにしておく。次いで、ステップＳ７０で、フリップフロップＦ２をセットする。これにより、音声データを録音すべきブロックは、選択されたブロックとなる。次に、ステップＳ７２において、再生フラグＬを「１」とし、当該処理を終了する。再生フラグＬが「１」となることで、再生キー３ｂが押下されている間は、ステップＳ６６における判断結果が「ＮＯ」となるので、上述したステップＳ６８～Ｓ７２は、再生キー３ｂが押下された時に一度だけ実行される。

【００５４】

これにより、メモリ制御集積回路２では、制御部２０からアドレス制御部２２に対して再生制御信号Ｓ２が供給される。また、アドレス制御部２２には、前述したブロック選択処理において、ブロック制御部２１に設定された３ビットのブロック指示データＢＤが供給されている。この結果、アドレス制御部２２によって上記ブロック指示データＢＤで指示されるブロックに記憶されている音声データは、復合化回路２６でアナログ信号に変換され、スピーカ２７から出力される。この場合、再生フラグＬが「１」であるので、前述した図５に示すメインルーチンに戻ったとき、ステップＳ２２で、図８（ａ）に示す表示がなされる。

【００５５】

再生キー３ｂが押下されている間、音声データの再生が続けられる。そして、再生キー３ｂが離されると、図５に示すステップＳ１６で、再生フラグＬがクリア（＝０）された後、ステップＳ１８で、フリップフロップＦ２がリセットされるので、音声データの再生が終了する。

【００５６】

２－４．クリア処理

以下に述べるステップＳ４４～Ｓ５０は、録音キー３ａと再生キー３ｂが同時に押下された場合に各種フラグおよびデータを消去するクリア処理である。録音キー３ａが押下されたとき、既に、再生フラグＬが「１」となっている場合（ステップＳ４２）、あるいは再生キー３ｂが押下されたとき、既に、録音フラグＰが「１」となっている場合（ステップＳ６４）には、図６に示すステップＳ８０以降のクリア処理を実行する。言い換えると、再生キー３ｂが押下されている状態で、録音キー３ａが押下された場合、あるいは、録音キー３ａが押下されている状態で、再生キー３ｂが押下された場合には、録音キー３ａとともに再生キー３ｂが押下されたことを意味するので、クリア処理を実行する。

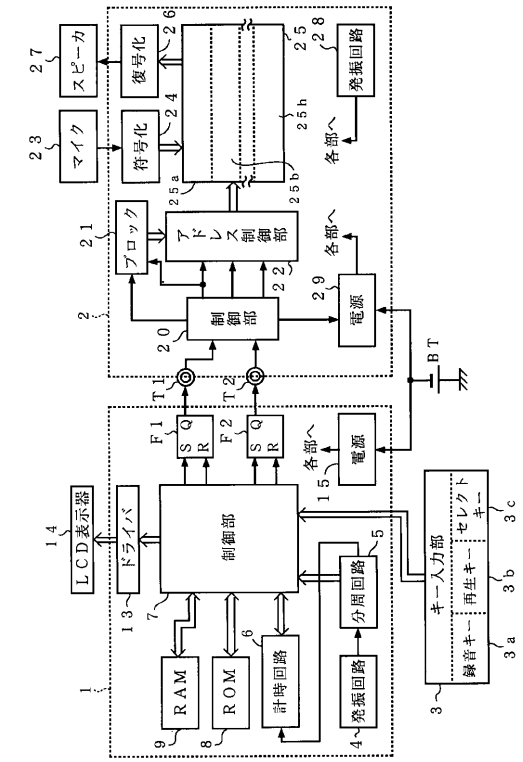
【００５７】
まず、ステップＳ８０で、フリップフロップＦ１をセットし、ステップＳ８２で、フリップフロップＦ２をセットする。フリップフロップＦ１およびフリップフロップＦ２がセットされることにより、図３に示す制御部２０において、ＡＮＤ回路２０ｂの出力が「１」となり、アドレス制御部２２にクリア信号ＣＬが送出される。これによって指定されているブロック全体の音声データが一括クリアされる。次に、ステップＳ８４で、フリップフロップＦ１，Ｆ２をリセットする。そして、ステップＳ８６で、ＲＡＭ９に記憶されている、録音／再生ブロック指定データＭ、録音フラグＰ、再生フラグＬ、日付・時刻およびフラグＦをクリアし、当該処理を終了する。

【００５８】
なお、上記実施例では、本発明を携帯型の電子時計に適用した例について述べたが、本発明は電子時計以外の電子機器、例えば、携帯型の電話機やページャー、電子手帳等の情報機器、あるいは携帯型ではなく据え置き型の各種電子機器にも適用できる。
また、音声データの記憶メモリとしては、フラッシュタイプのＥＥＰＲＯＭに限らず、他の揮発性、或いは不揮発性のメモリを用いる事が可能である。

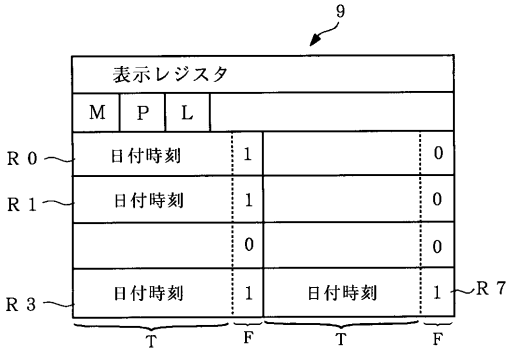
【００５９】
【発明の効果】
本発明によれば、スイッチの操作毎に半導体メモリの複数の領域を順番に指定する単一の記憶領域指定スイッチ、単一の録音指示スイッチ、及び単一の再生指示スイッチの３つのスイッチの操作により発生される記憶領域指定信号、記憶指示信号、及び再生指示信号を、半導体チップに設けた２つの入力端子を介して、半導体チップに供給できるので、少ない端子数で、半導体メモリの複数の記憶領域への録音、再生が行なえるという利点がある。

【図面の簡単な説明】
【図１】本発明の一実施例による携帯電子機器の構成を示すブロック図である。
【図２】ＲＡＭ９のデータ構成を示す概念図である。
【図３】制御部２０の回路構成を示す回路図である。
【図４】録音制御信号Ｓ１（２５６Ｈｚ）とクロックφ（３２Ｈｚ）の関係を示す概念図である。
【図５】本実施例のメイン動作を説明するためのフローチャートである。
【図６】キー処理の動作を説明するためのフローチャートである。
【図７】キー処理の動作を説明するためのフローチャートである。
【図８】ＬＣＤ表示器の表示例を示す概念図である。
【符号の説明】
１　制御用集積回路（制御回路）
２　メモリ制御集積回路（半導体チップ）
３　キー入力部
３ａ　録音キー
３ｂ　再生キー
３ｃ　セレクトキー
７　制御部
１４　ＬＣＤ表示器
Ｆ１　フリップフロップ
Ｆ２　フリップフロップ
Ｔ１　記憶指示入力端子
Ｔ２　再生指示入力端子
２０　制御部（記憶媒体制御手段）
２１　ブロック制御部
２２　アドレス制御部（記憶媒体制御手段）
２５　ＥＥＰＲＯＭ（半導体メモリ）

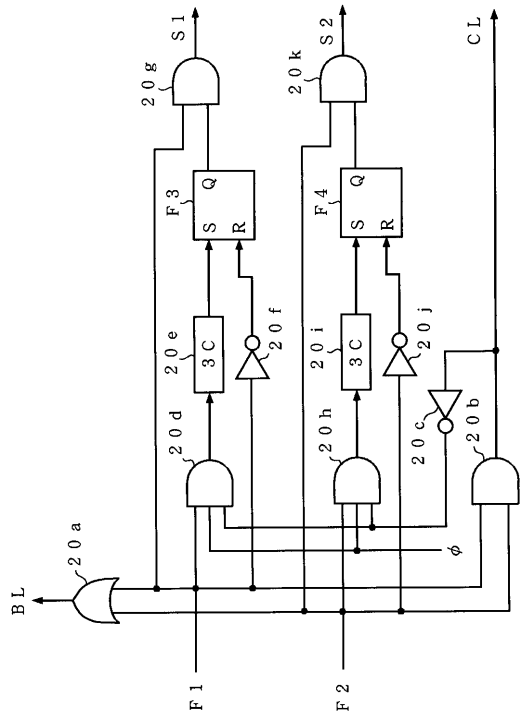
【図１】


スピーカ
マイク
復号化
符号化
ブロック
アドレス制御部
制御部
電源
各部へ
発振回路
LCD表示器
ドライバ
RAM
ROM
計時回路
分周回路
キー入力部
セレクトキー
再生キー
録音キー
F1
F2

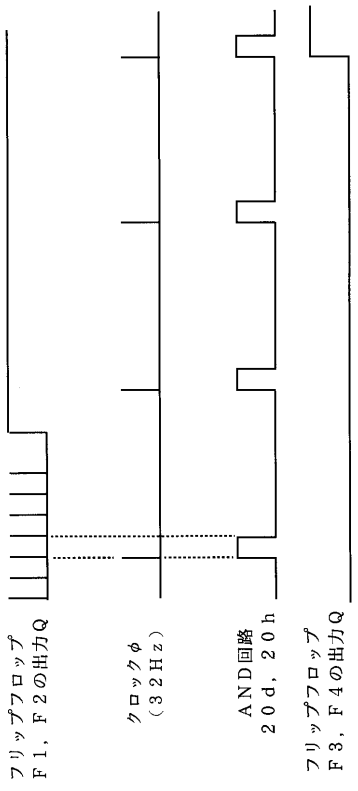
【図２】


9
表示レジスタ
M
P
L
R0
R1
R3
日付時刻
R7
T
F

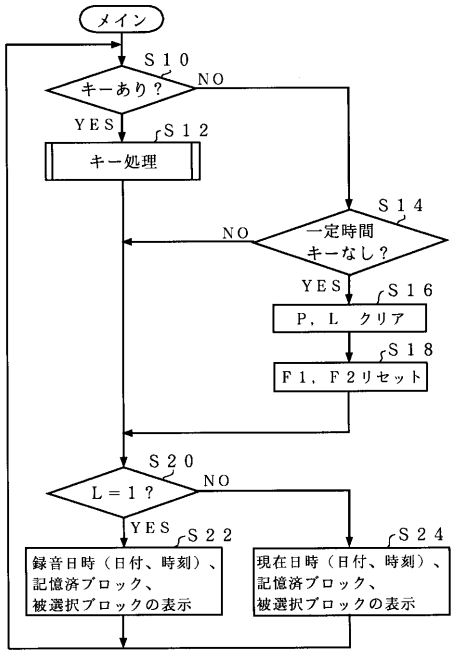
【図３】


S1
S2
CL
F3
F4
BL
φ
F1
F2

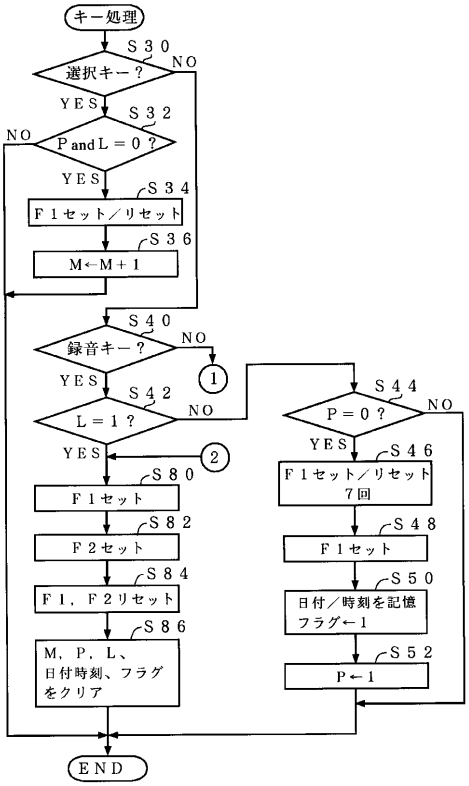
【図４】


256Hz
フリップフロップ
F1，F2の出力Q
クロックφ
（32Hz）
AND回路
20d，20h
フリップフロップ
F3，F4の出力Q

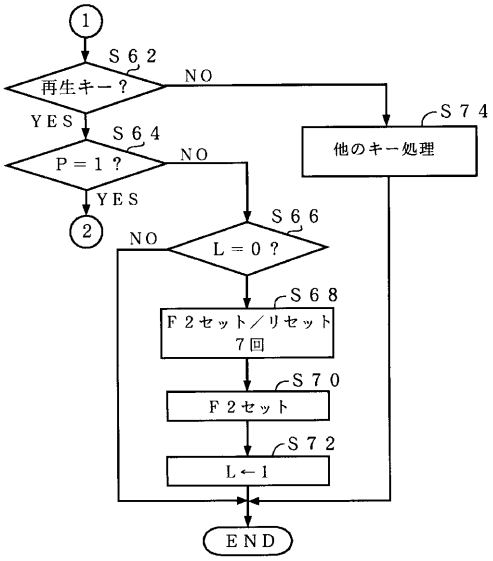
【図５】


メイン
S10
キーあり？
NO
YES
S12
キー処理
S14
一定時間
キーなし？
NO
YES
S16
P，L　クリア
S18
F1，F2リセット
S20
L＝1？
NO
YES
S22
録音日時（日付、時刻）、
記憶済ブロック、
被選択ブロックの表示
S24
現在日時（日付、時刻）、
記憶済ブロック、
被選択ブロックの表示

【図６】

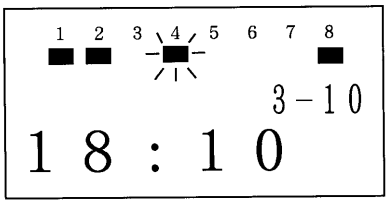

キー処理
S30
選択キー？
NO
YES
S32
P and L＝0？
NO
YES
S34
F1セット／リセット
S36
M←M＋1
S40
録音キー？
NO
YES
①
S42
L＝1？
NO
YES
②
S44
P＝0？
NO
YES
S46
F1セット／リセット
7回
S48
F1セット
S50
日付／時刻を記憶
フラグ←1
S52
P←1
S80
F1セット
S82
F2セット
S84
F1，F2リセット
S86
M，P，L、
日付時刻、フラグ
をクリア
END

【図７】

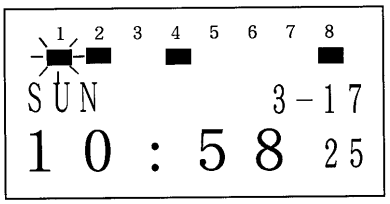

①
S62
再生キー？
NO
YES
S64
P＝1？
NO
YES
②
S66
L＝0？
NO
S68
F2セット／リセット
7回
S70
F2セット
S72
L←1
S74
他のキー処理
END

【図８】

（ａ）


1 2 3 4 5 6 7 8
3－10
18：10

（ｂ）


1 2 3 4 5 6 7 8
SUN
3－17
10：58 25

フロントページの続き

(51)Int.Cl.[7] F I
Ｇ１１Ｃ 16/02 Ｇ１１Ｃ 17/00 ６０１Ａ

(58)調査した分野(Int.Cl.[7], ＤＢ名)
G06F 3/06- 3/08
G06F 12/00-12/06
G06F 12/16
G06F 13/16-13/18
G10L 11/00-13/08
G10L 19/00-21/06