

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
H01L 23/544 (2006.01)



## [12] 发明专利申请公布说明书

[21] 申请号 200680049945.6

[43] 公开日 2009年1月21日

[11] 公开号 CN 101351885A

[22] 申请日 2006.12.27

[21] 申请号 200680049945.6

[30] 优先权

[32] 2005.12.29 [33] US [31] 11/321,663

[86] 国际申请 PCT/US2006/049380 2006.12.27

[87] 国际公布 WO2007/079123 英 2007.7.12

[85] 进入国家阶段日期 2008.6.30

[71] 申请人 桑迪士克股份有限公司

地址 美国加利福尼亚州

[72] 发明人 赫姆·塔基阿尔 什里卡尔·巴加特

[74] 专利代理机构 北京律盟知识产权代理有限责  
任公司  
代理人 刘国伟

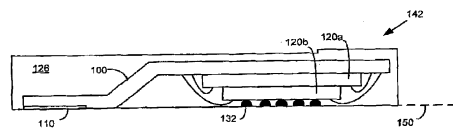
权利要求书2页 说明书6页 附图4页

### [54] 发明名称

快闪存储器卡上的测试垫

### [57] 摘要

本发明揭示一种半导体封装，其包含由在制造期间贴附到所述半导体封装的焊料凸块形成的测试垫。当囊封所述封装时，由于在所述囊封工艺期间施加于所述封装上的压力，所述焊料凸块的若干部分变得平坦从而大体上与所述半导体封装的表面齐平且暴露于所述表面上。所述焊料凸块的这些暴露部分形成测试垫，可通过所述测试垫测试成品封装。



1、一种形成包含半导体电路小片的半导体封装的方法，所述半导体电路小片具有用于测试所述半导体封装的电操作的测试垫，所述方法包括以下步骤：

(a)将焊料块耦合到所述半导体电路小片上的接合垫；

(b)将所述半导体电路小片囊封于模制化合物中；及

(c)使所述焊料块的至少一部分变形，以将所述接合垫上的所述焊料块成形为所述用于测试所述半导体封装的电操作的测试垫。

2、如权利要求 1 所述的形成半导体封装的方法，其中在所述囊封所述半导体电路小片的步骤(b)期间执行所述使所述焊料块的至少一部分变形的步骤(c)。

3、如权利要求 1 所述的形成半导体封装的方法，其中在所述囊封所述半导体电路小片的步骤(b)之前执行所述使所述焊料块的至少一部分变形的步骤(c)。

4、如权利要求 1 所述的形成半导体封装的方法，其中在所述囊封所述半导体电路小片的步骤(b)之后执行所述使所述焊料块的至少一部分变形的步骤(c)。

5、如权利要求 1 所述的形成半导体封装的方法，其中所述焊料块是焊料凸块。

6、如权利要求 1 所述的形成半导体封装的方法，其中通过以下工艺中的至少一者执行所述将焊料块耦合到接合垫的步骤(a)：蒸镀、电镀、印刷、喷射、柱形凸点及直接放置。

7、如权利要求 1 所述的形成半导体封装的方法，其中所述焊料块是焊料球，所述焊料球是通过施加热及压力中的至少一者而施加到所述接合垫。

8、如权利要求 1 所述的形成半导体封装的方法，其进一步包括在底凸块冶金步骤中预调节所述焊料块以消除非导电氧化铝的步骤。

9、一种半导体封装，其包括：

衬底；

半导体电路小片，其贴附到所述衬底；

接合垫，其形成于所述半导体电路小片中；

焊料，其提供在所述接合垫上，所述接合垫能够用作用于测试所述半导体电路小

片的电特性的测试垫；及

模制化合物，其用于囊封至少所述半导体电路小片；

所述半导体封装是通过以下步骤形成的：

(a)将焊料耦合到所述接合垫；

(b)将所述半导体电路小片囊封于模制化合物中，所述囊封步骤(b)导致界定所述半导体封装的表面；及

(c)在所述将所述半导体电路小片囊封于所述模制化合物中的步骤(b)期间，使所述焊料的至少一部分变形以界定所述焊料的与在所述步骤(b)中界定的所述半导体封装的所述表面大致齐平的表面。

10、如权利要求 9 所述的半导体封装，其中所述衬底是引线框架。

11、如权利要求 9 所述的半导体封装，其中所述衬底是印刷电路板。

12、如权利要求 9 所述的半导体封装，其中所述半导体电路小片是快闪存储器装置中使用的控制器芯片。

13、如权利要求 9 所述的半导体封装，其中所述半导体封装被配置用作快闪存储器装置。

14、如权利要求 9 所述的半导体封装，其中所述焊料是焊料凸块。

15、如权利要求 9 所述的半导体封装，其中所述焊料是焊料球。

16、如权利要求 9 所述的半导体封装，其中所述将焊料耦合到所述接合垫的步骤(a)是通过以下工艺中的至少一者执行的：蒸镀、电镀、印刷、喷射、柱形凸点及直接放置。

17、如权利要求 9 所述的半导体封装，其中所述焊料是焊料球，且所述将焊料耦合到所述接合垫的步骤(a)包括通过至少施加热及压力的步骤来耦合所述焊料球的步骤。

## 快闪存储器卡上的测试垫

### 技术领域

本发明的实施例涉及一种包含具有测试垫的集成电路封装的快闪存储器卡。

### 背景技术

随着电子装置的大小持续减小，操作电子装置的相关联半导体封装正设计成更小的形式因数、更低的功率需要及更高的功能。目前，半导体制造中的次微米特征对封装技术提出了更高需求，包含更高的引线数、减少的引线间距、最小的焊盘面积及明显总体积减少。

半导体封装的一个分支涉及引线框架的使用，引线框架是其上安装及支撑一个或一个以上半导体电路小片的薄金属层。引线框架包含用于将电信号从一个或一个以上半导体传送到印刷电路板或其它外部电装置的电引线。图 1 显示在附接半导体电路小片 22 之前的引线框架 20。典型的引线框架 20 可包含一定数目的引线 24，所述引线 24 具有用于附接到半导体电路小片 22 的第一末端 24a，及用于贴附到印刷电路板或其它电组件的第二末端(未显示)。引线框架 20 可进一步包含电路小片附接垫 26，其用于以结构方式将半导体电路小片 22 支撑在引线框架 20 上。尽管电路小片附接垫 26 可提供到接地的路径，但传统上其不将信号携载到半导体电路小片 22 或从半导体电路小片 22 携载信号。在某些引线框架配置中，已知省略了电路小片附接垫 26，而是改为以所谓的引线上芯片(COL)配置将半导体电路小片直接附接到引线框架的引线。

如图 2 中所示，可使用电路小片附接化合物将半导体引线 24 安装到电路小片附接垫 26。传统上，半导体电路小片 22 经形成而在半导体电路小片的顶部侧上的至少第一及第二相对边缘上具有多个电路小片接合垫 28 形成。一旦将半导体电路小片安装到引线框架，便执行线接合工艺，借此使用专用导线 30 将接合垫 28 电耦合到相应电引线 24。接合垫 28 到特定电引线 24 的指派是由工业标准规格界定的。图 2 为清晰起见并未显示用导线连接到引线 24 的所有接合垫 28，但是在常规设计中可用导线将每一接合垫连接到其相应的电引线。如图 2 中所示，也已知并非所有的接合垫都导线连接到电引线。

通常，引线框架 20 最初是由包含多个此类引线框架的面板形成的。半导体电路小片 22 安装且电连接到面板中的每一引线框架，且将由此形成的集成电路囊封于模制化合物中。此后，从面板切割个别囊封的集成电路，或将其单个化成多个半导体封装。

已知在半导体封装内形成测试垫。测试垫通常暴露到封装外部且内部电连接到封

装中的一个或一个以上半导体电路小片。在制造半导体封装之后，可将所述封装插入到测试卡上的插座中，在其上通过探针来接触所述测试垫以测试半导体封装的电特性及功能，以确定成品半导体封装是否执行每一规格。

通常，在衬底制造步骤期间，在引线框架或其它衬底（例如，印刷电路板）中形成用于测试垫的图案。所述图案可例如在化学蚀刻或机械冲压工艺中形成。在形成后，测试垫在形成所述封装的模制囊封步骤期间保持暴露，以允许在封装形成后接近所述测试垫。一旦制造且经由测试垫测试了封装，便可将封装包封于覆盖测试垫的一对配对盖中，且防止在使用半导体封装时接近测试垫。

## **发明内容**

已略述的本发明涉及一种半导体封装，其包含由在制造期间贴附到所述半导体封装的焊料凸块形成的测试垫。可在引线框架上形成半导体封装。可在已知制造工艺中（例如，化学蚀刻）或在使用级进模(*progressive die*)的机械冲压工艺中在面板上批次处理多个引线框架。

在所述封装制造工艺期间，将一个或一个以上半导体电路小片安装到且电连接到所述引线框架以形成集成电路。此后，将集成电路囊封于模制化合物中。在囊封后，可通过从所述引线框架面板将所述集成电路切割成多个个别集成电路来单个化所述集成电路。

所述半导体电路小片可形成有多个接合垫。在将所述半导体电路小片安装到所述引线框架后，在已知的焊料凸块化工艺中每一接合垫可接纳焊料凸块。在替代实施例中，可使用其它导电的可变形材料来取代焊料。所述引线框架中包含接触指状件的一部分可位于参考平面中。所述焊料凸块的大小经选择，以便一旦回流到所述半导体电路小片接合垫上，参考平面 150 便穿过所述焊料凸块且所述焊料凸块的一小部分延伸超过所述参考平面。

囊封所述封装以使得所述封装的底部表面大体上位于所述参考平面中。由于在囊封工艺期间施加到所述封装上的压力，所述焊料凸块中延伸通过所述参考平面的部分变得大致平坦而与所述参考平面及所述半导体封装的底部表面齐平。因此，所述部分地平坦的焊料凸块与所述封装的外部齐平且暴露在外。所述焊料凸块的这些暴露部分形成测试垫，而可通过所述测试垫测试成品封装。

## **附图说明**

图 1 是常规引线框架及半导体电路小片的分解透视图。

图 2 是线接合到常规引线框架的常规半导体电路小片的透视图。

图 3 是包含多个引线框架的面板。

图 4 是来自图 5 中所示面板的单个引线框架俯视图。

图 5 是包含安装于其上的半导体电路小片的引线框架的俯视图。

图 6 是包含用于根据本发明的实施例形成测试垫的焊料凸块的引线框架的俯视图。

图 7 是沿图 6 中的线 7-7 穿过一平面的剖视图。

图 8 是根据本发明的实施例的成品半导体封装的俯视图。

图 9 是根据本发明的实施例的成品半导体封装的仰视图。

图 10 是沿图 8 中的线 10-10 穿过一平面的剖视图。

## **具体实施方式**

现在将参考图 3 到 10 来描述本发明的实施例，所述实施例通常涉及包含由贴附到半导体封装的焊料凸块形成的测试垫的半导体封装。应理解，本发明可以许多不同形式来具体化，且不应视为受限于本文所陈述的实施例。而是提供这些实施例使得此揭示内容将是透彻和完整的且将本发明的实施例完全传达给所属领域的技术人员。的确，本发明打算涵盖这些实施例的替代形式、修改及等效形式，所述替代形式、修改及等效形式包含于由随附权利要求书所界定的本发明的范围及精神内。此外，在以下对本发明的实施例的详细说明中，陈述了众多具体细节以提供对本发明的透彻理解。然而，所属领域的技术人员将了解可在没有所述具体细节的情况下实施本发明。

一般而言，本发明中使用的引线框架将从引线框架的面板(例如，图 3 中所示的面板 90)批次处理。在图 3 中所示的实施例中，面板 90 包含线框架 100 的 2×6 阵列。应理解在替代实施例中，面板 90 可以变化的列及行的各式阵列形成。如以下所解释，将集成电路形成于面板 90 中的多个引线框架 100 上，将集成电路囊封于保护模制化合物中，且接着从所述面板将经囊封的集成电路单个化以形成多个半导体封装。

现参考图 4，其显示来自面板 90 的单个引线框架 100。引线框架 100 包含用于支撑一个或一个以上半导体电路小片的电路小片踏板 102。引线框架 100 进一步包含：电引线 104，其用于将电信号传送到一个或一个以上半导体电路小片或从所述半导体电路小片传送电信号；及接触指状件 106，其用于在一个或一个以上半导体电路小片与外部电子装置之间传输电信号。

引线框架 100 可由平面或大致平面的金属件形成，所述金属可以是例如铜或铜合金、镀敷铜或镀敷铜合金、合金 42(42Fe/58Ni)、或镀铜的钢。引线框架 100 可由其它金属及已知用于引线框架的材料形成。在实施例中，引线框架 100 还可用银、金、镍钯或铜来镀敷。

引线框架 100 可通过已知制造工艺(例如，化学蚀刻)形成。在化学蚀刻中，可将光致抗蚀剂膜施加到引线框架。接着可将含有电路小片踏板 102 的轮廓的图案光掩模、电引线 104 及接触指状件 106 置于光致抗蚀剂膜上。接着，可使光致抗蚀剂膜曝光及显影，以从导电层上的待蚀刻区域移除所述光致抗蚀剂。接下来，使用例如氯化铁或

类似物的蚀刻剂蚀刻掉经曝光的区域，以界定引线框架 100 中的图案。接着可将光致抗蚀剂移除。其它已知化学蚀刻工艺是已知的。

另一选择是，可在使用级进模的机械冲压工艺中形成引线框架 100。如已知，机械冲压使用成组的模以便以连续步骤将金属以机械性方式从金属条移除。

尽管本发明的实施例是使用上述引线框架 100 来实施，但应理解可使用其它媒介实施本发明，例如，印刷电路板及其它衬底或各种聚合物带。

现参考图 5，在引线框架形成后，可将一个或一个以上半导体电路小片 120 安装到引线框架 100 的电路小片踏板 102，以形成集成电路。在其中引线框架 100 用于 Transflash 快闪存储器卡的实施例中，半导体电路小片 120 可包含快闪存储器芯片 (NOR/NAND)120a 及/或例如 ASIC 的控制器芯片 120b。然而，应理解，引线框架 100 可用于具有不规则形状边缘的各种半导体封装中，且各种不同的半导体芯片及装置可包含在完成的半导体封装内。可使用介电质电路小片附接化合物、膜或带以已知方式将一个或一个以上半导体电路小片 120 安装到引线框架 100。一旦将半导体电路小片 120 固定到引线框架 100，便可在已知的线接合工艺中使用导线 122 将所述电路小片线接合到引线框架的引线 104。

例如，在其中电路小片 120b 是控制器芯片的实施例中，芯片 120b 可包含用于测试完成的半导体封装的操作的多个接合垫 124。接合垫 124 可与线接合 122 贴附到其以将电路小片 120b 连接到集成电路的接合垫分离或与所述接合垫相同。应理解在替代实施例中，接合垫 124 的数目可变化。可使用导电迹线(未显示)将接合垫 124 重新分布到芯片 120b 上的任何所需位置。垫 124 的重新分布允许所述垫之间的间隔足以接纳焊料凸块，如下文所解释。应理解在替代实施例中，接合垫 124 无须重新分布。

现参考图 6 及 7，一旦将半导体电路小片 120 安装到引线框架 100 上，一个或一个以上接合垫 124 便可接纳焊料块，例如焊料凸块 132。焊料凸块 132 可以是已知的焊料材料，例如铅/锡(Pb/Sn)或类似物。其它可能性包含镍/金凸块、环氧树脂凸块及金凸块。也可能使用具有聚合物核心的焊料凸块。应理解，在替代实施例中，可使用其它导电的可变形材料来取代焊料。

可使用已知的焊料凸块化工艺将焊料凸块 132 附接至接合垫 124，例如用于将焊料凸块附接于倒装芯片及球栅格阵列(BGA)中的工艺。在所述工艺中，如此项技术中已知，可首先在底凸块冶金 (UBM)步骤中预调节接合垫 124，以消除非导电氧化铝。UBM 步骤在凸块接合垫接口处提供低且稳定的接触电阻，但在替代实施例中可省略 UBM 步骤。接着，可以许多工艺将焊料凸块附接到接合垫 124，包含蒸镀、电镀、印刷、喷射、柱形凸点及直接放置的工艺，所述工艺的每一者在此项技术中已知。在另一实施例中，如此项技术中已知，可将焊料凸块预成形为焊料球，使用力及/或热将所述焊料球贴附到接合垫 124。

如在图 7 的剖视图所见，引线框架 100 可形成于两个平面中。引线框架 100 的包含接触指状件 106 的第一部分可位于平面 150 中。所述引线框架的支撑一个或一个

以上半导体电路小片 120 的第二部分可与平面 150 间隔开。焊料凸块的大小经选择以使得一旦回流到电路小片 120 上，平面 150 便穿过焊料凸块 132 且焊料凸块 132 的一小部分延伸超过平面 150。在实施例中，焊料凸块可具有在半导体电路小片 120 以上的约 0.5 毫米到 1 毫米的直径，且更明确地说，是 0.7 毫米到 0.8 毫米。应理解在替代实施例中，焊料凸块的直径可在此范围外变化。焊料凸块可延伸超过平面 150 约 10 微米到 100 微米，且更明确地说，是 50 微米到 80 微米。应理解，在替代实施例中，焊料凸块延伸超过平面 150 的程度可达到大于或小于以上所陈述的程度。在实施例中，焊料凸块中的每一者可具有近似相同的大小。

一旦焊料凸块 132 已附接到面板 90，便可如图 8 到 10 中所示用模制化合物 126 来囊封集成电路的每一者。图 8 到 10 显示在从面板 90 单个化之后个别囊封的半导体封装 142，如以下所述。模制化合物 126 可为例如可从住友（Sumitomo）公司及日东电工（Nitto Denko）公司购得的环氧树脂，所述二公司的总部在日本。本发明还预期来自其它制造商的其它模制化合物。可根据各种工艺来应用模制化合物，包含通过转移模制、注射模制，且在实施例中，溢流模制，以在面板 90 上形成容纳所有集成电路的囊封。

在所述工艺中，可将面板 90 置入具有上下模或模具帽的模具中。在某些实施例中，可使引线框架的多个部分保持无模制化合物。此模制化合物图案可通过在上模具帽中形成镜图案来实现。即，上模具帽经形成而具有一图案，所述图案具有在囊封工艺期间在待保持无模制化合物的部分处接触面板 90 的区域。应理解在替代实施例中，可将整个面板 90 囊封在模制化合物中。

所述封装经囊封以使得所述封装的底部表面大体上位于平面 150 中。在实施例中，实施囊封工艺的模制机器可输出约 0.8 吨的注射力以将模制化合物驱动到模腔中。由于此压力，焊料凸块 132 的延伸通过平面 150 的部分变得相对于平面 150 及半导体封装得底部表面大致平坦。因此，部分平坦的焊料凸块 132 与所述封装的外部齐平及暴露于所述封装的外部，如图 9 的仰视图及图 10 的侧剖视图所示。焊料凸块 132 的这些暴露部分形成测试垫，可通过所述测试垫测试成品封装。

在上述囊封工艺期间，优选地使焊料凸块 132 与半导体封装 142 的表面齐平。然而，在囊封工艺期间，替代或除平坦化所述焊料凸块之外，可执行一个或一个以上额外工艺，以在焊料凸块或其它导电的可变形块中界定表面，所述表面与半导体封装 142 的表面齐平。所述额外工艺可在囊封工艺之前及/或之后执行。所述额外工艺可包含向焊料凸块 132 施加热、压力或剪切力，以在焊料凸块中界定是或将与半导体封装 142 的表面齐平的表面。

尽管对本发明并非至关重要，但在模制步骤后，可将一标记施加到模制化合物 126。所述标记可以是例如针对每一集成电路而印刷在模制化合物的表面上的图标其它信息。所述标记可例如指示制造商及/或装置类型。进行标记的步骤对本发明并非至关重要且在替代实施例中可加以省略。



在囊封及进行标记之后，可接着通过将面板 90 中的集成电路切割成多个单个集成电路封装 142 来单个化面板 90 中的每一经囊封集成电路。已知切割装置包含例如，水喷射切割、激光切割、水导引激光切割、干媒介切割、及钻石涂覆导线。水喷射切割因其小的切割宽度及快速切割速率而可为优选的切割装置。也可将水与激光切割一起使用，以帮助补充或集中其效应。对从面板切割集成电路及可由此实现的形状的进一步说明揭示于已公告的美国专利申请案第 2004/0259291 号中，其标题为“用于高效生产可拆卸外围卡的方法(Method For Efficiently Producing Removable Peripheral Cards)”，所述申请案已让予本发明所有者且所述申请案的全文已以引用的方式并入本文中。应理解，在替代实施例中，可通过除上述以外的其它工艺来形成经单个化的集成电路。

在所示的实施例中，封装 142 可例如用于 Transflash 快闪存储器装置或 MicroSD 卡中。然而，应理解，在进一步实施例中，可将封装 142 切割成包含矩形在内的各种形状及大小。

在实施例中，提供二十一个测试垫。应理解，另一选择是，封装 142 可包含形成测试垫的二十七个焊料凸块 132，且另一选择是可包含多于或少于二十一或二十七个，例如一个或一个以上测试垫。此外，尽管以上将焊料凸块 132 揭示为直接安装到控制器芯片 120b 上的接合垫 124 上，但应理解，可将在成品封装中形成测试垫的焊料凸块 132 提供在存储器芯片 120a 上或引线框架 100 上，且借助使用导电迹线及/或接合线而连接到适当的接合垫。

一旦制造且经由测试垫测试了封装，便可将封装包封于覆盖测试垫的一对配对盖中，且防止在使用半导体封装时接近测试垫。在进一步实施例中，所述封装可在无盖情况下操作。在所述实施例中，测试垫可使用(例如)掩膜标签、环氧树脂或墨水来覆盖。也可预想到使测试垫保持不覆盖。

已出于图解及说明目的呈现了本发明的前面详细说明。但此并不打算包罗无遗或将本发明限于所揭示的精确形式。根据以上教导内容，可进行许多修改及变更。选择所述实施例是为了最佳地解释本发明的原理及其实际应用，从而使所属领域的技术人员能够在各种实施例中最佳地利用本发明，并作出适用于所预期特定用途的各种修改。本发明的范围打算由本文随附权利要求书加以界定。

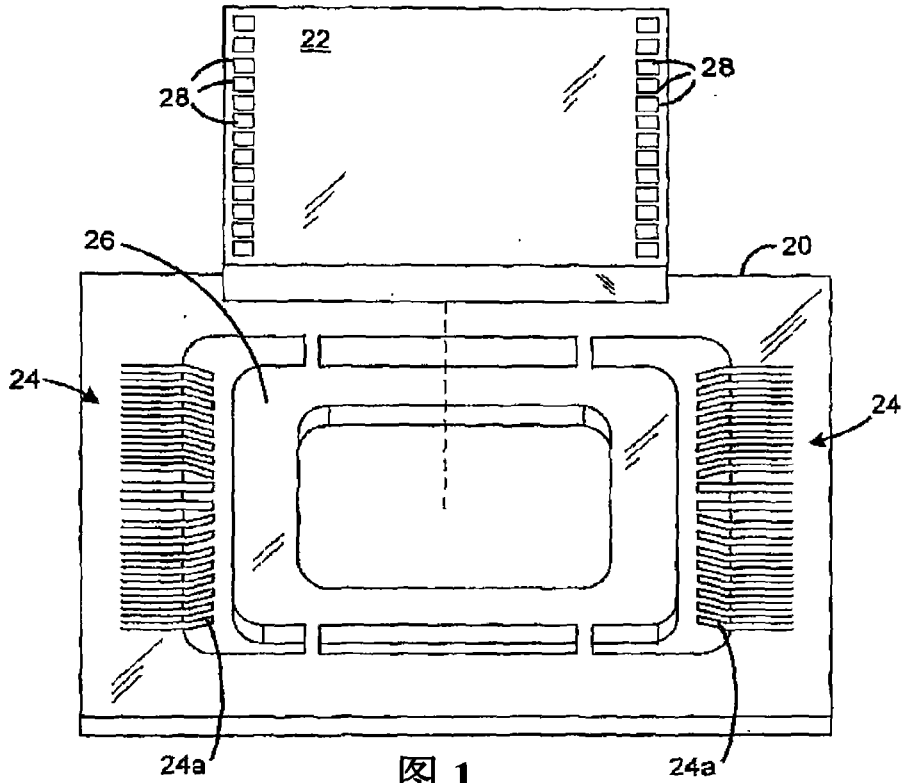


图 1  
(现有技术)

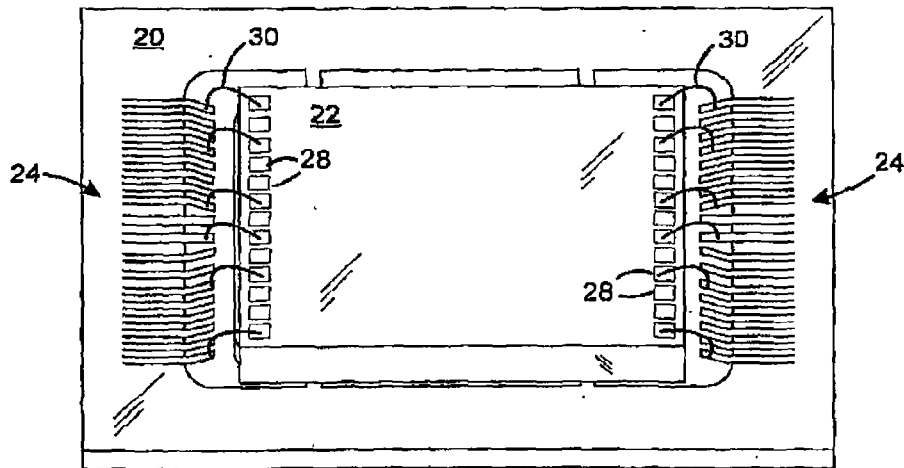


图 2  
(现有技术)

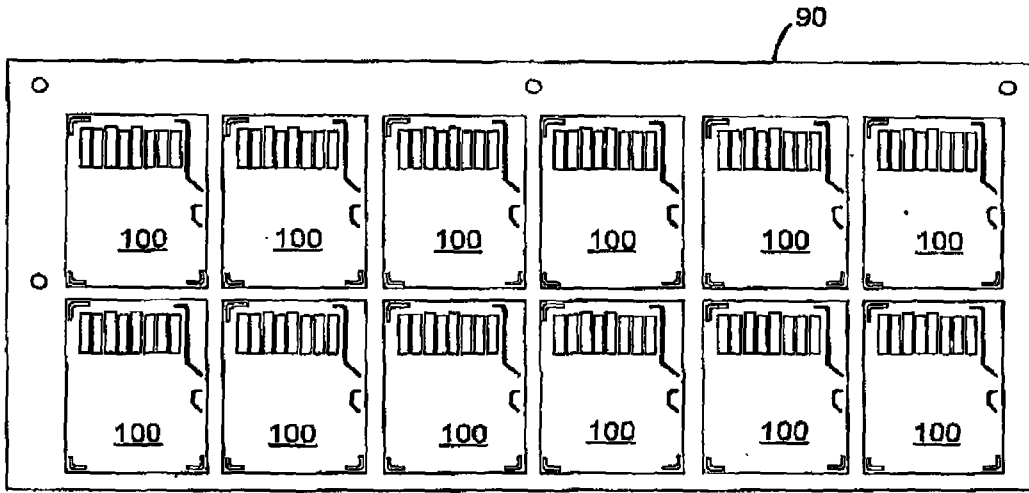


图 3

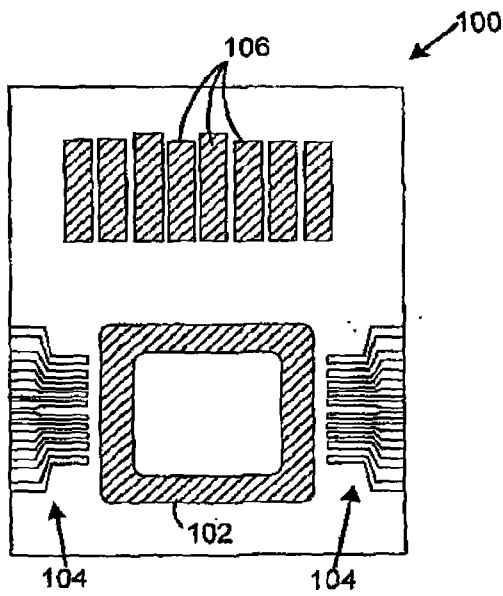


图 4

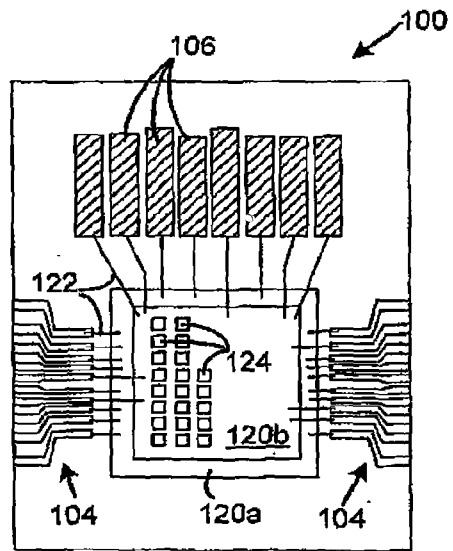


图 5

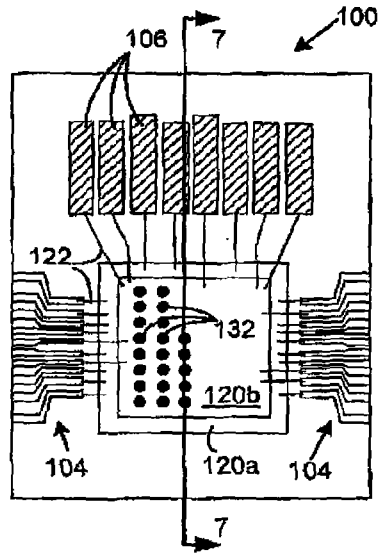


图 6

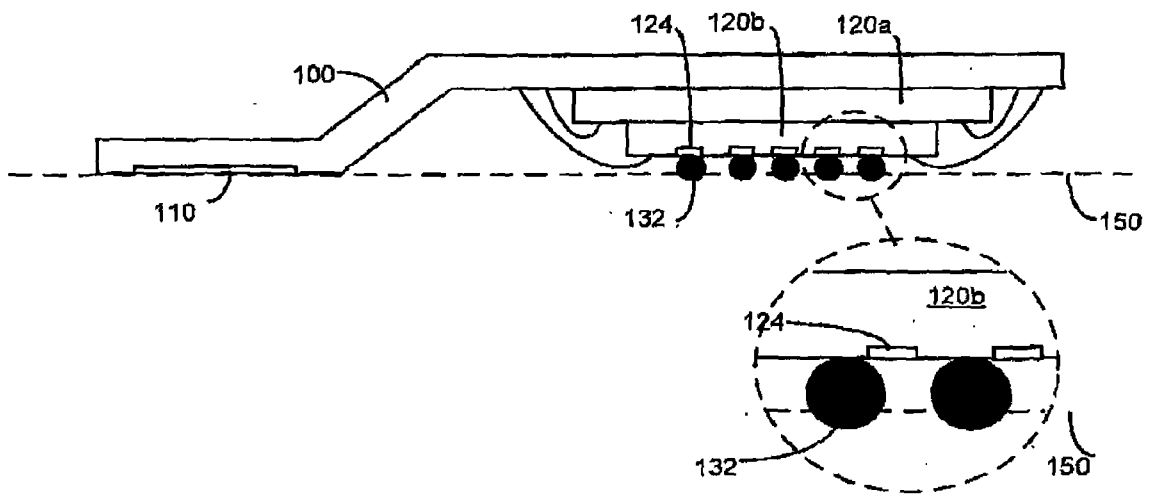


图 7

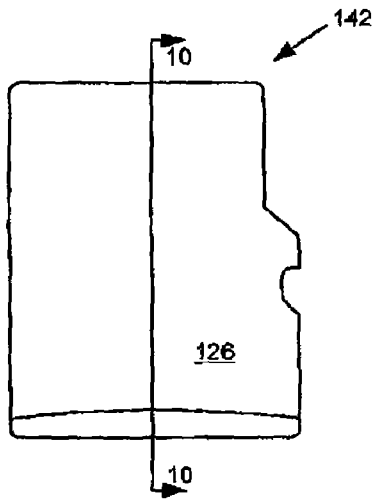


图 8

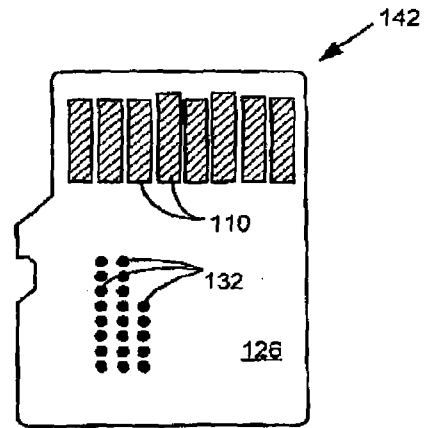


图 9

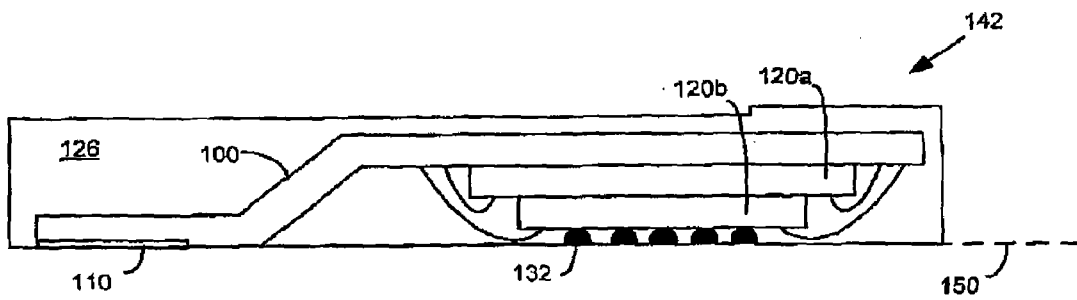


图 10