

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 2 月 6 日(06.02.2014)



(10) 国際公開番号

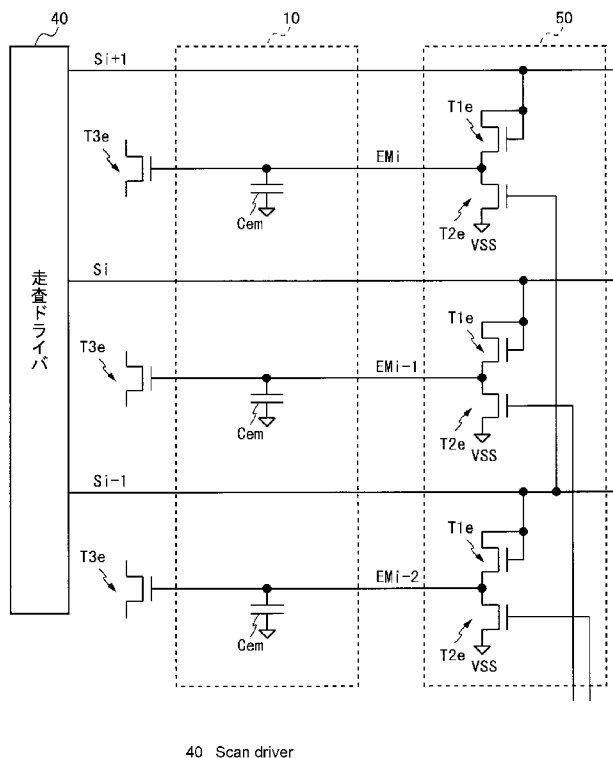
WO 2014/021158 A1

- (51) 国際特許分類:
G09G 3/30 (2006.01) H01L 51/50 (2006.01)
G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2013/069999
- (22) 国際出願日: 2013 年 7 月 24 日(24.07.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-169592 2012 年 7 月 31 日(31.07.2012) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 小原 将紀(OHARA, Masanori). 野口 登(NOGUCHI, Noboru). 岸 宣孝(KISHI, Noritaka).
- (74) 代理人: 島田 明宏(SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町 1 丁目 1 0 番 3 号 萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: DISPLAY DEVICE AND DRIVE METHOD THEREOF

(54) 発明の名称: 表示装置およびその駆動方法



(57) Abstract: Provided is an organic EL display device having a reduced circuit scale of an emission driver. The emission driver (50) is provided with an ON control transistor (T1e) and an OFF control transistor (T2e) provided corresponding to each emission line. In the ON control transistor (T1e) in the i'th row, the gate terminal and the drain terminal are connected to the scan line (Si+1) in the (i+1)'th row, and the source terminal is connected to the emission line (EMI) in the i'th row. In the OFF control transistor (T2e) in the i'th row, the gate terminal is connected to the scan line (Si-1) in the (i-1)'th row, and the drain terminal is connected to the emission line (EMI) in the i'th row, and the source terminal is connected to a low-level logic power supply (VSS).

(57) 要約: エミッションドライバの回路規模が削減された有機EL表示装置を提供する。エミッションドライバ(50)は、各エミッション線に対応して設けられたオン制御トランジスタ(T1e)およびオフ制御トランジスタ(T2e)を備える。i行目のオン制御トランジスタ(T1e)は、i+1行目の走査線(Si+1)にゲート端子およびドレイン端子が接続され、i行目のエミッション線(EMI)にソース端子が接続される。i行目のオフ制御トランジスタ(T2e)は、i-1行目の走査線(Si-1)にゲート端子が接続され、i行目のエミッション線(EMI)にドレイン端子が接続され、ローレベルロジック電源線(VSS)にソース端子が接続される。



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：表示装置およびその駆動方法

技術分野

[0001] 本発明は表示装置に関し、より詳細には、有機EL (Electro Luminescence) 素子などの電気光学素子を含む画素回路を備える表示装置およびその駆動方法に関する。

背景技術

[0002] 薄型、高画質、低消費電力の表示装置として、有機EL表示装置が知られている。有機EL表示装置には、電流で駆動される自発光型の電気光学素子である有機EL素子および駆動トランジスタなどを含む複数の画素回路がマトリクス状に配置されている。

[0003] ところで、画素回路へのデータ電圧の書き込み時に生じ得る有機EL素子の異常発光などを抑制するために、有機EL素子の発光／非発光を制御するためのトランジスタ（以下「発光制御トランジスタ」という。）を画素回路内に設けた有機EL表示装置が従来知られている。このような有機EL表示装置では、複数本の走査線と複数本のエミッション線とに対応して複数の画素回路が設けられる。各画素回路に対応する走査線は、データ電圧の書き込みタイミングを制御する。各画素回路に対応するエミッション線は、有機EL素子の発光／非発光のタイミングを制御する。複数本の走査線は走査ドライバ（走査駆動部）により駆動される。複数本のエミッション線はエミッシヨンドライバ（発光制御駆動部）により駆動される。

[0004] 本願発明に関連して、特許文献1には、走査ドライバとエミッシヨンドライバとを一体的に構成した有機EL表示装置が開示されている。図15は、特許文献1に開示された走査ドライバおよびエミッシヨンドライバ（以下、これらをまとめて「走査／エミッシヨンドライバ」といい、符号300で表す。）の構成を説明するための回路図である。ここでは、走査線およびエミッション線のそれぞれの本数を n （ n は2以上の整数）とする。走査／エミ

ッションドライバ300は、シフトレジスタ310、 n 個の第1NANDゲートNAND11～1 n 、 n 個のNORゲートNOR11～1 n 、および n 個の第2NANDゲートNAND21～2 n を備えている。 i 段目の第1NANDゲートNAND1 i (i は1以上 n 以下の整数)は、シフトレジスタ310の i 段目の出力SR i および $i+1$ 段目の出力SR $i+1$ を入力とし、それらに基づく出力を i 行目のエミッション線EM i に供給する。 i 段目のNORゲートNOR1 i は、シフトレジスタ310の i 段目の出力SR i および $i+1$ 段目の出力SR $i+1$ を入力とする。 i 段目の第2NANDゲートNAND2 i は、 i 段目のNORゲート1 i の出力OUT i およびクリップ信号CLIPを入力とし、それらに基づく出力を i 行目の走査線S i に供給する。走査／エミッションドライバ300では、シフトレジスタ310、 n 個のNORゲートNOR11～1 n および n 個の第2NANDゲートNAND21～2 n により走査ドライバが実現され、シフトレジスタ310および n 個の第1NANDゲートNAND11～1 n によりエミッションドライバが実現される。

先行技術文献

特許文献

[0005] 特許文献1：日本国特開2005-346025号公報

特許文献2：日本国特許第4637070号公報

発明の概要

発明が解決しようとする課題

[0006] ところで、上記特許文献1に開示された有機EL表示装置では、エミッションドライバを実現するためにNANDゲート（第1NANDゲート）を使用する必要がある。 i 行目の第1NANDゲートNAND1 i は、例えば図16に示すようなCMOS (Complementary Metal Oxide Semiconductor) 回路である。より詳細には、 i 行目の第1NANDゲートNAND1 i は、ハイレベルロジック電源電圧VDDを供給する電源線（以下「ハイレベルロジ

ック電源線」といい、ハイレベルロジック電源電圧と同じく符号VDDで表す。)とローレベルロジック電源電圧VSSを供給する電源線(以下「ローレベルロジック電源線」といい、ローレベルロジック電源電圧と同じく符号VSSで表す。)との間に互いに並列に設けられた2個のpチャネル型のトランジスタTP1, TP2と、ハイレベルロジック電源線VDDとローレベルロジック電源線VSSとの間に2個のpチャネル型のトランジスタTP1, TP2のそれぞれと直列に設けられた2個のnチャネル型のトランジスタTN1, TN2により構成されている。このため、上記特許文献1に開示された有機EL表示装置では、各エミッション線につき4個のトランジスタが必要になり、エミSSIONドライバの回路規模が増大する。

[0007] そこで、本発明は、エミSSIONドライバ(発光制御駆動部)の回路規模が削減された、有機EL表示装置等の表示装置、およびその駆動方法を提供することを目的とする。

課題を解決するための手段

[0008] 本発明の第1の局面は、アクティブマトリクス型の表示装置であって、
複数のデータ線と、複数の走査線と、前記複数の走査線にそれぞれ沿った複数の発光制御線と、前記複数のデータ線、前記複数の走査線、および前記複数の発光制御線に対応して配置された複数の画素回路とを含む表示部と、
前記複数の走査線を順次選択する走査駆動部と、
前記複数の発光制御線を駆動する発光制御駆動部とを備え、
前記画素回路は、
電流で駆動される電気光学素子と、
対応する走査線に制御端子が接続され、当該走査線が選択されているときにオン状態になる第1入力トランジスタと、
前記電気光学素子と直列に設けられ、対応するデータ線および前記第1入力トランジスタを介して供給されるデータ電圧に応じて、前記電気光学素子に供給すべき駆動電流を制御する駆動トランジスタと、
対応する発光制御線に制御端子が接続され、前記電気光学素子と直列に

設けられた発光制御トランジスタとを含み、

前記発光制御駆動部は、

各発光制御線に対応して設けられ、当該発光制御線に沿った走査線の先行の走査線のいずれかまたは当該発光制御線に沿った走査線の状態に応じて、当該発光制御線の電位を、前記発光制御トランジスタがオフ状態になるオフレベルに変化させるためのオフ制御スイッチング素子と、

各発光制御線に対応して設けられ、当該発光制御線に沿った走査線の後続の走査線のいずれかの状態に応じて、当該発光制御線の電位を、前記発光制御トランジスタがオン状態になるオンレベルに変化させるためのオン制御スイッチング素子とを含むことを特徴とする。

[0009] 本発明の第2の局面は、本発明の第1の局面において、

前記オフ制御スイッチング素子は、対応する発光制御線に沿った走査線の先行の走査線のいずれかまたは対応する発光制御線に沿った走査線が選択状態に変化したときに当該発光制御線の電位を前記オフレベルに変化させ、

前記オン制御スイッチング素子は、対応する発光制御線に沿った走査線の後続の走査線のいずれかが選択状態に変化したときに当該発光制御線の電位を前記オンレベルに変化させることを特徴とする。

[0010] 本発明の第3の局面は、本発明の第2の局面において、

前記オフ制御スイッチング素子は、対応する発光制御線に沿った走査線の先行の走査線のいずれかまたは対応する発光制御線に沿った走査線に制御端子が接続され、当該発光制御線に第1導通端子が接続され、

前記オン制御スイッチング素子は、対応する発光制御線に沿った走査線の後続の走査線のいずれかに制御端子が接続され、当該発光制御線に第1導通端子が接続されていることを特徴とする。

[0011] 本発明の第4の局面は、本発明の第3の局面において、

前記第1入力トランジスタおよび前記発光制御トランジスタは互いに同じ導電型であり、

前記オフ制御スイッチング素子の第2導通端子には、前記オフレベルの電

圧が与えられ、

前記オン制御スイッチング素子の第2導通端子は、前記制御端子の接続先の走査線に接続されていることを特徴とする。

[0012] 本発明の第5の局面は、本発明の第3の局面において、

前記オフ制御スイッチング素子の前記制御端子は、対応する発光制御線に沿った走査線の直前の走査線に接続されていることを特徴とする。

[0013] 本発明の第6の局面は、本発明の第3の局面において、

前記オン制御スイッチング素子の前記制御端子は、対応する発光制御線に沿った走査線の直後の走査線に接続されていることを特徴とする。

[0014] 本発明の第7の局面は、本発明の第1の局面において、

各発光制御線を終端するための終端部をさらに備えることを特徴とする。

[0015] 本発明の第8の局面は、本発明の第1の局面において、

前記画素回路は、

前記駆動トランジスタを制御するための電圧を保持する駆動容量素子と

、

前記対応する走査線に先行する走査線に制御端子が接続された第2入力トランジスタとをさらに含み、

前記第1入力トランジスタおよび前記第2入力トランジスタは、前記対応するデータ線と前記駆動容量素子との間に並列に設けられていることを特徴とする。

[0016] 本発明の第9の局面は、本発明の第8の局面において、

前記第1入力トランジスタは、酸化物半導体、微結晶シリコン、またはアモルファスシリコンによりチャネル層が形成された薄膜トランジスタであることを特徴とする。

[0017] 本発明の第10の局面は、本発明の第1の局面において、

前記走査駆動部および前記発光制御駆動部のそれぞれは、前記表示部の一端側に配置されていることを特徴とする。

[0018] 本発明の第11の局面は、本発明の第1の局面において、

前記データ電圧は複数の原色のいずれかを示し、

前記画素回路は前記複数の原色のいずれかのサブ画素を形成し、

前記複数の原色のいずれかを示すデータ電圧を前記複数のデータ線に時分割に供給する時分割データ電圧供給部をさらに備え、

前記走査駆動部は、各原色のサブ画素を形成する画素回路に当該原色を示すデータ電圧を供給すべきときに当該画素回路に対応する走査線を選択状態にすることを特徴とする。

[0019] 本発明の第12の局面は、複数のデータ線と、複数の走査線と、前記複数の走査線にそれぞれ沿った複数の発光制御線と、前記複数のデータ線、前記複数の走査線、および前記複数の発光制御線に対応して配置された複数の画素回路とを含む表示部を備え、前記画素回路は、対応する走査線に制御端子が接続され、当該走査線が選択されているときにオン状態になる第1入力トランジスタと、前記電気光学素子と直列に設けられ、対応するデータ線および前記第1入力トランジスタを介して供給されるデータ電圧に応じて、前記電気光学素子に供給すべき駆動電流を制御する駆動トランジスタと、対応する発光制御線に制御端子が接続され、前記電気光学素子と直列に設けられた発光制御トランジスタとを含む、アクティブマトリクス型の表示装置の駆動方法であって、

前記複数の走査線を順次選択する走査ステップと、

前記複数の発光制御線を駆動する発光制御ステップとを備え、

前記発光制御ステップは、

各発光制御線に対応して設けられたオフ制御スイッチング素子を制御することにより、当該発光制御線に沿った走査線の先行の走査線のいずれかまたは当該発光制御線に沿った走査線の状態に応じて、当該発光制御線の電位を、前記発光制御トランジスタがオフ状態になるオフレベルに変化させるオフ制御ステップと、

各発光制御線に対応して設けられたオン制御スイッチング素子を制御することにより、当該発光制御線に沿った走査線の後続の走査線のいずれかの

状態に応じて、当該発光制御線の電位を、前記発光制御トランジスタがオン状態になるオンレベルに変化させるオン制御ステップとを備えることを特徴とする。

発明の効果

- [0020] 本発明の第1の局面によれば、発光制御駆動部内のオフ制御スイッチング素子およびオン制御スイッチング素子によって対応する発光制御線の電位が制御されることにより、複数の発光制御線が駆動される。発光制御駆動部は、各発光制御線につき、オフ制御スイッチング素子およびオン制御スイッチング素子の計2個のスイッチング素子（例えばトランジスタ）を設けた構成であるので、発光制御駆動部の回路規模を従来よりも削減することができる。
- [0021] 本発明の第2の局面によれば、走査線が選択状態に変化したときに発光制御線の電位を変化させることにより、発光制御線を駆動することができる。
- [0022] 本発明の第3の局面によれば、対応する発光制御線に沿った走査線の先行の走査線のいずれかまたは当該発光制御線に沿った走査線の電位によりオフ制御スイッチング素子を制御し、対応する発光制御線に沿った走査線の後続の走査線のいずれかの電位によりオン制御スイッチング素子を制御することにより、発光制御線の電位を制御することができる。
- [0023] 本発明の第4の局面によれば、発光制御線の電位をオンレベルに変化させる際に、走査線の電位が利用される。このため、発光制御線の電位をオンレベルに変化させるための電源線を削減することができる。
- [0024] 本発明の第5の局面によれば、オフ制御スイッチング素子に対応する発光制御線に沿った走査線の直前の走査線が選択状態に変化したときに当該発光制御線の電位をオフレベルに変化させることができる。
- [0025] 本発明の第6の局面によれば、オン制御スイッチング素子に対応する発光制御線に沿った走査線の直後の走査線が選択状態に変化したときに当該発光制御線の電位をオンレベルに変化させることができる。
- [0026] 本発明の第7の局面によれば、終端部が設けられるので、発光制御線の電

位を確実に維持することができる。

[0027] 本発明の第 8 の局面によれば、第 1 入力トランジスタを介してデータ線から駆動容量素子に電圧が供給される前に、第 2 入力トランジスタを介してデータ線から駆動容量素子に電圧が供給される、すなわち、画素回路に対応する走査線の先行の走査線の選択時に予備充電が行われる。これにより、第 1 入力トランジスタの移動度が比較的低い場合または各走査線の選択期間を十分に確保できない場合であっても、駆動容量素子が所望の電圧に充電されるので表示品位を維持することができる。

[0028] 本発明の第 9 の局面によれば、酸化物半導体、微結晶シリコン、またはアモルファスシリコンによりチャネル層が形成された薄膜トランジスタ (Thin Film Transistor : 以下「TFT」と略記する。) を第 1 入力トランジスタに使用して、本発明の第 8 の局面と同様の効果を奏することができる。

[0029] 本発明の第 10 の局面によれば、走査駆動部および発光制御駆動部が表示部に対して互いに同じ側に配置される。このため、発光制御駆動部において、波形鈍りの小さい走査線の信号が利用される。これにより、発光制御駆動部は、複数の発光制御線を正確に駆動することができる。

[0030] 本発明の第 11 の局面によれば、複数の原色のいずれかを示すデータ電圧が複数のデータ線に時分割に供給されるので、データ電圧を出力するための回路規模を削減することができる。

[0031] 本発明の第 12 の局面によれば、表示装置の駆動方法において、本発明の第 1 の局面と同様の効果を奏することができる。

図面の簡単な説明

[0032] [図1]本発明の第 1 の実施形態に係る有機 EL 表示装置の構成を示すブロック図である。

[図2]図 1 に示す画素回路の構成を示す回路図である。

[図3]図 1 に示すエミッションドライバの構成を説明するための回路図である。

[図4]上記第 1 の実施形態におけるエミッション線の端部に関する他の構成を

説明するための回路図である。

[図5]上記第1の実施形態におけるエミッション線の端部に関する他の構成を説明するための回路図である。

[図6]図2に示す画路回路および図3に示すエミッションドライバの動作を説明するためのタイミングチャートである。

[図7]NANDゲートのレイアウトを示す図である。

[図8]i行目のオン制御トランジスタおよびオフ制御トランジスタのレイアウトを示す図である。

[図9]本発明の第2の実施形態に係る有機EL表示装置の構成を示すブロック図である。

[図10]図9に示すエミッションドライバの構成を説明するための回路図である。

[図11]本発明の第3の実施形態に係る有機EL表示装置の構成を示すブロック図である。

[図12]上記第3の実施形態における、画素回路と各種配線との接続関係を示す回路図である。

[図13]図11に示すエミッションドライバの構成を説明するための回路図である。

[図14]図12に示す画素回路および図13に示すエミッションドライバの動作を説明するためのタイミングチャートである。

[図15]走査／エミッションドライバの構成を説明するための回路図である。

[図16]NANDゲートの構成を示す回路図である。

発明を実施するための形態

[0033] 以下、添付図面を参照しながら、本発明の第1～第3の実施形態について説明する。以下では、 m 、 n 、 k 、 l は2以上の整数、 i は1以上 n 以下の整数であるとする。また、 j は、第1、第2の実施形態では1以上 m 以下の整数であり、第3の実施形態では1以上 k 以下の整数であるとする。なお、各実施形態における画素回路に含まれるトランジスタは電界効果トランジスタ

タであり、典型的には薄膜トランジスタである。

[0034] <1. 第1の実施形態>

<1. 1 全体構成>

図1は、本発明の第1の実施形態に係るアクティブマトリクス型の有機EL表示装置1の構成を示すブロック図である。有機EL表示装置1は、表示部10、表示制御回路20、ソースドライバ30、走査ドライバ40、およびエミッションドライバ50を備えている。本実施形態では、ソースドライバ30がデータ駆動部に相当し、走査ドライバ40が走査駆動部に相当し、エミッションドライバ50が発光制御駆動部に相当する。ソースドライバ30、走査ドライバ40、およびエミッションドライバ50のいずれか1個、いずれか2個、または全部は、表示部10と一体的に形成されていても良い。走査ドライバ40およびエミッションドライバ50は、表示部10の一端側（以下「左側」という。）および他端側（以下「右側」という。）にそれぞれ配置されている。なお、走査ドライバ40およびエミッションドライバ50がそれぞれ表示部10の右側および左側に配置されても良い。

[0035] 表示部10には、m本のデータ線D1～Dmおよびこれらに直交するn本の走査線S1～Snが配設されている。以下では、データ線の延伸方向を列方向とし、走査線の延伸方向を行方向とする。また、列方向に沿った構成要素を「列」といい、行方向に沿った構成要素を「行」という場合がある。表示部10にはさらに、m本のデータ線D1～Dmとn本の走査線S1～Snに対応してm×n個の画素回路11が設けられている。各画素回路11は、赤色（R）のサブ画素（以下「Rサブ画素」という。）、緑色（G）のサブ画素（以下「Gサブ画素」という。）、および青色（B）のサブ画素（以下「Bサブ画素」という。）のいずれかを形成し、行方向に並んだ画素回路11は、例えば走査ドライバ40側から順にRサブ画素、Gサブ画素、およびBサブ画素を形成する。なお、サブ画素の種類は、赤色、緑色、および青色に限定されるものではなく、シアン、マゼンタ、および黄色などでも良い。また、表示部10には、図示しない、ハイレベル画素電源電圧ELVDDを

供給する電源線（以下「ハイレベル画素電源線」といい、ハイレベル画素電源電圧と同じく符号 $ELVDD$ で表す。）と、ローレベル画素電源電圧 $ELVSS$ を供給する電源線（以下「ローレベル画素電源線」といい、ローレベル画素電源電圧と同じく符号 $ELVSS$ で表す。）とが配設されている。ハイレベル画素電源電圧 $ELVDD$ およびローレベル画素電源電圧 $ELVSS$ のそれぞれは固定電圧である。

[0036] 表示制御回路20は、ソースドライバ30に映像データDAおよびソース制御信号CT1を送信し、走査ドライバ40に走査制御信号CT2を送信することにより、ソースドライバ30および走査ドライバ40を制御する。ソース制御信号CT1は、例えばソーススタートパルス、ソースクロック、およびラッチストロブ信号を含んでいる。走査制御信号CT2は、例えば走査スタートパルスおよび走査クロックを含んでいる。

[0037] ソースドライバ30は、m本のデータ線D1～Dmに接続され、それらを駆動する。ソースドライバ30は、より詳細には、図示しないシフトレジスタ、サンプリング回路、ラッチ回路、m個のD/Aコンバータ、m個のバッファなどを備えている。シフトレジスタは、ソースクロックに同期してソーススタートパルスを順次転送することによりサンプリングパルスを順次出力する。サンプリング回路は、サンプリングパルスのタイミングに従って1行分の映像データDAを順次記憶する。ラッチ回路は、サンプリング回路が記憶する1行分の映像データDAをラッチストロブ信号に応じて取り込み保持すると共に、当該1行分の映像データに含まれる各サブ画素の映像データDA（以下「階調データ」という。）を対応するD/Aコンバータに与える。D/Aコンバータは、受け取った階調データをデータ電圧に変換し出力する。D/Aコンバータから出力されたデータ電圧は、対応するバッファを経由して対応するデータ線に供給される。

[0038] 走査ドライバ40は、n本の走査線S1～Snに接続され、それらを駆動する。走査ドライバ40は、より詳細には、図示しないシフトレジスタおよびn個のバッファなどを備えている。シフトレジスタは、走査クロックに同

期して走査スタートパルスを順次転送する。シフトレジスタの各段からの出力信号は、対応するバッファを経由して対応する走査線に供給される。このようにして、走査ドライバ40は、 n 本の走査線 $S_1 \sim S_n$ を走査線 S_1 から順に順次選択する。

[0039] エミッションドライバ50は、 n 本のエミッション線 $EM_1 \sim EM_n$ に接続され、それらを駆動する。エミッションドライバ50には、図示しないローレベルロジック電源線 VSS が配設されている。なお、エミッションドライバ50の詳細な構成は後述する。

[0040] <1. 2 画素回路>

図2は、図1に示す i 行 j 列目の画素回路11の構成を示す回路図である。画素回路11は、1個の有機EL素子OLED、4個のトランジスタ $T_1 \sim T_4$ 、および1個のコンデンサ C_1 を備えている。トランジスタ T_1 は駆動トランジスタであり、トランジスタ T_2 は第1入力トランジスタであり、トランジスタ T_3 は第2入力トランジスタであり、トランジスタ T_4 は発光制御トランジスタである。コンデンサ C_1 は駆動容量素子に相当し、有機EL素子OLEDは電流で駆動される電気光学素子に相当する。トランジスタ $T_1 \sim T_4$ はすべて n チャネル型のTFTである。

[0041] トランジスタ T_1 は、有機EL素子OLEDと直列に設けられ、ハイレベル画素電源線 $ELVDD$ に第1導通端子としてのドレイン端子が接続されている。トランジスタ T_2 は、 i 行目の走査線 S_i にゲート端子（制御端子に相当する。他のトランジスタのゲート端子についても同様である。）が接続され、データ線 D_j とトランジスタ T_1 のゲート端子との間に設けられている。トランジスタ T_3 は、 i 行目の走査線 S_i の直前の走査線である $i-1$ 行目の走査線 S_{i-1} にゲート端子が接続され、データ線 D_j とトランジスタ T_1 のゲート端子との間に設けられている。ここで、「直前の走査線」とは、選択される順が直前である走査線を意味する。トランジスタ T_4 は、 i 行目のエミッション線 EM_i にゲート端子が接続され、トランジスタ T_1 の第2導通端子としてのソース端子と有機EL素子OLEDのアノード端子と

の間に設けられている。コンデンサC 1は、トランジスタT 1のゲート端子およびソース端子にそれぞれ一端および他端が接続されている。コンデンサC 1は、トランジスタT 1のゲートソース間電圧 V_{gs} を保持する。有機EL素子OLEDのカソード端子は、ローレベル画素電源線ELVSSに接続されている。本実施形態では、トランジスタT 1のゲート端子と、コンデンサC 1の一端と、トランジスタT 1のゲート端子側に位置するトランジスタT 2の導通端子との接続点のことを便宜上「ゲートノードVG」という。

[0042] <1. 3 エミッションドライバ>

図3は、図1に示すエミッションドライバ50の構成を説明するための回路図である。図3では、図示の便宜上、 $i-2$ 行目～ i 行目の構成を図示している。上述のように、走査ドライバ40は表示部10の左側に配置され、エミッションドライバ50は表示部10の右側に配置されている。エミッションドライバ50は、各エミッション線に対応して設けられたオン制御トランジスタT 1eおよびオフ制御トランジスタT 2eを備えている。オン制御トランジスタT 1eはオン制御スイッチング素子に相当し、オフ制御トランジスタT 2eはオフ制御スイッチング素子に相当する。オン制御トランジスタT 1eおよびオフ制御トランジスタT 2eはnチャネル型のTFTである。以下では、説明の便宜上、 i 行目のエミッション線EM i およびそれに関連する構成要素にのみ着目して説明し、他の行のエミッション線およびそれに関連する構成要素の説明を省略する場合がある。

[0043] i 行目のエミッション線EM i に対応して設けられたオン制御トランジスタT 1e（以下「 i 行目のオン制御トランジスタT 1e」という。）は、 i 行目のエミッション線EM i に沿った i 行目の走査線S i の直後の走査線である $i+1$ 行目の走査線S $i+1$ が選択状態に変化したときに i 行目のエミッション線EM i の電位をオンレベルに変化させるように動作する。ここで、「直後の走査線」とは、選択される順が直後である走査線を意味する。なお、「走査線が選択状態」であることは走査線の電位がオンレベル（画素回路11内のトランジスタがオン状態になるレベルをいう。）であることを意

味する。また、「走査線が非選択状態」であることは走査線の電位がオフレベル（画素回路 1 1 内のトランジスタがオフ状態になるレベルをいう。）であることを意味する。本実施形態では、オンレベルおよびオフレベルはそれぞれハイレベル（VDD）およびローレベル（VSS）である。i 行目のオン制御トランジスタ T1e は、より詳細には、i + 1 行目の走査線 S i + 1 にゲート端子と第 2 導通端子としてのドレイン端子とが接続され、i 行目のエミッション線 EM i に第 1 導通端子としてのソース端子が接続されている。

[0044] i 行目のエミッション線 EM i に対応して設けられたオフ制御トランジスタ T2e（以下「i 行目のオフ制御トランジスタ T2e」という。）は、i 行目のエミッション線 EM i に沿った i 行目の走査線 S i の直前の走査線である i - 1 行目の走査線 S i - 1 が選択状態に変化したときに i 行目のエミッション線 EM i の電位をオフレベルに変化させるように動作する。i 行目のオフ制御トランジスタ T2e は、より詳細には、i - 1 行目の走査線 S i - 1 にゲート端子が接続され、i 行目のエミッション線 EM i に第 1 導通端子としてのドレイン端子が接続され、ローレベルロジック電源線 VSS に第 2 導通端子としてのソース端子が接続されている。ローレベルロジック電源線 VSS の電位は上述のローレベルに相当する。

[0045] なお、図 3 に示す C em は、各行のエミッション線の総容量（配線容量および寄生容量）を表す。また、各行のエミッション線の走査ドライバ 40 側の端部には、当該エミッション線を終端するための終端部として終端トランジスタ T3e が設けられている。各終端トランジスタ T3e は n チャネル型であり、エミッション線の端部にゲート端子が接続されている。なお、各終端トランジスタ T3e は p チャネル型でも良い。各終端トランジスタ T3e のソース端子およびドレイン端子は、例えばフローティング状態になっている。終端トランジスタ T3e は、オン制御トランジスタ T1e およびオフ制御トランジスタ T2e が共にオフ状態であるときにエミッション線をフローティング状態に維持して、エミッション線の電位を確実に維持するために設

けられている。ただし、終端トランジスタ T_{3e} に代えて、図4に示すように、一端がエミッション線に接続され、他端が例えばローレベルロジック電源線 V_{SS} に接続された終端コンデンサ C_{3e} を設けても良い。これによっても、オン制御トランジスタ T_{1e} およびオフ制御トランジスタ T_{2e} が共にオフ状態であるときにエミッション線をフローティング状態に維持して、エミッション線の電位を確実に維持することができる。また、図5に示すように、終端トランジスタ T_{3e} または終端コンデンサ C_{3e} のような終端部を設けないようにしても良い。この場合でも、エミッション線の容量 C_{em} により、オン制御トランジスタ T_{1e} およびオフ制御トランジスタ T_{2e} が共にオフ状態であるときにエミッション線をフローティング状態に維持して、エミッション線の電位を維持することができる。なお、各行のエミッション線の容量 C_{em} が不十分である場合には、終端トランジスタ T_{3e} を設けるよりも、容量 C_{em} の付加容量として機能する終端コンデンサ C_{3e} を設けることが望ましい。

[0046] <1. 4 動作>

図6は、図2に示す画路回路11および図3に示すエミッションドライバ50の動作を説明するためのタイミングチャートである。まず、図2および図6を参照して、図2に示す画路回路11の動作を説明する。図6において、時刻 $t_1 \sim t_2$ は $i-1$ 行目の走査線 S_{i-1} の選択期間であり、時刻 $t_2 \sim t_3$ は i 行目の走査線 S_i の選択期間であり、時刻 $t_3 \sim t_4$ は $i+1$ 行目の走査線 S_{i+1} の選択期間である。以下では、 i 行目の走査線 S_i の選択期間のことを「 i 行目の選択期間」という。図6に示すように、 i 行目のエミッション線 EM_i は、 $i-1$ 行目、 i 行目の走査線 S_{i-1} 、 S_i の選択期間でローレベルになり、ローレベルになっている期間が $i-1$ 行目のエミッション線 EM_{i-1} と1水平期間（1H期間）重複している。

[0047] 時刻 t_1 以前では、 $i-1$ 行目 $\sim i+1$ 行目の走査線 $S_{i-1} \sim S_{i+1}$ がローレベルに、 i 行目のエミッション線 EM_i がハイレベルになっている。このとき、トランジスタ T_2 、 T_3 がオフ状態になっているので、ゲート

ノードV_Gの電位は初期レベルを維持している。また、全走査線の走査終了後の帰線期間中に全走査線を選択状態にし且つ全データ線を接地電位にすることにより、初期レベルを接地電位に設定しても良い。また、トランジスタT₄がオン状態になっているので、トランジスタT₁のソース端子と有機EL素子OLEDのアノード端子とが電氣的に互いに接続されている。このため、トランジスタT₁は初期レベルに応じた駆動電流を有機EL素子OLEDに供給し、有機EL素子OLEDはその駆動電流に応じた輝度で発光している。

[0048] 時刻t₁になると、i行目のエミッション線EM_iがローレベルに変化するので、トランジスタT₄がターンオフする。このため、トランジスタT₁のソース端子と有機EL素子OLEDのアノード端子とが電氣的に互いに切り離される。これにより、トランジスタT₁による有機EL素子OLEDへの駆動電流の供給が停止し、有機EL素子OLEDが非発光となる。したがって、データ電圧をゲートノードV_Gに供給する際に生じ得る有機EL素子OLEDの異常発光が抑制される。なお、i行目のエミッション線EM_iは時刻t₃までローレベルを維持する。また、時刻t₁になると、i-1行目の走査線S_{i-1}がハイレベルに変化するので、トランジスタT₃がターンオンする。このため、データ線D_jおよびトランジスタT₃を介してi-1行目のデータ電圧V_{data i-1}がゲートノードV_Gに供給される。その後、時刻t₂までの期間に、ゲートノードV_Gの電位がi-1行目のデータ電圧V_{data i-1}に応じて変化する。このとき、コンデンサC₁は、ゲートノードV_Gの電位とトランジスタT₁のソース電位との差であるゲート-ソース間電圧V_{gs}に充電される。このようにして、本実施形態では、i行目の画素回路11においてi-1行目の選択期間に予備充電が行われる。このような予備充電により、ゲートノードV_Gの電位は、i行目の選択期間において達すべき目標レベル(V_{data i})に近づく。

[0049] 時刻t₂になると、i-1行目の走査線S_{i-1}がローレベルに変化するので、トランジスタT₃がターンオフする。また、i行目の走査線S_iがハ

イレベルに変化するので、トランジスタT2がターンオンする。このため、データ線DjおよびトランジスタT2を介して、i行目のデータ電圧VdataiがゲートノードVGに供給される。その後、t3までの期間に、ゲートノードVGの電位がi行目のデータ電圧Vdataiに応じて変化する。このとき、コンデンサC1は、ゲートノードVGの電位とトランジスタT1のソース電位との差であるゲートソース間電圧Vgsに充電される。より詳細には、上述の予備充電により、ゲートノードVGの電位が予めi行目のデータ電圧Vdataiに近いレベルになっているので、i行目の選択期間において、ゲートノードVGの電位は確実にVdataiになる。これにより、i行目の選択期間において、コンデンサC1は次式(1)で与えられるゲートソース間電圧Vgsに充電される。

$$\begin{aligned} V_{gs} &= V_G - V_S \\ &= V_{datai} - V_S \quad \dots (1) \end{aligned}$$

ここで、VSはトランジスタT1のソース電位を表し、説明の便宜上定数であるとする。

[0050] 時刻t3になると、i行目の走査線Siがローレベルに変化するので、トランジスタT2がターンオフする。このため、コンデンサC1が保持するゲートソース間電圧Vgsが上記式(1)に示される値に確定する。また、時刻t3になると、i行目のエミッション線Emiがハイレベルに変化するので、トランジスタT1のソース端子と有機EL素子OLEDのアノード端子とが電氣的に互いに接続される。これにより、トランジスタT1は、コンデンサC1が保持するゲートソース間電圧Vgsに応じて駆動電流Ioledを有機EL素子OLEDに供給する。より詳細には、トランジスタT1は、次式(2)で与えられる駆動電流Ioledを有機EL素子OLEDに供給する。

$$\begin{aligned} I_{oled} &= (\beta/2) * (V_{gs} - V_{th})^2 \\ &= (\beta/2) * (V_{datai} - V_S - V_{th})^2 \quad \dots (2) \end{aligned}$$

ここで、βはトランジスタT1のゲインを表し、トランジスタT1の移動度

などに比例する。式（２）に示されるとおり、駆動電流 I_{oled} が i 行目のデータ電圧 $V_{data\ i}$ に応じた値になるので、有機ＥＬ素子ＯＬＥＤは、 i 行目のデータ電圧 $V_{data\ i}$ に応じた輝度で発光する。なお、時刻 t_4 以降においても、トランジスタ T_1 は式（２）で与えられる駆動電流 I_{oled} を有機ＥＬ素子ＯＬＥＤに供給する。

[0051] 次に、図３および図６を参照して、エミッションドライバ５０の動作を説明する。時刻 t_1 以前では、 $i-1$ 行目、 $i+1$ 行目の走査線 S_{i-1} 、 S_{i+1} がローレベルになっているので、 i 行目のオン制御トランジスタ T_{1e} およびオフ制御トランジスタ T_{2e} が共にオフ状態になっている。このため、 i 行目のエミッション線 EM_i がフローティング状態になっており、その電位はハイレベルに維持されている。

[0052] 時刻 t_1 になると、 $i-1$ 行目の走査線 S_{i-1} がハイレベルに変化するので、 i 行目のオフ制御トランジスタ T_{2e} がターンオンする。このため、 i 行目のエミッション線 EM_i の電位はローレベル（ V_{SS} ）にプルダウンされる。

[0053] 時刻 t_2 になると、 $i-1$ 行目の走査線 S_{i-1} がローレベルに変化するので、 i 行目のオフ制御トランジスタ T_{2e} がターンオフする。このとき、 i 行目のオン制御トランジスタ T_{1e} およびオフ制御トランジスタ T_{2e} は共にオフ状態である。このため、 i 行目のエミッション線 EM_i がフローティング状態になり、その電位はローレベルに維持される。

[0054] 時刻 t_3 になると、 $i+1$ 行目の走査線 S_{i+1} がハイレベルに変化するので、 i 行目のオン制御トランジスタ T_{1e} がターンオンする。このため、 i 行目のエミッション線 EM_i の電位はハイレベル（ V_{DD} ）にプルアップされる。

[0055] 時刻 t_4 になると、 $i+1$ 行目の走査線 S_{i+1} がローレベルに変化するので、 i 行目のオン制御トランジスタ T_{1e} がターンオフする。このとき、 i 行目のオン制御トランジスタ T_{1e} およびオフ制御トランジスタ T_{2e} は共にオフ状態である。このため、 i 行目のエミッション線 EM_i がフローテ

ィング状態になり、その電位はハイレベルに維持される。以上のように、オン制御トランジスタ $T1e$ およびオフ制御トランジスタ $T2e$ を用いて実現されるエミッション線のフローティング状態を利用してハイレベルまたはローレベルを維持することにより、本実施形態におけるエミッションドライバ50の動作が実現される。

[0056] <1.5 レイアウト>

図7は、上記特許文献1に開示された有機EL表示装置における i 行目の第1NANDゲートNAND1 i のレイアウトを示す図である。図7に示す一点鎖線は、 i 行目の第1NANDゲートNAND1 i のおおよそのレイアウト範囲を表している。説明の便宜上、図7に示す各種配線の幅は等しいものとする。以下では、レイアウトに関する説明では、絶縁層などの説明を便宜上省略し、また、各トランジスタがトップゲート型であるものとする。ただし、各トランジスタはボトムゲート型であっても良い。

[0057] 図7に示すように、 p 型チャネル層（ p 型半導体により形成されるチャネル層をいう。）PLに対向する位置（より詳細には、 p 型チャネル層PL上）には、 i 行目のエミッション線EM i 、シフトレジスタ310の i 段目の出力SR i を供給する配線（以下「 i 行目の出力線」といい、 i 段目の出力と同じく符号SR i で表す。）、シフトレジスタ310の $i+1$ 段目の出力SR $i+1$ を供給する配線（以下「 $i+1$ 行目の出力線」といい、 $i+1$ 段目の出力と同じく符号SR $i+1$ で表す。）、およびハイレベルロジック電源線VDDが配設されている。 p 型チャネル層PLは、その一端（図7では左端）付近において i 行目のエミッション線EM i にコンタクトホールCTを介して接続され、その中央付近においてハイレベルロジック電源線VDDにコンタクトホールCTを介して接続され、その他端（図7では右端）付近において i 行目のエミッション線EM i にコンタクトホールCTを介して接続されている。 p 型チャネル層PL上では、 i 行目の出力線SR i は、 p 型チャネル層PLの左端付近にコンタクトホールCTを介して接続された i 行目のエミッション線EMとハイレベルロジック電源線VDDとの間に位置し

、 $i + 1$ 行目の出力線 SR_{i+1} は、ハイレベルロジック電源線 VDD と p 型チャネル層 PL の右端付近にコンタクトホール CT を介して接続された i 行目のエミッション線 EM_i との間に位置している。 p 型チャネル層 PL と、当該 p 型チャネル層 PL 上の i 行目のエミッション線 EM_i 、ハイレベルロジック電源線 VDD 、および i 行目の出力線 SR_i とにより、図 16 に示す p チャネル型のトランジスタ TP_1 が形成されている。 p 型チャネル層 PL と、当該 p 型チャネル層 PL 上のハイレベルロジック電源線 VDD 、 $i + 1$ 行目の出力線 SR_{i+1} 線、および i 行目のエミッション線 EM_i とにより、図 16 に示す p チャネル型のトランジスタ TP_2 が形成されている。

[0058] n 型チャネル層（ n 型半導体により形成されるチャネル層をいう。） NL に対向する位置（より詳細には、 n 型チャネル層上）には、 i 行目のエミッション線 EM_i 、 i 行目の出力線 SR_i 、 $i + 1$ 行目の出力線 SR_{i+1} 、およびローレベルロジック電源線 VSS が配設されている。 n 型チャネル層 NL は、その一端（図 7 では左端）付近において i 行目のエミッション線 EM_i にコンタクトホール CT を介して接続され、その他端（図 7 では右端）付近においてローレベルロジック電源線 VSS にコンタクトホール CT を介して接続されている。 n 型チャネル層 NL 上では、 i 行目の出力線 SR_i は i 行目のエミッション線 EM_i に対して n 型チャネル層 NL の中央側に位置し、 $i + 1$ 行目の出力線 SR_{i+1} はローレベルロジック電源線 VSS に対して n 型チャネル層 NL の中央側に位置している。 n 型チャネル層 NL と、当該 n 型チャネル層 NL 上の i 行目のエミッション線 EM_i および i 行目の出力線 SR_i とにより、図 16 に示す n チャネル型のトランジスタ TN_1 が形成されている。 n 型チャネル層 NL と、当該 n 型チャネル層 NL 上の $i + 1$ 行目の出力線 SR_{i+1} およびローレベルロジック電源線 VSS とにより、図 16 に示す n チャネル型のトランジスタ TN_2 が形成されている。

[0059] 図 8 は、 i 行目のオン制御トランジスタ $T1e$ およびオフ制御トランジスタ $T2e$ のレイアウトを示す図である。図 8 に示す一点鎖線は、 i 行目のオン制御トランジスタ $T1e$ およびオフ制御トランジスタ $T2e$ のおおよその

レイアウト範囲を表している。説明の便宜上、図8に示す各種配線の幅は、図7に示す各種配線の幅に等しいものとする。

[0060] 図8に示すように、 n 型チャネル層NLに対向する位置に（より詳細には、 n 型チャネル層NL上）には、 $i+1$ 行目の走査線 S_{i+1} 、 $i+1$ 行目の走査線 S_{i+1} にコンタクトホールCTを介して接続されたゲート接続用配線SG、 i 行目のエミッション線 EM_i 、 $i-1$ 行目の走査線 S_{i-1} 、およびローレベルロジック電源線VSSが配設されている。 n 型チャネル層NLは、その一端（図8では上端）付近において $i+1$ 行目の走査線 S_{i+1} にコンタクトホールCTを介して接続され、その中央付近において i 行目のエミッション線 EM_i にコンタクトホールCTを介して接続され、その他端（図8では下端）付近において $i-1$ 行目の走査線 S_{i-1} にコンタクトホールCTを介して接続されている。 n 型チャネル層NL上では、ゲート接続用配線SGは $i+1$ 行目の走査線 S_{i+1} と i 行目のエミッション線 EM_i との間に位置し、 $i-1$ 行目の走査線 S_{i-1} は i 行目のエミッション線 EM_i とローレベルロジック電源線VSSとの間に位置している。 n チャネル層NLと、当該 n チャネル層NL上の $i+1$ 行目の走査線 S_{i+1} 、ゲート接続用配線SG、および i 行目のエミッション線 EM_i とにより i 行目のオン制御トランジスタ $T1_e$ が形成されている。 n チャネル層NLと、当該 n チャネル層NL上の i 行目のエミッション線 EM_i 、 $i-1$ 行目の走査線 S_{i-1} 、およびローレベルロジック電源線VSSとにより i 行目のオフ制御トランジスタ $T2_e$ が形成されている。

[0061] 図7および図8に示すように、 i 行目のオン制御トランジスタ $T1_e$ およびオフ制御トランジスタ $T2_e$ のレイアウト範囲は、4個のトランジスタにより構成される i 行目の第1NANDゲートNAND1*i*のレイアウト範囲の約半分になる。すなわち、本実施形態におけるエミッション線1本あたりのエミッションドライバ50内の回路規模は、特許文献1に開示された有機EL表示装置における回路規模の約半分になる。

[0062] <1.6 消費電力>

一般に、CMOS回路により実現されるNANDゲートでは、2つの入力のそれぞれがハイレベルからローレベルまたはローレベルからハイレベルに遷移するときに貫通電流 I_p が流れる。具体的には、図16に示す i 行目の第1NANDゲートNAND1 i においてシフトレジスタ310の i 段目、 $i+1$ 段目の出力 SR_i 、 SR_{i+1} のそれぞれがハイレベルからローレベルにまたはローレベルからハイレベルに遷移するときにpチャネル型のトランジスタ TP_1 、 TP_2 （以下、これらを区別しないときに「pチャネル型のトランジスタ TP 」という。）およびnチャネル型のトランジスタ TN_1 、 TN_2 （以下、これらを区別しないときに「nチャネル型のトランジスタ TN 」という。）が一時的に同時にオン状態になる。このため、ハイレベルロジック電源線 V_{DD} からローレベルロジック電源線 V_{SS} に向けて、pチャネル型のトランジスタ TP およびnチャネル型のトランジスタ TN を介して貫通電流 I_p が流れる。なお、貫通電流 I_p は次式（3）で与えられる。

$$I_p = (\beta_n/2) * [(V_{DD} + V_{tp} - V_{tn}) / (1 + \sqrt{\beta_n / \beta_p})]^2 \quad \dots (3)$$

ここで、 β_n 、 β_p はそれぞれnチャネル型のトランジスタ TN およびpチャネル型のトランジスタ TP のゲインであり、それぞれnチャネル型のトランジスタ TN およびpチャネル型のトランジスタ TP の特性（移動度など）によって決定される。また、 V_{tn} 、 V_{tp} はそれぞれnチャネル型のトランジスタ TN およびpチャネル型のトランジスタ TP のゲインであり、それぞれ正および負である。なお、ここでは $V_{SS} = 0$ としている。式（3）で与えられる貫通電流 I_p は比較的大きな値になるので、上記特許文献1に開示された有機EL表示装置におけるエミッションドライバの消費電力が増大する。

[0063] 一方、本実施形態におけるエミッションドライバ50では、CMOS回路のような相補的な動作が行われず、 i 行目のオフ制御トランジスタ $T2_e$ は $i-1$ 行目の走査線 S_{i-1} の選択期間でオン状態になり、 i 行目のオン制御トランジスタ $T1_e$ は $i+1$ 行目の走査線 S_{i+1} の選択期間でオン状態になる。すなわち、オフ制御トランジスタ $T2_e$ およびオン制御トランジスタ

タ T 1 e は同時にはオン状態にならない。このため、上述の貫通電流 I p のような電流が生じない。

[0064] <1. 7 効果>

本実施形態によれば、エミッションドライバ 5 0 内のオン制御トランジスタ T 1 e およびオフ制御トランジスタ T 2 e によって対応するエミッション線の電位が制御されることにより、n 本のエミッション線 E M 1 ~ E M n が駆動される。より詳細には、オン制御トランジスタ T 1 e およびオフ制御トランジスタ T 2 e を用いて実現されるエミッション線のフローティング状態を利用してハイレベルまたはローレベルを維持することにより、n 本のエミッション線 E M 1 ~ E M n が駆動される。エミッションドライバ 5 0 は、各エミッション線につき、オン制御トランジスタ T 1 e およびオフ制御トランジスタ T 2 e の計 2 個のトランジスタを設けた構成であるので、上記特許文献 1 に開示された有機 E L 表示装置に比べて、エミッションドライバ 5 0 の回路規模を削減することができる。

[0065] また、本実施形態によれば、i 行目のオフ制御トランジスタ T 2 e は i - 1 行目の走査線 S i - 1 の選択期間でオン状態になり、i 行目のオン制御トランジスタ T 1 e は i + 1 行目の走査線 S i + 1 の選択期間でオン状態になる。すなわち、オフ制御トランジスタ T 2 e およびオン制御トランジスタ T 1 e は同時にはオン状態にならない。このため、上述の貫通電流 I p のような電流が生じないので、エミッションドライバ 5 0 の消費電力が上記特許文献 1 に開示された有機 E L 表示装置におけるものよりも低減される。

[0066] また、本実施形態によれば、トランジスタ T 2 ~ T 4 が互いに同じ導電型であり、エミッション線の電位をハイレベルに変化させる際に、ダイオード接続されたオン制御トランジスタ T 1 e により走査線の電位が利用される。このため、エミッションドライバ 5 0 において、エミッション線の電位をハイレベルに変化させるための電源線（ハイレベルロジック電源線 V D D）を削減することができる。

[0067] また、本実施形態によれば、トランジスタ T 2 を介してデータ線 D j から

コンデンサC 1 に i 行目のデータ電圧 $V_{data\ i}$ が供給される前に、トランジスタT 3 を介してデータ線D j からコンデンサC 1 に $i - 1$ 行目のデータ電圧 $V_{data\ i - 1}$ が供給される、すなわち、直前の走査線S $i - 1$ の選択期間において予備充電が行われる。このため、トランジスタT 2 の移動度が比較的低い場合または各走査線を選択期間を十分に確保できない場合であっても、コンデンサC 1 が所望のゲートソース間電圧 V_{gs} に充電される。これにより、表示品位を維持することができる。本実施形態は、トランジスタT 2 が酸化物TF T（酸化物半導体よりチャネル層が形成されたTF T）、微結晶シリコンTF T（微結晶シリコンよりチャネル層が形成されたTF T）、またはアモルファスシリコンTF T（アモルファスシリコンよりチャネル層が形成されたTF T）などの比較的移动度が低いTF Tである場合に好適である。ただし、トランジスタT 2 がCGS（Continuous Grain silicon：連続粒界結晶シリコン）-TF Tなどの比較的移动度が高いTF Tであっても、各走査線を選択期間が比較的小さい場合には、予備充電を行うことにより表示品位を確実に維持することができる。なお、酸化物TF Tとしては、例えばインジウム（In）、ガリウム（Ga）、亜鉛（Zn）、および酸素（O）を主成分とする酸化物半導体であるInGaZnO_x（以下「IGZO」という。）によりチャネル層が形成されたIGZO-TF Tなどが挙げられる。

[0068] また、本実施形態によれば、 i 行目の走査線S i の直前の走査線である $i - 1$ 行目の走査線S $i - 1$ の選択期間に予備充電が行われる。本充電期間の直前の1 H期間が予備充電期間になる。一般的な画像では隣接画素が互いに類似しているため、列方向に隣接する2つの画素回路1 1では、データ電圧が互いに類似している。このため、 $i - 1$ 行目の走査線S $i - 1$ の選択期間に予備充電を行うことにより、コンデンサC 1 に充電されるゲートソース間電圧 V_{gs} が所望の値により近づく。これにより、表示品位をより確実に維持することができる。

[0069] <2. 第2の実施形態>

<2. 1 全体構成>

図9は、本発明の第2の実施形態に係る有機EL表示装置1の構成を示すブロック図である。本実施形態の構成要素のうち上記第1の実施形態と同一の要素については、同一の参照符号を付して適宜説明を省略する。上記第1の実施形態と異なり、本実施形態におけるエミッションドライバ50は、走査ドライバ40と共に表示部10の左側に配置されている。なお、走査ドライバ40およびエミッションドライバ50が共に表示部10の右側に配置されていても良い。

[0070] <2. 2 エミッションドライバ>

図10は、図9に示すエミッションドライバ50の構成を説明するための回路図である。図10では、図示の便宜上、 $i-2$ 行目～ i 行目の構成を図示している。上述のように、走査ドライバ40およびエミッションドライバ50は共に表示部10の左側に配置されている。より詳細には、表示部10の左側において、エミッションドライバ50が走査ドライバ40と表示部10との間に配置されている。なお、本実施形態におけるエミッションドライバ50の構成は、上記第1の実施形態におけるものと同様であるので、その説明を省略する。また、上記第1の実施形態と同様に、各行のエミッション線の走査ドライバ40側の端部には、当該エミッション線を終端するための終端部として終端トランジスタ T_{3e} が設けられている。ただし、終端トランジスタ T_{3e} に代えて上述の終端コンデンサ C_{3e} を設けても良く、また、終端トランジスタ T_{3e} または終端コンデンサ C_{3e} のような終端部を設けないようにしても良い。

[0071] <2. 3 効果>

本実施形態によれば、走査ドライバ40およびエミッションドライバ50が表示部10に対して互いに同じ側（右側）に配置される。このため、エミッションドライバ50において、波形鈍りの小さい走査線の信号が利用される。これにより、エミッションドライバ50は、 n 本のエミッション線 $EM_1 \sim EM_n$ を正確に駆動することができる。

[0072] <3. 第3の実施形態>

<3. 1 全体構成>

図11は、本発明の第3の実施形態に係る有機EL表示装置1の構成を示すブロック図である。本実施形態の構成要素のうち上記第1の実施形態と同一の要素については、同一の参照符号（画素回路11内の構成要素を除く。）を付して適宜説明を省略する。本実施形態に係る有機EL表示装置1は、RGB3原色によるカラー表示を行う有機EL表示装置である。本実施形態に係る有機EL表示装置1は、より詳細には、上記第1の実施形態に係る有機EL表示装置1にデマルチプレクサ部60を追加し、デマルチプレクサ部60を介して、ソースドライバ30からデータ線にデータ電圧を供給するSSD（Source Shared Driving：ソース・シェアド・ドライビング）方式を採用した有機EL表示装置である。本実施形態では、ソースドライバ30およびデマルチプレクサ部60が時分割データ電圧供給部70を構成している。

[0073] 本実施形態における表示部10には、 $k \times l$ 本のデータ線が配設されている。ここで、 $k \times l = m$ である。また、 l は例えば原色数などに対応し、本実施形態では $l = 3$ である。各データ線は、Rを示すデータ電圧（以下「Rデータ電圧」という。）、Gを示すデータ電圧（以下「Gデータ電圧」という。）、およびBを示すデータ電圧（以下「Bデータ電圧」という。）のいずれかを供給する。以下では、Rデータ電圧を供給するデータ線のことを「Rデータ線」といい、符号 D_{rj} で表す。また、Gデータ電圧を供給するデータ線のことを「Gデータ線」といい、符号 D_{gj} で表す。また、Bデータ電圧を供給するデータ線のことを「Bデータ線」といい、符号 D_{bj} で表す。表示部10には、より詳細には、 k 本のRデータ線 $D_{r1} \sim D_{rk}$ 、 k 本のGデータ線 $D_{g1} \sim D_{gk}$ 、および k 本のBデータ線 $D_{b1} \sim D_{bk}$ が配設されている。また、表示部10には、 $k \times l \times n$ 個の画素回路11が設けられている。本実施形態では、Rサブ画素を形成する画素回路11のことを「R画素回路」といい、符号「11_r」で表す。また、Gサブ画素を形成する画素回路11のことを「G画素回路」といい、符号「11_g」で表す。ま

た、Bサブ画素を形成する画素回路11のことを「B画素回路」といい、符号「11b」で表す。本実施形態では、図11に示すように、走査ドライバ40側から順にR画素回路11r、G画素回路11g、およびB画素回路11bが順に並んでいる。ただし、R画素回路11r、G画素回路11g、およびB画素回路11bの並び順はこれに限定されるものではなく、また、他の色のサブ画素を形成する画素回路11を使用しても良い。また、表示部10には、後述の初期化動作のために初期化電圧 V_{ini} を供給する初期化線（初期化電圧と同じく符号 V_{ini} で表す。）が配設されている（不図示）。

[0074] 表示制御回路20は、R用のデータ制御信号（以下「Rデータ制御信号」といい、符号 SSD_r で表す。）、G用のデータ制御信号（以下「Gデータ制御信号」といい、符号 SSD_g で表す。）、B用のデータ制御信号（以下「Bデータ制御信号」といい、符号 SSD_b で表す。）をデマルチプレクサ部60に送信することにより、デマルチプレクサ部60を制御する。

[0075] ソースドライバ30は、図示しないk個の出力端子を備え、それらにそれぞれ接続されたk本の出力線 $O_1 \sim O_k$ にデータ電圧を供給する。各出力線には、Rデータ電圧、Gデータ電圧、およびBデータ電圧が順次供給される。デマルチプレクサ部60は、k個のデマルチプレクサ61を備えている。k個のデマルチプレクサ61の図示しない入力端子はそれぞれk本の出力線 $O_1 \sim O_k$ に接続されている。第jデマルチプレクサ61の図示しないl個（ $l=3$ ）の出力端子はそれぞれRデータ線 D_{rj} 、Gデータ線 D_{gj} 、およびBデータ線 D_{bj} に接続されている。デマルチプレクサ61は、順次供給されるRデータ電圧、Gデータ電圧、およびBデータ電圧をそれぞれRデータ線 D_{rj} 、Gデータ線 D_{gj} 、およびBデータ線 D_{bj} に時分割に供給する。デマルチプレクサ61の動作は、Rデータ制御信号 SSD_r 、Gデータ制御信号 SSD_g 、およびBデータ制御信号 SSD_b により制御される。このように、本実施形態では、ソースドライバ30およびデマルチプレクサ部60により構成される時分割データ電圧供給部70により、Rデータ電圧

、Gデータ電圧、およびBデータ電圧がそれぞれRデータ線、Gデータ線、およびBデータ線に時分割に供給される。SSD方式を採用する場合、SSD方式を採用しない場合に比べて、ソースドライバ30に接続される出力線の数例えば1/3にすることができる。

[0076] 本実施形態では、図11に示すように、走査ドライバ40およびエミッションドライバ50が表示部10の左側にそれぞれ配置されているが、本発明はこれに限定されるものではない。例えば、走査ドライバ40およびエミッションドライバ50がそれぞれ表示部10の右側および左側に配置されても良く、走査ドライバ40およびエミッションドライバ50の双方が表示部10の左側または右側に配置されても良い。

[0077] <3. 2 画素回路と各種配線との接続関係>

図12は、本実施形態におけるi行目のR画素回路11r、G画素回路11g、およびB画素回路11bと各種配線との接続関係を示す回路図である。なお、図12に示すような画素回路の構成は、例えば特許文献2に開示されている。まず、デマルチプレクサ61の構成について説明する。デマルチプレクサ61は、図12に示すように、R用の選択トランジスタ（以下「R選択トランジスタ」といい、符号Trで表す。）、G用の選択トランジスタ（以下「G選択トランジスタ」といい、符号Tgで表す。）、およびB用の選択トランジスタ（以下「B選択トランジスタ」といい、符号Tbで表す。）を備えている。R選択トランジスタTrは、出力線OjとRデータ線Drjとの間に設けられ、そのゲート端子にはRデータ制御信号SSDrが与えられる。G選択トランジスタTgは、出力線OjとGデータ線Dgjとの間に設けられ、そのゲート端子にはGデータ制御信号SSDgが与えられる。B選択トランジスタTbは、出力線OjとBデータ線Dbjとの間に設けられ、そのゲート端子にはBデータ制御信号SSDbが与えられる。

[0078] 次に、画素回路の構成について説明する。図12に示すように、R画素回路11r、G画素回路11g、およびB画素回路11bは行方向に順に並べて配置されている。なお、R画素回路11r、G画素回路11g、およびB

画素回路 1 1 b の構成は基本的に同様であるので、以下では、R 画素回路 1 1 r の構成を例に挙げて説明し、G 画素回路 1 1 g および B 画素回路 1 1 b の構成に関する説明は省略する。

[0079] R 画素回路 1 1 r は、1 個の有機 E L 素子 O L E D、6 個のトランジスタ T 1 ~ T 6、および 2 個のコンデンサ C 1、C 2 を備えている。トランジスタ T 1 は駆動トランジスタであり、トランジスタ T 2 は第 1 入力トランジスタであり、トランジスタ T 3 は補償トランジスタであり、トランジスタ T 4 は初期化トランジスタであり、トランジスタ T 5 は第 1 発光制御トランジスタであり、トランジスタ T 6 は第 2 発光制御トランジスタである。トランジスタ T 1 ~ T 6 はすべて p チャネル型の T F T である。コンデンサ C 1 は駆動容量素子に相当し、コンデンサ C 2 はブースト容量素子に相当する。

[0080] トランジスタ T 1 は、有機 E L 素子 O L E D と直列に設けられ、トランジスタ T 5 を介してハイレベル画素電源線 E L V D D に第 1 導通端子が接続されている。トランジスタ T 2 は、i 行目の走査線 S i にゲート端子が接続され、R データ線 D r j とトランジスタ T 1 の第 2 導通端子との間に設けられている。トランジスタ T 3 は、i 行目の走査線 S i にゲート端子が接続され、トランジスタ T 1 のゲート端子と第 1 導通端子との間に設けられている。トランジスタ T 4 は、i - 1 行目の走査線 S i - 1 にゲート端子が接続され、トランジスタ T 1 のゲート端子と初期化線 V i n i との間に設けられている。トランジスタ T 5 は、i 行目のエミッション線 E M i にゲート端子が接続され、トランジスタ T 1 の第 1 導通端子とハイレベル画素電源線 E L V D D との間に設けられている。トランジスタ T 6 は、i 行目のエミッション線 E M i にゲート端子が接続され、トランジスタ T 2 の第 2 導通端子と有機 E L 素子 O L E D のアノード端子との間に設けられている。コンデンサ C 1 は、トランジスタ T 1 のゲート端子とハイレベル画素電源線 E L V D D との間に設けられている。コンデンサ C 2 は、トランジスタ T 1 のゲート端子と R データ線 D r j との間に設けられている。有機 E L 素子 O L E D のカソード端子は、ローレベル画素電源線 E L V S S に接続されている。本実施形態で

は、トランジスタT1のゲート端子と、トランジスタT1のゲート端子側に位置するトランジスタT3の導通端子と、トランジスタT1のゲート端子側に位置するコンデンサC1、C2のそれぞれの一端と、トランジスタT1のゲート端子側に位置するトランジスタT4の導通端子との接続点のことを便宜上「ゲートノードVG」という。

[0081] <3.3 エミッションドライバ>

図13は、図11に示すエミッションドライバ50の構成を説明するための回路図である。図13では、図示の便宜上、 $i-2$ 行目～ i 行目の構成を図示している。本実施形態におけるエミッションドライバ50は、上記第1の実施形態におけるエミッションドライバ50内のオン制御トランジスタT1e、オフ制御トランジスタT2e、および終端トランジスタT3eの導電型をpチャネル型に変更したものである。なお、終端トランジスタT3eはnチャネル型でも良い。また、終端トランジスタT3eに代えて上述の終端コンデンサC3eを設けても良い。また、終端トランジスタT3eまたは終端コンデンサC3eのような終端部を設けないようにしても良い。

[0082] 本実施形態では、上記第1の実施形態と異なりオンレベルおよびオフレベルはそれぞれローレベル(VSS)およびハイレベル(VDD)であり、オフ制御トランジスタT2eの第2導通端子としてのソース端子にはローレベルロジック電源線VSSに代えてハイレベルロジック電源線VDDが接続されている。ハイレベルロジック電源線VDDの電位は上述のハイレベルに相当する。なお、本実施形態におけるその他の接続は上記第1の実施形態と同様であるので、その説明を省略する。

[0083] <3.4 動作>

図14は、図12に示す各画素回路11（以下、単に「各画素回路11」という。）および図13に示すエミッションドライバ50の動作を説明するためのタイミングチャートである。まず、図12および図13を参照して、各画素回路11の動作を説明する。図14において、時刻 $t_1 \sim t_2$ は $i-1$ 行目の選択期間であり、時刻 $t_2 \sim t_5$ は i 行目の選択期間であり、時刻

$t_5 \sim t_6$ は $i + 1$ 行目の選択期間である。 i 行目のエミッション線 EM_i は、 $i - 1$ 行目、 i 行目の走査線 S_{i-1} 、 S_i の選択期間でハイレベルになり、ハイレベルになっている期間が $i - 1$ 行目のエミッション線 EM_{i-1} と $1H$ 期間重複している。

[0084] 時刻 t_1 以前では、 $i - 1$ 行目 $\sim i + 1$ 行目の走査線 $S_{i-1} \sim S_{i+1}$ がハイレベルに、 i 行目のエミッション線 EM_i がローレベルになっている。このとき、各画素回路 11 においてトランジスタ $T_2 \sim T_4$ がオフ状態、トランジスタ T_5 、 T_6 がオン状態になっている。このため、トランジスタ T_1 は、コンデンサ C_1 が保持するゲートソース間電圧 V_{gs} に応じた駆動電流 I_{oled} を有機 EL 素子 OLED に供給し、有機 EL 素子 OLED はその駆動電流 I_{oled} に応じた輝度で発光している。

[0085] 時刻 t_1 になると、 i 行目のエミッション線 EM_i がハイレベルに変化するので、各画素回路 11 においてトランジスタ T_5 、 T_6 がターンオフする。このため、トランジスタ T_1 の第 1 導通端子とハイレベル画素電源線 $ELVDD$ とが電氣的に互いに切り離され、トランジスタ T_1 の第 2 導通端子と有機 EL 素子 OLED のアノード端子とが電氣的に互いに切り離される。これにより、トランジスタ T_1 による有機 EL 素子 OLED への駆動電流 I_{oled} の供給が停止し、有機 EL 素子 OLED が非発光となる。したがって、ゲートノード V_G にデータ電圧を供給する際に生じ得る有機 EL 素子 OLED の異常発光が抑制される。なお、 i 行目のエミッション線 EM_i は時刻 t_5 までハイレベルを維持するまた、時刻 t_1 になると、 $i - 1$ 行目の走査線 S_{i-1} がローレベルに変化するので、各画素回路 11 においてトランジスタ T_4 がターンオンする。これにより、ゲートノード V_G の電位が V_{ini} に初期化される。なお、初期化電圧 V_{ini} は、各画素回路 11 への i 行目のデータ電圧 V_{data_i} の書き込み時にトランジスタ T_1 をオン状態に維持できる程度の電圧であり、より詳細には次式 (4) を満たす。

$$V_{ini} - V_{data_i} < -V_{th} \quad \dots (4)$$

このような初期化動作を行うことにより、各画素回路 11 へのデータ電圧の

書き込みを確実に行うことができる。

[0086] 時刻 t_2 になると、 $i-1$ 行目の走査線 S_{i-1} がハイレベルに変化するので、トランジスタ T_4 がターンオフする。このため、初期化動作が終了する。また、時刻 t_2 になると、 i 行目の走査線 S_i がローレベルに変化するので、トランジスタ T_2 、 T_3 がターンオンする。さらに、 R データ制御信号 $SSDr$ がローレベルに変化するので、 R 選択トランジスタ T_r がターンオンする。これにより、 R データ線 D_{rj} が i 行目の R データ電圧に充電されるので、 i 行目の R データ電圧 V_{datai} がトランジスタ T_2 、 T_1 、 T_3 を介してトランジスタ T_1 のゲート端子に供給される。このとき、トランジスタ T_1 の第 1 導通端子および第 2 導通端子はそれぞれドレイン端子およびソース端子として機能する。また、このとき、トランジスタ T_1 の第 1 導通端子とゲート端子が電氣的に互いに接続されることにより、トランジスタ T_1 はダイオード接続になる。時刻 $t_2 \sim t_5$ の期間で、ゲートノード V_G の電位は次式 (5) で与えられる値に向かって変化する。

$$V_G = V_{datai} - V_{th} \quad \dots (5)$$

なお、厳密には、 R データ線 D_{rj} に保持された電荷が、 R データ線 D_{rj} およびコンデンサ C_1 、 C_2 に再分配されるので、ゲートノード V_G に供給される電圧は V_{datai} よりも低くなる可能性がある。ただし、このような影響は、後述の時刻 t_5 においてゲートノード V_G の電位がコンデンサ C_2 を介してブーストされることにより軽減される。

[0087] 時刻 t_3 になると、 R データ制御信号 $SSDr$ がハイレベルに変化するので、 R 選択トランジスタ T_r がターンオフする。なお、 R 選択トランジスタ T_r のターンオフ後も、 R データ線 D_{rj} は自らの配線容量により i 行目の R データ電圧を保持することができる。ただし、配線容量が十分でない場合、 R データ線 D_{rj} に付加的にコンデンサを接続しても良い。時刻 $t_3 \sim t_4$ および時刻 $t_4 \sim t_5$ では、それぞれ G 画素回路 $11g$ および B 画素回路 $11b$ について、 R 画素回路 $11r$ に関する時刻 $t_2 \sim t_3$ と同様の動作が行われる。なお、 G データ線 D_{gj} および B データ線 D_{bj} にも、 R データ

線 $D_r j$ と同様に付加的なコンデンサを接続しても良い。

[0088] 時刻 t_5 になると、 i 行目の走査線 S_i がハイレベルに変化するので、各画素回路 11 においてトランジスタ T_2 、 T_3 がターンオフする。また、 i 行目のエミッション線 EM_i がローレベルに変化するので、トランジスタ T_5 、 T_6 がターンオンする。このため、トランジスタ T_1 の第 1 導通端子とハイレベル画素電源線 $ELVDD$ とが電氣的に互いに接続され、トランジスタ T_1 の第 2 導通端子と有機 EL 素子 $OLED$ のアノード端子とが電氣的に互いに接続される。このため、トランジスタ T_1 は、次式 (6) で与えられる駆動電流 I_{oled} を有機 EL 素子 $OLED$ に供給する。

$$\begin{aligned} I_{oled} &= (\beta/2) * (V_{gs} - V_{th})^2 \\ &= (\beta/2) * (ELVDD - V_G - V_{th})^2 \\ &= (\beta/2) * (ELVDD - V_{datai})^2 \quad \dots (6) \end{aligned}$$

式 (6) では、閾値電圧 V_{th} の項がなくなっている。このように、本実施形態では、トランジスタ T_1 の閾値電圧 V_{th} のばらつきが補償される。なお、時刻 t_5 において、 i 行目の走査線 S_i がハイレベルに変化することにより、上述のようにゲートノード V_G の電位がコンデンサ C_2 を介してブーストされる。このため、電荷の再分配に起因する、ゲートノード V_G に実際に供給される電圧の低下が抑制される。なお、時刻 t_6 以降においても、トランジスタ T_1 は式 (6) で与えられる駆動電流 I_{oled} を有機 EL 素子 $OLED$ に供給する。

[0089] 次に、図 13 および図 14 を参照して、エミッションドライバ 50 の動作を説明する。時刻 t_1 以前では、 $i-1$ 行目、 $i+1$ 行目の走査線 S_{i-1} 、 S_{i+1} がハイレベルになっているので、 i 行目のオン制御トランジスタ T_{1e} およびオフ制御トランジスタ T_{2e} が共にオフ状態になっている。このため、 i 行目のエミッション線 EM_i がフローティング状態になっており、その電位はローレベルに維持されている。

[0090] 時刻 t_1 になると、 $i-1$ 行目の走査線 S_{i-1} がローレベルに変化するので、 i 行目のオフ制御トランジスタ T_{2e} がターンオンする。このため、

i 行目のエミッション線 EM_i の電位はハイレベル (V_{DD}) にプルアップされる。

[0091] 時刻 t_2 になると、 $i-1$ 行目の走査線 S_{i-1} がハイレベルに変化するので、このとき、 i 行目のオン制御トランジスタ T_{1e} およびオフ制御トランジスタ T_{2e} は共にオフ状態である。このため、 i 行目のエミッション線 EM_i がフローティング状態になり、その電位はハイレベルに維持される。

[0092] 時刻 t_5 になると、 $i+1$ 行目の走査線 S_{i+1} がローレベルに変化するので、 i 行目のオン制御トランジスタ T_{1e} がターンオンする。このため、 i 行目のエミッション線 EM_i の電位はローレベル (V_{SS}) にプルダウンされる。

[0093] 時刻 t_6 になると、 $i+1$ 行目の走査線 S_{i+1} がハイレベルに変化するので、 i 行目のオン制御トランジスタ T_{1e} がターンオフする。このとき、 i 行目のオン制御トランジスタ T_{1e} およびオフ制御トランジスタ T_{2e} は共にオフ状態である。このため、 i 行目のエミッション線 EM_i がフローティング状態になり、その電位はローレベルに維持される。このような時刻 $t_1 \sim t_6$ における動作と同様の動作がその他の行のエミッション線についても行われることにより、本実施形態におけるエミッションドライバ 50 の動作が実現される。

[0094] <3. 5 効果>

本実施形態によれば、SSD方式が採用されるので、データ電圧を出力するための回路規模を削減することができる。

[0095] また、本実施形態によれば、トランジスタ T_3 がオン状態になることによりトランジスタ T_1 がダイオード接続になるので、ゲートノード V_G の電位がトランジスタ T_1 の閾値電圧 V_{th} に応じた値に設定される。このため、トランジスタ T_1 の閾値電圧 V_{th} のばらつきを補償することができる。

[0096] <4. その他>

本発明は、上述の実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。例えば、上記各実施形

態では、 i 行目のオン制御トランジスタ $T1e$ のゲート端子およびドレイン端子の接続先が $i + 1$ 行目の走査線 S_{i+1} である必要はなく、それらの接続先は i 行目の走査線 S_i の後続の走査線のいずれかであれば良い。ここで、「後続の走査線」とは、選択される順が後続する走査線を意味する。また、上記各実施形態では、 i 行目のオフ制御トランジスタ $T2e$ のゲート端子が $i - 1$ 行目の走査線 S_{i-1} である必要はなく、その接続先は、 i 行目の走査線 S_i の先行の走査線のいずれかまたは i 行目の走査線 S_i であれば良い。ここで、「先行の走査線」とは、選択される順が先行する走査線を意味する。また、上記各実施形態では、オン制御トランジスタ $T1e$ およびオフ制御トランジスタ $T2e$ に代えて、他のスイッチング素子を使用しても良い。また、 i 行目のオン制御トランジスタ $T1e$ は必ずしもダイオード接続させる必要はない。例えば、 i 行目のオン制御トランジスタ $T1e$ のゲート端子を $i + 1$ 行目の走査線 S_{i+1} ではなく他の制御用の配線に接続するか、または、 i 行目のオン制御トランジスタ $T1e$ のドレイン端子を $i + 1$ 行目の走査線 S_{i+1} ではなくオンレベルの電圧を供給する配線に接続するようにしても良い。

[0097] また、上記第 1 の実施形態では、トランジスタ $T3$ のゲート端子の接続先を直前の走査線としているが、その接続先が先行の走査線であっても良い。また、上記第 1 の実施形態では、 i 行目のエミッション線 EM_i にゲート端子が接続され、トランジスタ $T1$ のドレイン端子とハイレベル画素電源線 $ELVDD$ との間に設けられたトランジスタを、トランジスタ $T4$ に代えてまたはトランジスタ $T4$ と共に使用しても良い。また、上記第 1 の実施形態においてトランジスタ $T3$ を使用するものとしたが、当該トランジスタ $T3$ は本発明にとって必須のものではない。また、上記第 1 の実施形態において、ゲート端子の接続先の走査線が互いに異なるトランジスタ $T3$ を 2 個以上設けるようにしても良い。

[0098] また、上記第 1 の実施形態では、トランジスタ $T2$ 、 $T3$ とトランジスタ $T4$ とを互いに同じ導電型にしたが、本発明はこれに限定されるものではない。

い。例えば、トランジスタ T 2, T 3 とトランジスタ T 4 とを互いに異なる導電型にしても良い。この場合、オン制御トランジスタ T 1 e およびオフ制御トランジスタ T 2 e は互いに異なる導電型するか、またはオン制御トランジスタ T 1 e およびオフ制御トランジスタ T 2 e の接続をトランジスタ T 2 ~ T 4 の導電型に合わせて変更すれば良い。同様に、上記第 3 の実施形態では、トランジスタ T 1, T 2 とトランジスタ T 5, T 6 とを互いに同じ導電型にしたが、本発明はこれに限定されるものではない。例えば、トランジスタ T 1, T 2 とトランジスタ T 5, T 6 とを互いに異なる導電型にしても良い。この場合、オン制御トランジスタ T 1 e およびオフ制御トランジスタ T 2 e は互いに異なる導電型するか、またはオン制御トランジスタ T 1 e およびオフ制御トランジスタ T 2 e の接続をトランジスタ T 2 ~ T 4 の導電型に合わせて変更すれば良い。

産業上の利用可能性

[0099] 本発明は、有機 E L (Electro Luminescence) 素子などの電気光学素子を含む画素回路を備える表示装置およびその駆動方法に適用することができる。

符号の説明

- [0100] 1 …有機 E L 表示装置
1 0 …表示部
1 1 …画素回路
2 0 …表示制御回路
3 0 …ソースドライバ (データ駆動部)
4 0 …走査ドライバ (走査駆動部)
5 0 …エミッションドライバ (発光制御駆動部)
6 0 …デマルチプレクサ部
7 0 …時分割データ電圧供給部
D 1 ~ D m …データ線
S 1 ~ S n …走査線

E M 1 ~ E M n …エミッション線（発光制御線）

T 1 ~ T 6 …トランジスタ

T 1 e …オン制御トランジスタ（オン制御スイッチング素子）

T 2 e …オフ制御トランジスタ（オフ制御スイッチング素子）

T 3 e …終端トランジスタ（終端部）

C 3 e …終端コンデンサ（終端部）

C 1 , C 2 …コンデンサ

O L E D …有機E L 素子（電気光学素子）

V d a t a …データ電圧

V G …ゲートノード

請求の範囲

[請求項1]

アクティブマトリクス型の表示装置であって、
複数のデータ線と、複数の走査線と、前記複数の走査線にそれぞれ沿った複数の発光制御線と、前記複数のデータ線、前記複数の走査線、および前記複数の発光制御線に対応して配置された複数の画素回路とを含む表示部と、
前記複数の走査線を順次選択する走査駆動部と、
前記複数の発光制御線を駆動する発光制御駆動部とを備え、
前記画素回路は、
電流で駆動される電気光学素子と、
対応する走査線に制御端子が接続され、当該走査線が選択されているときにオン状態になる第1入力トランジスタと、
前記電気光学素子と直列に設けられ、対応するデータ線および前記第1入力トランジスタを介して供給されるデータ電圧に応じて、前記電気光学素子に供給すべき駆動電流を制御する駆動トランジスタと、
対応する発光制御線に制御端子が接続され、前記電気光学素子と直列に設けられた発光制御トランジスタとを含み、
前記発光制御駆動部は、
各発光制御線に対応して設けられ、当該発光制御線に沿った走査線の先行の走査線のいずれかまたは当該発光制御線に沿った走査線の状態に応じて、当該発光制御線の電位を、前記発光制御トランジスタがオフ状態になるオフレベルに変化させるためのオフ制御スイッチング素子と、
各発光制御線に対応して設けられ、当該発光制御線に沿った走査線の後続の走査線のいずれかの状態に応じて、当該発光制御線の電位を、前記発光制御トランジスタがオン状態になるオンレベルに変化させるためのオン制御スイッチング素子とを含むことを特徴とする、表

示装置。

[請求項2] 前記オフ制御スイッチング素子は、対応する発光制御線に沿った走査線の先行の走査線のいずれかまたは対応する発光制御線に沿った走査線が選択状態に変化したときに当該発光制御線の電位を前記オフレベルに変化させ、

前記オン制御スイッチング素子は、対応する発光制御線に沿った走査線の後続の走査線のいずれかが選択状態に変化したときに当該発光制御線の電位を前記オンレベルに変化させることを特徴とする、請求項1に記載の表示装置。

[請求項3] 前記オフ制御スイッチング素子は、対応する発光制御線に沿った走査線の先行の走査線のいずれかまたは対応する発光制御線に沿った走査線に制御端子が接続され、当該発光制御線に第1導通端子が接続され、

前記オン制御スイッチング素子は、対応する発光制御線に沿った走査線の後続の走査線のいずれかに制御端子が接続され、当該発光制御線に第1導通端子が接続されていることを特徴とする、請求項2に記載の表示装置。

[請求項4] 前記第1入力トランジスタおよび前記発光制御トランジスタは互いに同じ導電型であり、

前記オフ制御スイッチング素子の第2導通端子には、前記オフレベルの電圧が与えられ、

前記オン制御スイッチング素子の第2導通端子は、前記制御端子の接続先の走査線に接続されていることを特徴とする、請求項3に記載の表示装置。

[請求項5] 前記オフ制御スイッチング素子の前記制御端子は、対応する発光制御線に沿った走査線の直前の走査線に接続されていることを特徴とする、請求項3に記載の表示装置。

[請求項6] 前記オン制御スイッチング素子の前記制御端子は、対応する発光制

御線に沿った走査線の直後の走査線に接続されていることを特徴とする、請求項 3 に記載の表示装置。

[請求項7] 各発光制御線を終端するための終端部をさらに備えることを特徴とする、請求項 1 に記載の表示装置。

[請求項8] 前記画素回路は、
前記駆動トランジスタを制御するための電圧を保持する駆動容量素子と、

前記対応する走査線に先行する走査線に制御端子が接続された第 2 入力トランジスタとをさらに含み、

前記第 1 入力トランジスタおよび前記第 2 入力トランジスタは、前記対応するデータ線と前記駆動容量素子との間に並列に設けられていることを特徴とする、請求項 1 に記載の表示装置。

[請求項9] 前記第 1 入力トランジスタは、酸化物半導体、微結晶シリコン、またはアモルファスシリコンによりチャネル層が形成された薄膜トランジスタであることを特徴とする、請求項 8 に記載の表示装置。

[請求項10] 前記走査駆動部および前記発光制御駆動部のそれぞれは、前記表示部の一端側に配置されていることを特徴とする、請求項 1 に記載の表示装置。

[請求項11] 前記データ電圧は複数の原色のいずれかを示し、
前記画素回路は前記複数の原色のいずれかのサブ画素を形成し、
前記複数の原色のいずれかを示すデータ電圧を前記複数のデータ線に時分割に供給する時分割データ電圧供給部をさらに備え、
前記走査駆動部は、各原色のサブ画素を形成する画素回路に当該原色を示すデータ電圧を供給すべきときに当該画素回路に対応する走査線を選択状態にすることを特徴とする、請求項 1 に記載の表示装置。

[請求項12] 複数のデータ線と、複数の走査線と、前記複数の走査線にそれぞれ沿った複数の発光制御線と、前記複数のデータ線、前記複数の走査線、および前記複数の発光制御線に対応して配置された複数の画素回路

とを含む表示部を備え、前記画素回路は、対応する走査線に制御端子が接続され、当該走査線が選択されているときにオン状態になる第1入力トランジスタと、前記電気光学素子と直列に設けられ、対応するデータ線および前記第1入力トランジスタを介して供給されるデータ電圧に応じて、前記電気光学素子に供給すべき駆動電流を制御する駆動トランジスタと、対応する発光制御線に制御端子が接続され、前記電気光学素子と直列に設けられた発光制御トランジスタとを含む、アクティブマトリクス型の表示装置の駆動方法であって、

前記複数の走査線を順次選択する走査ステップと、

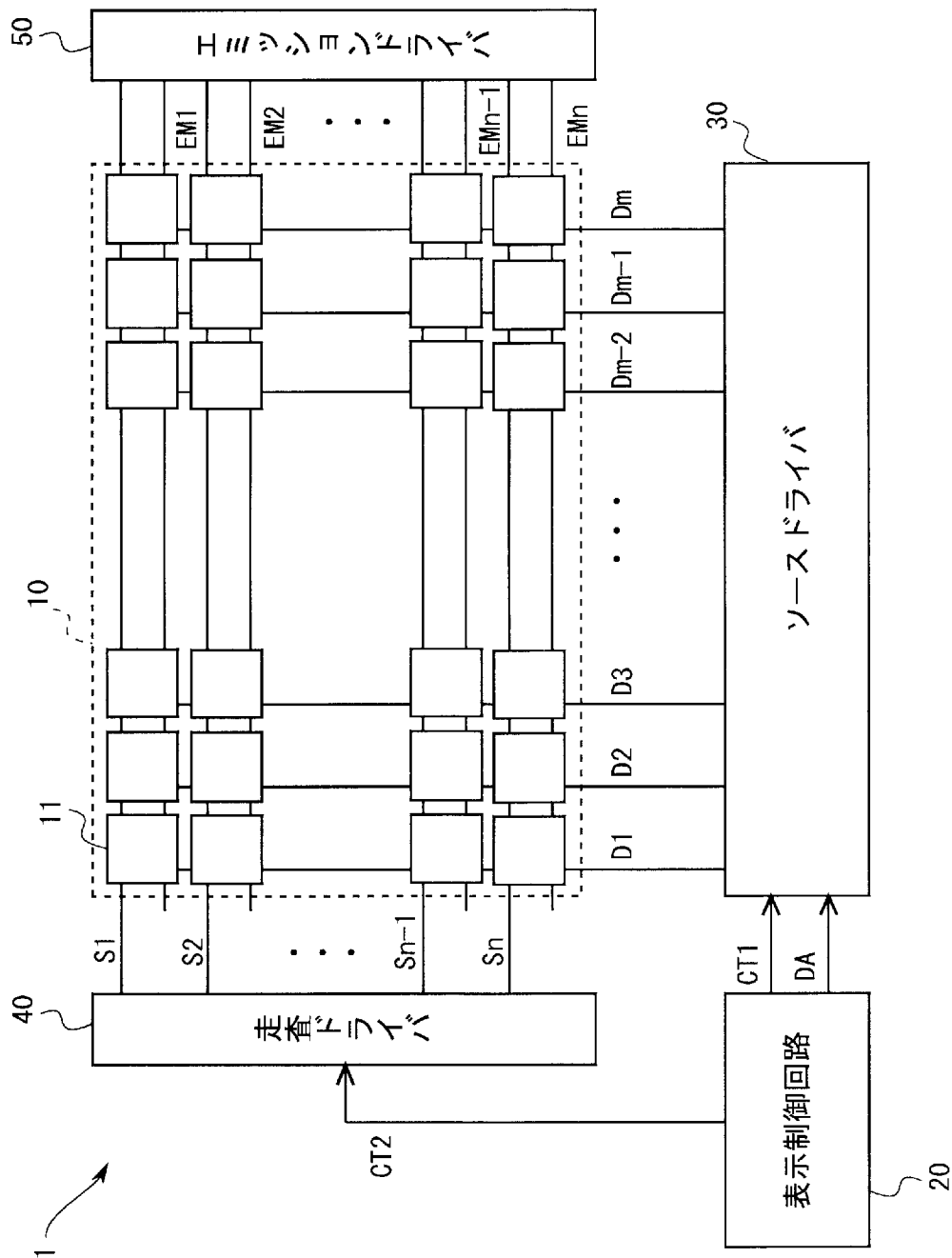
前記複数の発光制御線を駆動する発光制御ステップとを備え、

前記発光制御ステップは、

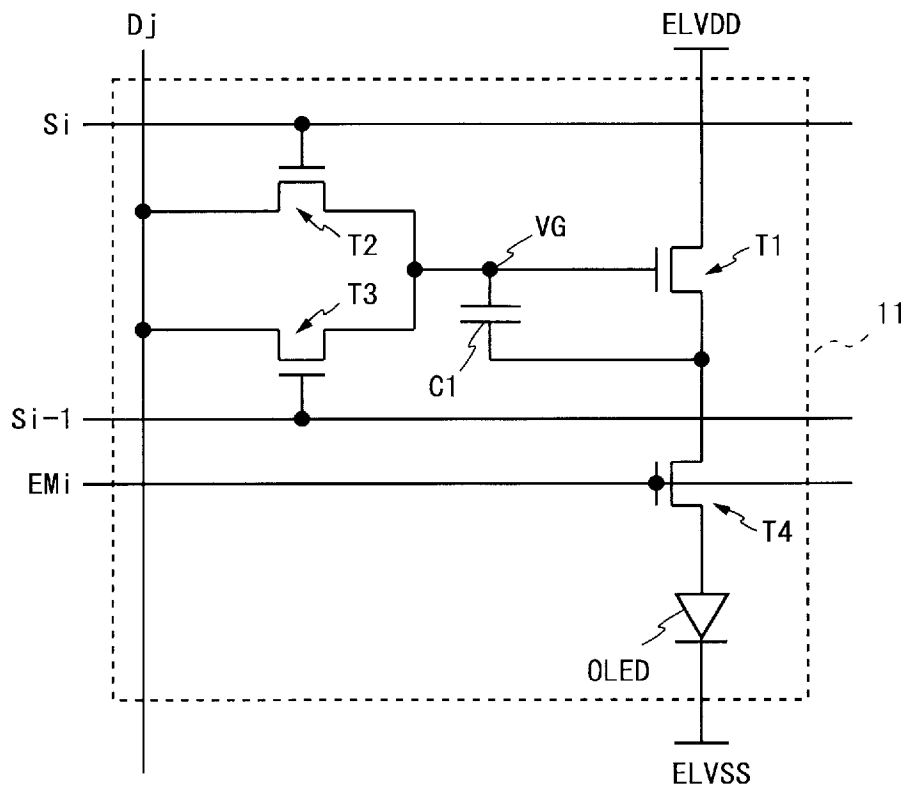
各発光制御線に対応して設けられたオフ制御スイッチング素子を制御することにより、当該発光制御線に沿った走査線の先行の走査線のいずれかまたは当該発光制御線に沿った走査線の状態に応じて、当該発光制御線の電位を、前記発光制御トランジスタがオフ状態になるオフレベルに変化させるオフ制御ステップと、

各発光制御線に対応して設けられたオン制御スイッチング素子を制御することにより、当該発光制御線に沿った走査線の後続の走査線のいずれかの状態に応じて、当該発光制御線の電位を、前記発光制御トランジスタがオン状態になるオンレベルに変化させるオン制御ステップとを備えることを特徴とする、駆動方法。

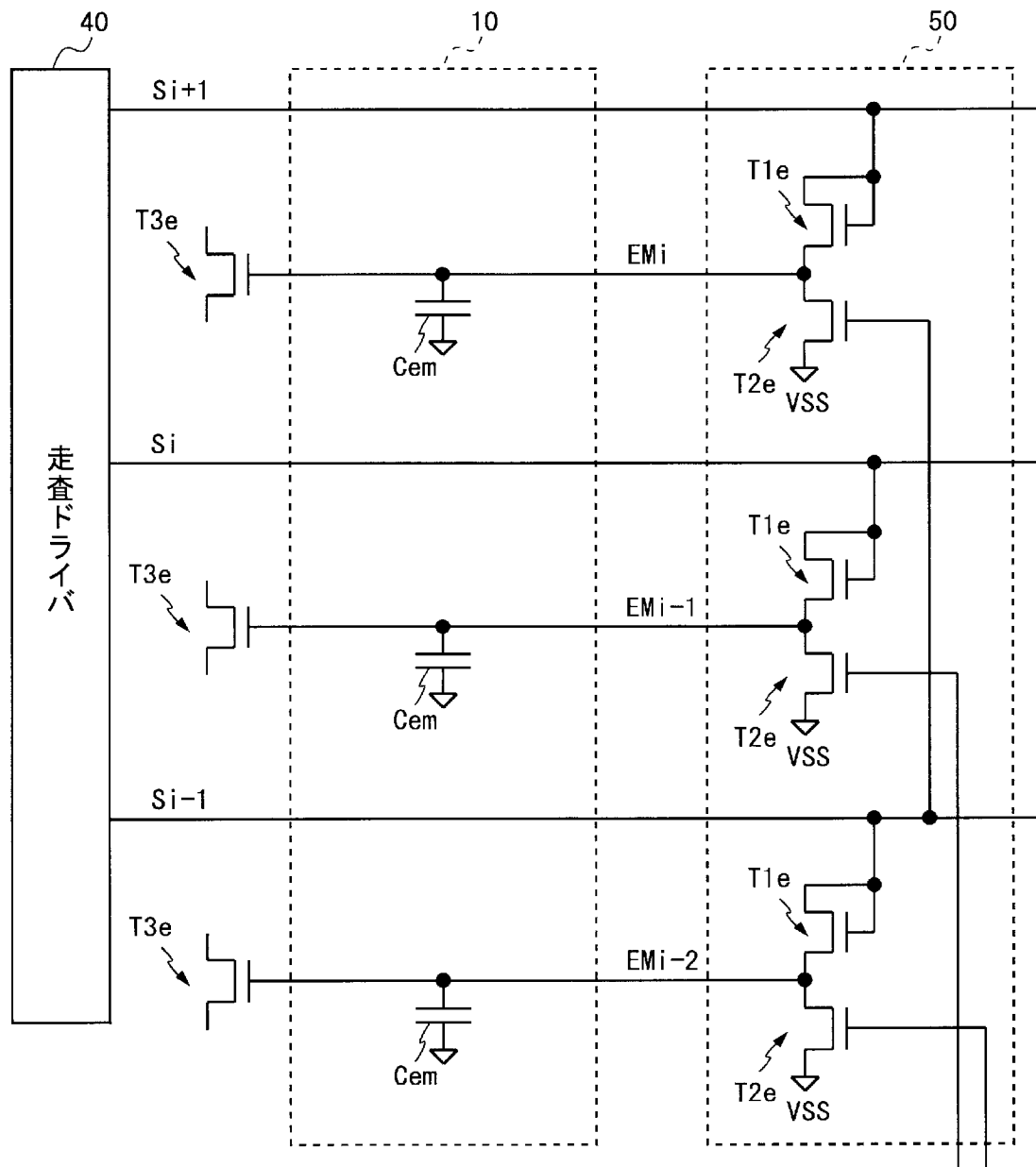
[図1]



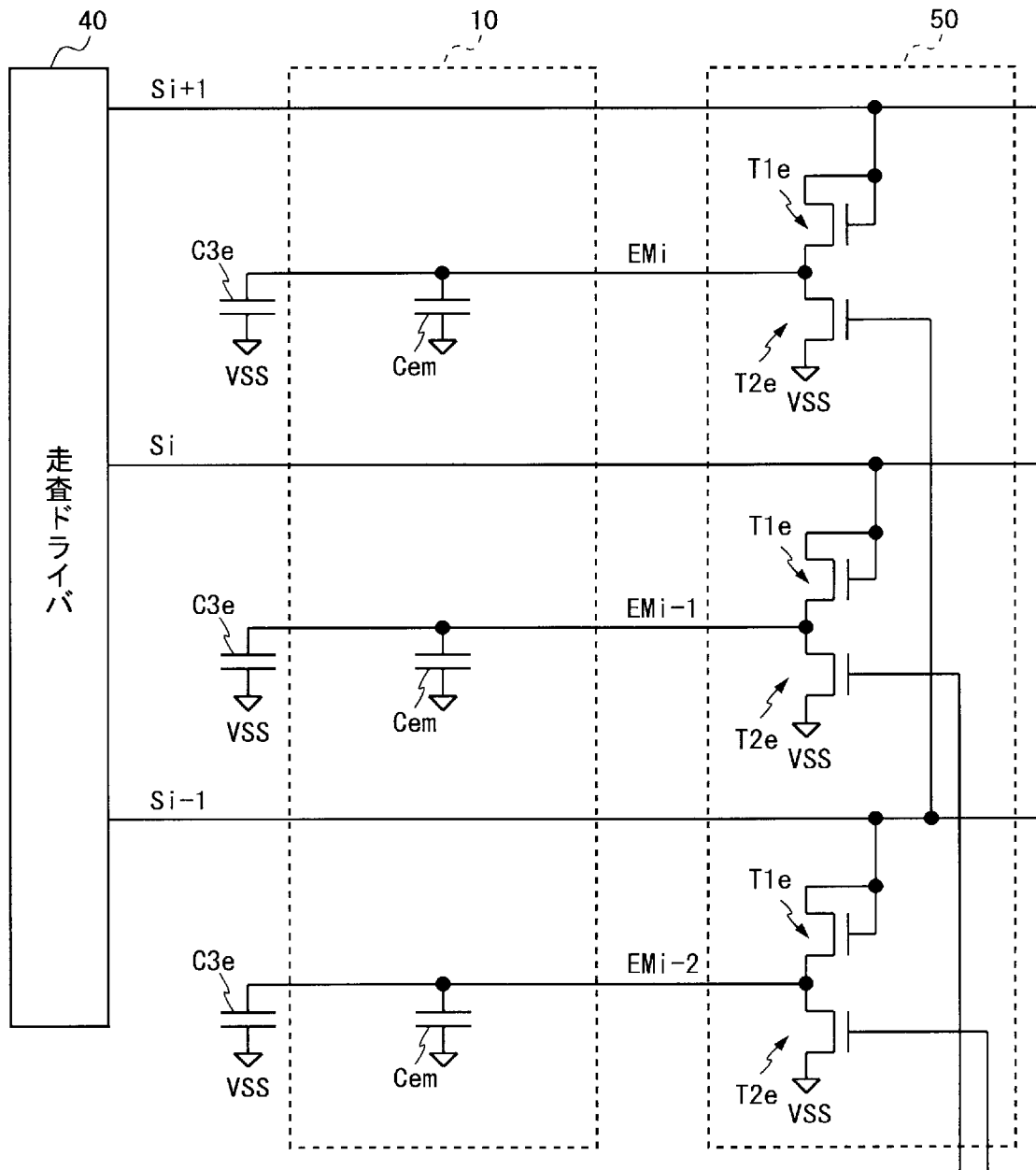
[図2]



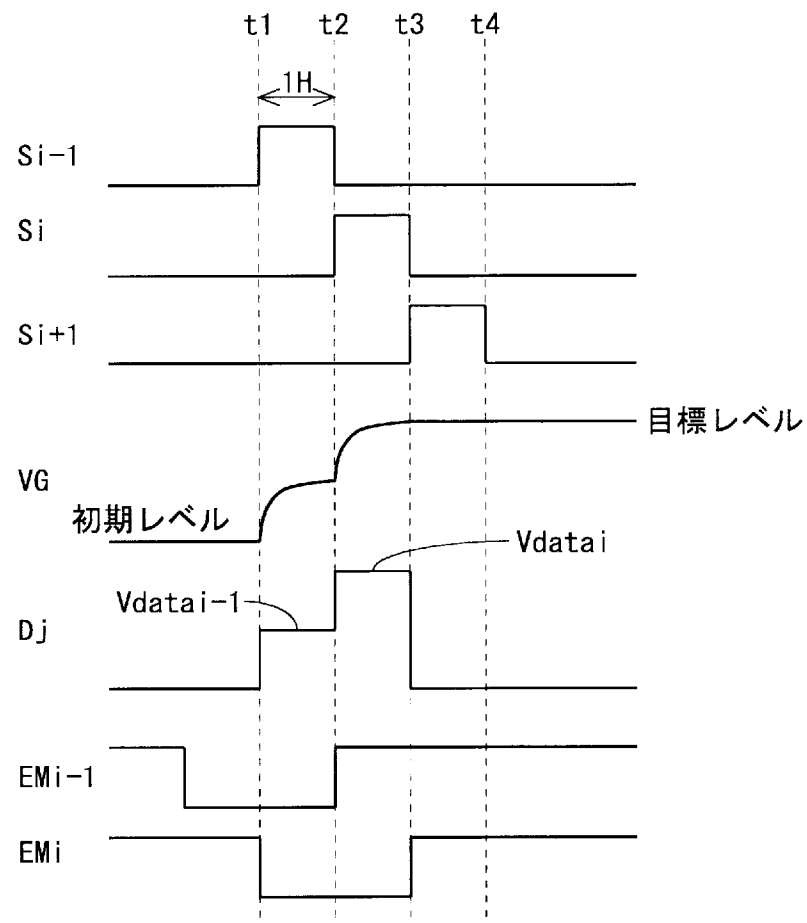
[図3]



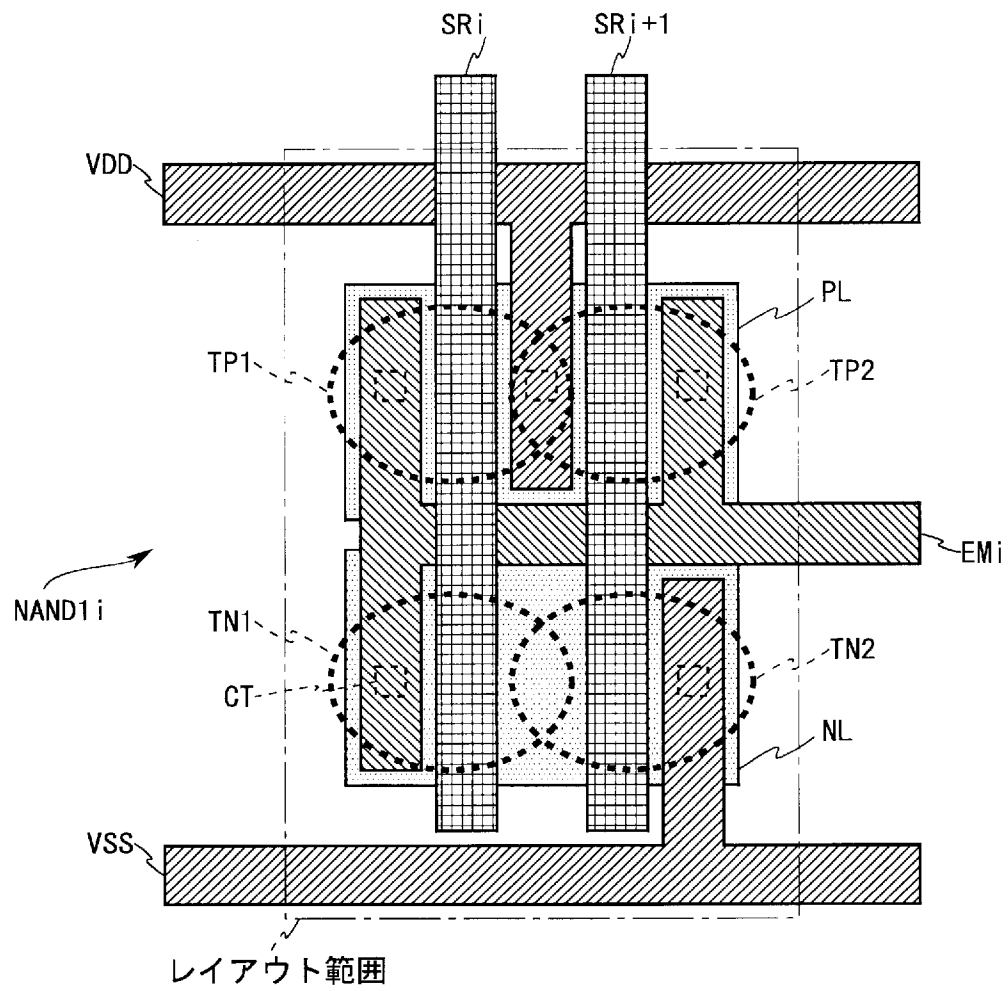
[図4]



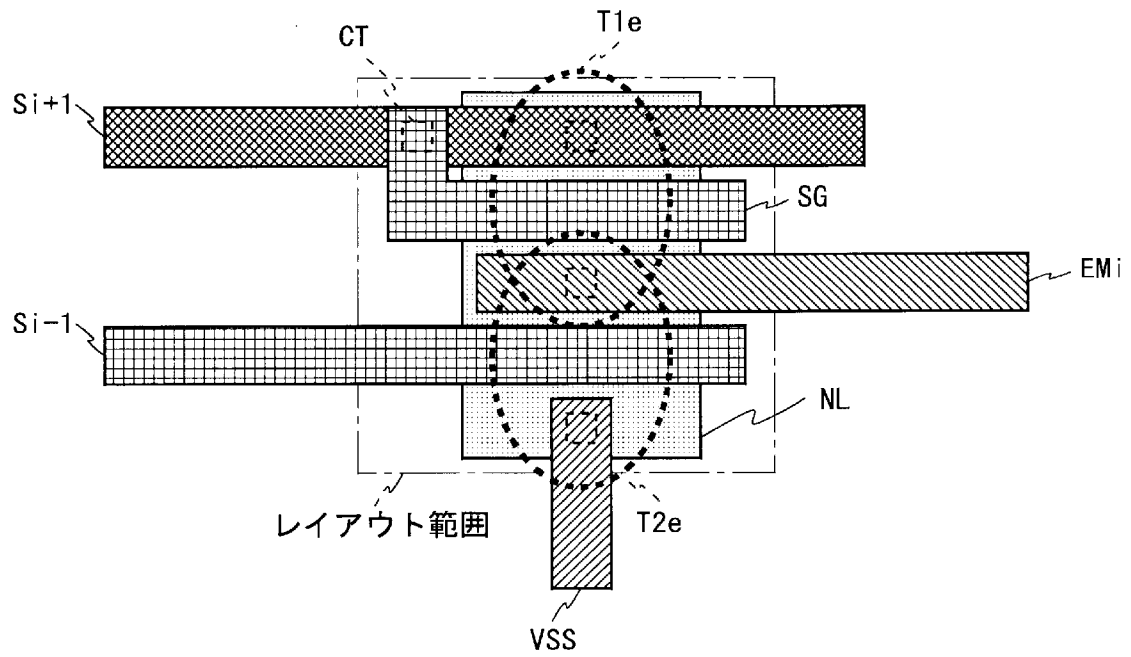
[図6]



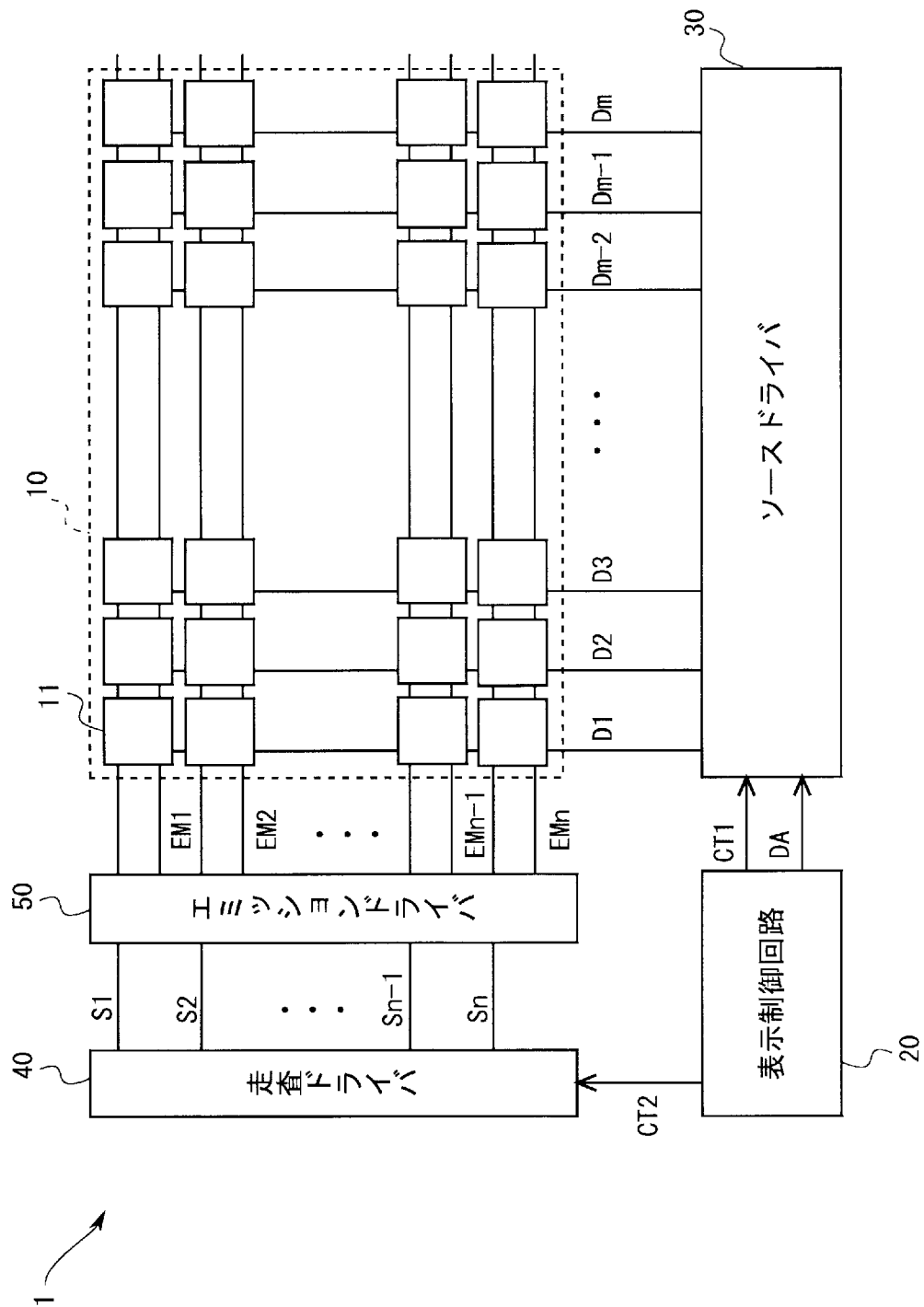
[図7]



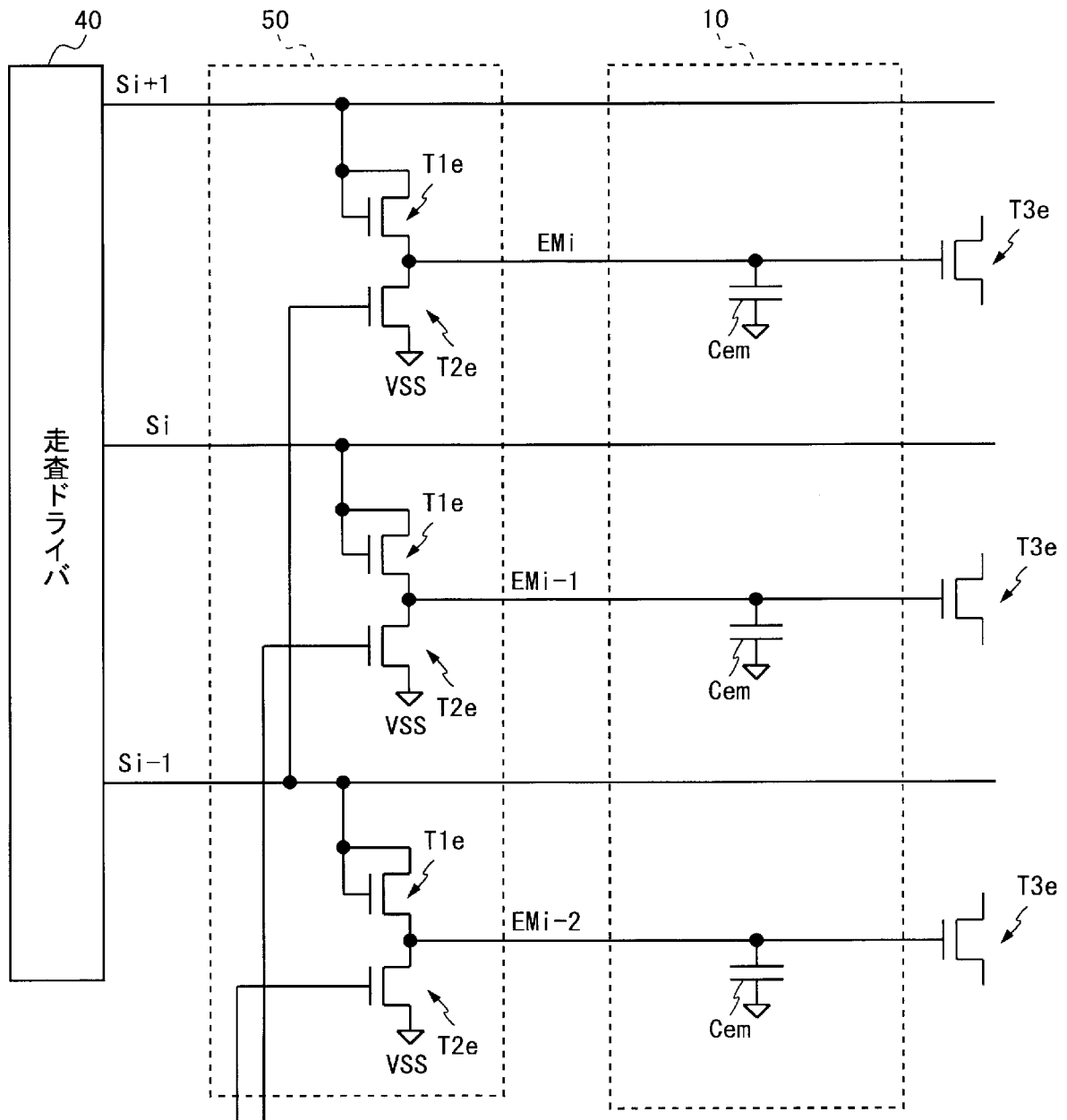
[図8]

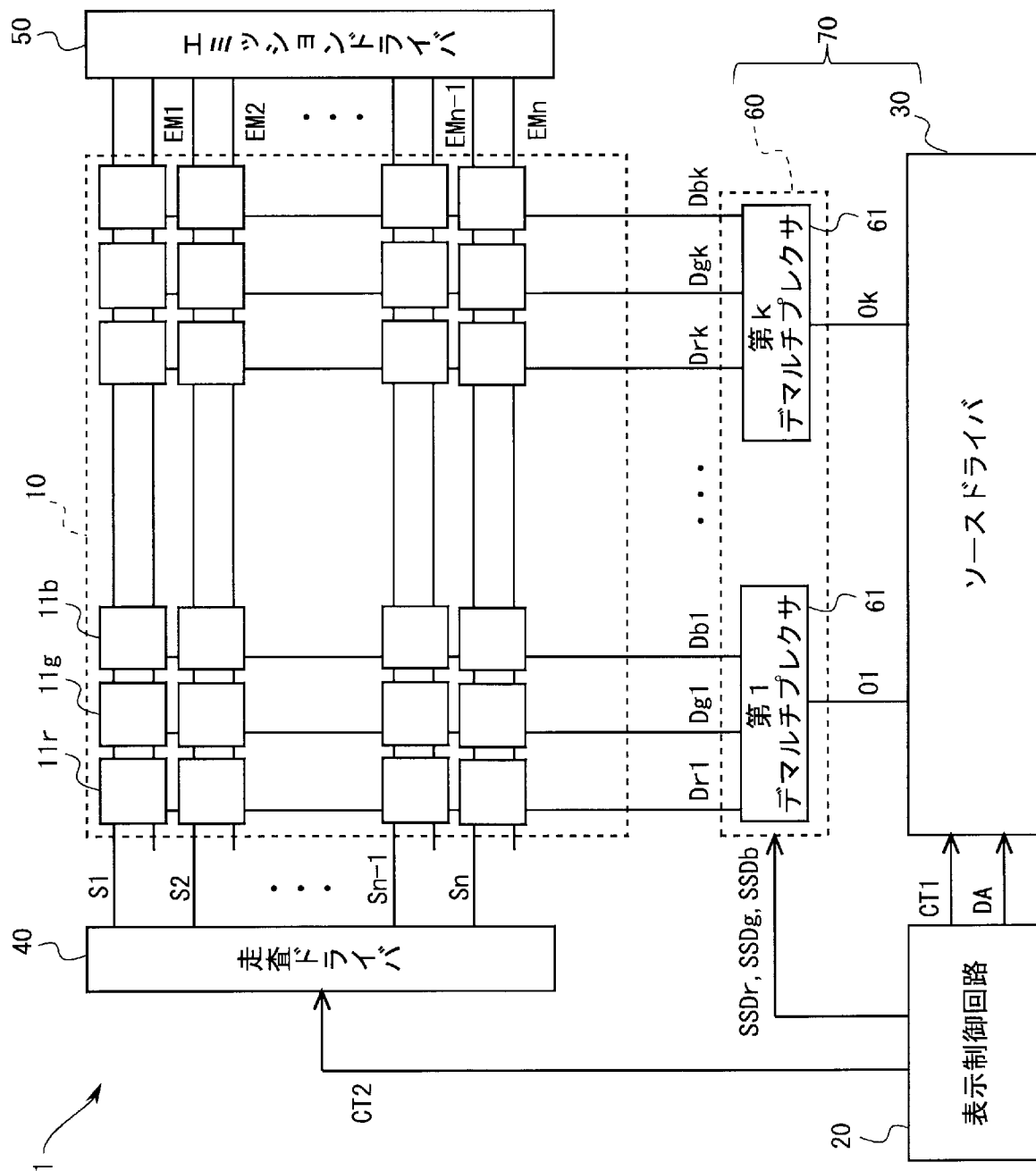


[図9]

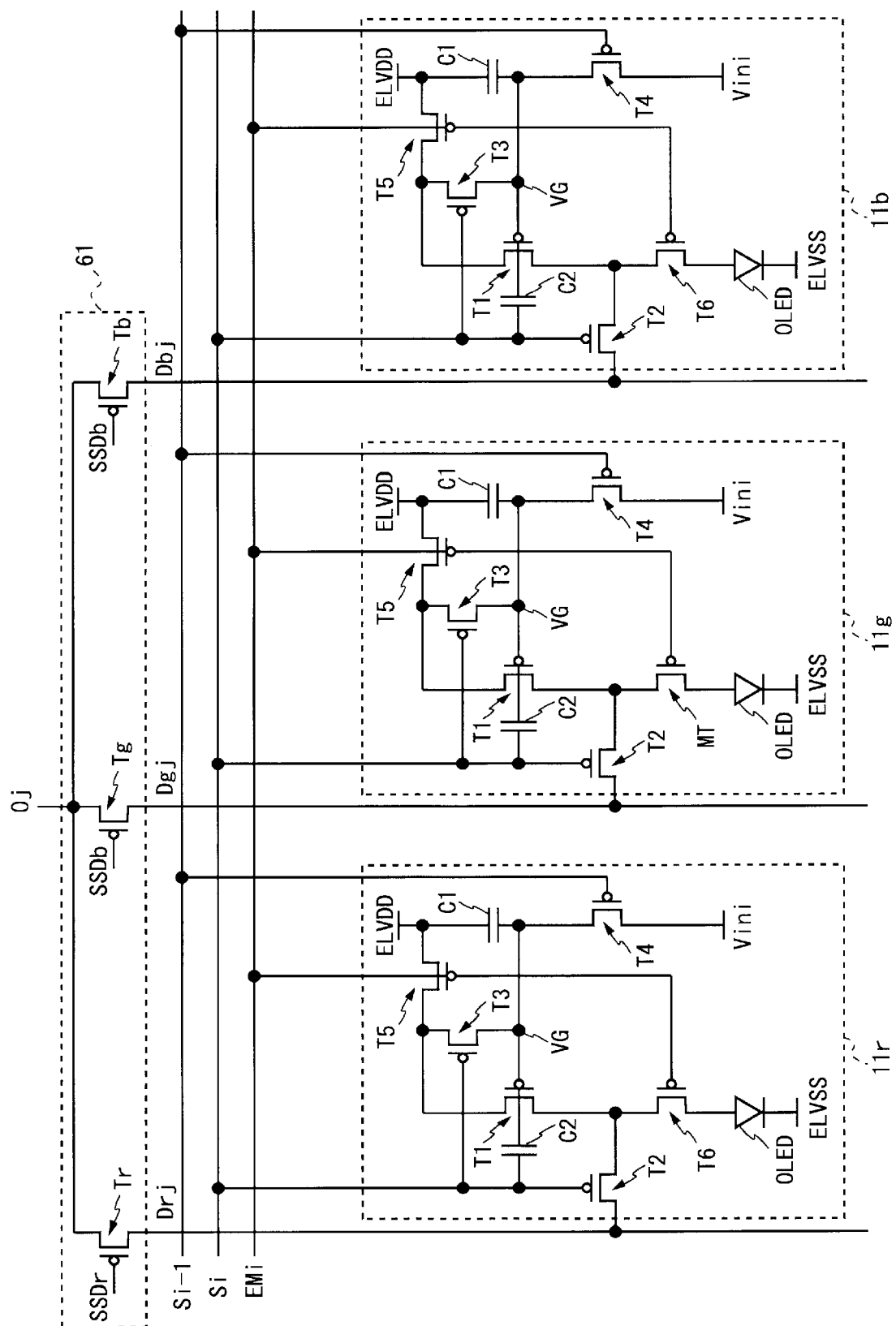


[図10]

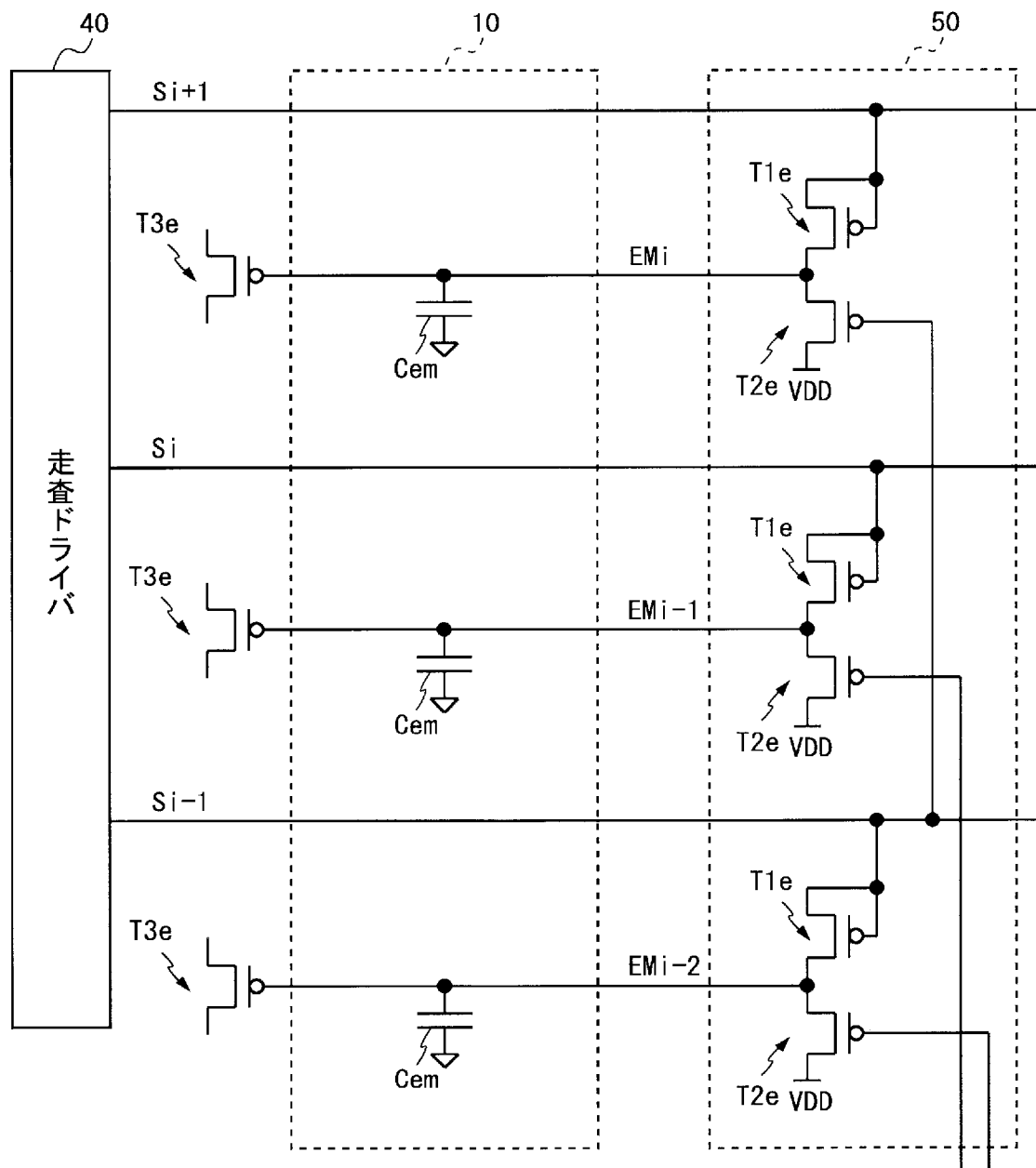




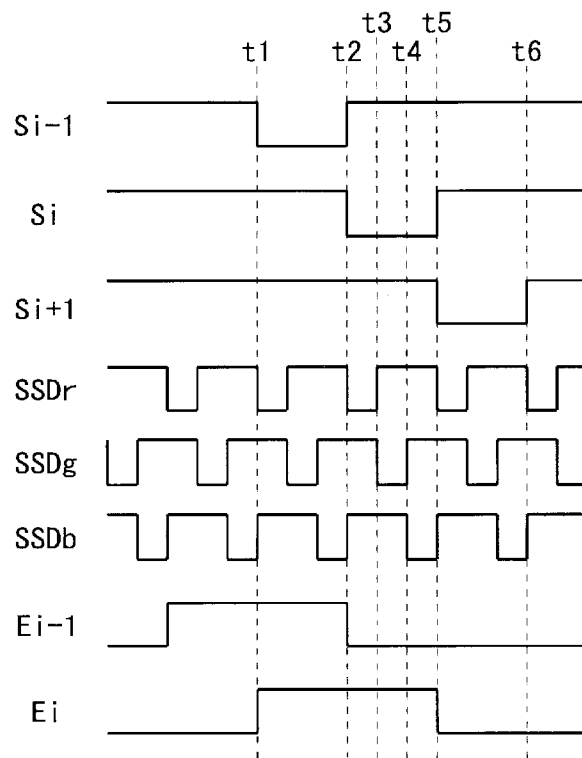
[図12]



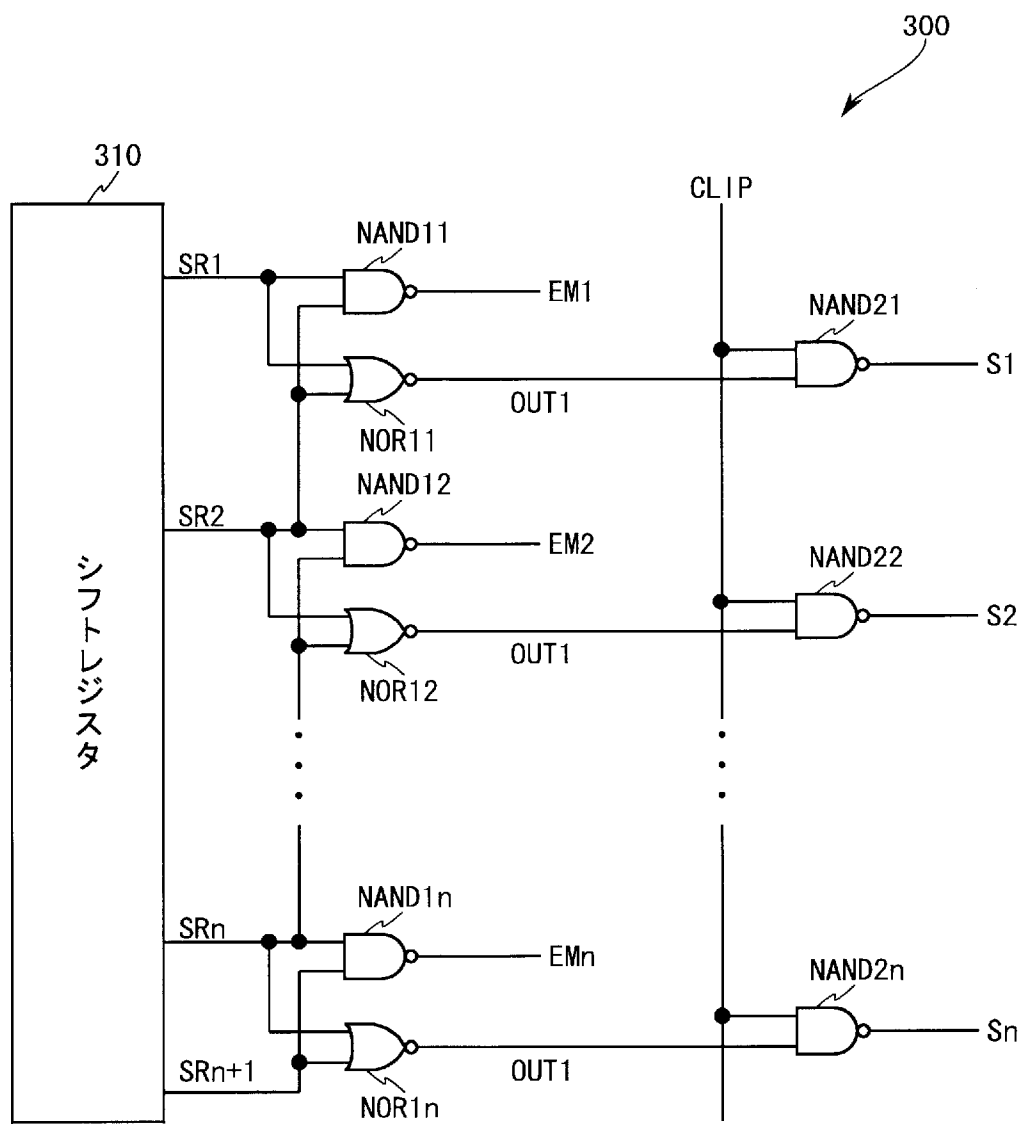
[図13]



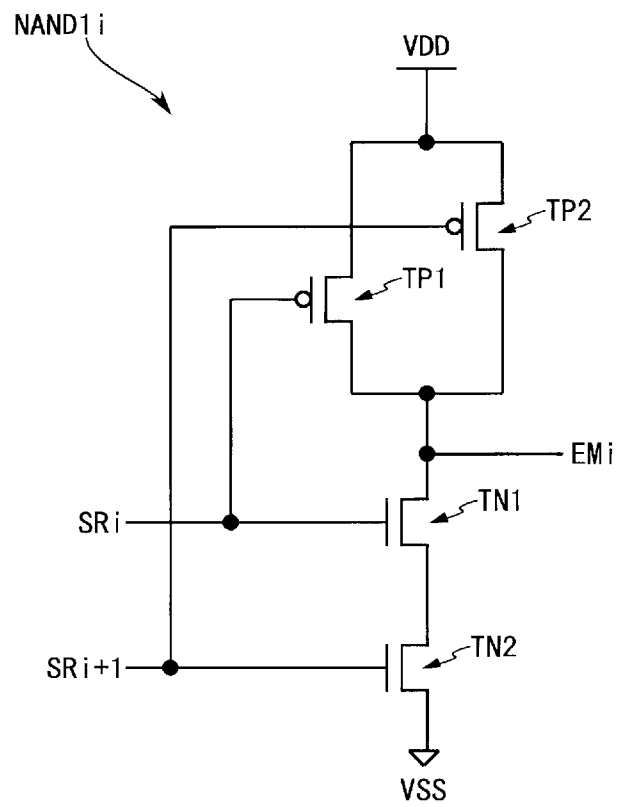
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/069999

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/00-3/38, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-145446 A (Sony Corp.), 01 July 2010 (01.07.2010), entire text; fig. 1 to 24 (Family: none)	1-12
A	JP 2010-91641 A (Sony Corp.), 22 April 2010 (22.04.2010), entire text; fig. 1 to 25 (Family: none)	1-12
A	JP 2008-180836 A (Sharp Corp.), 07 August 2008 (07.08.2008), entire text; fig. 1 to 6 (Family: none)	1-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 September, 2013 (30.09.13)

Date of mailing of the international search report
08 October, 2013 (08.10.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/069999

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-324958 A (Semiconductor Energy Laboratory Co., Ltd.), 22 November 2001 (22.11.2001), entire text; fig. 1 to 37 & JP 2007-310404 A & JP 2010-277109 A & JP 2012-63781 A & JP 2013-92789 A & US 2001/0022565 A1 & US 2007/0115223 A1 & US 2012/0206425 A1 & TW 522360 B	1-12

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/00-3/38, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-145446 A（ソニー株式会社）2010.07.01, 全文, 図1-24 (ファミリーなし)	1-12
A	JP 2010-91641 A（ソニー株式会社）2010.04.22, 全文, 図1-25 (ファミリーなし)	1-12

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

3 0 . 0 9 . 2 0 1 3

国際調査報告の発送日

0 8 . 1 0 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

中 村 直 行

2 G

9 2 1 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-180836 A (シャープ株式会社) 2008. 08. 07, 全文, 図 1 - 6 (ファミリーなし)	1-12
A	JP 2001-324958 A (株式会社半導体エネルギー研究所) 2001. 11. 22, 全文, 図 1 - 3 7 & JP 2007-310404 A & JP 2010-277109 A & JP 2012-63781 A & JP 2013-92789 A & US 2001/0022565 A1 & US 2007/0115223 A1 & US 2012/0206425 A1 & TW 522360 B	1-12