

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 97144789

※ 申請日期： 97 11 19

※IPC 分類：H01L 29/18 (2006.01)

H01L 21/336 (2006.01)

一、發明名稱：(中文/英文)

溝渠金屬氧化物半導體場效電晶體(MOSFET)及其製造方法

TRENCH MOSFET AND MANUFACTURING METHOD THEREOF

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

韓商美格納半導體有限公司
MAGNACHIP SEMICONDUCTOR, LTD.

代表人：(中文/英文)

許炎
HUH, YOUM

住居所或營業所地址：(中文/英文)

大韓民國忠清北道清州市興德區香亭洞1
1 HYANGJEONG-DONG, HEUNGDUK-GU, CHEONGJU-SI,
CHUNGCHEONGBUK-DO, 361-725, REPUBLIC OF KOREA

國 籍：(中文/英文)

韓國 REPUBLIC OF KOREA

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 申鉉光
SHIN, HYUN KWANG
2. 李旻衡
LEE, OH HYEONG

國 籍：(中文/英文)

1. 韓國 REPUBLIC OF KOREA
2. 韓國 REPUBLIC OF KOREA

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 韓國；2007年11月19日；10-2007-0118125

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種溝渠金屬氧化物半導體場效電晶體(下文簡稱為溝渠MOSFET)及其製造方法，且更特定言之係關於一種溝渠MOSFET，其中選擇性地增加位於閘極之下部與磊晶層之間的擴散氧化物膜之厚度，從而減少了重疊區中寄生電容之產生，進而改良了開關速度，且本發明還係關於一種製造該溝渠MOSFET之方法。

【先前技術】

一般而言，溝渠MOSFET為一種內部垂直地形成有通道之電晶體，且其包括形成於在源極與汲極之間向下延伸之溝渠中的閘極。

此類溝渠MOSFET視有例如氧化層之薄絕緣層、填充有例如多晶矽之導體，且允許低電流之流動，從而提供特定之低值導通電阻。

下面將參照有關附圖對習知溝渠MOSFET進行詳細描述。

圖1為展示習知溝渠MOSFET之橫截面圖。

如圖1所示，習知溝渠MOSFET包括基板10、形成於該基板10上之磊晶層20以及主體層30，其中該主體層30形成於該磊晶層20上且摻有類型與磊晶層20相反之摻雜物。同樣，在主體層30之中央部分以及磊晶層20之上部分中，形成具有預定厚度之溝渠41，該溝渠41為形成閘極之區域。

在溝渠41之內壁上提供具有較薄厚度之第一閘極氧化物

膜A，且亦在該第一閘極氧化物膜A上提供閘極40，該閘極40自主體層30被連接至磊晶層20。另外，第二閘極氧化物膜70形成於閘極40上。此外，源極區50及接觸區60形成於主體層30上，且上部金屬80形成於第二閘極氧化物膜70、源極區50及接觸區60之上。

因此，習知溝渠MOSFET藉由根據閘極40之開/關而使源極區50與對應於汲極區之磊晶層20電連接或斷開電連接而構成開關功能。

然而，習知溝渠MOSFET具有以下問題。

習知溝渠MOSFET包括一重疊區，該重疊區具有在閘極40與磊晶層20之間形成之較薄之第一閘極氧化物膜A。該較薄之第一閘極氧化物膜A充當介於閘極40與對應於汲極區之磊晶層20之間的寄生電容器，且因此，一旦對溝渠MOSFET作開/關控制，延遲時間便會發生增加且溝渠MOSFET之開關速度發生降低，從而不合需要地導致溝渠MOSFET之特性劣化。

此外，當由於較薄之第一閘極氧化物膜A之存在而在溝渠41周圍之磊晶層20與主體層30之間出現洩漏電流時，電場發生增加，從而不合需要地導致主體層30與磊晶層20之間的擊穿電壓降低。

【發明內容】

因此，已設計本發明來解決相關技術中遇到之此等問題，且本發明提供一種溝渠MOSFET及其製造方法，其中可選擇性地增加位於閘極之下部與磊晶層之間的擴散氧化

物膜之厚度，從而減少了重疊區中寄生電容之產生，最終改良了開關速度。

根據本發明，一種溝渠MOSFET包括：一基板，其上面依次形成有一磊晶層及一主體層；一溝渠，其垂直形成於該磊晶層及該主體層之中央部分中；一第一閘極氧化物膜，其形成於該溝渠之內壁上；一擴散氧化物膜，其形成於介於該溝渠之下表面與該基板之上表面之間的該磊晶層中，且其具有大於該第一閘極氧化物膜之厚度的厚度以及大於該溝渠之寬度的寬度；一閘極，其形成於具有該第一閘極氧化物膜之該溝渠中；一第二閘極氧化物膜，其形成於該閘極上；以及一源極區，其形成於該閘極之上部的兩側處，從而減少了對應於一汲極區之該磊晶層與該閘極之間的寄生電容之產生，進而改良了開關速度。

與閘極之下部接觸的擴散氧化物膜之上部的中央可形成為具有一空洞。該擴散氧化物膜可具有1500 Å至4000 Å之厚度，尤其為2000 Å至2500 Å之厚度。

該溝渠MOSFET可進一步包括形成於第二閘極氧化物膜及源極區之暴露表面上的一上部金屬，且亦可包括形成於不具有該源極區的該主體層之一部分上的一高濃度接觸區。該源極區可形成於該主體層上，且高濃度接觸區可形成於不具有該源極區的該主體層之上部表面上。

基板、磊晶層及源極區可摻有N型摻雜物，主體層可摻有P型摻雜物，且接觸區可摻有高濃度P+型摻雜物。或者，基板、磊晶層及源極區可摻有P型摻雜物，主體層可

摻有N型摻雜物，且接觸區可摻有高濃度N+型摻雜物。

另外，根據本發明，一種製造該溝渠MOSFET之方法包括：製備一基板，在該基板上依次形成有一磊晶層及一主體層；形成一第一硬遮罩，以用於在該主體層上形成一溝渠；使用該第一硬遮罩作為一蝕刻遮罩，蝕刻該主體層之一中央部分及該磊晶層之一上部，從而形成該溝渠；在該溝渠之內表面上形成一第一閘極氧化物膜及一第二硬遮罩，蝕刻該第二硬遮罩之一底部，然後蝕刻位於該經蝕刻之第二硬遮罩之下之該第一閘極氧化物膜及該磊晶層；使該經蝕刻之磊晶層經受熱氧化處理，從而形成一擴散氧化物膜，該擴散氧化物膜之厚度大於該第一閘極氧化物膜之厚度且該擴散氧化物膜之寬度大於該溝渠之寬度；在於下部具有該擴散氧化物膜之該溝渠中形成一閘極；以及在該閘極上形成一源極區及一第二閘極氧化物膜。

與閘極之下部接觸的擴散氧化物膜之上部的中央可形成為具有一空洞。擴散氧化物膜可具有1500 Å至4000 Å之厚度，尤其為2000 Å至2500 Å之厚度。

該方法可進一步包括在該源極區及該第二閘極氧化物膜之暴露表面上形成上部金屬，且亦可包括不具有該源極區的該主體層之一部分上形成一高濃度接觸區。該源極區可形成於該主體層上，且該高濃度接觸區可形成於不具有該源極區的該主體層之上部表面上。

該第一硬遮罩及該第二硬遮罩可為氮化膜或氧化物膜，且可經由LP-CVD(低壓化學氣相沈積)或PE-CVD(電漿增強

化學氣相沈積)形成。

在製造溝渠MOSFET之方法中，蝕刻位於經蝕刻之第二硬遮罩下面之第一閘極氧化物膜及磊晶層，可藉由先蝕刻第一閘極氧化物膜然後再蝕刻磊晶層而進行，或者可藉由同時蝕刻第一閘極氧化物膜及磊晶層而進行。

基板、磊晶層及源極區可摻有N型摻雜物，主體層可摻有P型摻雜物，且接觸區可摻有高濃度P+型摻雜物。或者，基板、磊晶層及源極區可摻有P型摻雜物，主體層可摻有N型摻雜物，且接觸區可摻有高濃度N+型摻雜物。

【實施方式】

根據以下結合隨附圖式所作之詳細描述，將更清楚地理解本發明之特徵及優勢。

以下將參照附圖詳細描述根據本發明之較佳實施例之溝渠MOSFET的結構、製造方法及其效果。

第一實施例

下面將參照有關附圖對根據本發明之第一實施例之溝渠MOSFET的結構及製造方法進行具體描述。

圖2為展示根據本發明之第一實施例之N通道溝渠MOSFET的橫截面圖，圖3A至3J為依次展示製造根據本發明之第一實施例的N通道溝渠MOSFET之方法的圖，且圖4為展示根據本發明之第一實施例的N通道溝渠MOSFET之電容的圖。

如圖2所示，根據本發明之N通道溝渠MOSFET包括基板100、在該基板100上形成之磊晶層110、摻有摻雜物類型

與磊晶層 110 相反之摻雜物之主體層 120、在磊晶層 110 及主體層 120 之中央部分中垂直形成之溝渠 131、在介於溝渠 131 之下表面與基板 100 之上表面之間的磊晶層 110 中形成之擴散氧化物膜 135、形成於溝渠 131 之內壁上之較薄之第一閘極氧化物膜 132、在具有第一閘極氧化物膜 132 之溝渠 131 中形成之閘極 130、在閘極 130 上形成之第二閘極氧化物膜 160 以及在閘極 130 之上部的兩側處形成之源極區。

基板 100 摻有高濃度 N 型摻雜物以降低將會成為溝渠 MOSFET 之汲極區的磊晶層之電阻組件的值，且該基板 100 位於溝渠 MOSFET 之最低位置處。

在基板 100 上形成之磊晶層 110 摻有低濃度之 N 型摻雜物以增加溝渠 MOSFET 之擊穿電壓，且將成為汲極區。在磊晶層 110 之中央處提供具有預定深度之溝渠 131 之下部。

主體層 120 形成於磊晶層 110 上且具有垂直形成於該主體層中央處之溝渠 131。在閘極 130 處於開通狀態之情況下，主體層 120 面向閘極 130 之區域形成有通道，該通道用於使源極區 140 與對應於汲極區之磊晶層 110 電連接。

閘極 130 形成於提供於溝渠 131 之內壁上的第一閘極氧化物膜 132 上，且閘極 130 係響應於自外部施加之閘極電壓而被開/關控制，從而使源極區 140 與磊晶層 110 電連接或斷開電連接。

源極區 140 形成於主體層 120 上對應於閘極 130 上部兩側之位置處，且摻有 N 型摻雜物以使其電連接於對應於汲極區之磊晶層 110。在對應於主體層 120 暴露之上部區域的源

極區 140 之側表面處提供一接觸區，該接觸區摻有高濃度 P+ 型摻雜物。

第二閘極氧化物膜 160 形成於閘極 130 及位於閘極 130 上部兩側處之源極區 140 上，且上部金屬 170 形成於第二閘極氧化物膜 160、源極區 140 及接觸區 150 之上，以便覆蓋第二閘極氧化物膜 160。

根據本發明之溝渠 MOSFET 為有利的，此係因為具有預定厚度之擴散氧化物膜 135 形成於介於互相面對的溝渠 131 之下表面與基板 100 之上表面之間的磊晶層 110 中，從而減小了閘極 130 與對應於汲極區之磊晶層 110 之間的重疊區域，進而增加了閘極與汲極之間的驅動電壓。

擴散氧化物膜 135 可構造為比溝渠 131 寬。此外，在與閘極 130 接觸之擴散氧化物膜 135 上部之中央位置處形成一空洞，且擴散氧化物膜 135 之空洞之深度可加以設定以便使空洞之中央不會達至擴散氧化物膜 135 之下表面。

如展示根據本發明之溝渠 MOSFET 之閘極-汲極電容的圖 4 中之 "C" 所示，根據本發明之溝渠 MOSFET 由於使用了擴散氧化物膜 135 而減小了閘極 130 與對應於汲極區之磊晶層 110 之間的重疊區，因此降低了寄生電容。進而，可減少溝渠 MOSFET 之開關延遲時間，最終改良開關速度。同樣，在圖 4 之圖中，"B" 指示習知溝渠 MOSFET 之電容。

該擴散氧化物膜 135 可形成為具有比提供於溝渠 131 內壁上之第一閘極氧化物膜 132 之厚度大的厚度。若該擴散氧化物膜 135 形成為厚度與第一閘極氧化物膜 132 之厚度相

同，則該擴散氧化物膜135為較薄的且因而可能會出現如見於習知溝渠MOSFET的增加寄生電容之問題。為了阻止此寄生電容之產生，較佳為使擴散氧化物膜135形成為厚度大於第一閘極氧化物膜132之厚度。

擴散氧化物膜135之厚度可設定為1500 Å至4000 Å。若擴散氧化物膜135之厚度小於1500 Å，則其為較薄且因而可能會出現如見於習知溝渠MOSFET的增加寄生電容之問題。相反，若擴散氧化物膜135之厚度大於4000 Å，則其太厚且因而會與基板100接觸。為此，應當增加磊晶層110之厚度，由此可能會增加溝渠MOSFET之總厚度，從而不當地擴大溝渠MOSFET之尺寸。因此，擴散氧化物膜135可形成為具有1500 Å至4000 Å之厚度，尤其具有2000 Å至2500 Å之厚度。

與磊晶層110接觸之擴散氧化物膜135之側表面並非朝向擴散氧化物膜135之內部傾斜，而為朝向磊晶層110，亦即向外傾斜。以此方式，當增加擴散氧化物膜135之寬度時，可防止習知溝渠MOSFET之問題(亦即可由於使用薄之第一閘極氧化物膜A而導致在第一閘極氧化物膜A、磊晶層10及主體層20之接觸點處出現洩漏電流)，從而增加擊穿電壓。

在製造如此構造之溝渠MOSFET之方法中，如圖3A所示，製備上面形成有磊晶層110及主體層120之基板100。

接著，使如此製備之基板100經受熱氧化處理，從而在主體層120上形成一氧化層121，在此之後，將第一硬遮罩

122施加於該氧化層121上。該第一硬遮罩122可由CVD(化學氣相沈積)形成，且第一硬遮罩122之實例可包括氮化膜或氧化物膜。用於形成第一硬遮罩122之CVD可經由選自LP-CVD及PE-CVD中之任一者來實現。

在形成第一硬遮罩122之後，在該第一硬遮罩122上形成用於形成溝渠之光阻圖像123。

接著，如圖3B所示，使用該光阻圖像123作為蝕刻遮罩來執行蝕刻處理，藉此蝕刻第一硬遮罩122。作為蝕刻處理，可執行乾式蝕刻，從而形成該第一硬遮罩122且去除保留在該第一硬遮罩122上之光阻圖像123。

另外，使用經蝕刻之第一硬遮罩122作為蝕刻遮罩，執行蝕刻處理，從而在蝕刻第一硬遮罩122之區域之下依次蝕刻主體層120及磊晶層110，進而形成溝渠131。作為蝕刻處理，可執行乾式蝕刻。

接著，執行犧牲氧化處理，從而消除蝕刻過程中對溝渠131之界面的電漿損害且降低粗糙度。在該犧牲氧化處理之後，執行濕式蝕刻處理，從而去除在該犧牲氧化處理中形成之犧牲氧化物膜(圖中未示出)。在去除該犧牲氧化物膜之後，如圖3C所示，執行氧化處理，從而在溝渠131之內表面上形成第一閘極氧化物膜132。

接著，如圖3D所示，在第一閘極氧化物膜132上施加第二硬遮罩133，在此之後去除施加於溝渠131底部上之第二硬遮罩133，如圖3E所示。第二硬遮罩133可經由LP-CVD或PE-CVD形成，且第二硬遮罩133之實例可包括氮化膜或

氧化物膜。

在對第二硬遮罩133作該去除操作之後，去除該第二硬遮罩133之下之第一閘極氧化物膜132。接著，如圖3F所示，使用已作該去除操作之第二硬遮罩133作為蝕刻遮罩，將磊晶層110蝕刻至預定之深度。

在根據本發明之第一實施例之溝渠MOSFET中，可透過兩個蝕刻操作來去除位於第一閘極氧化物膜132之下之磊晶層110，亦即蝕刻溝渠131及蝕刻磊晶層110。藉此，可確保用以形成擴散氧化物膜135(將於下文中加以描述)之區域，且因而可增加擴散氧化物膜135之寬度。

詳言之，可分別透過獨立蝕刻處理來去除第一閘極氧化物膜132及溝渠131之下之磊晶層110。或者，為了簡化過程，可同時去除第一閘極氧化物膜132及磊晶層110。同樣，可透過乾式蝕刻來執行去除第一閘極氧化物膜132及磊晶層110之。

使經蝕刻之磊晶層110經受熱氧化處理，從而形成具有較厚厚度之擴散氧化物膜135，如圖3G所示。此後，去除第一硬遮罩122及第二硬遮罩133。

可進行該熱氧化處理直至擴散氧化物膜135之厚度大於形成於溝渠131內壁上之第一閘極氧化物膜132之厚度且其寬度大於溝渠131之寬度的時間點。若擴散氧化物膜135形成為厚度與第一閘極氧化物膜132之厚度相同，則其為較薄的且因而可能會出現如見於習知溝渠MOSFET的增加寄生電容之問題。為了防止此類問題，較佳為使擴散氧化物

膜135形成為比第一閘極氧化物膜132要厚。

擴散氧化物膜135之厚度可設定為1500 Å至4000 Å。若所形成之擴散氧化物膜135之厚度小於1500 Å，則其為較薄的且因而可能會出現如見於習知溝渠MOSFET的增加寄生電容之問題。相反地，若所形成之擴散氧化物膜135之厚度大於4000 Å，則其太厚且會與基板100接觸，且因此應當增加磊晶層110之厚度，進而增加溝渠MOSFET之總厚度，從而不當地導致溝渠MOSFET之尺寸增大。因此，較佳為使擴散氧化物膜135形成為厚度為1500 Å至4000 Å，尤其為2000 Å至2500 Å。

擴散氧化物膜135之上部可具有一空洞。擴散氧化物膜135之該空洞可形成為其中央不會達至擴散氧化物膜135之下表面。

與磊晶層110接觸之擴散氧化物膜135之側面並非朝向擴散氧化物膜135之內部傾斜，而為朝向磊晶層110，即向外傾斜。因此，當可增加擴散氧化物膜135之寬度時，可防止習知溝渠MOSFET之問題(亦即可歸因於較薄之第一閘極氧化物膜A而導致在第一閘極氧化物膜A、磊晶層10及主體層20之接觸點處出現洩漏電流)，從而增加擊穿電壓。

在形成擴散氧化物膜135之後，如圖3H所示，將溝渠131用例如多晶矽之材料摻雜，從而形成閘極130。接著，將暴露於外部之主體層120(亦即閘極130之上部的兩側)分別用N型摻雜物及高濃度P+型摻雜物摻雜，從而形成摻有N型摻雜物之源極區140及摻有高濃度P+型摻雜物之接觸區

150。

接著，形成第二閘極氧化物膜160以便覆蓋閘極130及源極區140之上表面之一部分，在此之後形成上部金屬170以覆蓋第二閘極氧化物膜160之上部及接觸區150之上部，藉此形成根據本發明之溝渠MOSFET。

另外，圖5示出作為根據本發明之第一實施例之N通道溝渠MOSFET的一變體之P通道溝渠MOSFET之橫截面圖。在該P通道溝渠MOSFET中，基板100、磊晶層110及源極區140摻有P型摻雜物，主體層120摻有N型摻雜物，且接觸區150摻有高濃度N+型摻雜物。

第二實施例

以下將參照相關附圖，對根據本發明之第二實施例之溝渠MOSFET的結構及製造方法進行具體描述。因此，僅描述與第一實施例不同的根據第二實施例之結構及製造方法，而省略相同內容之描述。

圖6為展示根據第二實施例之N通道溝渠MOSFET之橫截面圖，且圖7為展示根據第二實施例之一變體的P通道溝渠MOSFET之橫截面圖。

如圖6中所示，根據第二實施例之N通道溝渠MOSFET包括基板200、形成於基板200上之磊晶層210、摻有類型與磊晶層210相反之摻雜物之主體層220、在磊晶層210及主體層220之中央部分中垂直形成之溝渠231、在介於溝渠231之下表面與基板200之上表面之間的磊晶層210中形成之擴散氧化物膜135、形成於溝渠231中之第一閘極氧化物

膜232及閘極230、形成於閘極230及源極區240上之第二閘極氧化物膜260以及形成於不具有源極區240的主體層220之上部表面上的接觸區250。

上部金屬270形成於第二閘極氧化物膜260及接觸區250上，從而構成根據第二實施例之N通道溝渠MOSFET。照此而言，源極區240形成於主體層220上。

接觸區250可藉由針對與源極區240相同之高度蝕刻不具有源極區240的主體層220之上部且接著在主體層220之該經蝕刻之上部上摻雜高濃度P+型摻雜物來形成。

另外，圖7中示出了作為根據第二實施例之N通道溝渠MOSFET之一變體的P通道溝渠MOSFET。在此類P通道溝渠MOSFET中，基板200、磊晶層210及源極區240可摻雜P型摻雜物，主體層220可摻雜N型摻雜物，且接觸區250可摻雜高濃度N+型摻雜物。

第三實施例

以下參照有關附圖，對根據本發明之第三實施例之溝渠MOSFET的結構及製造方法進行具體描述。

圖8為展示根據第三實施例之N通道溝渠MOSFET之橫截面圖，且圖9為展示根據第三實施例之一變體的P通道溝渠MOSFET之橫截面圖。

如圖8中所示，根據第三實施例之N通道溝渠MOSFET包括基板300、形成於基板300上之磊晶層310、摻有類型與磊晶層310相反之摻雜物之主體層320、在磊晶層310及主體層320之中央部分中垂直形成之溝渠331、在介於溝渠

331之下表面與基板300之上表面之間的磊晶層310中形成之擴散氧化物膜135、形成於溝渠331中之第一閘極氧化物膜332及閘極330、形成於閘極330上之第二閘極氧化物膜350，以及形成於第二閘極氧化物膜350之兩側處之源極區340。

此外，上部金屬360形成於第二閘極氧化物膜350及源極區340上，從而構成根據本發明第三實施例之N通道溝渠MOSFET。

另外，圖9中示出了作為根據第三實施例之N通道溝渠MOSFET之一變體的P通道溝渠MOSFET。在此類P通道溝渠MOSFET中，基板300、磊晶層310及源極區340可摻雜P型摻雜物，且主體層320可摻雜N型摻雜物。

如上所述，本發明提供一種溝渠MOSFET及其製造方法。根據本發明，可選擇性地增加位於閘極下部與磊晶層之間的第一閘極氧化物膜之厚度，從而形成具有比溝渠之寬度大之寬度的擴散氧化物膜。從而，可減少對應於汲極區之磊晶層與閘極之間的寄生電容之產生，從而最終改良開關速度。

此外，根據本發明，歸因於位於閘極下部與磊晶層之間的擴散氧化物膜，可增加擊穿電壓，從而降低了磊晶層之電阻率，藉此減小了導通電阻。

雖然已為說明目的對本發明之較佳實施例進行了揭示，但是熟習此項技術者應瞭解，在不偏離如隨附申請專利範圍中所揭示之本發明之範圍及精神的情況下，各種修改、

添加及替代皆為可能的。

【圖式簡單說明】

圖1為展示習知溝渠MOSFET之橫截面圖。

圖2為展示根據本發明之第一實施例的N通道溝渠MOSFET之橫截面圖。

圖3A至3J為依次展示製造根據本發明之第一實施例的N通道溝渠MOSFET之方法的圖。

圖4為展示根據本發明之第一實施例的N通道溝渠MOSFET之電容的圖；

圖5為展示根據本發明之第一實施例之一變體的P通道溝渠MOSFET之橫截面圖。

圖6為展示根據本發明之第二實施例的N通道溝渠MOSFET之橫截面圖。

圖7為展示根據本發明之第二實施例之一變體的P通道溝渠MOSFET之橫截面圖。

圖8為展示根據本發明之第三實施例的N通道溝渠MOSFET之橫截面圖。

圖9為展示根據本發明之第三實施例之一變體的P通道溝渠MOSFET之橫截面圖。

【主要元件符號說明】

10	基板
20	磊晶層
30	主體層
40	閘極

41	溝渠
50	源極區
60	接觸區
70	第二閘極氧化物膜
80	上部金屬
100	基板
110	磊晶層
120	主體層
121	氧化層
122	第一硬遮罩
123	光阻圖像
130	閘極
131	溝渠
132	第一閘極氧化物膜
133	第二硬遮罩
135	擴散氧化物膜
140	源極區
150	接觸區
160	第二閘極氧化物膜
170	上部金屬
200	基板
210	磊晶層
220	主體層
230	閘極

231	溝渠
232	第一閘極氧化物膜
240	源極區
250	接觸區
260	第二閘極氧化物膜
270	上部金屬
300	基板
310	磊晶層
320	主體層
330	閘極
331	溝渠
332	第一閘極氧化物膜
340	源極區
350	第二閘極氧化物膜
360	上部金屬
A	第一閘極氧化物膜

五、中文發明摘要：

本發明係關於一種溝渠金屬氧化物半導體場效電晶體，其能夠減小寄生電容，進而增加開關速度，且本發明還係關於一種製造該溝渠金屬氧化物半導體場效電晶體之方法。該溝渠金屬氧化物半導體場效電晶體包括：一基板，其上面依次形成有一磊晶層及一主體層；一溝渠，其垂直形成於該磊晶層及該主體層之中央部分中；一第一閘極氧化物膜，其形成於該溝渠之內壁上；一擴散氧化物膜，其形成於介於該溝渠之下表面與該基板之上表面之間的該磊晶層中，且其具有大於該第一閘極氧化物膜之厚度的厚度以及大於該溝渠之寬度的寬度；一閘極，其形成於具有該第一閘極氧化物膜之該溝渠中；一第二閘極氧化物膜，其形成於該閘極上；以及一源極區，其形成於該閘極之上部的兩側處，從而減少了對應於一汲極區之該磊晶層與該閘極之間的寄生電容之產生，進而改良了開關速度。

六、英文發明摘要：

This invention relates to a trench MOSFET, which can lower parasitic capacitance, thereby increasing a switching speed, and to a method of manufacturing the trench MOSFET. The trench MOSFET includes a substrate having an epi layer and a body layer sequentially formed thereon, a trench formed vertically in the central portion of the epi layer and the body layer, a first gate oxide film formed on the inner wall of the trench, a diffusion oxide film formed in the epi layer between the lower surface of the trench and the upper surface of the substrate to have a thickness greater than a thickness of the first gate oxide film and a width greater than a width of the trench, a gate formed in the trench having the first gate oxide film, a second gate oxide film formed on the gate, and a source region formed at both sides of the upper portion may be of the gate, thus reducing the generation of parasitic capacitance between the epi layer corresponding to a drain region and the gate, thereby improving a switching speed.

十、申請專利範圍：

1. 一種溝渠金屬氧化物半導體場效電晶體，其包括：
 - 一基板，其上面依次形成有一磊晶層及一主體層；
 - 一溝渠，其垂直形成於該磊晶層及該主體層之一中央部分中；
 - 一第一閘極氧化物膜，其形成於該溝渠之一內壁上；
 - 一擴散氧化物膜，其形成於介於該溝渠之下表面與該基板之上表面之間的該磊晶層中，且其具有大於該第一閘極氧化物膜之厚度的厚度以及大於該溝渠之寬度的寬度；
 - 一閘極，其形成於具有該第一閘極氧化物膜之該溝渠中；
 - 一第二閘極氧化物膜，其形成於該閘極上；以及
 - 一源極區，其形成於該閘極之上部的兩側處。
2. 如請求項1之溝渠金屬氧化物半導體場效電晶體，其中與該閘極之一下部接觸的該擴散氧化物膜之一上部的一中央係形成為具有一空洞。
3. 如請求項1之溝渠金屬氧化物半導體場效電晶體，其中該擴散氧化物膜具有一自1500 Å至4000 Å之厚度。
4. 如請求項1或3之溝渠金屬氧化物半導體場效電晶體，其中該擴散氧化物膜具有一自2000 Å至2500 Å之厚度。
5. 如請求項1之溝渠金屬氧化物半導體場效電晶體，其進一步包括一上部金屬，該上部金屬形成於具有該第二閘極氧化物膜及該源極區之該溝渠金屬氧化物半導體場效

電晶體上。

6. 如請求項1之溝渠金屬氧化物半導體場效電晶體，其進一步包括一高濃度接觸區，該高濃度接觸區形成於不具有該源極區的該主體層之一部分上。
7. 如請求項1之溝渠金屬氧化物半導體場效電晶體，其中該源極區係形成於該主體層上，且該溝渠金屬氧化物半導體場效電晶體進一步包括一高濃度接觸區，該高濃度接觸區形成於不具有該源極區的該主體層之一上部之一表面上。
8. 如請求項6或7之溝渠金屬氧化物半導體場效電晶體，其進一步包括一上部金屬，該上部金屬形成於具有該第二閘極氧化物膜、該源極區及該接觸區之該溝渠金屬氧化物半導體場效電晶體上。
9. 如請求項6至7中任一項之溝渠金屬氧化物半導體場效電晶體，其中該基板、該磊晶層及該源極區摻有N型摻雜物，該主體層摻有P型摻雜物，且該接觸區摻有高濃度P+型摻雜物。
10. 如請求項6至7中任一項之溝渠金屬氧化物半導體場效電晶體，其中該基板、該磊晶層及該源極區摻有P型摻雜物，該主體層摻有N型摻雜物，且該接觸區摻有高濃度N+型摻雜物。
11. 一種製造溝渠金屬氧化物半導體場效電晶體之方法，包括：

製備一基板，在該基板上面依次形成有一磊晶層及一

主體層；

形成一第一硬遮罩，以用於在該主體層上形成一溝渠；

使用該第一硬遮罩作為一蝕刻遮罩，蝕刻該主體層之一中央部分及該磊晶層之一上部，從而形成該溝渠；

在該溝渠之內表面上形成一第一閘極氧化物膜及一第二硬遮罩，蝕刻該第二硬遮罩之一底部，然後蝕刻位於該經蝕刻之第二硬遮罩之下之該第一閘極氧化物膜及該磊晶層；

使該經蝕刻之磊晶層經受熱氧化處理，從而形成一擴散氧化物膜，該擴散氧化物膜之厚度大於該第一閘極氧化物膜之厚度且該擴散氧化物膜之寬度大於該溝渠之寬度；

在於其一下部具有該擴散氧化物膜之該溝渠中形成一閘極；以及

在該閘極上形成一第二閘極氧化物膜，然後在該主體層上形成一源極區。

12. 如請求項11之方法，其中與該閘極之一下部接觸的該擴散氧化物膜之一上部之一中央係形成為具有一空洞。
13. 如請求項11之方法，其中該擴散氧化物膜具有一自1500 Å至4000 Å之厚度。
14. 如請求項11或13之方法，其中該擴散氧化物膜具有一自2000 Å至2500 Å之厚度。
15. 如請求項11之方法，其進一步包括以下步驟：在具有該

- 源極區及該第二閘極氧化物膜之該溝渠金屬氧化物半導體場效電晶體上形成一上部金屬。
16. 如請求項11之方法，其進一步包括在不具有該源極區的該主體層之一部分上形成一高濃度接觸區。
 17. 如請求項11之方法，其中該源極區係形成於該主體層上，且該方法進一步包括在不具有該源極區的該主體層之一上部之一表面上形成一高濃度接觸區。
 18. 如請求項16或17之方法，其進一步包括在具有該源極區、該第二閘極氧化物膜及該接觸區之該溝渠金屬氧化物半導體場效電晶體上形成一上部金屬。
 19. 如請求項11之方法，其中，該第一硬遮罩及該第二硬遮罩為氮化膜或氧化物膜。
 20. 如請求項19之方法，其中該第一硬遮罩及該第二硬遮罩係經由低壓化學氣相沈積或電漿增強化學氣相沈積予以形成。
 21. 如請求項11之方法，其中該蝕刻位於該經蝕刻之第二硬遮罩之下之該第一閘極氧化物膜及該磊晶層的步驟係藉由先蝕刻該第一閘極氧化物膜然後再蝕刻該磊晶層而執行。
 22. 如請求項11之方法，其中該蝕刻位於該經蝕刻之第二硬遮罩之下之該第一閘極氧化物膜及該磊晶層的步驟係藉由同時蝕刻該第一閘極氧化物膜及該磊晶層而執行。
 23. 如請求項16至17中任一項之方法，其中該基板、該磊晶層及該源極區摻有N型摻雜物，該主體層摻有P型摻雜

物，且該接觸區摻有高濃度P+型摻雜物。

24. 如請求項16至17中任一項之方法，其中該基板、該磊晶層及該源極區摻有P型摻雜物，該主體層摻有N型摻雜物，且該接觸區摻有高濃度N+型摻雜物。

十一、圖式：

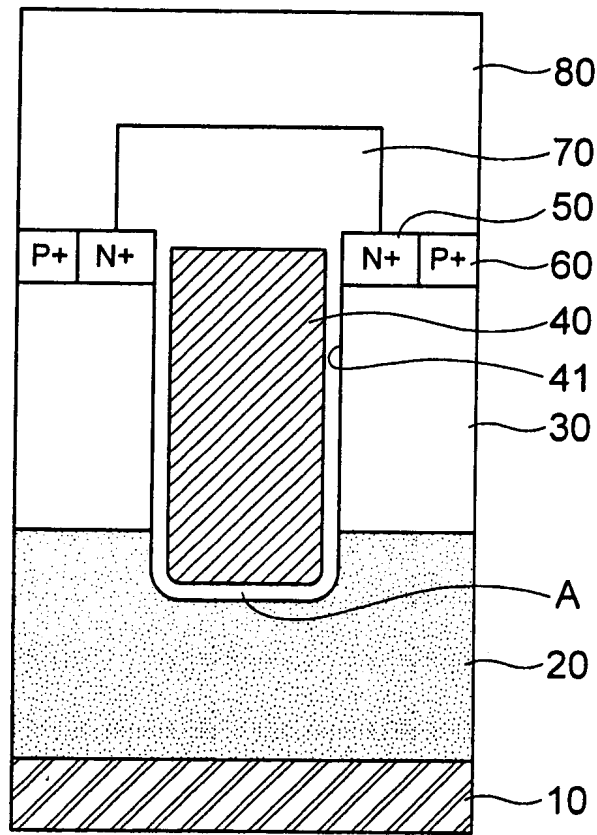


圖 1

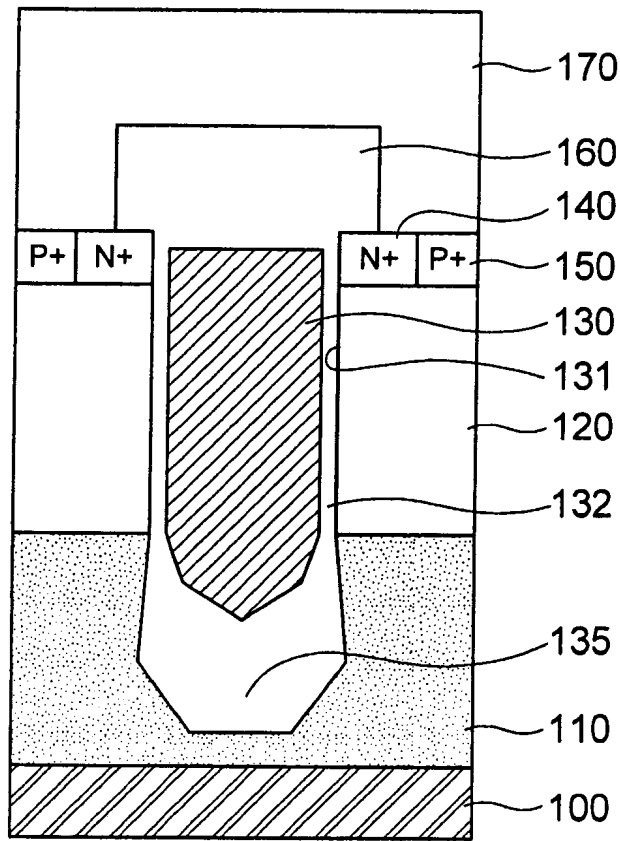


圖2

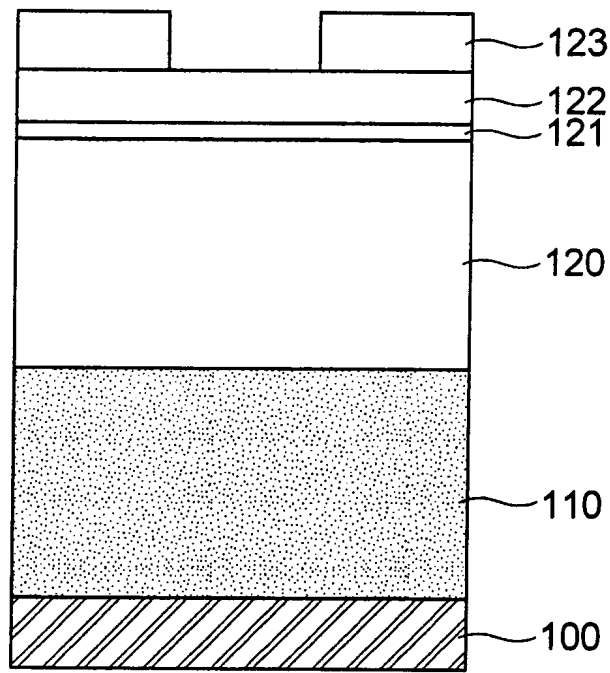


圖 3a

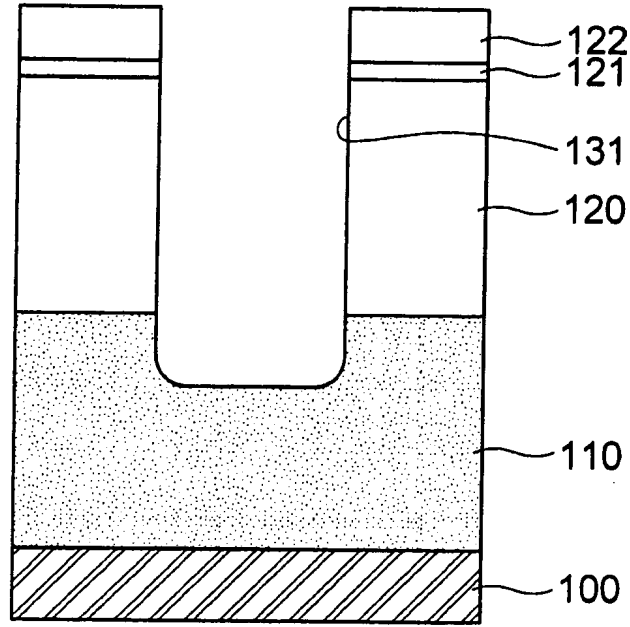


圖 3b

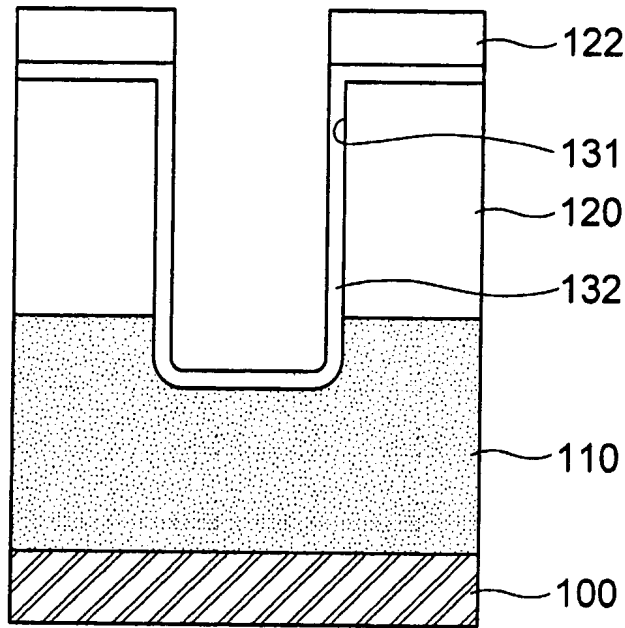


圖 3c

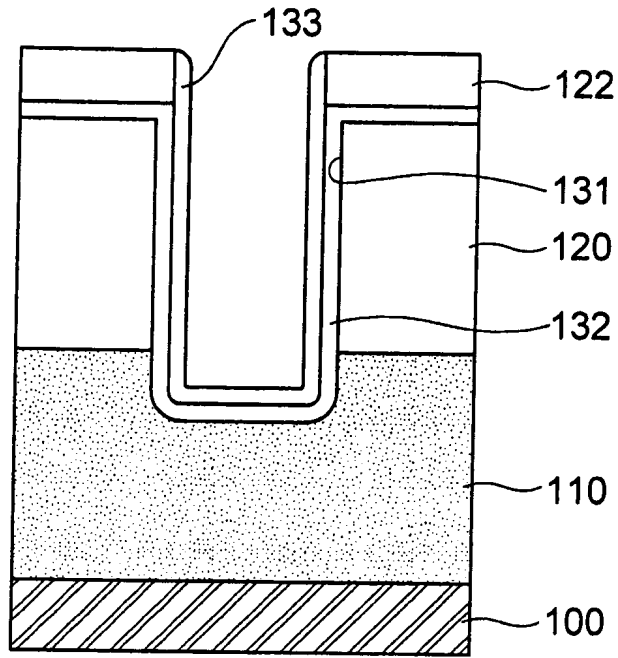


圖 3d

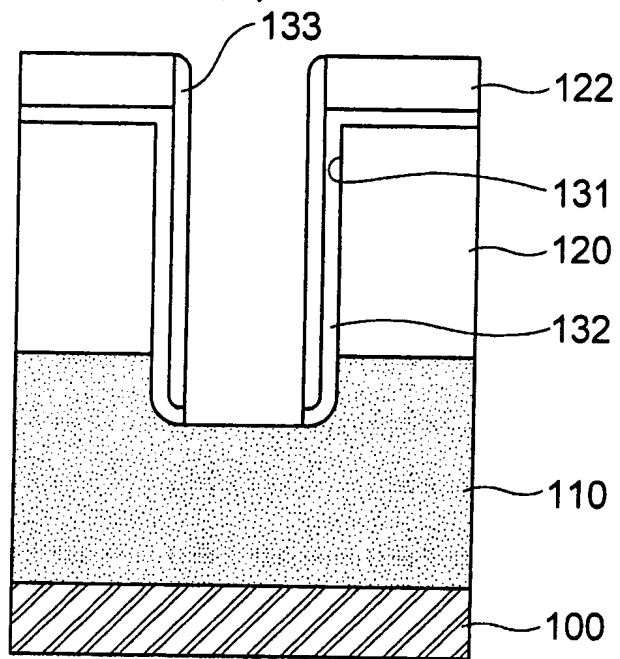


圖 3e

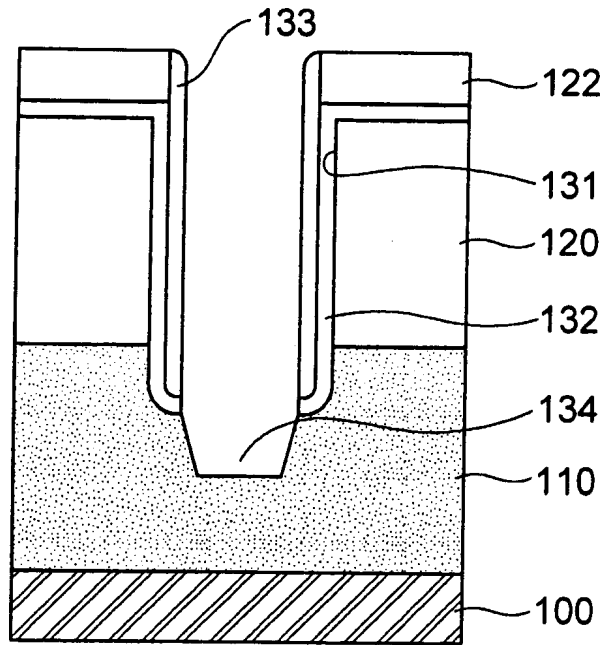


圖 3f

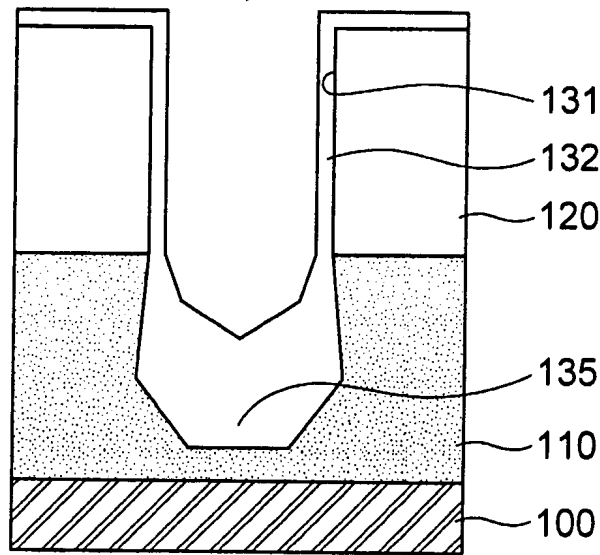


圖 3g

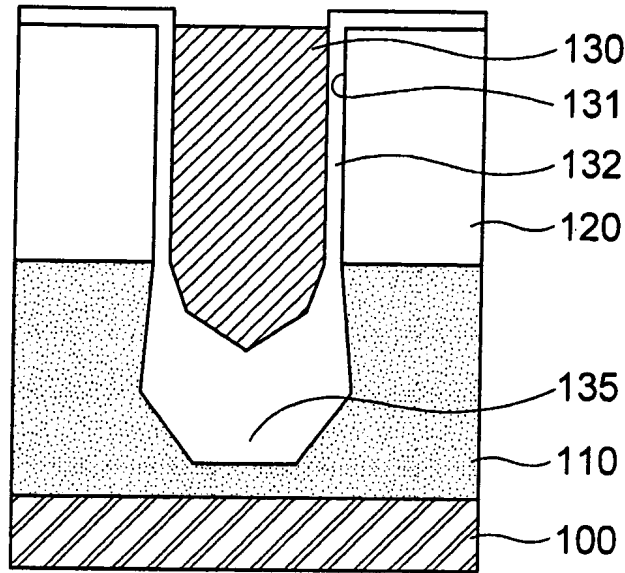


圖 3h

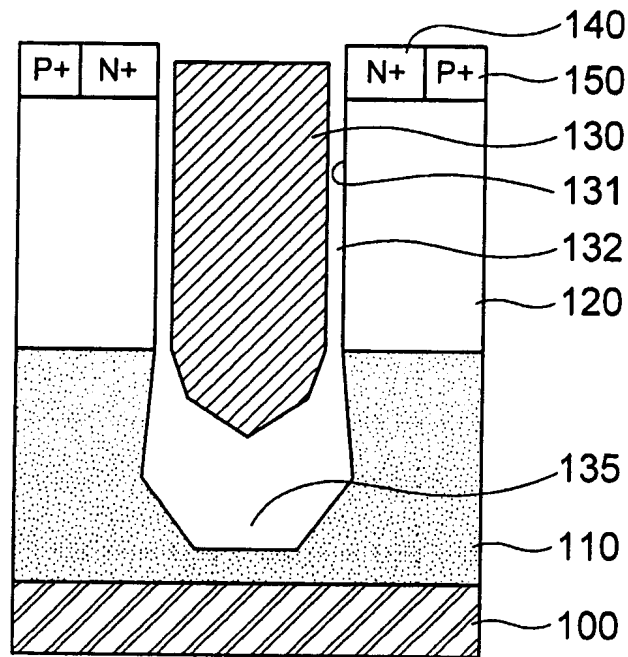


圖 3i

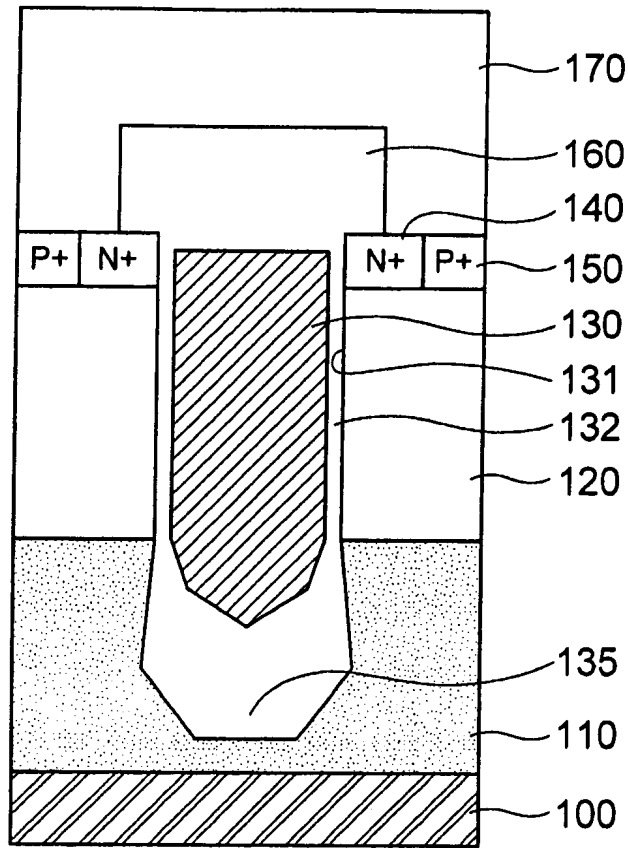


圖3j

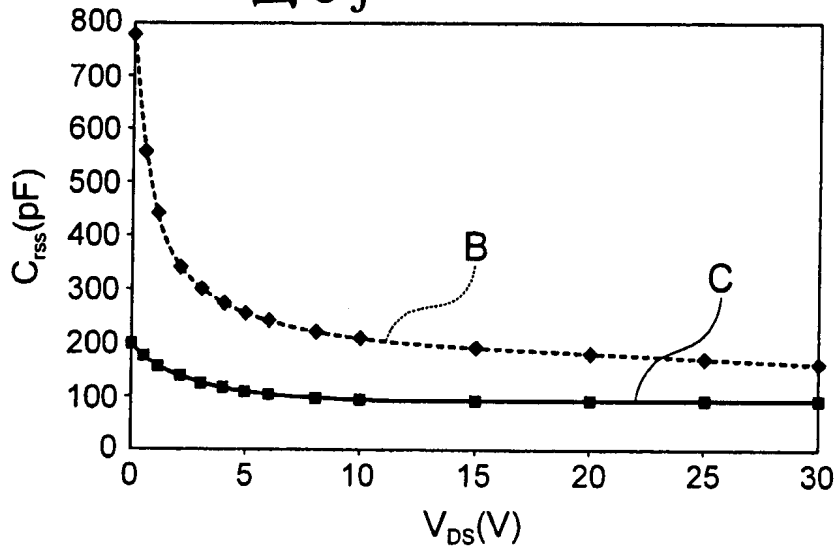


圖4

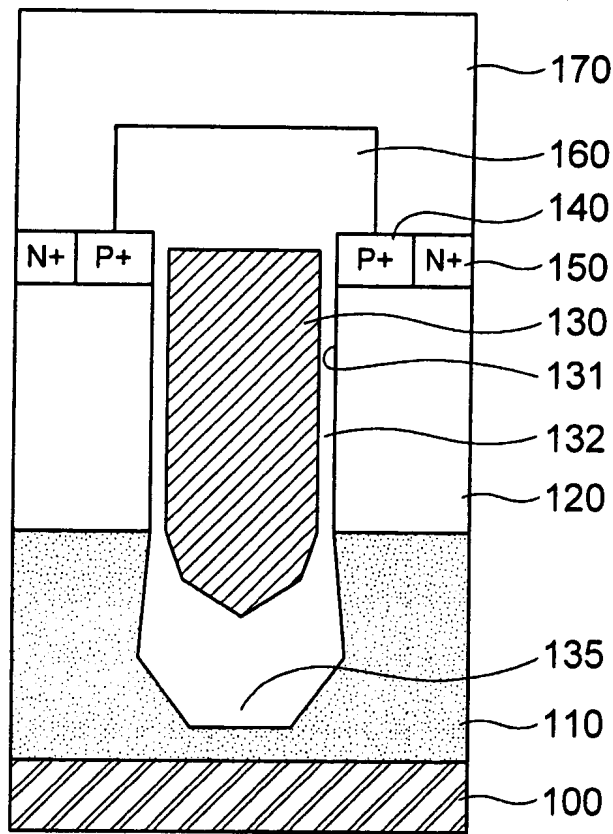


圖5

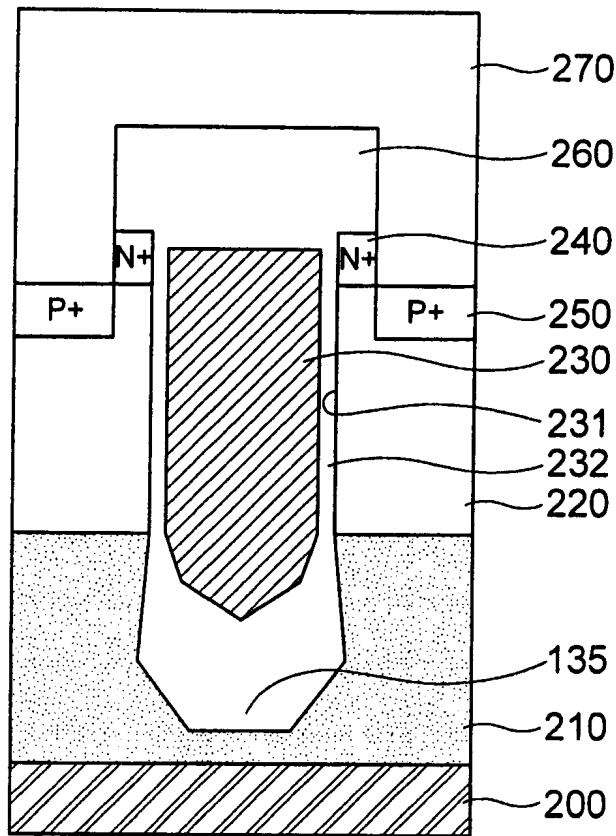


圖6

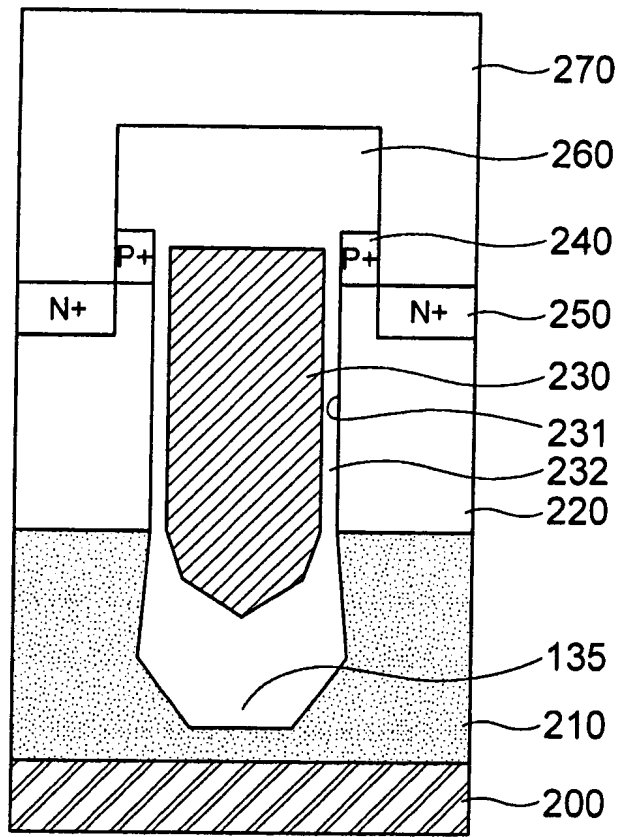


圖7

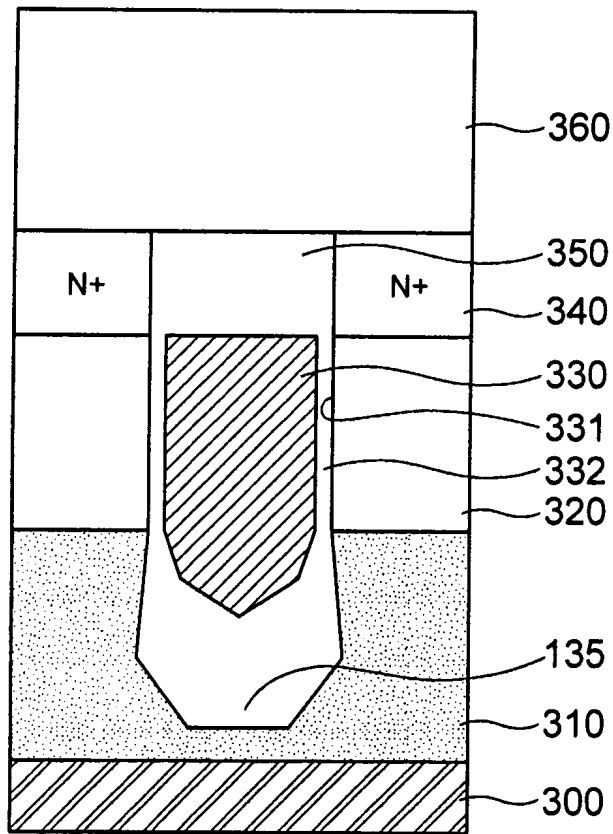


圖8

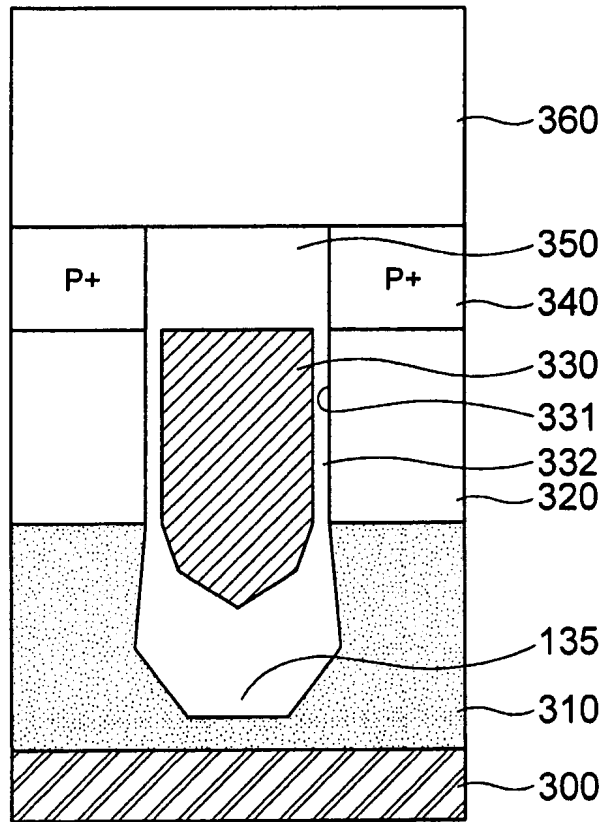


圖9

七、指定代表圖：

(一)本案指定代表圖為：第(5)圖。

(二)本代表圖之元件符號簡單說明：

100	基板
110	磊晶層
120	主體層
130	閘極
131	溝渠
132	第一閘極氧化物膜
135	擴散氧化物膜
140	源極區
150	接觸區
160	第二閘極氧化物膜
170	上部金屬

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)