



(21)申請案號：105100231

(22)申請日：中華民國 105 (2016) 年 01 月 06 日

(51)Int. Cl. :

*H01L21/336 (2006.01)**H01L29/772 (2006.01)*

(71)申請人：聯華電子股份有限公司 (中華民國) UNITED MICROELECTRONICS CORP. (TW)

新竹市新竹科學工業園區力行二路三號

(72)發明人：童宇誠 TUNG, YU-CHENG (TW)

(74)代理人：吳豐任；戴俊彥

申請實體審查：無 申請專利範圍項數：19 項 圖式數：14 共 23 頁

(54)名稱

半導體元件及其製作方法

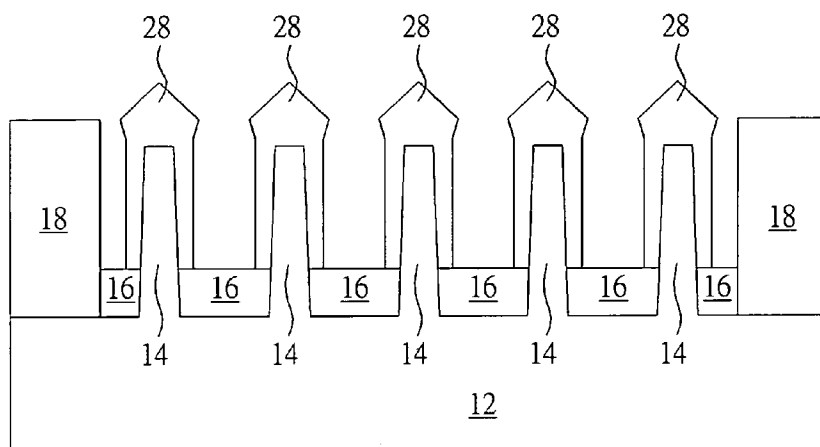
SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

(57)摘要

本發明揭露一種製作半導體元件的方法。首先提供一基底，該基底上設有複數個鰭狀結構，然後形成一第一淺溝隔離於鰭狀結構之間以及一第二淺溝隔離環繞鰭狀結構，去除部分鰭狀結構以及去除部分第一淺溝隔離使鰭狀結構上表面高於第一淺溝隔離上表面且低於第二淺溝隔離上表面。

A method for fabricating semiconductor device is disclosed. The method includes the steps of: providing a substrate having a plurality of fin-shaped structures thereon; forming a first shallow trench isolation (STI) between the fin-shaped structures and a second STI around the fin-shaped structures; removing part of the fin-shaped structures; and removing part of the first STI so that the top surfaces of the fin-shaped structures are higher than the top surface of the first STI and lower than the top surface of the second STI.

指定代表圖：



符號簡單說明：

12 . . . 基底

14 . . . 鰭狀結構

16 . . . 第一淺溝隔離

18 . . . 第二淺溝隔離

28 . . . 磊晶層

第5圖



申請日: 105. 1. 6

201725629

【發明摘要】

IPC分類: H01L 21/336 (2006.01)
H01L 29/772 (2006.01)

【中文發明名稱】 半導體元件及其製作方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND METHOD FOR

FABRICATING THE SAME

【中文】

本發明揭露一種製作半導體元件的方法。首先提供一基底，該基底上設有複數個鰭狀結構，然後形成一第一淺溝隔離於鰭狀結構之間以及一第二淺溝隔離環繞鰭狀結構，去除部分鰭狀結構以及去除部分第一淺溝隔離使鰭狀結構上表面高於第一淺溝隔離上表面且低於第二淺溝隔離上表面。

【英文】

A method for fabricating semiconductor device is disclosed. The method includes the steps of: providing a substrate having a plurality of fin-shaped structures thereon; forming a first shallow trench isolation (STI) between the fin-shaped structures and a second STI around the fin-shaped structures; removing part of the fin-shaped structures; and removing part of the first STI so that the top surfaces of the fin-shaped structures are higher than the top surface of the first STI and lower than the top surface of the second STI.

【指定代表圖】第（ 5 ）圖。

【代表圖之符號簡單說明】

12	基底	14	鱗狀結構
16	第一淺溝隔離	18	第二淺溝隔離
28	磊晶層		

【特徵化學式】

無

【發明說明書】

【中文發明名稱】

半導體元件及其製作方法

【英文發明名稱】

SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

【技術領域】

【0001】 本發明是關於一種製作半導體元件的方法，尤指一種使鰭狀結構與淺溝隔離產生高低差的方法。

【先前技術】

【0002】 隨著場效電晶體(field effect transistors, FETs)元件尺寸持續地縮小，習知平面式(planar)場效電晶體元件之發展已面臨製程上之極限。為了克服製程限制，以非平面(non-planar)之場效電晶體元件，例如鰭狀場效電晶體(fin field effect transistor, Fin FET)元件來取代平面電晶體元件已成為目前之主流發展趨勢。由於鰭狀場效電晶體元件的立體結構可增加閘極與鰭狀結構的接觸面積，因此，可進一步增加閘極對於載子通道區域的控制，從而降低小尺寸元件面臨的汲極引發能帶降低(drain induced barrier lowering, DIBL)效應，並可以抑制短通道效應(short channel effect, SCE)。再者，由於鰭狀場效電晶體元件在同

第 1 頁，共 10 頁(發明說明書)

樣的閘極長度下會具有更寬的通道寬度，因而可獲得加倍的汲極驅動電流。甚而，電晶體元件的臨界電壓(threshold voltage)亦可藉由調整閘極的功函數而加以調控。

【0003】 然而，在習知鰭狀場效電晶體元件製程中，去除部分鰭狀結構後形成凹槽以進行後續磊晶層成長的標準製程時常因過渡蝕刻鰭狀結構而使鰭狀結構略低於周圍的淺溝隔離，影響後續磊晶層的成長。因此如何改良現有鰭狀場效電晶體製程以改良前述缺點即為現今一重要課題。

【發明內容】

【0004】 本發明較佳實施例揭露一種製作半導體元件的方法。首先提供一基底，該基底上設有複數個鰭狀結構，然後形成一第一淺溝隔離於鰭狀結構之間以及一第二淺溝隔離環繞鰭狀結構，去除部分鰭狀結構以及去除部分第一淺溝隔離使鰭狀結構上表面高於第一淺溝隔離上表面且低於第二淺溝隔離上表面。

【0005】 本發明另一實施例揭露一種半導體元件，包含：一基底；複數個鰭狀結構設於基底上；以及一第一淺溝隔離設於鰭狀結構之間以及一第二淺溝隔離環繞鰭狀結構，其中該等鰭狀結構上表面高於第一淺溝隔離上表面且低於第二淺歐隔離上表面。

【圖式簡單說明】

【0006】

第1圖至第5圖為本發明較佳實施例製作一半導體元件之方法示意圖。

第6圖為本發明一實施例之一半導體元件之結構示意圖。

第7圖至第9圖為本發明一實施例製作一半導體元件之方法示意圖。

第10圖至第11圖為本發明一實施例之一半導體元件之結構示意圖。

第12圖至第13圖為本發明一實施例製作一半導體元件之方法示意圖。

第14圖為本發明一實施例之一半導體元件之結構示意圖。

【實施方式】

【0007】 請參照第1圖至第5圖，第1圖至第5圖為本發明較佳實施例製作一半導體元件之方法示意圖，其中第1圖為本發明製作半導體元件之立體結構示意圖，第2圖則為第1圖中沿著切線AA'之剖面示意圖。如第1圖與第2圖所示，首先提供一基底12，例如一矽基底或矽覆絕緣(silicon on insulator, SOI)基板，然後形成至少一鰭狀結構14於基底12上。接著形成一第一淺溝隔離(shallow trench isolation, STI)16於鰭狀結構14之間以及一第二淺溝隔離18環繞鰭狀結構14，

【0008】 依據本發明之較佳實施例，鰭狀結構14較佳透過側壁圖案轉移(sidewall image transfer, SIT)技術製得，其程序大致包括：提供一佈局圖案至電腦系統，並經過適當地運算以將相對應之圖案定義於光罩中。後續可透過光微影及蝕刻製程，以形成多個等距且等寬之圖案化犧牲層於基底上，使其個別外觀呈現條狀。之後依序施行沉積及蝕刻

製程，以於圖案化犧牲層之各側壁形成側壁子。繼以去除圖案化犧牲層，並在側壁子的覆蓋下施行蝕刻製程，使得側壁子所構成之圖案被轉移至基底內，再伴隨鰭狀結構切割製程(fin cut)而獲得所需的圖案化結構，例如條狀圖案化鰭狀結構。

【0009】 除此之外，鰭狀結構14之形成方式又可包含先形成一圖案化遮罩(圖未示)於基底12上，再經過一蝕刻製程，將圖案化遮罩之圖案轉移至基底12中以形成鰭狀結構14。另外，鰭狀結構14之形成方式另也可以是先製作一圖案化硬遮罩層(圖未示)於基底12上，並利用磊晶製程於暴露出於圖案化硬遮罩層之基底12上成長出例如包含矽鍺的半導體層，而此半導體層即可作為相對應的鰭狀結構14。這些形成鰭狀結構14的實施例均屬本發明所涵蓋的範圍。

【0010】 此外，形成第一淺溝隔離16與第二淺溝隔離18的方法可先全面性沉積一由例如氧化矽所構成的絕緣材料於基底12上並覆蓋鰭狀結構14，然後進行一平坦化製程，例如利用化學機械研磨(chemical mechanical polishing, CMP)搭配微影暨蝕刻製程去除部分絕緣材料，以於鰭狀結構14之間形成第一淺溝隔離16以及於鰭狀結構14周圍形成第二淺溝隔離18。由於第一淺溝隔離16與第二淺溝隔離18均於同一道製程中所形成，因此在此階段第一淺溝隔離16與第二淺溝隔離18的上表面較佳切齊且均低於鰭狀結構14上表面，且第一淺溝隔離16下表面也切齊第二淺溝隔離18下表面。另外本實施例的鰭狀結構14雖以五根為例，但其數量並不以此為限，可依據產品需求進行調整。

【0011】 接著可於基底12上形成閘極結構20橫跨鰭狀結構14，於閘極結構20兩側的鰭狀結構14中形成輕摻雜汲極(圖未示)，形成側壁子22於閘極結構20側壁，並於側壁子22兩側的鰭狀結構14中形成源極/汲極區域(圖未示)等元件。

【0012】 在本實施例中，形成閘極結構20的方式較佳依序形成一閘極介電層24以及一閘極材料層26於基底12上，並利用一圖案化光阻(圖未示)當作遮罩進行一圖案轉移製程，以單次蝕刻或逐次蝕刻步驟，去除部分閘極材料層26與部分閘極介電層24，然後剝除圖案化光阻，以於基底12形成一由圖案化之閘極材料層26以及圖案化之閘極介電層24所構成的閘極結構20。側壁子22可為一單一側壁子或複合式側壁子，且可選自由氧化矽、氮化矽、氮氧化矽以及氮碳化矽所構成的群組。輕摻雜汲極與源極/汲極區域可依據所製作的半導體元件形態包含N型或P型摻質。例如若所製作的半導體元件為NMOS鰭狀結構電晶體，輕摻雜汲極與源極/汲極區域較佳包含N型摻質。反之若所製作的半導體元件為PMOS鰭狀結構電晶體，輕摻雜汲極與源極/汲極區域較佳包含P型摻質。

【0013】 然後如第3圖所示，進行一蝕刻製程去除未被閘極結構20所覆蓋的部分鰭狀結構14，例如閘極結構20兩側的鰭狀結構14並使所有鰭狀結構14上表面略低於第一淺溝隔離16與第二淺溝隔離18上表面。

【0014】 如第4圖所示，接著形成一圖案化遮罩(圖未示)，例如一圖案化光阻並覆蓋部分鰭狀結構14與第一淺溝隔離16以外的區域，並利

用圖案化光阻為遮罩進行一蝕刻製程去除部分第一淺溝隔離16，使鰭狀結構14上表面高於剩餘的第一淺溝隔離16上表面且同時低於第二淺溝隔離18上表面。換句話說，此時設於鰭狀結構14之間的第一淺溝隔離16與環繞鰭狀結構14周圍的第二淺溝隔離18之間已具有一高低差，或更具體而言，第一淺溝隔離16、鰭狀結構14以及第二淺溝隔離18等三者之間已同時具有三種不同高度。需注意的是，若僅去除第2圖中的部分第一淺溝隔離16，邊緣的鰭狀結構14側壁將較佳貼齊或接觸第二淺溝隔離18。本實施例則較佳在進行前述蝕刻製程時調整圖案化遮罩的位置，在去除部分第一淺溝隔離16時選擇性去除部分第二淺溝隔離18，使部分第二淺溝隔離18形成高度較低的第一淺溝隔離16，如此邊緣的鰭狀結構14側壁將不與第二淺溝隔離18直接接觸。這兩種變化型均屬本發明所涵蓋的範圍。

【0015】 此外，不侷限於第3圖至第4圖先去除部分鰭狀結構14後再利用圖案化光阻去除部分第一淺溝隔離16，本發明之一實施例又可選擇形成第2圖之結構後先形成一圖案化遮罩覆蓋部分鰭狀結構14與第一淺溝隔離16以外的區域，然後利用此圖案化遮罩依序去除部分鰭狀結構14與第一淺溝隔離16，以形成第4圖具有不同高度之淺溝隔離與鰭狀結構的結構。

【0016】 在本實施例中，第二淺溝隔離18的上表面較佳高於鰭狀結構14上表面與第一淺溝隔離16上表面且鰭狀結構14上表面又高於第一淺溝隔離16上表面，但不侷限於此，依據本發明其他實施例，可再依據製程需求調整這三者的高度而得到不同的結構態樣。舉例來說，本發

明又可使鰭狀結構14上表面同時高於第一淺溝隔離16上表面與第二淺溝隔離18的上表面且第二淺溝隔離18上表面又高於第一淺溝隔離16上表面，或使鰭狀結構14上表面與第二淺溝隔離18上表面切齊且兩者均同時高於第一淺溝隔離16上表面，這些變化形均屬本發明所涵蓋的範圍。

【0017】 如第5圖所示，隨後進行一磊晶成長製程以形成一磊晶層28於各鰭狀結構14上，其中磊晶層28可包含鍺化矽，但不侷限於此。更具體而言，所成長的磊晶層28較佳共形地覆蓋於鰭狀結構14上表面與側壁以及部分第一淺溝隔離16上表面，但不填滿鰭狀結構14之間的空間。此外磊晶層28也可選擇性延伸覆蓋到第二淺溝隔離18部分上表面與側壁，此實施例也屬本發明所涵蓋的範圍。

【0018】 另外，不侷限於第5圖磊晶層28所設置的位置，依據本發明之一實施例，如第6圖所示，本發明又可調整磊晶層28所覆蓋的區域，於第一淺溝隔離16、第二淺溝隔離18以及鰭狀結構14上形成磊晶層28的時候使磊晶層28填滿鰭狀結構14之間與第一淺溝隔離16上方的所有空間，此實施例也屬本發明所涵蓋的範圍。

【0019】 請參照第7圖至第9圖，第7圖至第9圖為本發明一實施例製作一半導體元件之方法示意圖。如第7圖所示，首先依據前述製程形成第3圖之結構，例如使鰭狀結構14上表面高於第一淺溝隔離16上表面且同時低於第二淺溝隔離18上表面。然後進行一蝕刻製程等向性去除部分鰭狀結構14，例如使所有位於第一淺溝隔離16頂部之水平面以上的鰭

狀結構14全面縮小，藉此將各鰭狀結構14分隔為一上半部30與一下半部32，其中上半部30的底表面較佳小於下半部32的上表面。

【0020】 如第8圖所示，接著利用一圖案化遮罩進行一蝕刻製程，去除所有鰭狀結構14之間的第一淺溝隔離16並暴露出部分基底12表面，然後再形成磊晶層(圖未示)於鰭狀結構14上。

【0021】 此外，如第9圖所示，本發明又可於完成第7圖的結構後進行一磊晶成長製程，以形成一磊晶層28於各鰭狀結構14上半部30的側壁。由於鰭狀結構14上半部30與下半部32之間具有一寬度差，所形成的磊晶層28可選擇切齊下半部的側壁或不切齊下半部的側壁，且較佳不設於鰭狀結構14上半部30之上表面。

【0022】 請參照第10圖，第10圖為第9圖之一變化型之結構示意圖。如第10圖所示，相較於第9圖所成長的磊晶層28不覆蓋任何鰭狀結構14上表面，本發明又可選擇於形成磊晶層28時調整磊晶層28所覆蓋的區域，使磊晶層28除了覆蓋鰭狀結構14上半部30的側壁之外又同時蓋住上半部30的上表面，且設於鰭狀結構14上半部30的磊晶層28上表面可選擇高於或低於周邊第二淺溝隔離18上表面，此實施例也屬本發明所涵蓋的範圍。

【0023】 請再參照第11圖，第11圖為第9圖另一變化型之結構示意圖。如第11圖所示，本發明又可選擇於形成磊晶層28時使磊晶層28與所有鰭狀結構14上半部30融為一體而構成一單一磊晶層28，且磊晶層

28的上表面較佳高於周圍第二淺溝隔離18上表面，但不排除磊晶層28上表面可低於周圍第二淺溝隔離18上表面。如圖中所示，本實施例的單一磊晶層28下表面較佳與第一淺溝隔離16以及鰭狀結構14下半部32的上表面切齊。

【0024】請參照第12圖至第13圖，第12圖至第13圖為本發明一實施例製作一半導體元件之方法示意圖。如第12圖所示，首先依據前述製程形成第3圖之結構，例如使所有鰭狀結構14上表面略低於第一淺溝隔離16與第二淺溝隔離18上表面。然後形成一圖案化遮罩(圖未示)，例如一圖案化光阻覆蓋鰭狀結構14與第一淺溝隔離16以外的區域，並利用圖案化光阻為遮罩進行一蝕刻製程去除所有第一淺溝隔離16甚至部分第二淺溝隔離18並暴露出鰭狀結構14之間的基底12表面。

【0025】接著如第13圖所示，進行一磊晶成長製程以形成一磊晶層28於鰭狀結構14與基底12上。更具體而言，由於鰭狀結構14之間以沒有任何第一淺溝隔離16存在，所成長的磊晶層28較加共形地覆蓋於鰭狀結構14上表面與側壁以及鰭狀結構14之間的基底12上並接觸基底12表面但不填滿鰭狀結構14之間的空間，甚至可延伸至第二淺溝隔離18部分上表面與側壁。

【0026】此外，類似第6圖所揭露的實施例，如第14圖所示，本發明又可調整磊晶層28所覆蓋的區域，例如於鰭狀結構14以及基底12上形成磊晶層28的時候使磊晶層28填滿鰭狀結構14之間與基底12上方的所有空間，此實施例也屬本發明所涵蓋的範圍。

【0027】 此外，依據本發明之一實施例，本發明可於完成第5圖、第6圖、第9圖、第10圖、第13圖或第14圖的結構後選擇性進行一退火製程，將磊晶層28中的銻原子驅入至鰭狀結構14內，然後再去除鰭狀結構14周圍的氧化層，以形成由銻原子所構成的鰭狀結構14。另外，依據本發明之又一實施例，上述各實施例中的磊晶材料均可視實際需求而定，例如磊晶可與鰭狀結構的材料相同，可包含N型或P型摻質，或可包含多層結構，這些均屬本發明所涵蓋的範圍。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【符號說明】

【0028】

12	基底	14	鰭狀結構
16	第一淺溝隔離	18	第二淺溝隔離
20	閘極結構	22	側壁子
24	閘極介電層	26	閘極材料層
28	磊晶層	30	上半部
32	下半部		

【發明申請專利範圍】

【第1項】 一種製作半導體元件的方法，包含：

提供一基底，該基底上設有複數個鰭狀結構；

形成一第一淺溝隔離於該等鰭狀結構之間以及一第二淺溝隔離環繞該等鰭狀結構；

去除部分該等鰭狀結構；以及

去除部分該第一淺溝隔離使該等鰭狀結構之上表面高於該第一淺溝隔離之上表面且低於該第二淺溝隔離之上表面。

【第2項】 如申請專利範圍第1項所述之方法，另包含形成一磊晶層於該第一淺溝隔離、該第二淺溝隔離、該等鰭狀結構及該等鰭狀結構之側壁上。

【第3項】 如申請專利範圍第1項所述之方法，另包含形成一磊晶層於該第一淺溝隔離、該第二淺溝隔離及該等鰭狀結構上並同時填滿該等鰭狀結構之間的空間。

【第4項】 如申請專利範圍第1項所述之方法，另包含：

於去除部分該等鰭狀結構後完全去除該第一淺溝隔離；以及

形成一磊晶層於該基底、該第二淺溝隔離、該等鰭狀結構及該等鰭狀結構側壁上。

【第5項】 如申請專利範圍第1項所述之方法，另包含：

第1頁，共4頁(發明申請專利範圍)

於去除部分該等鰭狀結構後完全去除該第一淺溝隔離；以及
形成一磊晶層於該基底、該第二淺溝隔離及該等鰭狀結構上並填滿
該等鰭狀結構之間的空間。

【第6項】 如申請專利範圍第1項所述之方法，另包含：

於去除部分該等第一淺溝隔離後去除部分該等鰭狀結構，並將各該
鰭狀結構分隔為一上半部以及一下半部，其中該上半部之底表面小於
該下半部之上表面。

【第7項】 如申請專利範圍第6項所述之方法，另包含於去除部分該等
鰭狀結構之後形成一磊晶層於該等鰭狀結構之側壁旁。

【第8項】 如申請專利範圍第6項所述之方法，另包含於去除部分該等
鰭狀結構之後完全去除該第一淺溝隔離。

【第9項】 如申請專利範圍第1項所述之方法，其中該第一淺溝隔離之
下表面切齊該第二淺溝隔離之下表面。

【第10項】 一種半導體元件，包含：

一基底；

複數個鰭狀結構設於該基底上；以及

一第一淺溝隔離設於該等鰭狀結構之間以及一第二淺溝隔離環繞
該等鰭狀結構，其中該等鰭狀結構之上表面高於該第一淺溝隔離之上
表面且低於該第二淺溝隔離之上表面。

第 2 頁，共 4 頁(發明申請專利範圍)

【第11項】 如申請專利範圍第10項所述之半導體元件，另包含：

一磊晶層設於該第一淺溝隔離、該第二淺溝隔離、該等鰭狀結構及該等鰭狀結構之側壁上。

【第12項】 如申請專利範圍第10項所述之半導體元件，另包含：

一磊晶層設於該第一淺溝隔離、該第二淺溝隔離及該等鰭狀結構上並填滿該等鰭狀結構之間的空間。

【第13項】 如申請專利範圍第10項所述之半導體元件，其中該第一淺溝隔離之下表面切齊該第二淺溝隔離之下表面。

【第14項】 如申請專利範圍第10項所述之半導體元件，其中各該鰭狀結構包含一上半部以及一下半部，該上半部之底表面小於該下半部之上表面。

【第15項】 如申請專利範圍第14項所述之半導體元件，另包含一磊晶層設於該上半部之側壁。

【第16項】 如申請專利範圍第14項所述之半導體元件，另包含一磊晶層設於該上半部之側壁及上表面。

【第17項】 一種半導體元件，包含：

一基底；

複數個鰭狀結構設於該基底上；

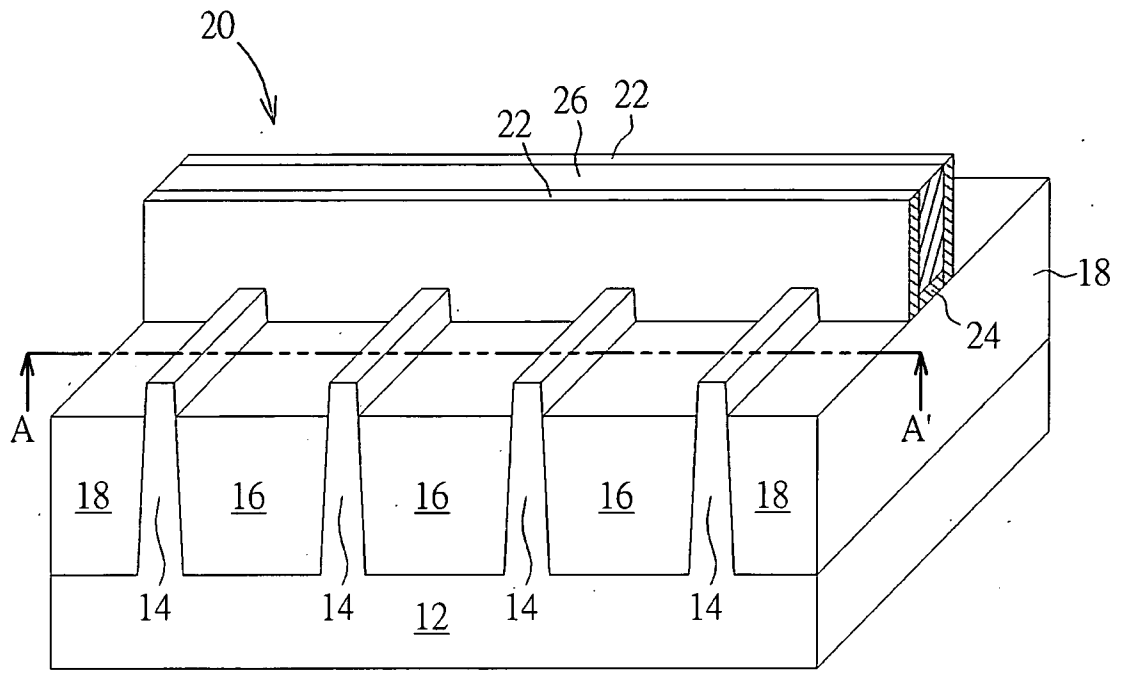
一淺溝隔離環繞該等鰭狀結構，其中該等鰭狀結構之上表面低於該淺溝隔離之上表面；以及

一磊晶層設於該淺溝隔離、該等鰭狀結構之上表面及該等鰭狀結構之側壁上並接觸該基底。

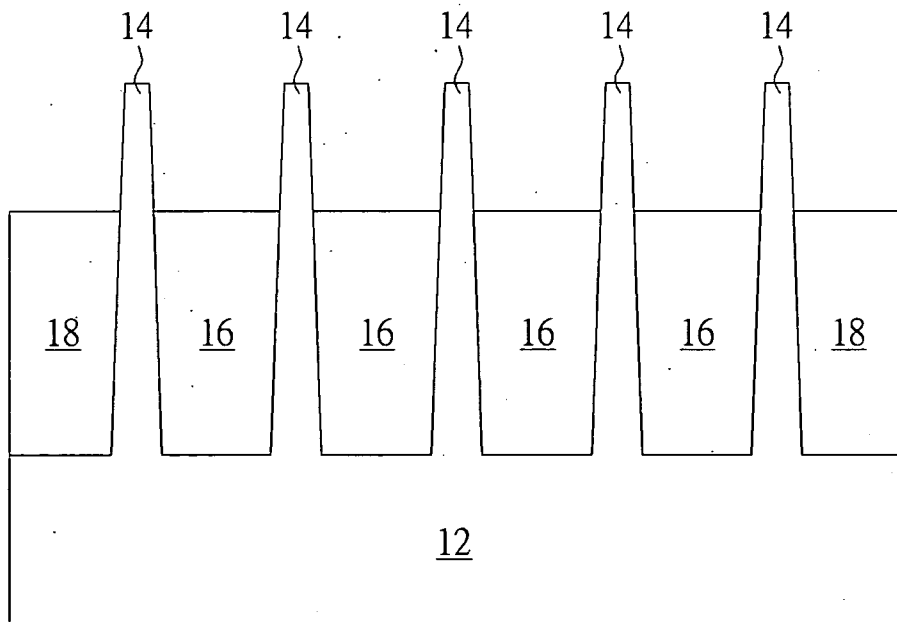
【第18項】如申請專利範圍第17項所述之半導體元件，其中該磊晶層填滿該等鰭狀結構之間的空間。

【第19項】如申請專利範圍第17項所述之半導體元件，其中該磊晶層之上表面高於該淺溝隔離之上表面。

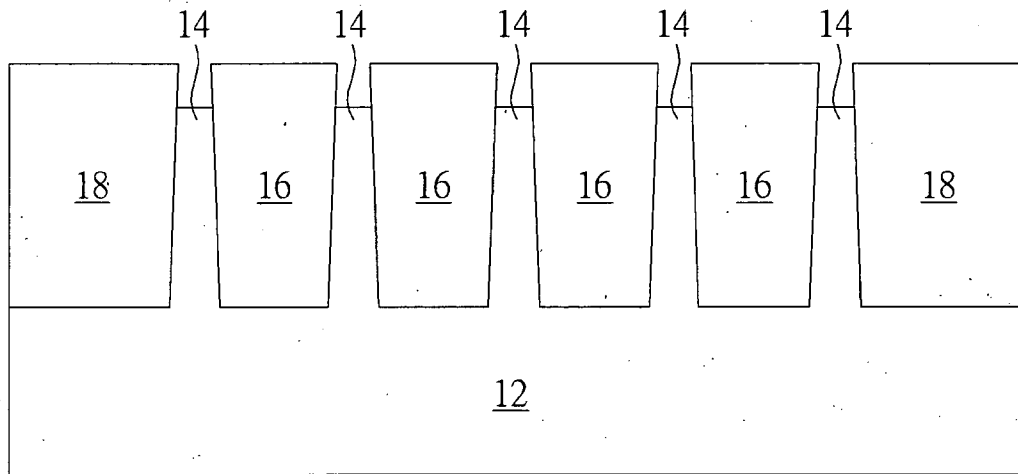
【發明圖式】



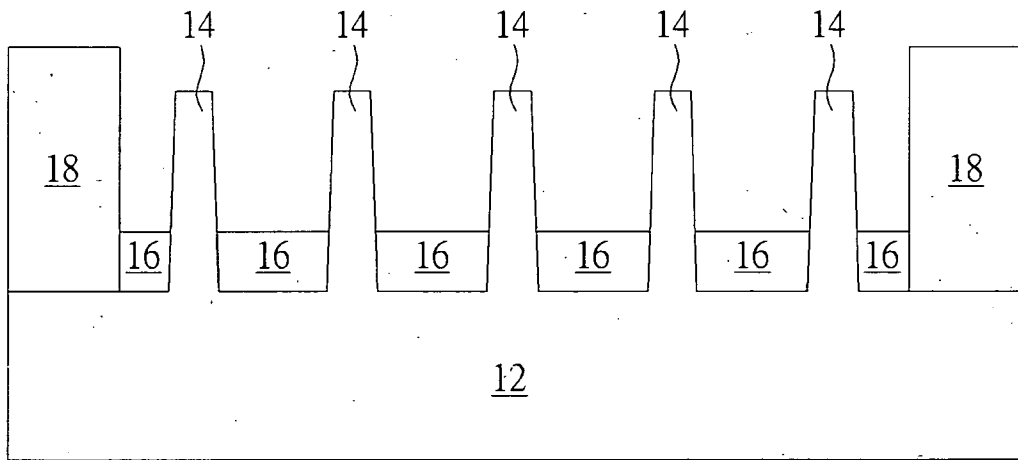
第1圖



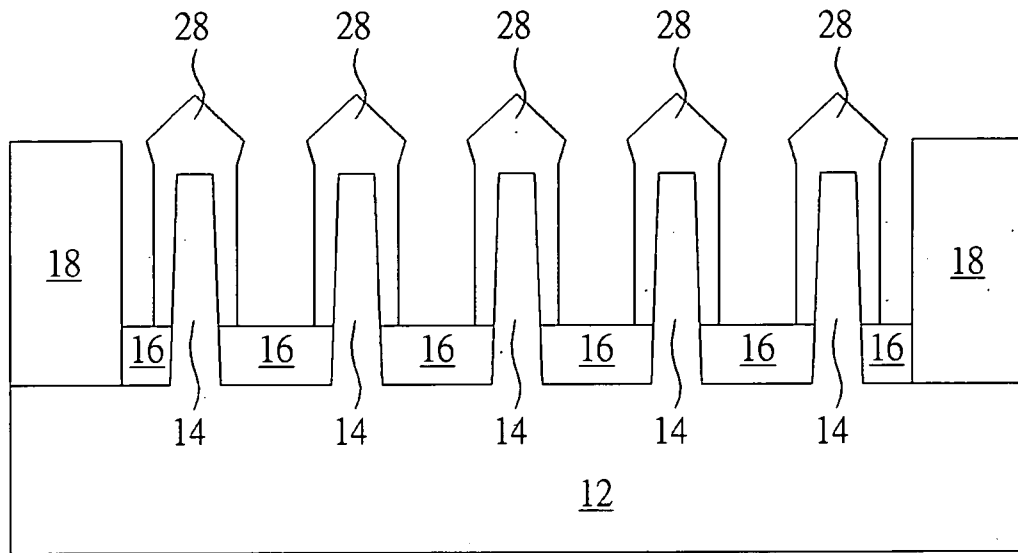
第2圖



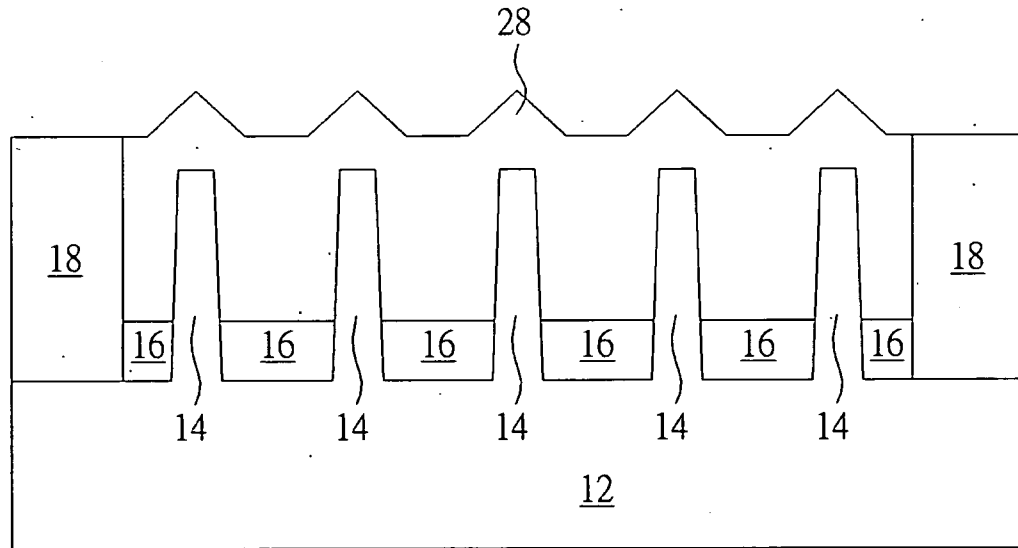
第3圖



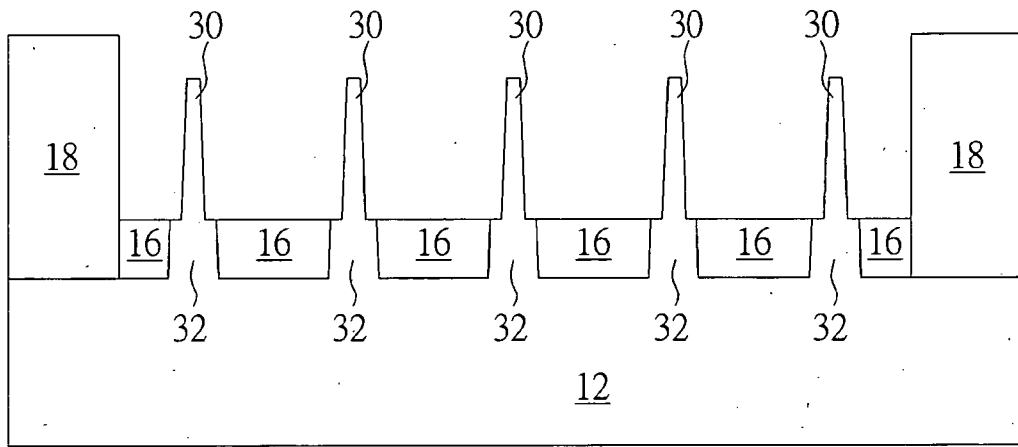
第4圖



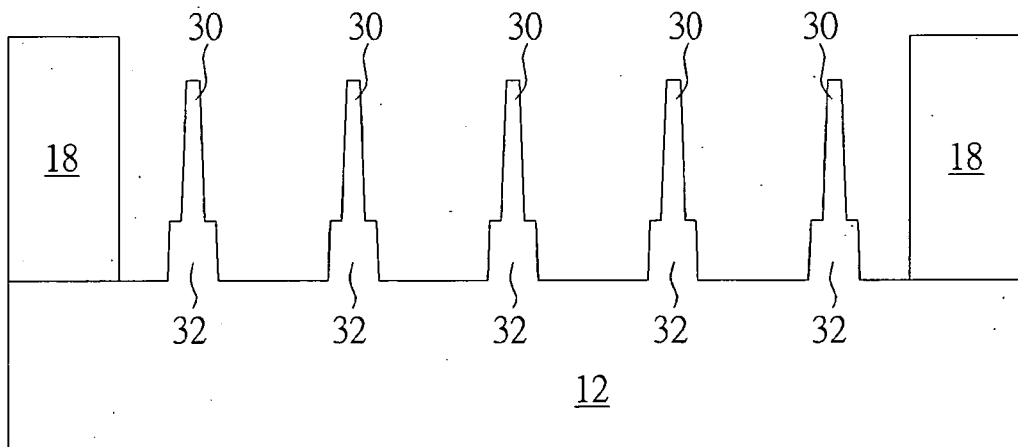
第5圖



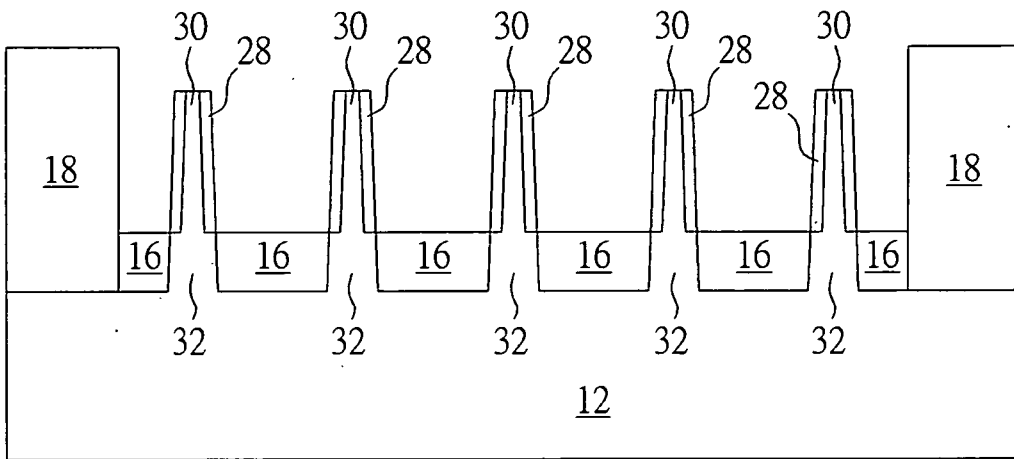
第6圖



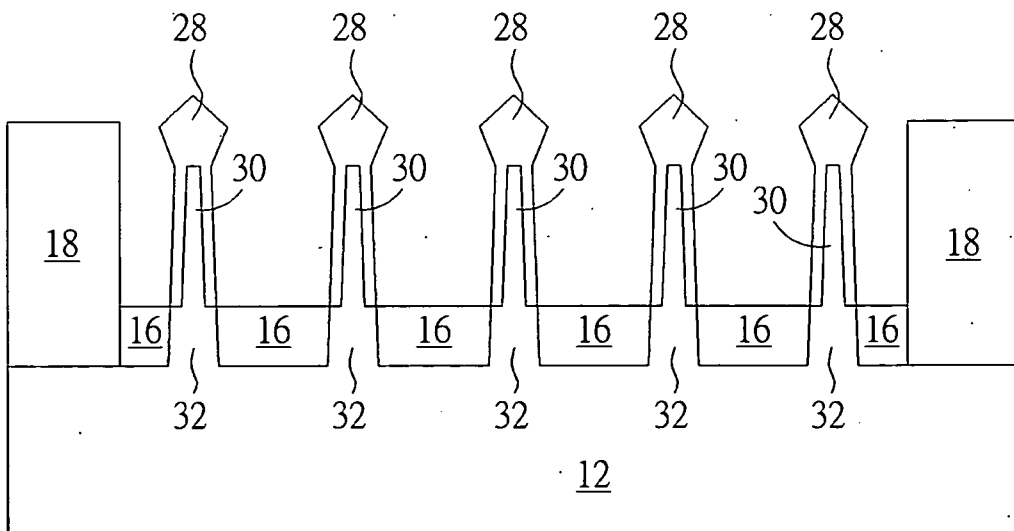
第7圖



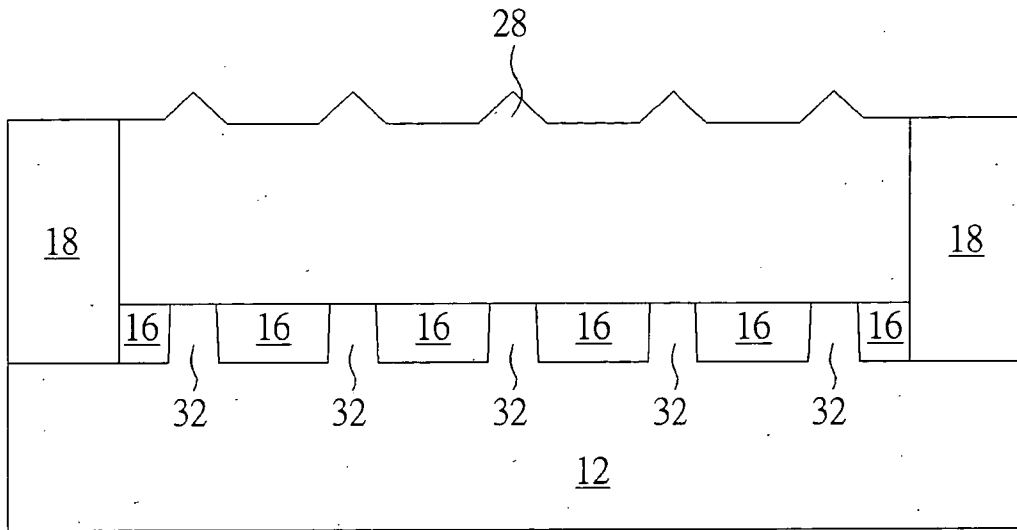
第8圖



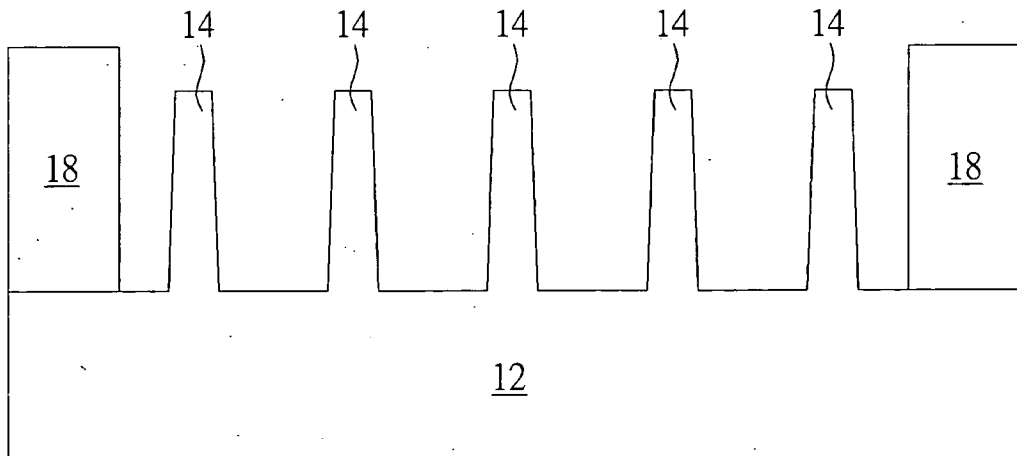
第9圖



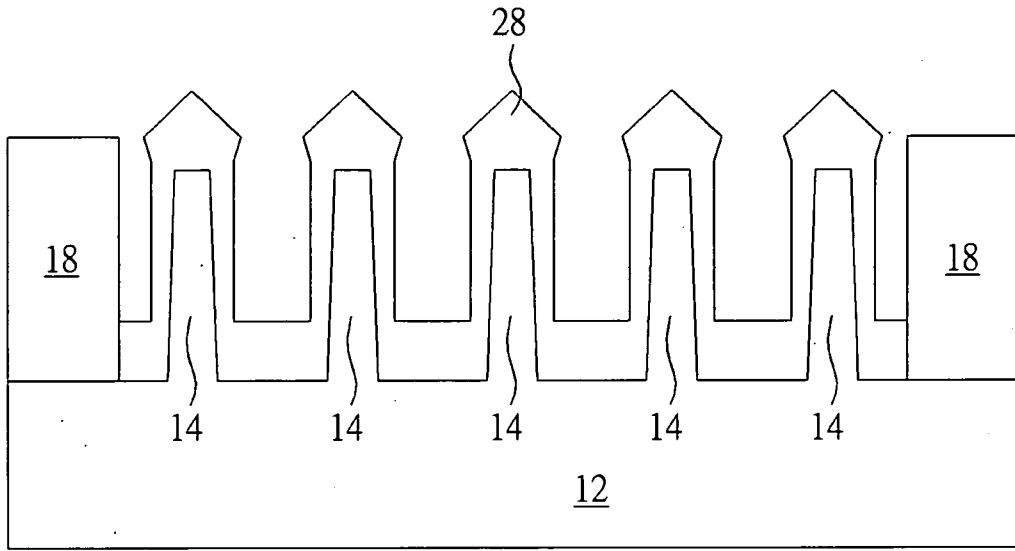
第10圖



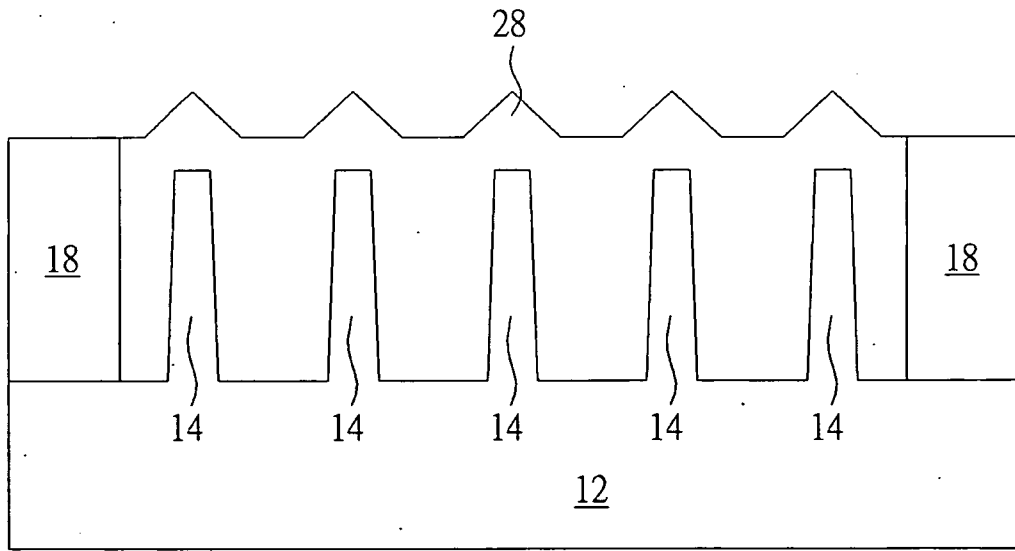
第11圖



第12圖



第13圖



第14圖