

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-69807
(P2013-69807A)

(43) 公開日 平成25年4月18日(2013.4.18)

(51) Int.Cl.

H05K	3/46	(2006.01)
H01L	23/12	(2006.01)
H05K	3/28	(2006.01)

F 1

H 05 K	3/46
H 01 L	23/12
H 05 K	3/28

テーマコード(参考)

Q	5 E 3 1 4
N	5 E 3 4 6
G	

審査請求 未請求 請求項の数 8 O L (全 23 頁)

(21) 出願番号

特願2011-206549 (P2011-206549)

(22) 出願日

平成23年9月21日 (2011. 9. 21)

(71) 出願人 000190688

新光電気工業株式会社

長野県長野市小島田町80番地

(74) 代理人 100070150

弁理士 伊東 忠彦

(72) 発明者 内山 健太

長野県長野市小島田町80番地 新光電氣
工業株式会社内

F ターム(参考) 5E314 AA31 AA32 BB01 CC17 FF01

FF21 GG26

5E346 AA12 AA15 AA60 CC09 CC10

CC32 FF45 GG28 HH11

(54) 【発明の名称】半導体パッケージ及びその製造方法

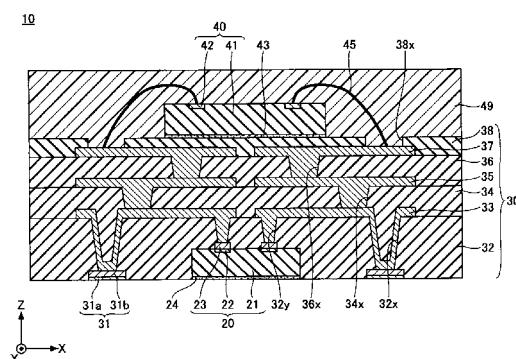
(57) 【要約】

【課題】反りを低減可能な半導体パッケージ、及びその製造方法を提供する。

【解決手段】本半導体パッケージは、第1の半導体チップの回路形成面及び側面を封止する第1の封止絶縁層と、前記第1の封止絶縁層の前記回路形成面側の面である第1面に積層された配線層及び絶縁層と、前記絶縁層上に搭載された第2の半導体チップと、前記第2の半導体チップを封止するように前記絶縁層上に形成された第2の封止絶縁層と、を有する。

【選択図】図 1

第1の実施の形態に係る半導体パッケージを例示する断面図



【特許請求の範囲】**【請求項 1】**

第1の半導体チップの回路形成面及び側面を封止する第1の封止絶縁層と、前記第1の封止絶縁層の前記回路形成面側の面である第1面に積層された配線層及び絶縁層と、

前記絶縁層上に搭載された第2の半導体チップと、

前記第2の半導体チップを封止するように前記絶縁層上に形成された第2の封止絶縁層と、を有する半導体パッケージ。

【請求項 2】

前記第1面には、複数の配線層及び複数の絶縁層が交互に積層され、
前記第2の半導体チップは、前記第1の封止絶縁層から最も遠い絶縁層上に搭載されている請求項1記載の半導体パッケージ。

【請求項 3】

前記第1の封止絶縁層の第1面の反対面である第2面から露出する電極パッドと、前記第1の封止絶縁層を貫通し、前記第1面に形成されている配線層と前記電極パッドとを電気的に接続する貫通配線と、を更に有する請求項1又は2記載の半導体パッケージ。

【請求項 4】

前記第1の半導体チップの裏面及び前記電極パッドの露出面は、前記第2面と面一である請求項3記載の半導体パッケージ。

【請求項 5】

前記第2の半導体チップに代えて無機材料からなる板状体が搭載された請求項1乃至4の何れか一項記載の半導体パッケージ。

【請求項 6】

支持体の一方の面上に第1の半導体チップを回路形成面を上にして配置する第1の半導体チップ配置工程と、

前記第1の半導体チップの回路形成面及び側面を封止するように、前記支持体の一方の面上に第1の封止絶縁層を形成する第1の封止絶縁層形成工程と、

前記第1の封止絶縁層の前記回路形成面側の面である第1面上に、配線層及び絶縁層を交互に積層する積層工程と、

前記絶縁層上に第2の半導体チップを搭載する第2の半導体チップ搭載工程と、

前記第2の半導体チップを封止するように前記絶縁層上に第2の封止絶縁層を形成する第2の封止絶縁層形成工程と、を有する半導体パッケージの製造方法。

【請求項 7】

前記第2の半導体チップ搭載工程よりも後に、前記支持体を除去する支持体除去工程を更に有する請求項6記載の半導体パッケージの製造方法。

【請求項 8】

前記第1の封止絶縁層形成工程よりも前に、前記支持体の一方の面上に電極パッドを形成し、

前記第1の封止絶縁層形成工程では、前記半導体チップの回路形成面及び側面、並びに、前記電極パッドの上面及び側面を封止するように、前記支持体の一方の面上に第1の封止絶縁層を形成し、

前記第1の封止絶縁層形成工程と前記積層工程との間に、前記第1の封止絶縁層を貫通し、前記電極パッドの上面を露出する貫通孔を形成し、

前記積層工程で前記第1面上に形成する配線層は、前記貫通孔内に形成され前記電極パッドと電気的に接続される貫通配線を含む請求項6又は7記載の半導体パッケージの製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

10

20

30

40

50

本発明は、半導体チップを内蔵する半導体パッケージ及びその製造方法に関する。

【背景技術】

【0002】

従来より、半導体チップを内蔵する半導体パッケージが提案されている。このような半導体パッケージは、例えば、半導体チップの回路形成面及び側面を封止する第1絶縁層、第1絶縁層上に積層され半導体チップの電極パッドと電気的に接続された第1配線層、第1配線層上に更に積層された他の絶縁層や配線層等を有する。

【0003】

上記半導体パッケージは、例えば、以下のような製造工程により製造できる。まず、支持体上に半導体チップを配置し、半導体チップの回路形成面及び側面を封止するように第1絶縁層を形成する。そして、第1絶縁層に半導体チップの電極パッドを露出するビアホールを形成し、第1絶縁層上にビアホールを介して半導体チップの電極パッドと電気的に接続された第1配線層を形成する。更に、第1配線層上に他の絶縁層や配線層等を積層する。その後、支持体を除去することにより、上記半導体パッケージが完成する。

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2008-306071号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、上記半導体パッケージは、厚さ方向の一方の側に配置された第1絶縁層のみに半導体チップが内蔵されており、他方の側は絶縁層と配線層の積層体から構成され半導体チップは内蔵されていない。このような構造から、従来の半導体パッケージでは反りの問題が発生していた。

【0006】

より詳しく説明すると、半導体チップがシリコンを主成分とする場合、その熱膨張係数は $3\text{.}4\text{ ppm}$ 程度、ヤング率は 200 GPa 程度である。一方、第1絶縁層や他の絶縁層がエポキシ系樹脂を主成分とする場合、その熱膨張係数は $8\sim150\text{ ppm}$ 程度であり、ヤング率は $0\text{.}03\sim13\text{ GPa}$ 程度である。このような物性値(熱膨張係数やヤング率)の相違により、半導体チップが内蔵されている第1絶縁層側(半導体パッケージの一方の側)は熱応力等により変形し難いが、半導体チップが内蔵されていない半導体パッケージの他方の側は熱応力等により変形し易い。

30

【0007】

その結果、室温(例えば、 $20\sim30$ 程度)では半導体チップが内蔵されている第1絶縁層側が凸となる傾向の反りが発生し、高温(例えば、 $200\sim300$ 程度)では半導体チップが内蔵されている第1絶縁層側が凹となる傾向の反りが発生する。

【0008】

上記半導体パッケージの製造工程では、剛性の高い支持体上に半導体チップや第1絶縁層、第1配線層等を形成するため、支持体を除去する前は、このような反りはほとんど発生しない。しかしながら、支持体を除去すると、上下方向(厚さ方向)での物性値(熱膨張係数やヤング率)のバランスが崩れるため、反りが発生することとなる。

40

【0009】

本発明は、上記の点に鑑みてなされたものであり、反りを低減可能な半導体パッケージ、及びその製造方法を提供することを課題とする。

【課題を解決するための手段】

【0010】

本半導体パッケージは、第1の半導体チップの回路形成面及び側面を封止する第1の封止絶縁層と、前記第1の封止絶縁層の前記回路形成面側の面である第1面上に積層された配線層及び絶縁層と、前記絶縁層上に搭載された第2の半導体チップと、前記第2の半導体

50

チップを封止するように前記絶縁層上に形成された第2の封止絶縁層と、を有することを要件とする。

【0011】

本半導体パッケージの製造方法は、支持体の一方の面上に第1の半導体チップを回路形成面を上にして配置する第1の半導体チップ配置工程と、前記第1の半導体チップの回路形成面及び側面を封止するように、前記支持体の一方の面上に第1の封止絶縁層を形成する第1の封止絶縁層形成工程と、前記第1の封止絶縁層の前記回路形成面側の面である第1面上に、配線層及び絶縁層を交互に積層する積層工程と、前記絶縁層上に第2の半導体チップを搭載する第2の半導体チップ搭載工程と、前記第2の半導体チップを封止するように前記絶縁層上に第2の封止絶縁層を形成する第2の封止絶縁層形成工程と、を有することを要件とする。

10

【発明の効果】

【0012】

開示の技術によれば、反りを低減可能な半導体パッケージ、及びその製造方法を提供できる。

【図面の簡単な説明】

【0013】

【図1】第1の実施の形態に係る半導体パッケージを例示する断面図である。

20

【図2】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その1)である。

【図3】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その2)である。

【図4】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その3)である。

【図5】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その4)である。

【図6】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その5)である。

30

【図7】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その6)である。

【図8】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その7)である。

【図9】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その8)である。

【図10】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その9)である。

40

【図11】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その10)である。

【図12】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その11)である。

【図13】第1の実施の形態に係る半導体パッケージの他の製造工程を例示する図(その1)である。

【図14】第1の実施の形態に係る半導体パッケージの他の製造工程を例示する図(その2)である。

【図15】第1の実施の形態の変形例2に係る半導体パッケージを例示する断面図である。

【図16】第1の実施の形態の変形例3に係る半導体パッケージを例示する断面図である。

【図17】第1の実施の形態の変形例4に係る半導体パッケージを例示する断面図である。

50

【図18】第1の実施の形態の変形例5に係る半導体パッケージを例示する断面図である。

【図19】第1の実施の形態の変形例6に係る半導体パッケージを例示する断面図である。

【図20】第1の実施の形態の変形例7に係る半導体パッケージを例示する断面図である。

【発明を実施するための形態】

【0014】

以下、図面を参照して発明を実施するための形態について説明する。なお、各図面において、同一構成部分には同一符号を付し、重複した説明を省略する場合がある。

【0015】

第1の実施の形態

[第1の実施の形態に係る半導体パッケージの構造]

図1は、第1の実施の形態に係る半導体パッケージを例示する断面図である。図1を参考するに、半導体パッケージ10は、大略すると、配線基板30と、半導体チップ40と、ボンディングワイヤ45と、封止樹脂49とを有する。

【0016】

配線基板30は、半導体チップを内蔵したチップ内蔵型配線基板であり、大略すると、半導体チップ20と、配線層31と、絶縁層32と、配線層33と、絶縁層34と、配線層35と、絶縁層36と、配線層37と、ソルダーレジスト層38とを有する。

【0017】

なお、半導体パッケージ10は、搭載状態に応じて上下方向が異なるが、便宜上、絶縁層32側を下、封止樹脂49側を上として説明を行う。従って、例えば絶縁層32の絶縁層34と接する面は上面であり、絶縁層32の露出面（絶縁層34と接する面の反対面）は下面である（他の実施の形態についても同様）。

【0018】

半導体パッケージ10の平面形状は例えば矩形状であり、その寸法は、例えば幅10mm(X方向)×奥行き10mm(Y方向)×厚さ0.5mm(Z方向)程度とすることができる。以下、半導体パッケージ10を構成する半導体チップ20等について詳説する。

【0019】

半導体チップ20は、半導体基板21と、電極パッド22と、突起電極23とを有する。半導体チップ20の平面形状は例えば矩形状であり、その寸法は、例えば幅5mm(X方向)×奥行き5mm(Y方向)×厚さ100μm(Z方向)程度とすることができる。

【0020】

半導体基板21は、例えばシリコン(Si)を主成分とする基板に半導体集積回路(図示せず)が形成されたものである。電極パッド22は、半導体基板21の回路形成面側に形成されており、半導体集積回路(図示せず)と電気的に接続されている。電極パッド22の材料としては、例えばアルミニウム(A1)等を用いることができる。電極パッド22の材料として、銅(Cu)とアルミニウム(A1)をこの順番で積層したもの、銅(Cu)とアルミニウム(A1)とシリコン(Si)をこの順番で積層したもの等を用いても構わない。

【0021】

突起電極23は電極パッド22上に形成されている。突起電極23としては、例えば円柱形状の銅(Cu)ポスト等を用いることができる。突起電極23の直径は、例えば50μm程度とすることができる。突起電極23の高さは、例えば5~100μm程度とすることができる。突起電極23のピッチは、例えば100μm程度とすることができる。なお、電極パッド22上に突起電極23を設けなくてもよい。この場合には、電極パッド22自体が配線層33と電気的に接続される電極となる。

【0022】

以降、半導体チップ20において、回路形成面と反対側に位置する回路形成面と略平行

10

20

30

40

50

な面を裏面と称する場合がある。又、半導体チップ 20において、回路形成面及び裏面と略垂直な面を側面と称する場合がある。

【0023】

半導体チップ 20の回路形成面及び側面は絶縁層 32に封止されており、裏面に貼り付けられたダイアタッチフィルム等の接着層 24は絶縁層 32から露出している。半導体チップ 20の裏面に貼り付けられた接着層 24は、絶縁層 32の下面と略面一とされている。接着層 24の厚さは数 10 μm 程度であるから、半導体チップ 20の裏面は、絶縁層 32の下面と略面一であると考えて構わない。

【0024】

なお、図 1 では、半導体チップ 20 の裏面に接着層 24 が貼り付けられた状態を図示しているが、接着層 24 はプラズマ処理等により除去されている場合もある。この場合には、半導体チップ 20 の裏面は絶縁層 32 から露出する。

10

【0025】

配線層 31 は、第 1 層 31a 及び第 2 層 31b を有する。第 1 層 31a としては、例えば金 (Au) 膜、パラジウム (Pd) 膜、ニッケル (Ni) 膜を、金 (Au) 膜が半導体パッケージ 10 の外部に露出するように、この順番で順次積層した導電層を用いることができる。第 1 層 31a として、例えば金 (Au) 膜とニッケル (Ni) 膜を、金 (Au) 膜が半導体パッケージ 10 の外部に露出するように、この順番で順次積層した導電層を用いてもよい。第 2 層 31b としては、例えば銅 (Cu) 層等を含む導電層を用いることができる。配線層 31 の厚さは、例えば 10 ~ 20 μm 程度とすることができる。

20

【0026】

配線層 31 の一部（第 1 層 31a の下面）は絶縁層 32 から露出しており、絶縁層 32 の下面及び半導体チップ 20 の裏面に貼り付けられた接着層 24（半導体チップ 20 の裏面）と略面一とされている。配線層 31 の一部（第 1 層 31a の下面）は、他の半導体パッケージや半導体チップ、マザーボード等の実装基板、或いは電子部品等（図示せず）と電気的に接続される電極パッドとして機能する。以降、絶縁層 32 から露出する配線層 31 を第 1 電極パッド 31 と称する場合がある。

【0027】

なお、図 1 では、第 1 電極パッド 31 は図面を簡略化するために数量を減らして描かれているが、実際には、例えば、複数列の第 1 電極パッド 31 が、平面視において半導体チップ 20 の裏面を額縁状に取り囲むように設けられている。第 1 電極パッド 31 の平面形状は例えば円形であり、その直径は例えば 100 ~ 350 μm 程度とすることができる。第 1 電極パッド 31 のピッチは、例えば 400 ~ 500 μm 程度とすることができる。

30

【0028】

絶縁層 32 は、配線層 31 の上面及び側面、並びに、半導体チップ 20 の回路形成面及び側面を封止し、配線層 31 の下面及び接着層 24 を露出するように形成されている。絶縁層 32 の材料としては、例えばエポキシ系樹脂やフェノール系樹脂等を主成分とする熱硬化性の絶縁性樹脂を用いることができる。絶縁層 32 の厚さは、例えば 150 μm 程度とすることができる。絶縁層 32 は、シリカ (SiO₂) 等のフィラーを含有しても構わない。絶縁層 32 は、本発明に係る第 1 の封止絶縁層の代表的な一例である。

40

【0029】

絶縁層 32 には、絶縁層 32 を貫通し配線層 31 の上面を露出するビアホール 32x、及び絶縁層 32 を貫通し突起電極 23 の上面を露出するビアホール 32y が形成されている。ビアホール 32x は、絶縁層 34 側に開口されていると共に、配線層 31 の上面によって底面が形成された、開口部の面積が底面の面積よりも大となる円錐台状の凹部となっている。ビアホール 32x の開口部の径は、例えば 150 μm 程度とすることができる。

【0030】

ビアホール 32y は、絶縁層 34 側に開口されていると共に、突起電極 23 の上面によって底面が形成された、開口部の面積が底面の面積よりも大となる円錐台状の凹部となっている。ビアホール 32y の開口部の径は、例えば 30 μm 程度とすることができる。

50

【0031】

配線層33は、絶縁層32上に形成されている。配線層33は、ビアホール32xの側壁及び配線層31の上面に形成された第1ビア配線(貫通配線)、ビアホール32y内に充填された第2ビア配線(貫通配線)、及び絶縁層32上に形成された配線パターンを含んでいる。

【0032】

配線層33は、ビアホール32xの底部に露出した配線層31、及びビアホール32yの底部に露出した突起電極23と電気的に接続されている。配線層33の材料としては、例えば銅(Cu)を主成分として含む金属材料等を用いることができる。配線層33を構成する配線パターンの厚さは、例えば10~20μm程度とすることができる。

10

【0033】

なお、例えば、絶縁層32の厚さを150μm、配線層31の厚さを10μmとすれば、ビアホール32xの深さは140μmとなり、第1ビア配線をビアホール32x内に充填することは困難である。そのため、第1ビア配線は、ビアホール32xの側壁及び配線層31の上面のみに膜状に形成され、ビアホール32x内に充填されてはいない。一方、例えば、絶縁層32の厚さを150μm、半導体チップ20の厚さ(突起電極23の高さも含む)を100μmとすれば、ビアホール32yの深さは50μmとなり、ビアホール32xよりも大幅に浅い。そのため、第2ビア配線は、ビアホール32y内に充填されている。

20

【0034】

絶縁層34は、絶縁層32上に、配線層33を覆うように形成されている。絶縁層34の材料としては、絶縁層32と同様の絶縁性樹脂を用いることができる。絶縁層34の厚さは、例えば15~35μm程度とすることができる。絶縁層34は、シリカ(SiO₂)等のフィラーを含有しても構わない。

30

【0035】

配線層35は、絶縁層34上に形成されている。配線層35は、絶縁層34を貫通し配線層33の上面を露出するビアホール34x内に充填されたビア配線、及び絶縁層34上に形成された配線パターンを含んで構成されている。ビアホール34xは、絶縁層36側に開口されていると共に、配線層33の上面によって底面が形成された、開口部の面積が底面の面積よりも大となる円錐台状の凹部となっている。又、この凹部内にビア配線が形成されている。

30

【0036】

配線層35は、ビアホール34xの底部に露出した配線層33と電気的に接続されている。配線層35の材料としては、例えば銅(Cu)を主成分として含む金属材料等を用いることができる。配線層35を構成する配線パターンの厚さは、例えば10~20μm程度とすることができる。

40

【0037】

絶縁層36は、絶縁層34上に、配線層35を覆うように形成されている。絶縁層36の材料としては、絶縁層32と同様の絶縁性樹脂を用いることができる。絶縁層36の厚さは、例えば15~35μm程度とすることができる。絶縁層36は、シリカ(SiO₂)等のフィラーを含有しても構わない。

【0038】

配線層37は、絶縁層36上に形成されている。配線層37は、絶縁層36を貫通し配線層35の上面を露出するビアホール36x内に充填されたビア配線、及び絶縁層36上に形成された配線パターンを含んで構成されている。ビアホール36xは、ソルダーレジスト層38側に開口されていると共に、配線層35の上面によって底面が形成された、開口部の面積が底面の面積よりも大となる円錐台状の凹部となっている。又、この凹部内にビア配線が形成されている。

【0039】

配線層37は、ビアホール36xの底部に露出した配線層35と電気的に接続されてい

50

る。配線層37の材料としては、例えば銅(Cu)を主成分として含む金属材料等を用いることができる。配線層37を構成する配線パターンの厚さは、例えば10~20μm程度とすることができます。

【0040】

ソルダーレジスト層38は、絶縁層36上に、配線層37を覆うように形成されている絶縁層である。ソルダーレジスト層38の厚さは、例えば15~35μm程度とすることができます。ソルダーレジスト層38は、シリカ(SiO₂)等のフィラーを含有しても構わない。ソルダーレジスト層38は開口部38xを有し、開口部38xの底部には配線層37の一部が露出している。

【0041】

開口部38xの底部に露出する配線層37は、半導体チップ40と電気的に接続される電極パッドとして機能する。以降、開口部38xの底部に露出する配線層37を第2電極パッド37と称する場合がある。第2電極パッド37の平面形状は例えば円形であり、その直径は例えば100~350μm程度とすることができます。第2の電極パッド37のピッチは、例えば400~500μm程度とすることができます。

【0042】

必要に応じ、第2電極パッド37上に、金属層を形成してもよい。金属層の例としては、Au層や、Ni/Au層(Ni層とAu層をこの順番で積層した金属層)、Ni/Pd/Au層(Ni層とPd層とAu層をこの順番で積層した金属層)等を挙げることができる。なお、ソルダーレジスト層を単に絶縁層と称する場合がある。

【0043】

半導体チップ40は、配線基板30上に搭載されている。半導体チップ40は、半導体基板41と、電極パッド42とを有する。半導体チップ40の平面形状は例えば矩形状であり、その寸法は、例えば幅8mm(X方向)×奥行き8mm(Y方向)×厚さ200μm(Z方向)程度とすることができます。

【0044】

半導体基板41は、例えばシリコン(Si)を主成分とする基板に半導体集積回路(図示せず)が形成されたものである。電極パッド42は、半導体基板41の回路形成面側に形成されており、半導体集積回路(図示せず)と電気的に接続されている。電極パッド42のピッチは、例えば100μm程度とすることができます。

【0045】

電極パッド42の材料としては、例えばアルミニウム(A1)等を用いることができる。電極パッド42の材料として、銅(Cu)とアルミニウム(A1)をこの順番で積層したもの、銅(Cu)とアルミニウム(A1)とシリコン(Si)をこの順番で積層したもの等を用いても構わない。

【0046】

半導体チップ40は、ダイアタッチフィルム等の接着層43を介して、ソルダーレジスト層38上に固着されている。半導体チップ40の電極パッド42は、例えば金(Au)や銅(Cu)等からなる導電性の細線であるボンディングワイヤ45を介して、配線基板30の第2電極パッド37に接合されている。

【0047】

封止樹脂49は、半導体チップ40の回路形成面及び側面、並びにボンディングワイヤ45を被覆するように形成されている。封止樹脂49の材料としては、例えば熱硬化性のエポキシ系樹脂やポリイミド系樹脂等の絶縁性樹脂(モールド樹脂)を用いることができる。封止樹脂49の材料は、シリカ(SiO₂)等のフィラーを含有しても構わない。封止樹脂49の厚さは、例えば300~400μm程度とすることができます。

【0048】

なお、封止樹脂49は、半導体チップ40やボンディングワイヤ45を外部からの応力や湿気、汚染物質等から守る機能と、半導体パッケージ10の機械的強度を向上する機能を有する。しかし、半導体チップ40を搭載したことにより、半導体パッケージ10全体

10

20

30

40

50

の機械的強度を向上できるため、必ずしも封止樹脂49を設けなくてもよい。封止樹脂49は、本発明に係る第2の封止絶縁層の代表的な一例である。

【0049】

[第1の実施の形態に係る半導体パッケージの製造方法]

次に、第1の実施の形態に係る半導体パッケージの製造方法について説明する。図2～図12は、第1の実施の形態に係る半導体パッケージの製造工程を例示する図である。

【0050】

まず、図2～図10に示す工程では、配線基板30を作製する。最初に、図2に示す工程では、支持体51を準備し、支持体51の一方の面に、配線層31に対応する開口部52xを有するレジスト層52を形成する。支持体51としては、シリコン板、ガラス板、金属板、金属箔等を用いることができるが、本実施の形態では、支持体51として銅箔を用いる。後述する図3に示す工程等において電解めっきを行う際の給電層として利用でき、後述する図12に示す工程の後に容易にエッチングで除去可能だからである。支持体51の厚さは、例えば35～100μm程度とすることができます。

10

【0051】

開口部52xを有するレジスト層52を形成するには、支持体51の一方の面に、例えばエポキシ系樹脂やアクリル系樹脂等を含む感光性樹脂組成物からなる液状又はペースト状のレジストを塗布する。或いは、支持体51の一方の面に、例えばエポキシ系樹脂やアクリル系樹脂等を含む感光性樹脂組成物からなるフィルム状のレジスト（例えば、ドライフィルムレジスト等）をラミネートする。

20

【0052】

そして、塗布又はラミネートしたレジストを露光及び現像することで開口部52xを形成する。これにより、開口部52xを有するレジスト層52が形成される。なお、予め開口部52xを形成したフィルム状のレジストを支持体51の一方の面にラミネートしても構わない。開口部52xは、後述の図3に示す工程で形成される配線層31に対応する位置に形成される。開口部52xの平面形状は、例えば円形であり、その直径は例えば100～350μm程度とすることができます。

20

【0053】

次に、図3に示す工程では、支持体51をめっき給電層に利用する電解めっき法等により、支持体51の一方の面の開口部52x内に、第1層31a及び第2層31bから構成される配線層31を形成する。第1層31aは、例えば金(Au)膜、パラジウム(Pd)膜、ニッケル(Ni)膜をこの順番で順次積層した構造を有する。

30

【0054】

よって、配線層31を形成するには、まず、支持体51をめっき給電層に利用する電解めっき法等により、金(Au)膜、パラジウム(Pd)膜、ニッケル(Ni)膜を順にめっきして第1層31aを形成する。続いて、支持体51をめっき給電層に利用する電解めっき法等により、第1層31a上に銅(Cu)等からなる第2層31bを形成すればよい。なお、第1層31aは、金(Au)膜とニッケル(Ni)膜をこの順番で順次積層した構造としてもよい。

40

【0055】

次に、図4に示す工程では、半導体チップ20を準備する。そして、図3に示すレジスト層52を除去した後、支持体51の一方の面に、ダイアタッチフィルム等の接着層24を介して、半導体チップ20をフェイスアップの状態（回路形成面を上にした状態）で配置する。半導体チップ20は、半導体基板21と、電極パッド22と、突起電極23とを有し、電極パッド22及び突起電極23は半導体チップ20の回路形成面側に形成されている。又、半導体チップ20は、例えば100μm程度に薄型化されている。

【0056】

次に、図5に示す工程では、半導体チップ20の回路形成面及び側面、並びに、配線層31の上面及び側面を封止するように、支持体51の一方の面に絶縁層32を形成する。絶縁層32の材料としては、例えばエポキシ系樹脂やフェノール系樹脂等を主成分とする

50

熱硬化性の絶縁性樹脂を用いることができる。絶縁層32の厚さは、例えば150μm程度とすることができる。絶縁層32は、シリカ(SiO₂)等のフィラーを含有しても構わない。

【0057】

絶縁層32の材料として、例えば熱硬化性を有するフィルム状のエポキシ系樹脂やフェノール系樹脂等を主成分とする絶縁性樹脂を用いた場合には、以下のようにする。すなわち、半導体チップ20の回路形成面及び側面、並びに、配線層31の上面及び側面を封止するように、支持体51の一方の面に半硬化状態のフィルム状の絶縁層32をラミネートする。そして、ラミネートした絶縁層32を押圧しつつ、絶縁層32を硬化温度以上に加熱して硬化させる。なお、絶縁層32を真空雰囲気中でラミネートすることにより、ボイドの巻き込みを防止できる。

10

【0058】

絶縁層32の材料として、例えば熱硬化性を有する液状又はペースト状のエポキシ系樹脂やフェノール系樹脂等を主成分とする絶縁性樹脂を用いた場合には、以下のようにする。すなわち、半導体チップ20の回路形成面及び側面、並びに、配線層31の上面及び側面を封止するように、支持体51の一方の面に液状又はペースト状の絶縁層32を例えばロールコート法等により塗布する。そして、塗布した絶縁層32を硬化温度以上に加熱して硬化させる。

20

【0059】

次に、図6に示す工程では、絶縁層32に、絶縁層32を貫通し配線層31の上面を露出させるビアホール32xを形成する。ビアホール32xは、例えばCO₂レーザ等を用いたレーザ加工法により形成できる。レーザ加工法により形成したビアホール32xは、絶縁層34が形成される側に開口されていると共に、配線層31の上面によって底面が形成された、開口部の面積が底面の面積よりも大となる円錐台状の凹部となる。ビアホール32xの開口部の径は、例えば150μm程度とすることができます。

20

【0060】

次に、図7に示す工程では、絶縁層32に、絶縁層32を貫通し突起電極23の上面を露出するビアホール32yを形成する。ビアホール32yは、例えばUVレーザ等を用いたレーザ加工法により形成できる。レーザ加工法により形成したビアホール32yは、絶縁層34が形成される側に開口されていると共に、突起電極23の上面によって底面が形成された、開口部の面積が底面の面積よりも大となる円錐台状の凹部となる。ビアホール32yの開口部の径は、例えば30μm程度とすることができます。

30

【0061】

なお、ビアホール32x及びビアホール32yをレーザ加工法により形成した場合には、図7に示す工程後にデスマニア処理を行うことが好ましい。ビアホール32xの底部に露出する配線層31の上面、及びビアホール32yの底部に露出する突起電極23の上面に付着した絶縁層32の樹脂残渣を除去するためである。

【0062】

次に、図8に示す工程では、絶縁層32上に配線層33を形成する。配線層33は、ビアホール32xの側壁及び配線層31の上面に形成された第1ビア配線、ビアホール32y内に充填された第2ビア配線、及び絶縁層32上に形成された配線パターンを含んでいる。配線層33は、ビアホール32xの底部に露出した配線層31、及びビアホール32yの底部に露出した突起電極23と電気的に接続される。

40

【0063】

配線層33の材料としては、例えば銅(Cu)を主成分として含む金属材料等を用いることができる。配線層33を構成する配線パターンの厚さは、例えば10~20μm程度とすることができます。なお、前述の理由により、第1ビア配線はビアホール32x内に充填されてはいないが、第2ビア配線はビアホール32y内に充填されている。

【0064】

配線層33は、セミアディティブ法やサブトラクティブ法等の各種の配線形成方法を用

50

いて形成できるが、一例としてセミアディティブ法を用いて配線層33を形成する方法を以下に示す。

【0065】

まず、ビアホール32xの内部に露出した配線層31の上面及びビアホール32yの内部に露出した突起電極23の上面、並びに、ビアホール32xの側壁及びビアホール32yの側壁を含む絶縁層32上にシード層(図示せず)を形成する。例えば、無電解めっき法又はスパッタ法により、銅(Cu)を主成分として含む金属材料等からなるシード層(図示せず)を形成できる。次に、シード層上に配線層33に対応する開口部を備えたレジスト層(図示せず)を形成する。

【0066】

そして、シード層を給電層に利用した電解めっき法により、レジスト層の開口部に銅(Cu)を主成分として含む金属材料等からなる配線層(図示せず)を形成する。続いて、レジスト層を除去した後に、配線層をマスクにして、配線層に覆われていない部分のシード層をエッティングにより除去する。これにより、ビアホール32xの側壁及び配線層31の上面に形成された第1ビア配線、ビアホール32y内に充填された第2ビア配線、及び絶縁層32上に形成された配線パターンを含む配線層33が形成される。

【0067】

次に、図9に示す工程では、上記と同様な工程を繰り返すことにより、絶縁層32上に、絶縁層34、配線層35、絶縁層36、配線層37を積層する。すなわち、絶縁層32上に配線層33を被覆する絶縁層34を形成した後に、絶縁層34を貫通し配線層33の上面を露出するビアホール34xを形成する。絶縁層34の材料としては、絶縁層32と同様の絶縁性樹脂を用いることができる。絶縁層34の厚さは、例えば15～35μm程度とすることができる。絶縁層34は、シリカ(SiO₂)等のフィラーを含有しても構わない。

【0068】

更に、絶縁層34上に、ビアホール34xを介して配線層33に接続される配線層35を形成する。配線層35は、ビアホール34x内を充填するビア配線、及び絶縁層34上に形成された配線パターンを含んで構成されている。配線層35は、ビアホール34xの底部に露出した配線層33と電気的に接続される。配線層35の材料としては、例えば銅(Cu)を主成分として含む金属材料等を用いることができる。配線層35は、例えばセミアディティブ法により形成される。配線層35を構成する配線パターンの厚さは、例えば10～20μm程度とすることができる。

【0069】

更に、絶縁層34上に配線層35を被覆する絶縁層36を形成した後に、絶縁層36を貫通し配線層35の上面を露出するビアホール36xを形成する。絶縁層36の材料としては、絶縁層34と同様の絶縁性樹脂を用いることができる。絶縁層36の厚さは、例えば15～35μm程度とすることができる。絶縁層36は、シリカ(SiO₂)等のフィラーを含有しても構わない。

【0070】

更に、絶縁層36上に、ビアホール36xを介して配線層35に接続される配線層37を形成する。配線層37は、ビアホール36x内を充填するビア配線、及び絶縁層36上に形成された配線パターンを含んで構成されている。配線層37は、ビアホール36xの底部に露出した配線層35と電気的に接続される。配線層37の材料としては、例えば銅(Cu)を主成分として含む金属材料等を用いることができる。配線層37は、例えばセミアディティブ法により形成される。配線層37を構成する配線パターンの厚さは、例えば10～20μm程度とすることができる。

【0071】

このようにして、支持体51の一方の面に所定のビルドアップ配線層が形成される。本実施の形態では、3層のビルドアップ配線層(配線層33、配線層35、及び配線層37)を形成したが、n層(nは1以上の整数)のビルドアップ配線層を形成してもよい。

10

20

30

40

50

【0072】

次に、図10に示す工程では、絶縁層36上に、配線層37の一部を露出する開口部38xを有するソルダーレジスト層38を形成し、配線基板30を作製する。ソルダーレジスト層38は、例えば液状又はペースト状の感光性のエポキシ系やアクリル系の絶縁性樹脂を、配線層37を被覆するように絶縁層36上にスクリーン印刷法、ロールコート法、又は、スピンドルコート法等で塗布することにより形成できる。或いは、例えばフィルム状の感光性のエポキシ系やアクリル系の絶縁性樹脂を、配線層37を被覆するように絶縁層36上にラミネートすることにより形成してもよい。

【0073】

開口部38xは、塗布又はラミネートした絶縁性樹脂を露光及び現像することにより形成できる(フォトリソグラフィ法)。予め開口部38xを形成したフィルム状の絶縁性樹脂を、配線層37を被覆するように絶縁層36上にラミネートしても構わない。なお、ソルダーレジスト層38の材料として、非感光性の絶縁性樹脂を用いてもよい。この場合には、絶縁層36上にソルダーレジスト層38を形成して硬化させた後、例えばCO₂レーザ等を用いたレーザ加工法や、アルミナ砥粒等の研磨剤を用いたブラスト処理により開口部38xを形成すればよい。

10

【0074】

必要に応じ、開口部38xの底部に露出する配線層37上に、例えば無電解めっき法等により金属層を形成してもよい。金属層の例としては、Au層や、Ni/Au層(Ni層とAu層をこの順番で積層した金属層)、Ni/Pd/Au層(Ni層とPd層とAu層をこの順番で積層した金属層)等を挙げることができる。

20

【0075】

次に、図11に示す工程では、半導体チップ40を準備する。そして、ソルダーレジスト層38上に、ダイアタッチフィルム等の接着層43を介して、半導体チップ40をフェイスアップの状態(回路形成面を上にした状態)で配置する。そして、半導体チップ40の電極パッド42を、例えば金(Au)や銅(Cu)等からなる導電性の細線であるボンディングワイヤ45を介して、第2電極パッド37に接合する。半導体チップ40は、半導体基板41と、電極パッド42とを有し、電極パッド42は半導体チップ40の回路形成面側に形成されている。又、半導体チップ40は、例えば200μm程度に薄型化されている。

30

【0076】

次に、図12に示す工程では、半導体チップ40の回路形成面及び側面、並びにボンディングワイヤ45を被覆するように封止樹脂49を形成する。封止樹脂49は、例えば、トランスファー・モールド法等により形成できる。封止樹脂49の材料としては、例えば熱硬化性のエポキシ系樹脂やポリイミド系樹脂等の絶縁性樹脂(モールド樹脂)を用いることができる。封止樹脂49の材料は、シリカ(SiO₂)等のフィラーを含有しても構わない。封止樹脂49の厚さは、例えば300~400μm程度とすることができる。

【0077】

次に、図12に示す工程の後(図示せず)、図12に示す支持体51を除去することにより、図1に示す半導体パッケージ10が完成する。銅箔から構成されている支持体51は、例えば塩化第二鉄水溶液や塩化第二銅水溶液、過硫酸アンモニウム水溶液、塩化アンモニウム銅水溶液、過酸化水素水・硫酸系のエッティング液等を用いたウェットエッティングにより除去できる。この際、絶縁層32から露出する配線層31の最表層は金(Au)膜等であり、絶縁層32から露出する半導体チップ20の裏面には接着層24が貼り付けられているため、銅箔から構成されている支持体51のみを選択的にエッティングできる。

40

【0078】

なお、支持体51を除去した後、プラズマ処理等により、半導体チップ20の裏面に貼り付けられている接着層24を除去し、半導体チップ20の裏面を絶縁層32から露出させてもよい。

【0079】

50

半導体パッケージ 10 は、一方の側に半導体チップ 20 を有し、他方の側に半導体チップ 40 を有する。半導体チップ 20 及び 40 が、例えば、それぞれシリコン (Si) を主成分とする場合、その熱膨張係数は 3.4 ppm / 度、ヤング率は 200 GPa 程度である。

【0080】

つまり、半導体パッケージ 10 は、熱膨張係数が小さくヤング率の高い部材があおよそ上下対称に配置された構造であり、上下方向で物性値（熱膨張係数やヤング率）のバランスがとれている。これにより、従来の半導体パッケージの問題点であった、半導体チップが内蔵されている側は熱応力等により変形し難いが、半導体チップが内蔵されていない側は熱応力等により変形し易いという現象が生じ難い。従って、図 12 に示す工程の後に支持体 51 を除去しても、大きな反りが生ることはない。10

【0081】

なお、図 2 ~ 図 12 では、支持体 51 上に 1 個の半導体パッケージ 10 を作製する例を示した。しかし、支持体 51 上に複数の半導体パッケージ 10 となる部材を作製し、支持体 51 を除去後、該部材を切断して個片化し、複数の半導体パッケージ 10 を得るような工程としても構わない。又、個片化の際に、複数の半導体チップ 20 及び 40 を有するように切断しても構わない。その場合には、複数の半導体チップ 20 及び 40 を有する半導体パッケージが作製される。

【0082】

このように、第 1 の実施の形態に係る半導体パッケージは、熱膨張係数が小さくヤング率の高い部材があおよそ上下対称に配置された構造であり、上下方向で物性値（熱膨張係数やヤング率）のバランスがとれている。これにより、熱応力等により発生する反りを低減できる。20

【0083】

又、熱膨張係数が小さくヤング率の高い部材があおよそ上下対称に配置されているため、半導体パッケージ全体の機械的強度を向上できる。

【0084】

又、第 1 の実施の形態に係る半導体パッケージ 10 の製造方法は、支持体 51 を除去する前に、半導体チップ 20 の反対側となる配線基板 30 のソルダーレジスト層 38 上に半導体チップ 40 を搭載している。そのため、剛性の高い半導体チップ 20 と剛性の高い半導体チップ 40 が上下対称に配置された構造となり、上下方向で物性値（熱膨張係数やヤング率）のバランスがとれる。その結果、支持体 51 を除去する際に配線基板 30 が大きく反ることを防止できる。30

【0085】

なお、配線基板上に半導体チップをボンディングワイヤを介して接続する際には、配線基板上に半導体チップをフリップチップ接続する際のように加熱する必要がない。そのため、配線基板上に半導体チップをボンディングワイヤを介して接続する方法は、配線基板の反りや歪みの低減に有利である。

【0086】

第 1 の実施の形態の変形例 1

第 1 の実施の形態の変形例 1 では、半導体パッケージの第 1 の実施の形態とは異なる製造方法の例を示す。なお、第 1 の実施の形態の変形例 1 において、既に説明した実施の形態と同一構成部品についての説明は省略する。40

【0087】

図 13 及び図 14 は、第 1 の実施の形態に係る半導体パッケージの他の製造工程を例示する図である。

【0088】

まず、図 13 に示す工程では、支持体 51₁ 及び 51₂ を接着剤等により上下に張り合わせた支持体 55 を準備する。支持体 51₁ 及び 51₂ としては、シリコン板、ガラス板、金属板、金属箔等を用いることができるが、本実施の形態では、支持体 51₁ 及び 51₂50

₂として銅箔を用いる。支持体51₁及び51₂のそれぞれの厚さは、例えば35～100μm程度とすることができる。

【0089】

次に、図14に示す工程では、第1の実施の形態の図2～図12と同様の工程を実行し、支持体51₁の上面に半導体パッケージ10に対応する構造体を作製する。又、支持体51₂の下面に半導体パッケージ10に対応する構造体を作製する。

【0090】

次に、図14に示す工程の後(図示せず)、接着剤等を剥離して支持体55を支持体51₁と支持体51₂に分離することにより、図12に相当する構造体が2つ作製される。その後、2つの図12に相当する構造体から支持体51₁又は支持体51₂を除去することにより、2つの半導体パッケージ10を形成できる。10

【0091】

このように、支持体51₁及び51₂を上下に張り合わせた支持体55を準備し、支持体51₁の上面及び支持体51₂の下面に配線基板30等を同時に形成する。その後、支持体55を支持体51₁と支持体51₂に分離し、支持体51₁及び51₂を除去することにより、1連の製造工程で2つの半導体パッケージ10を形成できる。

【0092】

第1の実施の形態の変形例2

第1の実施の形態の変形例2では、配線基板上に半導体チップをフリップチップ接続する例を示す。なお、第1の実施の形態の変形例2において、既に説明した実施の形態と同一構成部品についての説明は省略する。20

【0093】

図15は、第1の実施の形態の変形例2に係る半導体パッケージを例示する断面図である。図15を参照するに、半導体パッケージ10Aは、配線基板30にボンディングワイヤ45を介して接続された半導体チップ40が、配線基板30にフリップチップ接続された半導体チップ60に置換された点が、半導体パッケージ10(図1参照)と相違する。

【0094】

半導体チップ60は、半導体基板61と、電極パッド62とを有する。半導体基板61及び電極パッド62については、半導体チップ40の半導体基板41及び電極パッド42と同様であるため、その説明は省略する。半導体チップ40とは異なり、半導体チップ60はフェイスダウンの状態(回路形成面を下にした状態)で、配線基板30に搭載されている。具体的には、半導体チップ60の電極パッド62は、接合部65を介して、配線基板30の第2電極パッド37と電気的に接続されている。30

【0095】

接合部65としては、例えば、はんだボール等を用いることができる。はんだボールの材料としては、例えばPbを含む合金、SnとCuの合金、SnとSbの合金、SnとAgの合金、SnとAgとCuの合金等を用いることができる。半導体チップ60は、封止樹脂49により封止されている。放熱性を向上するため、半導体チップ60の裏面を封止樹脂49から露出させてもよい。但し、第1の実施の形態と同様の理由により、必ずしも封止樹脂49を設けなくてもよい。なお、半導体チップ60と配線基板30との間に、アンダーフィル樹脂を設けてもよい。40

【0096】

このように、配線基板上に半導体チップをフリップチップ接続しても、第1の実施の形態と同様の効果を奏する。

【0097】

第1の実施の形態の変形例3

第1の実施の形態の変形例3では、配線基板上に半導体チップを異方性導電フィルムを用いて接続する例を示す。なお、第1の実施の形態の変形例3において、既に説明した実施の形態と同一構成部品についての説明は省略する。

【0098】

図16は、第1の実施の形態の変形例3に係る半導体パッケージを例示する断面図である。図16を参照するに、半導体パッケージ10Bは、配線基板30にボンディングワイヤ45を介して接続された半導体チップ40が、配線基板30に異方性導電フィルムを用いて接続された半導体チップ60に置換された点が、半導体パッケージ10(図1参照)と相違する。

【0099】

半導体チップ40とは異なり、半導体チップ60はフェイスダウンの状態(回路形成面を下にした状態)で、配線基板30に搭載されている。具体的には、半導体チップ60の電極パッド62には、例えば円柱形状の銅ポスト等の突起電極63が形成されている。そして、突起電極63は、異方性導電フィルム69を介して、配線基板30の第2電極パッド37と電気的に接続されている。10

【0100】

異方性導電フィルム69としては、例えば、ニッケル(Ni)や金(Au)、銀(Ag)等の導電粒子を分散させた半硬化状態の樹脂フィルム(エポキシ系等の熱硬化性樹脂)を用いることができる。

【0101】

半導体チップ60は、封止樹脂49により封止されている。放熱性を向上するため、半導体チップ60の裏面を封止樹脂49から露出させてよい。但し、第1の実施の形態と同様の理由により、必ずしも封止樹脂49を設けなくてもよい。

【0102】

異方性導電フィルム69を用いて半導体チップ60の突起電極63を配線基板30の第2電極パッド37と電気的に接続する方法を以下に示す。まず、配線基板30のソルダーレジスト層38上に、第2電極パッド37を被覆するように、半硬化状態の異方性導電フィルム69を貼着する(仮貼り付け)。20

【0103】

次に、半導体チップ60を準備する。そして、半導体チップ60の突起電極63を配線基板30の第2電極パッド37に位置合わせし、半導体チップ60の突起電極63と配線基板30の第2電極パッド37とが異方性導電フィルム69を介して対向する位置に来るよう配置する。半導体チップ60の突起電極63と配線基板30の第2電極パッド37との位置合わせは、例えば、ボンディングツール等により行うことができる。30

【0104】

次に、ボンディングツール等により、半導体チップ60を異方性導電フィルム69に対して押圧する。この際、ボンディングツール等により、半導体チップ60を加熱しながら異方性導電フィルム69に対する押圧を行い、半硬化状態の異方性導電フィルム69を硬化させる。

【0105】

この際、異方性導電フィルム69は、半導体チップ60の突起電極63と配線基板30の第2電極パッド37に挟持され圧縮される。そのため、異方性導電フィルム69中に分散された導電粒子が相互に接触し、半導体チップ60の突起電極63と配線基板30の第2電極パッド37とが導電粒子を介して電気的に接続される。40

【0106】

このように、配線基板上に半導体チップを異方性導電フィルムを用いて接続しても、第1の実施の形態と同様の効果を奏する。

【0107】

第1の実施の形態の変形例4

第1の実施の形態の変形例4では、配線基板上に半導体チップをフリップチップ接続し、更にその上に他の半導体チップをフリップチップ接続する例を示す。なお、第1の実施の形態の変形例4において、既に説明した実施の形態と同一構成部品についての説明は省略する。

【0108】

10

20

30

40

50

図17は、第1の実施の形態の変形例4に係る半導体パッケージを例示する断面図である。図17を参照するに、半導体パッケージ10Cは、配線基板30にボンディングワイヤ45を介して接続された半導体チップ40が、配線基板30にフリップチップ接続された半導体チップ70及び80に置換された点が、半導体パッケージ10(図1参照)と相違する。

【0109】

半導体チップ70は、半導体基板71と、電極パッド72及び74と、貫通電極73とを有する。半導体基板71の一方の側に電極パッド72が設けられ、他方の側に電極パッド74が設けられている。電極パッド72と電極パッド74とは貫通電極73を介して電気的に接続されている。

10

【0110】

半導体基板71並びに電極パッド72及び74の詳細については、半導体チップ40の半導体基板41及び電極パッド42と同様であるため、その説明は省略する。貫通電極73の材料としては、例えば銅(Cu)を主成分として含む金属材料等を用いることができる。

【0111】

半導体チップ80は、半導体基板81と、電極パッド82とを有する。半導体基板81及び電極パッド82については、半導体チップ40の半導体基板41及び電極パッド42と同様であるため、その説明は省略する。

20

【0112】

半導体チップ40とは異なり、半導体チップ70はフェイスダウンの状態(回路形成面を下にした状態)で、配線基板30に搭載されている。具体的には、半導体チップ70の電極パッド72は、はんだボール等の接合部65を介して、配線基板30の第2電極パッド37と電気的に接続されている。なお、電極パッド72は、半導体チップ70の半導体集積回路(図示せず)と電気的に接続されている。

【0113】

半導体チップ80の電極パッド82は、接合部75を介して、半導体チップ70の電極パッド74と電気的に接続されている。接合部75としては、接合部65と同様に、はんだボール等を用いることができる。

30

【0114】

半導体チップ70及び80は、封止樹脂49により封止されている。放熱性を向上するため、半導体チップ80の裏面を封止樹脂49から露出させてもよい。但し、第1の実施の形態と同様の理由により、必ずしも封止樹脂49を設けなくてもよい。

【0115】

このように、配線基板上にフリップチップ接続等により複数の半導体チップを積層しても、第1の実施の形態と同様の効果を奏する。

【0116】

第1の実施の形態の変形例5

第1の実施の形態の変形例5では、配線基板上に、半導体集積回路が形成されていない板状体を搭載する例を示す。なお、第1の実施の形態の変形例5において、既に説明した実施の形態と同一構成部品についての説明は省略する。

40

【0117】

図18は、第1の実施の形態の変形例5に係る半導体パッケージを例示する断面図である。図18を参照するに、半導体パッケージ10Dは、配線基板30にボンディングワイヤ45を介して接続された半導体チップ40が、配線基板30に搭載された板状体90に置換された点が、半導体パッケージ10(図1参照)と相違する。

【0118】

板状体90は、配線基板30のソルダーレジスト層38上に搭載され、封止樹脂49により封止されている。封止樹脂49には、第2電極パッド37を露出する貫通孔49xが形成されている。第2電極パッド37を露出する貫通孔49xを形成することにより、封

50

止樹脂 4 9 上に貫通孔 4 9 × を介して第 2 電極パッド 3 7 と電気的に接続する半導体チップや電子部品（コンデンサ等）等を更に搭載することが可能となる。

【0119】

貫通孔 4 9 × の平面形状は例えば円形であり、その直径は例えば 100 ~ 350 μm 程度とすることができます。貫通孔 4 9 × は、例えば、貫通孔に対応した突起部を有する金型によるトランスファー・モールド法や、レーザ加工法、プラスト処理等により形成できる。

【0120】

但し、第 1 の実施の形態と同様の理由により、必ずしも封止樹脂 4 9 を設けなくてもよい。板状体 9 0 としては、例えば、半導体集積回路が形成されていない板状のシリコンやガラス、セラミック等の無機材料を用いることが好ましい。

10

【0121】

例えば、板状体 9 0 としてガラスの一種である硼珪酸ガラスを用いた場合の熱膨張係数は 3 ppm / 度である。又、板状体 9 0 としてセラミックの一種であるムライトを用いた場合の熱膨張係数（CTE）は 4.5 ppm / 度、アルミナを用いた場合の熱膨張係数（CTE）は 6 ~ 7 ppm / 度である。

【0122】

板状体 9 0 の厚さは、例えば、200 μm 程度とすることができます。なお、図 18 の例では、ソルダーレジスト層 3 8 上の一部の領域に板状体 9 0 を搭載しているが、ソルダーレジスト層 3 8 上の全面に板状体 9 0 を搭載してもよい。この場合には、板状体 9 0 及び封止樹脂 4 9 に第 2 電極パッド 3 7 を露出する貫通孔を形成すればよい。

20

【0123】

このように、配線基板 3 0 上に、半導体チップに代えて、半導体チップと熱膨張係数の近い部材（板状体）を搭載しても第 1 の実施の形態と同様の効果を奏する。

【0124】

なお、封止樹脂 4 9 上に半導体チップや電子部品（コンデンサ等）等を更に搭載しない場合には、開口部 3 8 × 及び貫通孔 4 9 × は設けなくてよい。

【0125】

第 1 の実施の形態の変形例 6

第 1 の実施の形態の変形例 6 では、配線基板上に半導体チップをフリップチップ接続して封止樹脂で封止し、封止樹脂に貫通孔を設ける例を示す。なお、第 1 の実施の形態の変形例 6 において、既に説明した実施の形態と同一構成部品についての説明は省略する。

30

【0126】

図 19 は、第 1 の実施の形態の変形例 6 に係る半導体パッケージを例示する断面図である。図 19 を参照するに、半導体パッケージ 10 E は、配線基板 3 0 にボンディングワイヤ 4 5 を介して接続された半導体チップ 4 0 が、配線基板 3 0 にフリップチップ接続された半導体チップ 6 0 に置換され、更に封止樹脂 4 9 に貫通孔 4 9 × が設けられた点が、半導体パッケージ 1 0 （図 1 参照）と相違する。

【0127】

半導体チップ 6 0 はフェイスダウンの状態（回路形成面を下にした状態）で、配線基板 3 0 に搭載されている。具体的には、半導体チップ 6 0 の電極パッド 6 2 は、接合部 6 5 を介して、配線基板 3 0 の第 2 電極パッド 3 7 と電気的に接続されている。半導体チップ 6 0 は、封止樹脂 4 9 により封止されている。放熱性を向上するため、半導体チップ 6 0 の裏面を封止樹脂 4 9 から露出させてもよい。

40

【0128】

封止樹脂 4 9 には貫通孔 4 9 × が設けられている。貫通孔 4 9 × はソルダーレジスト層 3 8 も貫通し、貫通孔 4 9 × 内には配線層 3 7 の一部が露出している。貫通孔 4 9 × 内に露出する配線層 3 7 は、封止樹脂 4 9 上に半導体チップや電子部品（コンデンサ等）等を更に搭載する際の電極パッドとして機能する。

【0129】

なお、封止樹脂 4 9 に代えてアンダーフィル樹脂を設けてもよい。この場合には、配線

50

層 3 7 の電極パッドとなる部分を露出するようにアンダーフィル樹脂を設けることができる。

【0 1 3 0】

このように、配線基板上に半導体チップをフリップチップ接続して封止樹脂で封止し、封止樹脂に貫通孔を設けることにより、第 1 の実施の形態の効果に加えて、更に以下の効果を奏する。すなわち、封止樹脂 4 9 上に貫通孔 4 9 × を介して配線層 3 7 と電気的に接続する半導体チップや電子部品（コンデンサ等）等を更に搭載することが可能となる。

【0 1 3 1】

第 1 の実施の形態の変形例 7

第 1 の実施の形態の変形例 7 では、配線基板上に半導体チップをフリップチップ接続してアンダーフィル樹脂で封止する例を示す。なお、第 1 の実施の形態の変形例 7 において、既に説明した実施の形態と同一構成部品についての説明は省略する。

10

【0 1 3 2】

図 2 0 は、第 1 の実施の形態の変形例 7 に係る半導体パッケージを例示する断面図である。図 2 0 を参照するに、半導体パッケージ 1 0 F は、封止樹脂 4 9 がアンダーフィル樹脂 7 9 に置換された点が、半導体パッケージ 1 0 A（図 1 5 参照）と相違する。

20

【0 1 3 3】

アンダーフィル樹脂 7 9 は、半導体チップ 6 0 と配線基板 3 0 との間に充填され、半導体チップ 6 0 の側面の一部を覆うように形成されている。アンダーフィル樹脂 7 9 としては、例えば、エポキシ系樹脂等の絶縁性樹脂を用いることができる。アンダーフィル樹脂 7 9 は、本発明に係る第 2 の封止絶縁層の代表的な一例である。

20

【0 1 3 4】

アンダーフィル樹脂 7 9 は、配線基板 3 0 上に半導体チップ 6 0 をフリップチップ接続した後、半導体チップ 6 0 と配線基板 3 0 との間にエポキシ系樹脂等の絶縁性樹脂を充填し硬化させることで形成できる。又は、配線基板 3 0 上に半硬化状態のフィルム状絶縁性樹脂を載置し、半導体チップ 6 0 をフィルム状絶縁性樹脂を介してフリップチップ接続し、フィルム状絶縁性樹脂を硬化させることで形成してもよい。

20

【0 1 3 5】

このように、封止樹脂に代えてアンダーフィル樹脂を用いても、第 1 の実施の形態と同様の効果を奏する。

30

【0 1 3 6】

以上、好ましい実施の形態及びその変形例について詳説したが、上述した実施の形態及びその変形例に制限されることはなく、特許請求の範囲に記載された範囲を逸脱することなく、上述した実施の形態及びその変形例に種々の変形及び置換を加えることができる。

30

【0 1 3 7】

例えば、上述した実施の形態及びその変形例では、配線基板 3 0 の最外の絶縁層 3 2 に半導体チップ 2 0 を内蔵する例を示したが、半導体チップ 2 0 を他の絶縁層に内蔵しても構わない。但し、半導体パッケージ 1 0 の上下方向（厚さ方向）の物性値（熱膨張係数やヤング率）のバランスを考慮して、半導体チップ 2 0 を内蔵する絶縁層を決定する必要がある。

40

【符号の説明】

【0 1 3 8】

1 0 、 1 0 A 、 1 0 B 、 1 0 C 、 1 0 D 、 1 0 E 、 1 0 F 半導体パッケージ

2 0 、 4 0 、 6 0 、 7 0 、 8 0 半導体チップ

2 1 、 4 1 、 6 1 、 7 1 、 8 1 半導体基板

2 2 、 4 2 、 6 2 、 7 2 、 7 4 、 8 2 電極パッド

2 3 、 6 3 突起電極

2 4 、 4 3 接着層

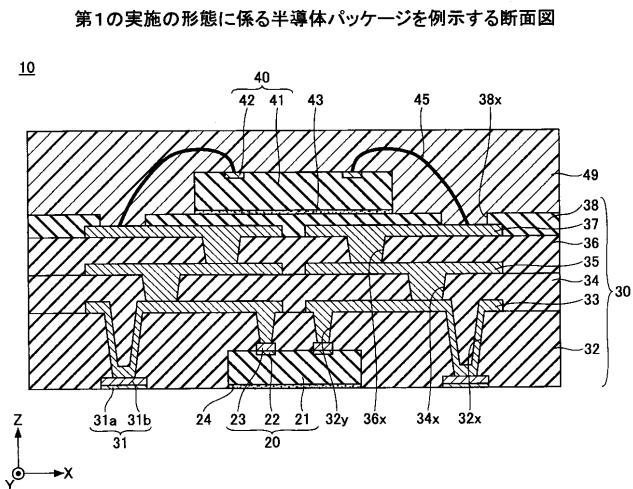
3 0 配線基板

3 1 配線層

50

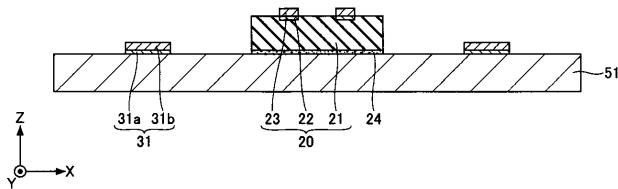
3 1 a	第1層				
3 1 b	第2層				
3 2	絶縁層				
3 2 x	、 3 2 y	、 3 4 x	、 3 6 x	ビアホール	
3 3	配線層		10		
3 4	絶縁層				
3 5	配線層				
3 6	絶縁層				
3 7	配線層				
3 8	ソルダーレジスト層				
3 8 x	、 5 2 x	開口部			
4 5	ポンディングワイヤ				
4 9	封止樹脂				
4 9 x	貫通孔				
5 1	、 5 1 1	、 5 1 2	、 5 5	支持体	
5 2	レジスト層				
6 5	、 7 5	接合部			
6 9	異方性導電フィルム				
7 3	貫通電極				
7 9	アンダーフィル樹脂		20		
9 0	板状体				

【図1】



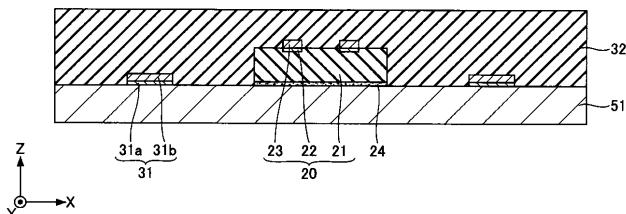
【図4】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その3)



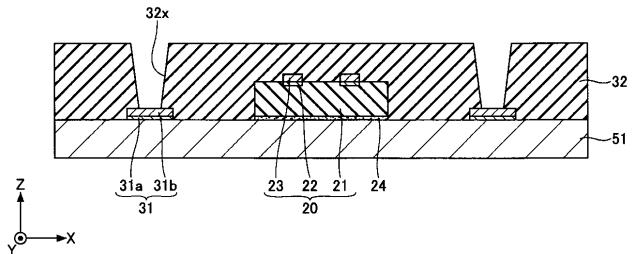
【図5】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その4)



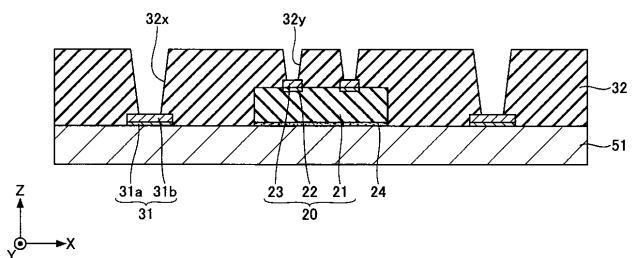
【図6】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その5)



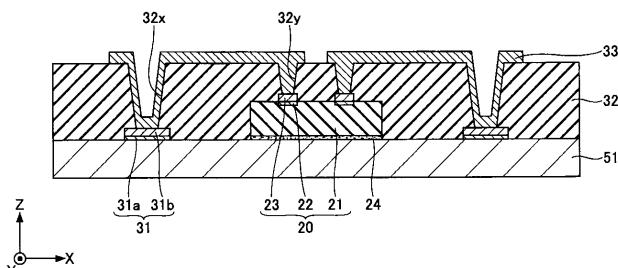
【図7】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その6)



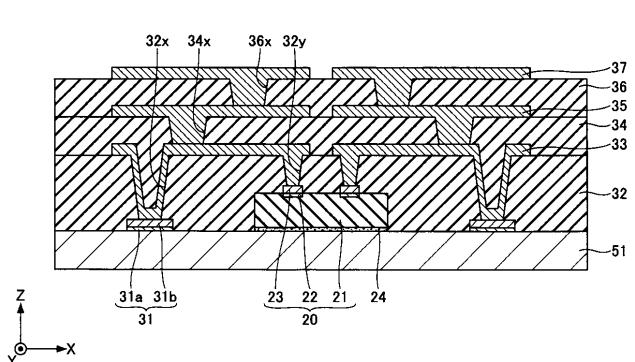
【図8】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その7)



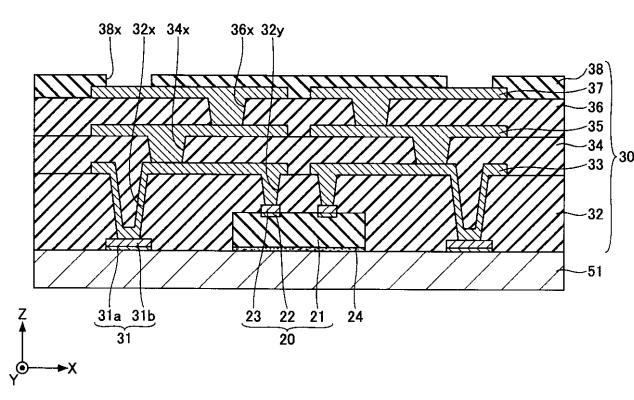
【図9】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その8)



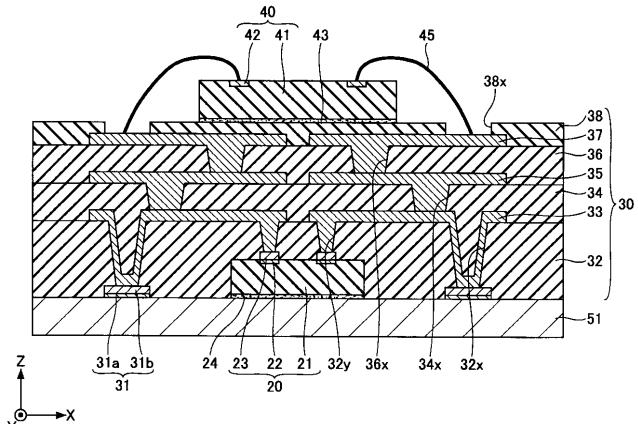
【図10】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その9)



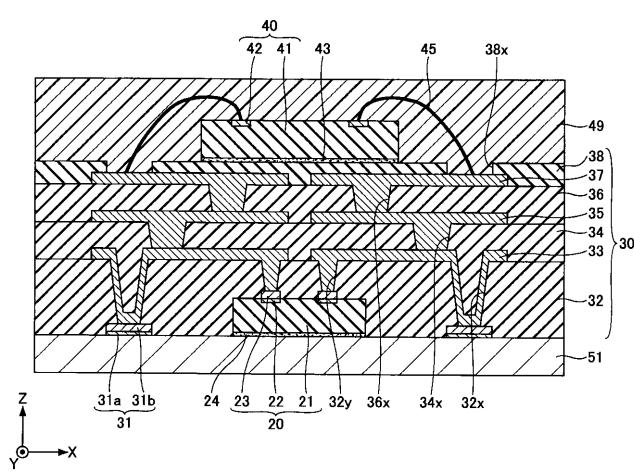
【 図 1 1 】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その10)



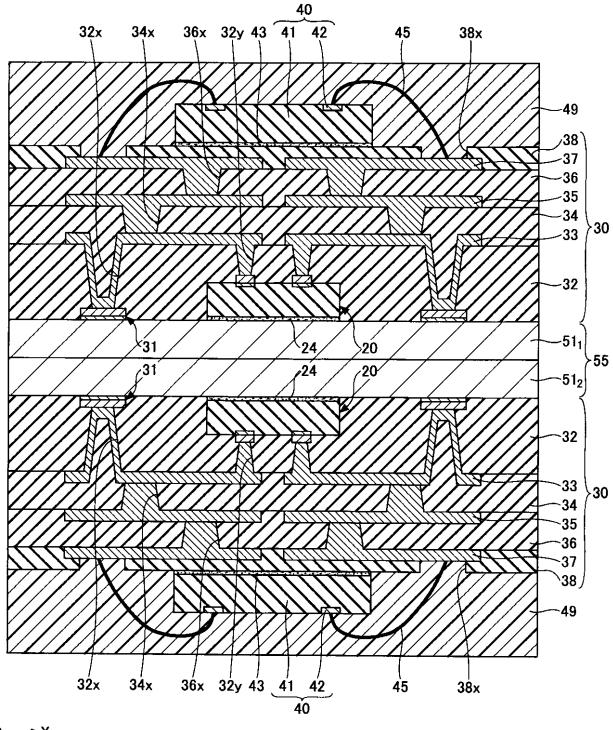
【図 1 2】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その11)



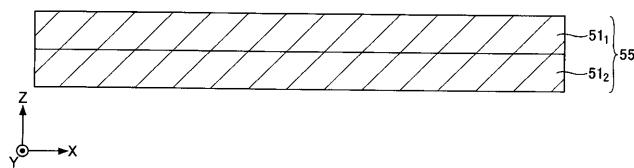
【 図 1 4 】

第1の実施の形態に係る 半導体パッケージの他の製造工程を例示する図(その2)

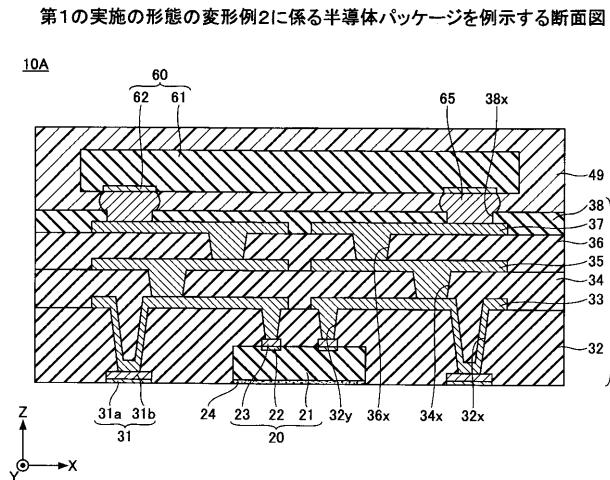


【図 1 3】

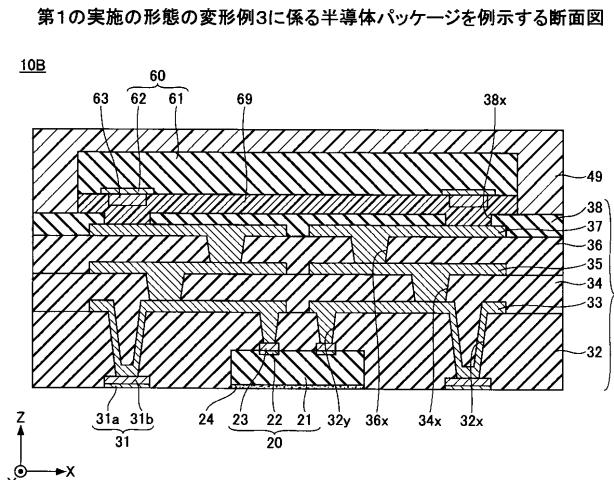
第1の実施の形態に係る 半導体パッケージの他の製造工程を例示する図(その1)



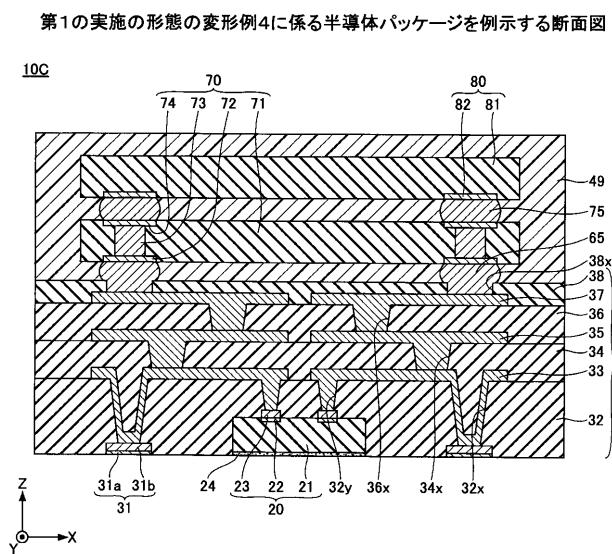
【図15】



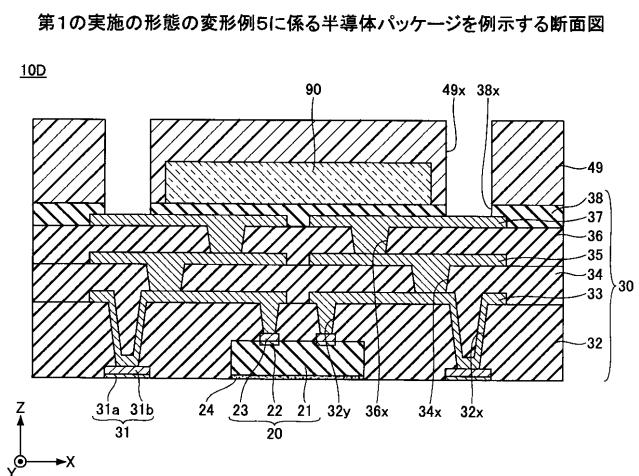
【図16】



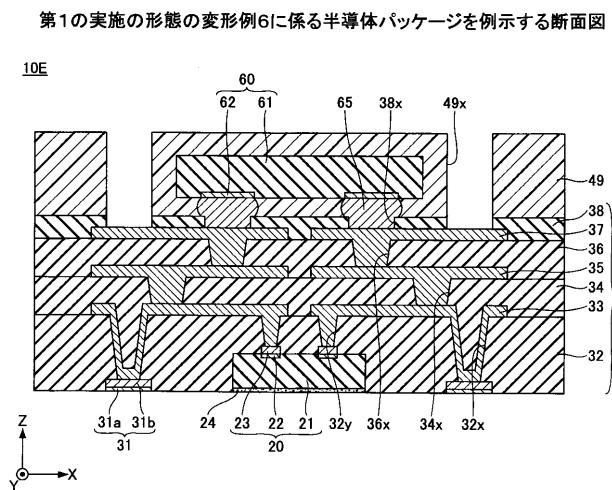
【図17】



【図18】



【図19】



【図20】

第1の実施の形態の変形例7に係る半導体パッケージを例示する断面図

