



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I512717 B

(45) 公告日：中華民國 104 (2015) 年 12 月 11 日

(21) 申請案號：103116860

(22) 申請日：中華民國 103 (2014) 年 05 月 13 日

(51) Int. Cl. : G09G3/36 (2006.01)

(71) 申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORP. (TW)

新竹市新竹科學工業園區力行二路 1 號

(72) 發明人：柯健專 KO, CHIEN CHUAN (TW) ; 蔡孟杰 TSAI, MENG CHIEH (TW)

(74) 代理人：郭曉文

(56) 參考文獻：

TW 200614128A

US 2002/0097829A1

審查人員：吳柏蒼

申請專利範圍項數：10 項 圖式數：4 共 19 頁

(54) 名稱

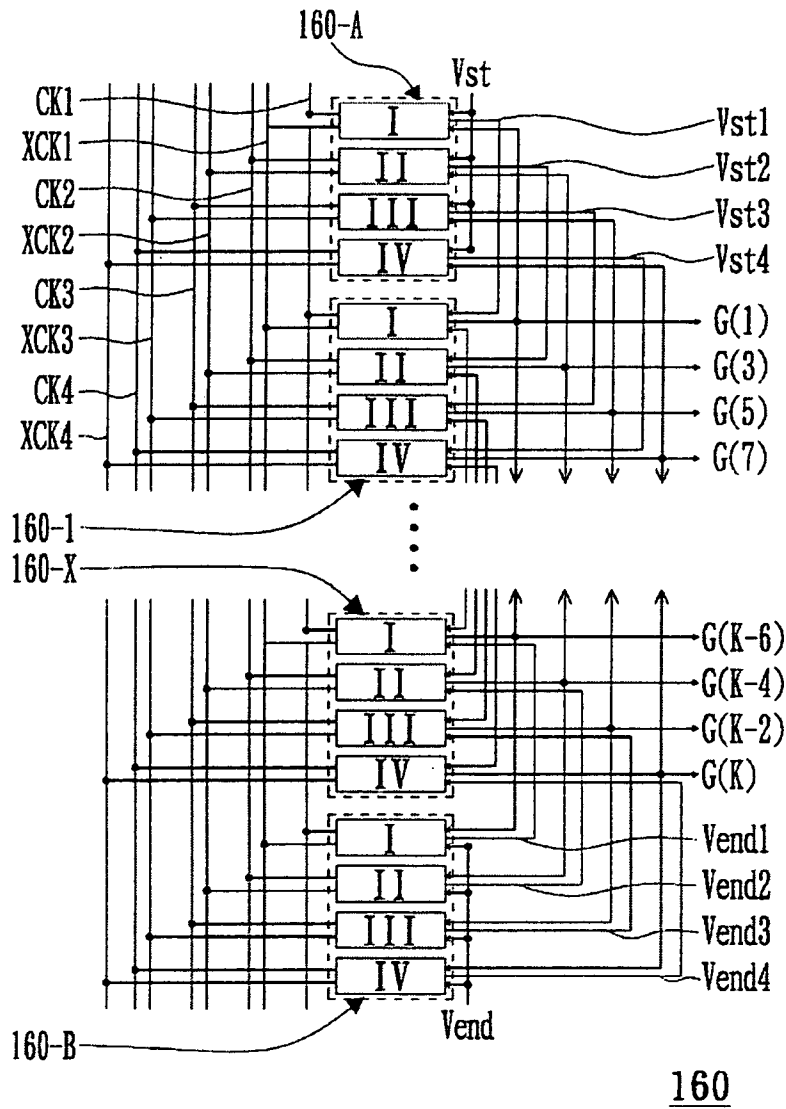
多相閘極驅動器及其顯示面板

MULTI-PHASE GATE DRIVER AND DISPLAY PANEL USING THE SAME

(57) 摘要

一種多相閘極驅動器設置在該顯示面板之週邊區，包括啟閉訊號生成電路及多個移位暫存模組。啟閉訊號生成電路依據第一控制訊號及多組時脈訊號而依序輸出多個起始訊號。每一移位暫存模組包含多個移位暫存單元。該些移位暫存模組之其中之一之第 M 個移位暫存單元依據第 M 組時脈訊號、第 M 個起始訊號及一後級移位暫存模組之第 M 個移位暫存單元之閘極訊號而輸出對應之閘極訊號，其中 M 為正整數。

A multi-phase gate driver disposed in a peripheral area of a display panel. The multi-phase gate driver includes a start pulse/end pulse generating circuit and a plurality of shift register modules. The start pulse/end pulse generating circuit sequentially outputs a plurality of start pulses according to a first control signal and a plurality set of clock signals. Each shift register module includes a plurality of shift register units. The Mth shift register unit of one of the shift register modules outputs a corresponding gate signal according to the Mth set of the clock signals, the Mth start pulse, and a gate signal outputted from the Mth shift register unit of a posterior-stage shift register module, where M is an integer.



160 . . . 多相開極驅動器

160-A、160-B . . . 啟閉訊號生成電路

160-1~160-X . . . 移位暫存模組

I、II、III、IV . . . 移位暫存單元

CK1~4、XCK1~4 . . . 時脈訊號

G(1)~G(K) . . . 開極訊號

Vst、Vend . . . 控制訊號

Vst1~Vst4 . . . 起始訊號

Vend1~Vend4 . . . 結束訊號

圖2

160

公告本**發明摘要**

※ 申請案號：103116860

※ 申請日：103.5.13

※ IPC 分類：G09G 3/36 (2006.01)

【發明名稱】 多相閘極驅動器及其顯示面板MULTI-PHASE GATE DRIVER AND DISPLAY
PANEL USING THE SAME**【中文】**

一種多相閘極驅動器設置在該顯示面板之週邊區，包括啟閉訊號生成電路及多個移位暫存模組。啟閉訊號生成電路依據第一控制訊號及多組時脈訊號而依序輸出多個起始訊號。每一移位暫存模組包含多個移位暫存單元。該些移位暫存模組之其中之一之第 M 個移位暫存單元依據第 M 組時脈訊號、第 M 個起始訊號及一後級移位暫存模組之第 M 個移位暫存單元之閘極訊號而輸出對應之閘極訊號，其中 M 為正整數。

【英文】

A multi-phase gate driver disposed in a peripheral area of a display panel. The multi-phase gate driver includes a start pulse/end pulse generating circuit and a plurality of shift register modules. The start pulse/end pulse generating circuit sequentially outputs a plurality of start pulses according to a first control signal and a plurality set of clock signals. Each shift register module includes a plurality of shift register units. The Mth shift register unit of one of the shift register modules

outputs a corresponding gate signal according to the M th set of the clock signals, the M th start pulse, and a gate signal outputted from the M th shift register unit of a posterior-stage shift register module, where M is an integer.

【代表圖】

【本案指定代表圖】：第（ 2 ）圖。

【本代表圖之符號簡單說明】：

160.....多相閘極驅動器

160-A、160-B.....啟閉訊號生成電路

160-1~160-X.....移位暫存模組

I、II、III、IV.....移位暫存單元

CK1~4、XCK1~4.....時脈訊號

G(1)~G(K)：閘極訊號

Vst、Vend.....控制訊號

Vst1~Vst 4.....起始訊號

Vend1~Vend 4.....結束訊號

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】多相閘極驅動器及其顯示面板

MULTI-PHASE GATE DRIVER AND DISPLAY
PANEL USING THE SAME

【技術領域】

【0001】 本發明是關於一種閘極驅動器，特別有關於一組多相閘極驅動器。

【先前技術】

【0002】 液晶顯示螢幕具有高畫質、體積小及重量輕等優點，因此被廣泛應用於智慧型手機、筆記型電腦、桌上型顯示器以及電視等消費性電子產品，並已取代了傳統的陰極射線管顯示螢幕而躍居成顯示螢幕之主流。

【0003】 目前的液晶顯示螢幕主要是採用多相之陣列基板閘極驅動(Multi-phase Gate Driver on Array)技術來將閘極驅動器直接製作在由陣列基板所形成之顯示面板的週邊區，以利用這些閘極驅動器來驅動高解析度之顯示面板。

【0004】 但是，隨著顯示面板之解析度不斷地提高，液晶顯示螢幕中之時序控制器所需提供給閘極驅動器的控制訊號數目也跟著增加，進而使得顯示面板之週邊區中用以傳輸這些控制訊號的走線數目也跟著增加。如此一來，將使得顯示面板之邊框的寬度也因此增加。

【發明內容】

【0005】 本發明之其中一目的在提供一種可減少顯示面

板之週邊區的走線數目的多相閘極驅動器。

【0006】 本發明之另一目的在提供一種具有上述多相閘極驅動器之顯示面板。

【0007】 本發明提出一種多相閘極驅動器，其用以設置於一顯示面板之一週邊區，並用以產生複數個閘極訊號。該多相閘極驅動器包含：一啟閉訊號生成電路，依據一第一控制訊號及N組時脈訊號依序輸出N個起始訊號，及依據一第二控制訊號及該些時脈訊號依序輸出N個結束訊號，其中該些起始訊號及該些結束訊號的相位依序分別具有一延遲區間，其中每組時脈訊號包含一第一時脈訊號及一第二時脈訊號，該第二時脈訊號反相於該第一時脈訊號，且該些第一時脈訊號的相位依序分別具有該延遲區間；及X個移位暫存模組，電性耦接於該啟閉訊號生成電路，每一個移位暫存模組包含由上至下依序排列的N個移位暫存單元，該些移位暫存模組中之一第1個移位暫存模組之一第M個移位暫存單元依據一第M組時脈訊號、一第M個起始訊號及一後級移位暫存模組之一第M個移位暫存單元之閘極訊號輸出對應之閘極訊號，其中，M、N、X係為正整數，且N大於1。

【0008】 本發明另提出一種顯示面板，其包含：至少一多相閘極驅動器，設置於該顯示面板之一週邊區，並用以輸出複數個閘極訊號，該些多相閘極驅動器分別包含：一啟閉訊號生成電路，依據一第一控制訊號及N組時脈訊號依序輸出N個起始訊號，及依據一第二控制訊號及該些時脈訊號依序輸出N個結束訊號，其中該些起始訊號及該些結束訊號的相位依序分別具有一延遲區間，其中每組時脈訊號包含一第一時脈訊號及一第二時脈訊號，該第二時脈訊號反相於該第一時脈

訊號，且該些第一時脈訊號的相位依序分別具有該延遲區間；及X個移位暫存模組，電性耦接於該啟閉訊號生成電路，每一個移位暫存模組包含由上至下依序排列的N個移位暫存單元，該些移位暫存模組中之一第1個移位暫存模組之一第M個移位暫存單元依據一第M組時脈訊號、一第M個起始訊號及一後級移位暫存模組之一第M個移位暫存單元之閘極訊號輸出對應之閘極訊號，其中，M、N、X係為正整數，且N大於1。

【0009】 由於本發明之多相閘極驅動器係採用了一啟閉訊號生成電路來產生多相移位暫存模組所需之多個起始訊號與多個結束訊號，使得時序控制器僅需提供一個起始訊號與一個結束訊號至多相閘極驅動器，進而使得時序控制器與多相閘極驅動器之間不再需要多條傳輸起始訊號與結束訊號的走線，因此，本發明之多相閘極驅動器可減少顯示面板之週邊區的走線數目。

【圖式簡單說明】

【0010】

圖1為依照本發明一實施例之顯示面板的示意圖；

圖2係繪示本發明之多相閘極驅動器160之一實施例；

圖3係繪示圖2中之各訊號的時序關係。

圖4係繪示本發明之另一種多相閘極驅動器460之一實施例。

【實施方式】

【0011】 圖1為依照本發明一實施例之顯示面板100的示意圖。請參照圖1，此例之多相閘極驅動器160及多相閘極驅

動器170乃是採用多相之陣列基板閘極驅動技術來製作的。在圖1中，基板110包含有由多個畫素122所構成的畫素矩陣120。每一畫素122係電性耦接對應之閘極線130與對應之源極線140。而如圖1所示，多相閘極驅動器160與170係直接製作在由基板110所形成之顯示面板100的週邊區150中，且係相對設置於顯示面板100之兩側。本實施例中，以雙邊閘極驅動器驅動為例，多相閘極驅動器160係電性耦接第奇數條的閘極線130，而多相閘極驅動器170則電性耦接第偶數條的閘極線130。然本發明並不以此為限，熟習本領域之通常知識者應當知道當以一個多相閘極驅動器驅動時，係依照訊號輸出順序電性耦接至依序對應之閘極線上。上述之每一多相閘極驅動器皆用以接收來自時序控制器(未繪示)的複數個控制訊號，並用以輸出複數個閘極訊號至對應的閘極線。以下將進一步說明本發明之多相閘極驅動器的內部電路，並以多相閘極驅動器160之內部電路的其中一種實施方式來舉例說明之。

【0012】 圖2係繪示本發明之多相閘極驅動器160之一實施例，圖3係繪示圖2中之各訊號的時序關係。請依照說明來合併參照圖2與圖3。如圖2所示，此多相閘極驅動器160包含多個移位暫存模組160-1~160-X以及啟閉訊號生成電路160-A、160-B。啟閉訊號生成電路160-A係用以依據控制訊號Vst及多組時脈訊號依序輸出多個起始訊號，在此例中，啟閉訊號生成電路160-A接收四組時脈訊號。第一組時脈訊號由時脈訊號CK1及時脈訊號XCK1所組成，且時脈訊號XCK1反相於時脈訊號CK1；第二組時脈訊號由時脈訊號CK2及時脈訊號XCK2所組成，且時脈訊號XCK2反相於時脈訊號CK2；第三組時脈訊號由時脈訊號CK3及時脈訊號XCK3所組成，且時脈訊

號 XCK3 反相於時脈訊號 CK3；第四組時脈訊號由時脈訊號 CK4 及時脈訊號 XCK4 所組成，且時脈訊號 XCK4 反相於時脈訊號 CK4。時脈訊號 CK1、CK2、CK3 與 CK4 的相位依序分別具有延遲區間 T。

【0013】 此外，在此例中，啟閉訊號生成電路 160-A 用以輸出四個起始訊號，分別以 Vst1~Vst4 來標示。而這四個起始訊號 Vst1~Vst4 的相位亦依序分別具有延遲區間 T。另外，啟閉訊號生成電路 160-B 係用以依據控制訊號 Vend 及上述之四組時脈訊號而依序輸出四個結束訊號。這四個結束訊號分別以 Vend1~Vend4 來標示，且這四個結束訊號的相位亦依序分別具有延遲區間 T。

【0014】 上述之啟閉訊號生成電路 160-A、啟閉訊號生成電路 160-B 皆包含有由上至下依序排列的複數個移位暫存單元。在此例中，啟閉訊號生成電路 160-A、啟閉訊號生成電路 160-B 分別具有四個移位暫存單元，且電路 160-A 與 160-B 中之移位暫存單元係以由第一級至最後一級的方式依序以 I、II、III 與 IV 來標示。由圖 2 可知，啟閉訊號生成電路 160-A、啟閉訊號生成電路 160-B 中的每一移位暫存單元依據其中一組時脈訊號來運作，且啟閉訊號生成電路 160-A 中的每一移位暫存單元係用以輸出起始訊號，而啟閉訊號生成電路 160-B 中的每一移位暫存單元係用以輸出結束訊號。起始訊號 Vst1~Vst4 係提供給移位暫存模組 160-1 並控制移位暫存模組 160-1 之移位暫存單元操作；結束訊號 Vend1~Vend4 係提供給移位暫存模組 160-X 並控制移位暫存模組 160-X 之移位暫存單元操作。值得注意的是，起始訊號 Vst1~Vst4 與結束訊號 Vend1~Vend4 並不會直接電性耦接至畫素 122。啟閉訊號生成電路 160-A、啟閉訊號生成電路 160-B 僅分別供應起始訊號

Vst1~Vst4與結束訊號Vend1~Vend4至移位暫存模組160-1及移位暫存模組160-X用以控制其動作。

【0015】 此外，上述之移位暫存模組160-1~160-X係電性耦接於啟閉訊號生成電路。每一移位暫存模組係包含有由上至下依序排列的四個移位暫存單元，分別以 I、II、III與IV標示。其中移位暫存模組160-1中之第M個移位暫存單元係依據第M組時脈訊號、第M個起始訊號及一後級移位暫存模組之第M個移位暫存單元之閘極訊號輸出對應之閘極訊號，其中M為正整數。舉例來說，移位暫存模組160-1中之移位暫存單元 I 係依據第一組時脈訊號CK1、XCK1、第一個起始訊號Vst1及後級移位暫存模組160-2之移位暫存單元 I 之閘極訊號而輸出對應之閘極訊號G(1)。類似地，移位暫存模組160-1中之移位暫存單元 II 係依據第二組時脈訊號CK2、XCK2、第二個起始訊號Vst2及後級移位暫存模組160-2之移位暫存單元 II 之閘極訊號而輸出對應之閘極訊號G(3)。

【0016】 而在上述的各移位暫存模組中，移位暫存模組160-X中之第M個移位暫存單元係依據該第M組時脈訊號、一前級移位暫存模組之第M個移位暫存單元之閘極訊號、及第M個結束訊號輸出對應之閘極訊號。舉例來說，移位暫存模組160-X中之移位暫存單元 I 係依據第一組時脈訊號CK1、XCK1、一前級移位暫存模組160-(X-1)之移位暫存單元 I 之閘極訊號、及第一個結束訊號Vend1輸出對應之閘極訊號G(K-6)。類似地，移位暫存模組160-X中之移位暫存單元 II 係依據第二組時脈訊號CK2、XCK2、一前級移位暫存模組160-(X-1)之移位暫存單元 II 之閘極訊號、及第二個結束訊號Vend2輸出對應之閘極訊號G(K-4)。

【0017】 至於自移位暫存模組160-2開始至移位暫存模組160-(X-1)為止的這些移位暫存模組中，第P個移位暫存模組之第M個移位暫存單元係依據第M組時脈訊號、一前級移位暫存模組(即第P-1個移位暫存模組)之第M個移位暫存單元之閘極訊號、及一後級移位暫存模組(即第P+1個移位暫存模組)之第M個移位暫存單元之閘極訊號而輸出對應之閘極訊號，其中 $1 < P < X$ 。此外，由圖3可知，在移位暫存模組160-1~160-X所輸出的這些閘極訊號中，每二個時序相鄰之閘極訊號可具有重疊期間B。以本實施例而言，延遲區間T的脈波寬度可等於重疊期間B的脈波寬度。然本發明亦不以此為限，每兩個時序相鄰之閘極訊號亦可不重疊。所述之重疊期間B可以是畫素122預充電期間，延遲區間T係可避免兩閘極線同時開啟充相同資料電壓。上述應是熟習本領域常識之人均可理解，不在此贅述。

【0018】 由於本發明之多相閘極驅動器可依據控制訊號Vst來產生所需之多個起始訊號，並可依據控制訊號Vend來產生所需之多個結束訊號，因此多相閘極驅動器所需之起始訊號與結束訊號這類的控制訊號便不需由時序控制器全部供應。如此一來，便可減少時序控制器與多相閘極驅動器之間的走線數目。

【0019】 值得一提的是，僅管在上述實施例中，係以顯示面板具有二個多相閘極驅動器為例，然此並非用以限制本發明。藉由上述教示，本領域中具有通常知識者當知本發明之顯示面板可以是採用至少一個多相閘極驅動器來實現。在本發明之另一實施例中，若僅有一個多相閘極驅動器驅動顯示面板100時，則此多相閘極驅動器可如圖4所示般設計。圖4係

繪示本發明之另一種多相閘極驅動器460之一實施例。在圖4中，標示與圖2中之標示相同者表示為相同的物件或訊號。圖4與圖2所示電路的不同之處，在於多相閘極驅動器460包含有移位暫存模組160-1~160-Y，且移位暫存模組160-1~160-Y用以輸出閘極訊號G(1)~G(Z)至顯示面板100中的第一條閘極線130至第Z條閘極線130。

【0020】 綜上所述，由於本發明之多相閘極驅動器160係利用啟閉訊號生成電路來根據控制訊號Vst及控制訊號Vend產生多相閘極驅動器160所需之起始訊號與結束訊號，使得時序控制器僅需要提供一個起始訊號與一個結束訊號至多相閘極驅動器，進而使得時序控制器與多相閘極驅動器之間不再需要多條傳輸起始訊號與結束訊號的走線，因此，本發明之多相閘極驅動器可減少顯示面板之週邊區的走線數目。

【符號說明】

【0021】

- 110.....基板
- 120.....畫素陣列
- 122.....畫素
- 130.....閘極線
- 140.....源極線
- 150.....週邊區
- 160、170、460.....多相閘極驅動器
- 160-A、160-B.....啟閉訊號生成電路
- 160-1~160-X、160-1~160-Y.....移位暫存模組
- I、II、III、IV.....移位暫存單元
- CK1~4、XCK1~4.....時脈訊號
- G(1)~G(K)、G(1)~G(Z)：閘極訊號

Vst、Vend.....控制訊號

Vst1~Vst 4.....起始訊號

Vend1~Vend 4.....結束訊號

申請專利範圍

1. 一多相閘極驅動器，設置於一顯示面板的一週邊區，用以產生複數個閘極訊號，該多相閘極驅動器包含：
 - 一啟閉訊號生成電路，依據一第一控制訊號及 N 組時脈訊號依序輸出 N 個起始訊號，及依據一第二控制訊號及該些時脈訊號依序輸出 N 個結束訊號，其中該些起始訊號及該些結束訊號的相位依序分別具有一延遲區間，其中每組時脈訊號包含一第一時脈訊號及一第二時脈訊號，該第二時脈訊號反相於該第一時脈訊號，且該些第一時脈訊號的相位依序分別具有該延遲區間；及
 - X 個移位暫存模組，電性耦接於該啟閉訊號生成電路，每一個移位暫存模組包含由上至下依序排列的 N 個移位暫存單元，該些移位暫存模組中之一第 1 個移位暫存模組之一第 M 個移位暫存單元依據一第 M 組時脈訊號、一第 M 個起始訊號及一後級移位暫存模組之一第 M 個移位暫存單元之閘極訊號而對應輸出該第 1 個移位暫存模組之第 M 個閘極訊號，其中， M 、 N 、 X 係為正整數，且 N 大於 1。
2. 如申請專利範圍第 1 項所述之多相閘極驅動器，其中該啟閉訊號生成電路包含：複數個移位暫存單元，依據該些時脈訊號及該第一控制訊號依序輸出該些起始訊號，以及依據該些時脈訊號及該第二控制訊號依序輸出該些結束訊號。
3. 如申請專利範圍第 1 項所述之多相閘極驅動器，其中該些移位暫存模組中之一第 X 個移位暫存模組之一第 M 個移位暫存單元依據該第 M 組時脈訊號、一前級移位暫存模組之一第 M 個移位暫存單元之閘極訊號、及一第 M 個結束訊號輸出對應之閘極訊號。

4. 如申請專利範圍第 1 項所述之多相閘極驅動器，其中該些移位暫存模組中之一第 P 個移位暫存模組之一第 M 個移位暫存單元依據該第 M 組時脈訊號、一前級移位暫存模組之一第 M 個移位暫存單元之閘極訊號、及一後級移位暫存模組之一第 M 個移位暫存單元之閘極訊號輸出對應之閘極訊號，其中 $1 < P < X$ 。
5. 如申請專利範圍第 1 項所述之多相閘極驅動器，其中在該些移位暫存單元輸出之該些閘極訊號中，每二個在時序上相鄰之閘極訊號具有一重疊期間。
6. 一顯示面板，其包含：
 - 至少一多相閘極驅動器，設置於該顯示面板之一週邊區，用以輸出複數個閘極訊號，該至少一多相閘極驅動器分別包含：
 - 一啟閉訊號生成電路，依據一第一控制訊號及 N 組時脈訊號依序輸出 N 個起始訊號，及依據一第二控制訊號及該些時脈訊號依序輸出 N 個結束訊號，其中該些起始訊號及該些結束訊號的相位依序分別具有一延遲區間，其中每組時脈訊號包含一第一時脈訊號及一第二時脈訊號，該第二時脈訊號反相於該第一時脈訊號，且該些第一時脈訊號的相位依序分別具有該延遲區間；及
 - X 個移位暫存模組，電性耦接於該啟閉訊號生成電路，每一個移位暫存模組包含由上至下依序排列的 N 個移位暫存單元，該些移位暫存模組中之一第 1 個移位暫存模組之一第 M 個移位暫存單元依據一第 M 組時脈訊號、一第 M 個起始訊號及一後級移位暫存模組之一第 M 個移位暫存單元之閘極訊號而對應輸出該第 1 個移位暫存模組之第 M 個閘極訊號，其中，M、N、X 係為正整數，且 N 大於 1。

- 7.如申請專利範圍第 6 項所述之顯示面板，包含二個多相閘極驅動器，相對設置於該顯示面板之兩側，用以輸出該些閘極訊號。
- 8.如申請專利範圍第 6 項所述之顯示面板，其中該啟閉訊號生成電路包含：複數個移位暫存單元，依據該些時脈訊號及該第一控制訊號依序輸出該些起始訊號，以及依據該些時脈訊號及該第二控制訊號依序輸出該些結束訊號。
- 9.如申請專利範圍第 6 項所述之顯示面板，其中該些移位暫存模組中之一第 X 個移位暫存模組之一第 M 個移位暫存單元依據該第 M 組時脈訊號、一前級移位暫存模組之一第 M 個移位暫存單元之閘極訊號、及一第 M 個結束訊號輸出對應之閘極訊號。
- 10.如申請專利範圍第 6 項所述之顯示面板，其中該些移位暫存模組中之一第 P 個移位暫存模組之一第 M 個移位暫存單元依據該第 M 組時脈訊號、一前級移位暫存模組之一第 M 個移位暫存單元之閘極訊號、及一後級移位暫存模組之一第 M 個移位暫存單元之閘極訊號輸出對應之閘極訊號，其中 $1 < P < X$ 。

圖式

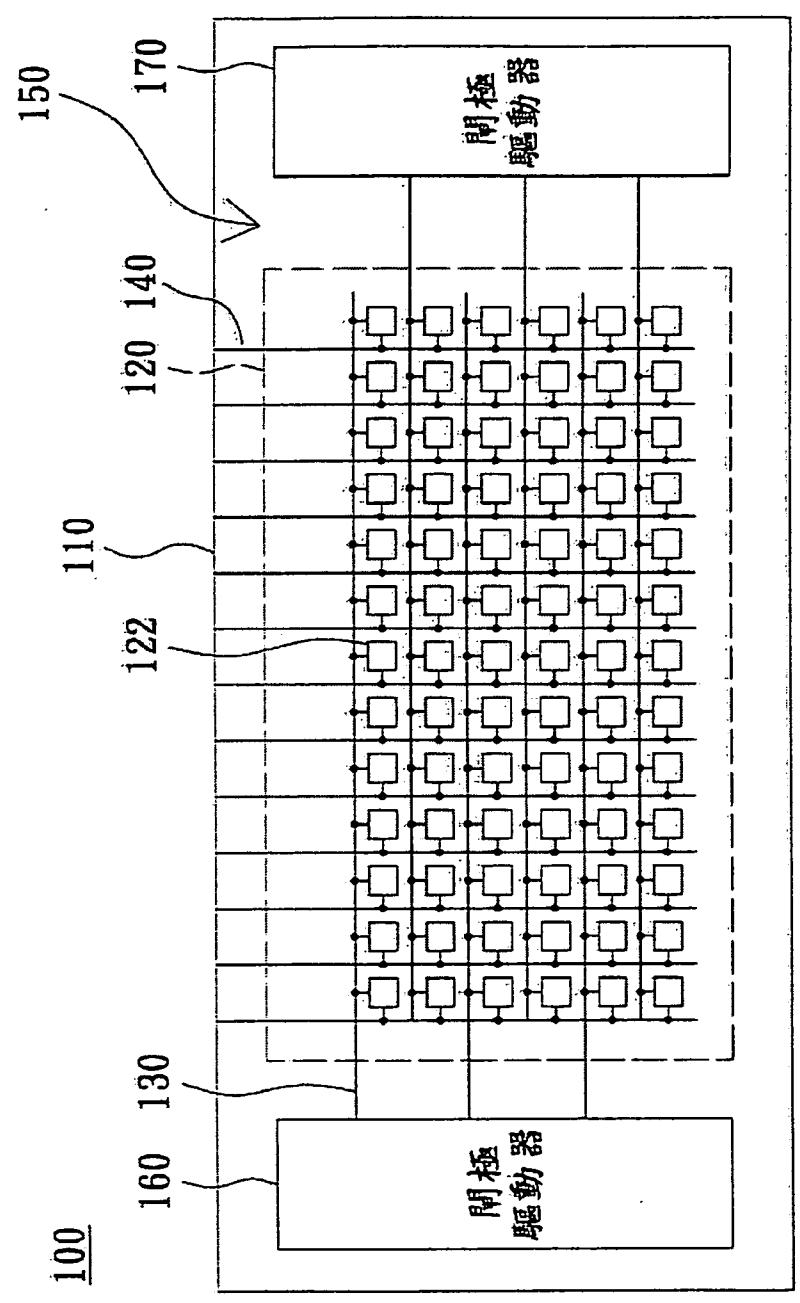


圖1

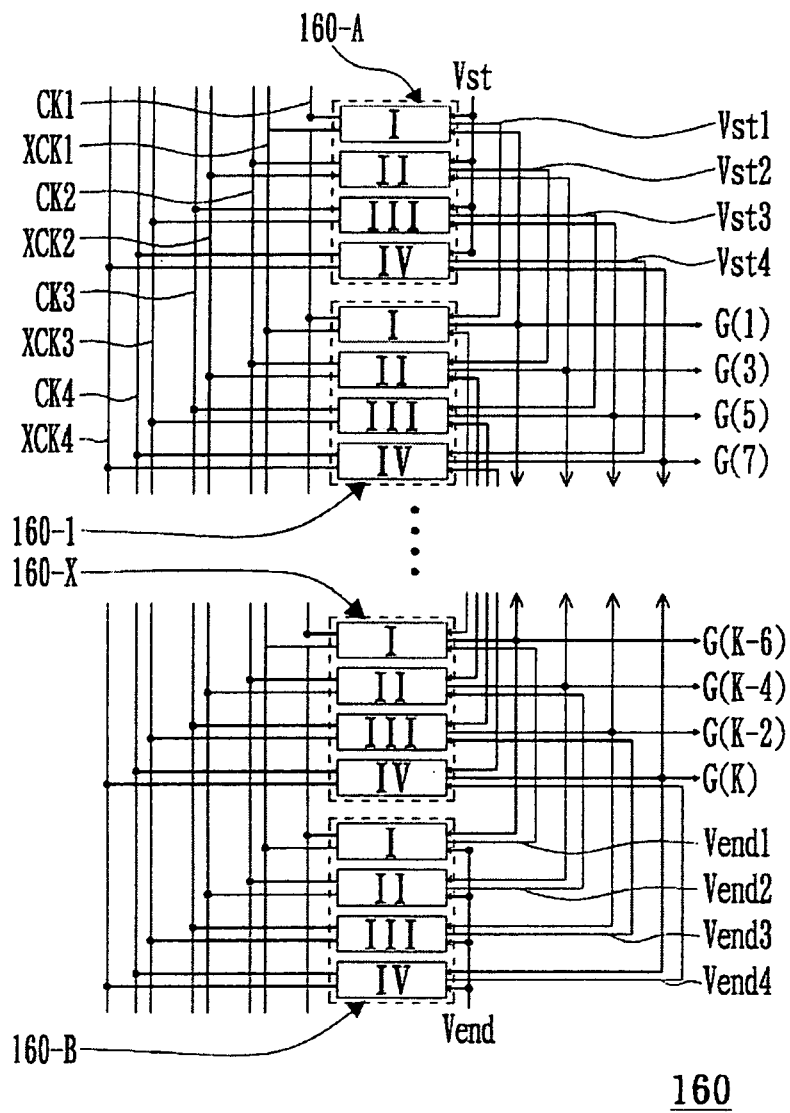


圖 2

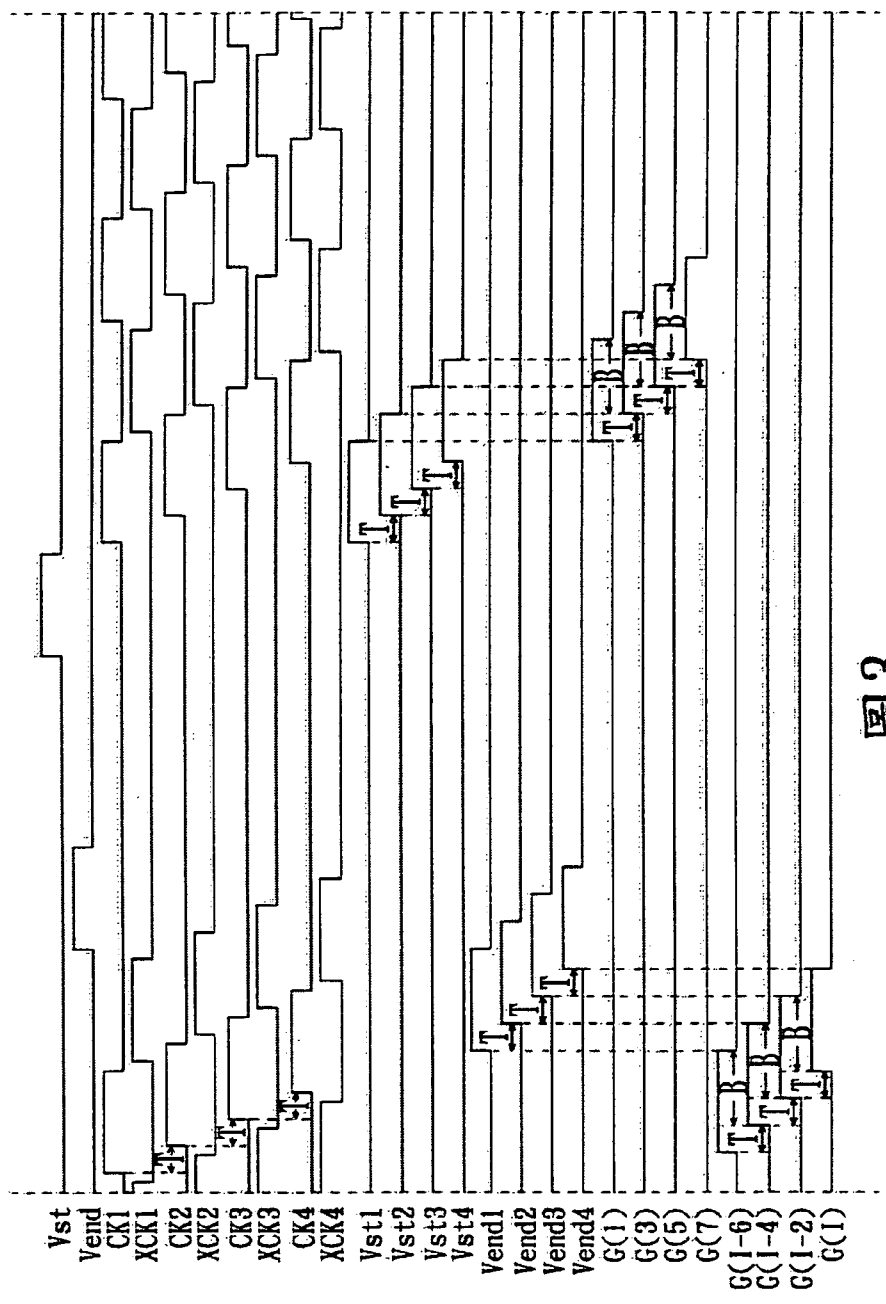
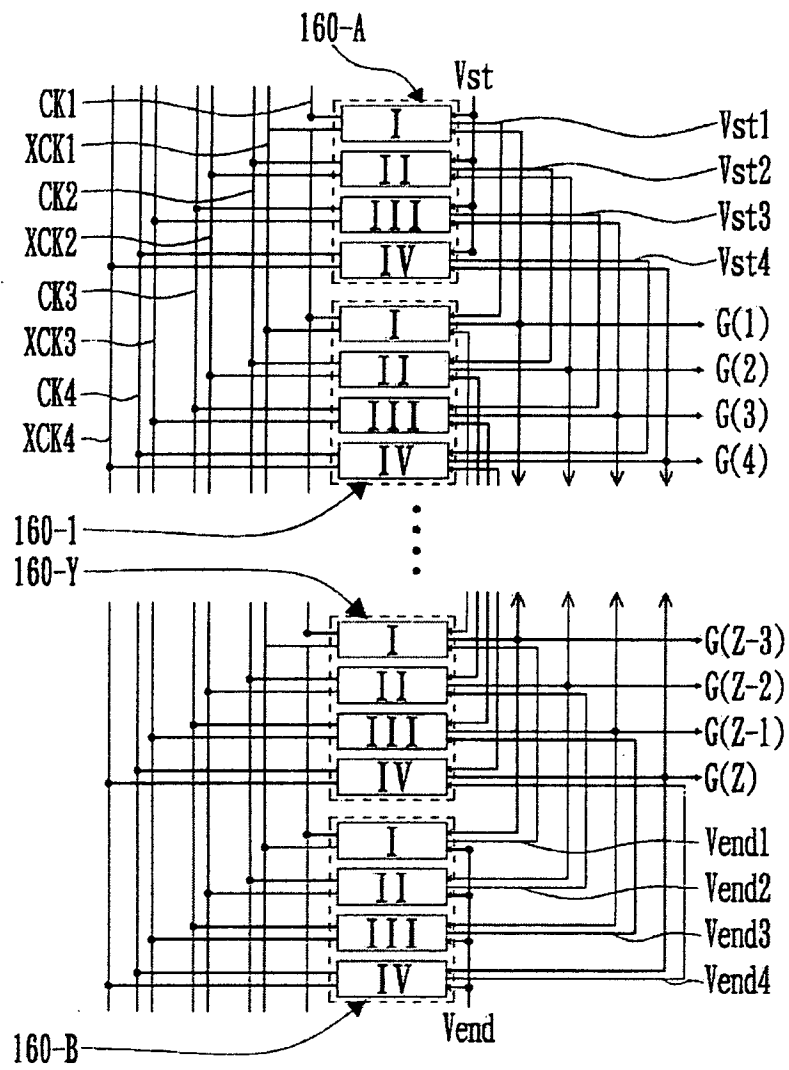


圖3



460

圖 4