

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
G11C 11/40

(45) 공고일자 2005년08월26일
(11) 등록번호 10-0510521
(24) 등록일자 2005년08월19일

(21) 출원번호 10-2003-0013423
(22) 출원일자 2003년03월04일

(65) 공개번호 10-2004-0078471
(43) 공개일자 2004년09월10일

(73) 특허권자 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 서성민
경기도용인시기흥읍농서리산7-1상록수동708

김치옥
경기도화성군태안읍반월리신영통현대아파트110-402

김규현
경기도수원시팔달구영통동한신아파트811-606

(74) 대리인 리엔목특허법인

심사관 : 안병일

(54) 더블 데이터 레이트 동기식 디램 반도체 장치

요약

본 발명은 더블 데이터 레이트 동기식 디램 반도체 장치에 관한 것으로서, 입력 클럭 신호의 클럭 스큐를 보상하여 출력 클럭 신호를 발생하는 지연동기루프 회로; 상기 더블 데이터 레이트 동기식 디램 반도체 장치에 저장된 데이터를 외부로 독출할 때 액티브되는 독출 신호, 상기 지연동기루프회로가 락킹 동작을 수행할 때 액티브되는 지연동기루프 락킹 신호, 및 상기 출력 클럭 신호를 입력하고, 상기 독출 신호 및 상기 지연동기루프 락킹 신호 중 어느 하나가 액티브일 때 상기 출력 클럭 신호를 출력하는 클럭 신호 제어부; 상기 독출 신호 및 상기 클럭 신호 제어부로부터 출력되는 출력 클럭 신호를 입력하고, 상기 독출 신호가 액티브될 때 상기 출력 클럭 신호에 동기되어 출력 신호를 액티브시켜서 출력하고, 상기 독출 신호가 인액티브되면 출력 신호를 인액티브시켜서 출력하는 출력 제어부; 및 상기 출력 제어부의 출력 신호와 상기 클럭 신호 제어부로부터 출력되는 출력 클럭 신호 및 상기 더블 데이터 레이트 동기식 디램 반도체 장치에 내장된 데이터를 입력하고, 상기 출력 제어부의 출력 신호가 액티브될 때 상기 출력 클럭 신호에 동기되어 상기 데이터를 외부로 출력하고, 상기 출력 제어부의 출력 신호가 인액티브될 때는 상기 데이터를 외부로 출력하지 않는 출력부를 구비함으로써 데이터 기입 과정에서 오동작이 발생하지 않는다.

대표도

도 2

명세서

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 더블 데이터 레이트 동기식 디램 반도체 장치에 데이터를 기입할 때 발생하는 오동작 상태를 도시한 타이밍도이다.

도 2는 본 발명에 따른 더블 데이터 레이트 동기식 디램 반도체 장치의 개략적인 블록도이다.

도 3은 도 2에 도시된 출력 제어부의 상세 회로도이다.

도 4는 도 2에 도시된 신호들의 타이밍도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 더블 데이터 레이트 동기식 디램 반도체 장치에 관한 것으로서, 특히 외부에서 더블 데이터 레이트 동기식 디램 반도체 장치에 데이터를 기입할 때 더블 데이터 레이트 동기식 디램 반도체 장치로부터 데이터가 출력되어 데이터 충돌 현상이 발생하는 것을 방지하는 더블 데이터 레이트 동기식 디램 반도체 장치에 관한 것이다.

일반적으로 더블 데이터 레이트 동기식 디램 반도체 장치는 디램 컨트롤러와 연결되어 사용되며, 디램 컨트롤러는 더블 데이터 레이트 동기식 디램 반도체 장치에 데이터를 기입하거나 더블 데이터 레이트 동기식 디램 반도체 장치로부터 데이터를 독출한다. 더블 데이터 레이트 동기식 디램 반도체 장치는 데이터를 저장하는 메모리 बैं크, 클럭 신호를 발생하는 지연동기루프 회로, 상기 클럭 신호에 동기되어 상기 메모리 बैं크에 저장된 데이터를 버퍼링하여 외부로 출력하는 출력 버퍼, 및 상기 출력 버퍼의 동작을 제어하는 출력 제어부가 구비된다.

도 1은 종래의 더블 데이터 레이트 동기식 디램 반도체 장치에 데이터를 기입할 때 발생하는 오동작 상태를 도시한 타이밍도이다. 도 1을 참조하여 종래의 더블 데이터 레이트 동기식 디램 반도체 장치가 오동작하는 이유를 설명하기로 한다.

상기 디램 컨트롤러가 상기 더블 데이터 레이트 동기식 디램 반도체 장치에 독출 명령(RD)을 인가하면, 소정의 카스 레이턴시(CAS Latency) 이후에 상기 출력 버퍼로부터 데이터(DQR)가 출력된다. 이 때, 상기 출력 버퍼로부터 출력되는 데이터(DQR)는 상기 지연동기루프 회로로부터 출력되는 클럭 신호(CLK_DLL)에 동기되어 출력된다.

상기 출력 제어부는 클럭 신호(CLK_DLL)와 독출 신호(RD)를 입력하며, 클럭 신호(CLK_DLL)가 입력되는 동안 독출 신호(RD)가 액티브이면 상기 출력 버퍼를 활성화시키고, 독출 신호(RD)가 인액티브이면 상기 출력 버퍼를 비활성화시켜서 상기 출력 버퍼가 불필요한 전력을 소모하는 것을 방지한다.

그런데, 상기 출력 버퍼로부터 데이터 출력이 완료된 후 상기 메모리 बैं크에 프리차지 신호(PR)가 인가되면, 클럭 신호(CLK_DLL)는 더 이상 상기 출력 제어부에 인가되지 않는다. 이 상태는 상기 지연동기루프 회로가 리셋된 후 락킹(locking) 동작을 끝낼 동안(tD)에도 계속된다. 여기서, 상기 출력 제어부는 독출 신호(RD)가 인액티브이므로 상기 출력부를 비활성화시켜야 하는데, 클럭 신호(CLK_DLL)가 입력되지 않으므로 출력 제어부의 내부에 래치되어있는 액티브된 독출 신호(RD)를 상기 출력 버퍼에 인가하여 상기 출력 버퍼를 활성화상태로 유지하는 경우가 발생할 수가 있다. 이 상태에서, 더블 데이터 레이트 동기식 디램 반도체 장치의 내부에서 발생한 데이터(DQR)가 상기 출력 버퍼에 입력되면, 상기 출력 버퍼는 독출 명령(RD)을 받지 않았음에도 불구하고 상기 입력된 데이터를 상기 디램 컨트롤러로 출력하게 된다.

그러다가, 기입 신호(WR)가 액티브되어 상기 디램 컨트롤러로부터 상기 더블 데이터 레이트 동기식 디램 반도체 장치에 데이터(DQW)가 기입되면, 상기 더블 데이터 레이트 동기식 디램 반도체 장치로 기입되는 데이터(DQW)와 상기 더블 데이터 레이트 동기식 디램 반도체 장치로부터 출력되는 데이터(DQR)가 서로 충돌하게 된다. 이로 인하여 더블 데이터 레이트 동기식 디램 반도체 장치는 오동작을 수행하게 된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 외부에서 데이터가 기입될 때 내부에서 외부로 데이터가 독출되는 것을 방지하기 위한 더블 데이터 레이트 동기식 디램 반도체 장치를 제공하는데 있다.

발명의 구성 및 작용

상기 기술적 과제를 이루기 위하여 본 발명은,

더블 데이터 레이트 동기식 디램 반도체 장치에 있어서, 입력 클럭 신호의 클럭 스큐를 보상하여 출력 클럭 신호를 발생하는 지연동기루프 회로; 독출 신호와 상기 출력 클럭 신호를 입력하고, 상기 독출 신호가 액티브될 때 상기 출력 클럭 신호에 동기되어 출력 신호를 액티브시켜서 출력하고, 상기 독출 신호가 인액티브될 때 출력 신호를 인액티브시켜서 출력하는 출력 제어부; 및 상기 출력 제어부의 출력 신호와 상기 출력 클럭 신호 및 상기 더블 데이터 레이트 동기식 디램 반도체 장치에 내장된 데이터를 입력하고, 상기 출력 제어부의 출력 신호가 액티브될 때 상기 출력 클럭 신호에 동기되어 상기 데이터를 외부로 출력하고, 상기 출력 제어부의 출력 신호가 인액티브될 때 상기 데이터를 외부로 출력하지 않는 출력부를 구비하는 더블 데이터 레이트 동기식 디램 반도체 장치를 제공한다.

상기 기술적 과제를 이루기 위하여 본 발명은 또,

더블 데이터 레이트 동기식 디램 반도체 장치에 있어서, 입력 클럭 신호의 클럭 스큐를 보상하여 출력 클럭 신호를 발생하는 지연동기루프 회로; 상기 더블 데이터 레이트 동기식 디램 반도체 장치에 저장된 데이터를 외부로 독출할 때 액티브되는 독출 신호, 상기 지연동기루프회로가 락킹 동작을 수행할 때 액티브되는 지연동기루프 락킹 신호, 및 상기 출력 클럭 신호를 입력하고, 상기 독출 신호 및 상기 지연동기루프 락킹 신호 중 어느 하나가 액티브일 때 상기 출력 클럭 신호를 출력하는 클럭 신호 제어부; 상기 독출 신호 및 상기 클럭 신호 제어부로부터 출력되는 출력 클럭 신호를 입력하고, 상기 독출 신호가 액티브될 때 상기 출력 클럭 신호에 동기되어 출력 신호를 액티브시켜서 출력하고, 상기 독출 신호가 인액티브되면 출력 신호를 인액티브시켜서 출력하는 출력 제어부; 및 상기 출력 제어부의 출력 신호와 상기 클럭 신호 제어부로부터 출력되는 출력 클럭 신호 및 상기 더블 데이터 레이트 동기식 디램 반도체 장치에 내장된 데이터를 입력하고, 상기 출력 제어부의 출력 신호가 액티브될 때 상기 출력 클럭 신호에 동기되어 상기 데이터를 외부로 출력하고, 상기 출력 제어부의 출력 신호가 인액티브될 때는 상기 데이터를 외부로 출력하지 않는 출력부를 구비하는 더블 데이터 레이트 동기식 디램 반도체 장치를 제공한다.

상기 기술적 과제를 이루기 위하여 본 발명은 또한,

더블 데이터 레이트 동기식 디램 반도체 장치에 있어서, 입력 클럭 신호의 클럭 스큐를 보상하여 출력 클럭 신호를 발생하는 지연동기루프 회로; 상기 더블 데이터 레이트 동기식 디램 반도체 장치에 저장된 데이터를 외부로 독출할 때 액티브되는 독출 신호, 및 상기 지연동기루프회로가 락킹 동작을 수행할 때 액티브되는 지연동기루프 락킹 신호를 입력하고, 이들 두 신호 중 어느 하나가 액티브이면 출력 신호를 액티브시키는 제1 논리부; 상기 제1 논리부의 출력 신호와 상기 지연동기루프회로의 출력 클럭 신호를 입력하고, 상기 제1 논리부의 출력 신호가 액티브일 때 상기 입력되는 출력 클럭 신호를 출력하는 제2 논리부; 상기 독출 신호 및 상기 제2 논리부로부터 출력되는 출력 클럭 신호를 입력하고, 상기 독출 신호가 액티브될 때 상기 출력 클럭 신호에 동기되어 출력 신호를 액티브시켜서 출력하고, 상기 독출 신호가 인액티브될 때 출력 신호를 인액티브시켜서 출력하는 출력 제어부; 및 상기 출력 제어부의 출력 신호와 상기 제2 논리부로부터 출력되는 출력 클럭 신호 및 상기 더블 데이터 레이트 동기식 디램 반도체 장치에 내장된 데이터를 입력하고, 상기 출력 제어부의 출력 신호가 액티브될 때 상기 출력 클럭 신호에 동기되어 상기 데이터를 외부로 출력하고, 상기 출력 제어부의 출력 신호가 인액티브될 때는 상기 데이터를 외부로 출력하지 않는 출력부를 구비하는 더블 데이터 레이트 동기식 디램 반도체 장치를 제공한다.

상기 본 발명에 의하여 더블 데이터 레이트 동기식 디램 반도체 장치에 데이터를 기입하는 과정에서 오동작이 발생하지 않는다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 2는 본 발명에 따른 더블 데이터 레이트 동기식 디램 반도체 장치의 개략적인 블록도이다. 도 2를 참조하면, 더블 데이터 레이트 동기식 디램 반도체 장치(201)는 지연동기루프 회로(211), 클럭 제어부(221), 출력 제어부(241) 및 출력부(231)를 구비한다.

지연동기루프 회로(211)는 입력되는 클럭 신호(ECLK)의 클럭 스큐를 보상하여 출력 클럭 신호(DCLK)를 발생한다.

클럭 신호 제어부(221)는 제1 논리부(223)와 제2 논리부(225)를 구비한다.

제1 논리부(223)는 독출 신호(RD)와 지연동기루프 락킹 신호(PDLLON)를 입력하고, 이들 두 신호 중 어느 하나가 액티브되면 출력 신호를 액티브시키고, 두 신호 모두 인액티브이면 출력 신호를 인액티브시킨다. 독출 신호(RD)는 더블 데이터 레이트 동기식 디램 반도체 장치(201)에 저장된 데이터를 외부로 독출할 때 액티브되고, 지연동기루프 락킹 신호(PDLLON)는 지연동기루프 회로(211)가 리셋된 후 락킹 동작을 수행할 때 액티브된다. 제1 논리부(223)는 오아 게이트로 구성할 수 있다.

제2 논리부(225)는 제1 논리부(223)의 출력 신호와 지연동기루프 회로(211)의 출력 클럭 신호(DCLK)를 입력하고, 제1 논리부(223)의 출력 신호가 액티브이면 출력 클럭 신호(CLK_DLL)를 출력하고, 제1 논리부(223)의 출력 신호가 인액티브이면 출력 클럭 신호(CLK_DLL)를 출력하지 않는다. 제2 논리부(225)는 앤드 게이트로 구성할 수 있다.

출력 제어부(241)는 독출 신호(RD) 및 제2 논리부(225)에서 출력되는 출력 클럭 신호(CLK_DLL)를 입력하며, 입력되는 출력 클럭 신호(CLK_DLL)에 동기되어 독출 신호(RD)를 출력부(231)로 전달한다. 출력 제어부(241)에 대해서는 도 3을 통하여 상세히 설명하기로 한다.

출력부(231)는 더블 데이터 레이트 동기식 디램 반도체 장치(201)에 저장되어 있다가 독출되는 데이터(DQi), 제2 논리부(225)에서 출력되는 클럭 신호(CLK_DLL), 및 출력 제어부(241)에서 출력되는 제어 신호(P1)를 입력한다. 출력부(231)는 출력 제어부(241)로부터 출력되는 신호(P1)가 액티브되면 활성화되고, 출력 제어부(231)로부터 출력되는 신호(P1)가 인액티브되면 비활성화된다. 출력부(231)는 출력 제어부(241)로부터 출력되는 신호(P1)에 의해 활성화된 상태에서 제2 논리부(225)에서 출력되는 클럭 신호(CLK_DLL)에 동기되어 더블 데이터 레이트 동기식 디램 반도체 장치(201)에 저장되었다가 독출되는 데이터(DQi)를 버퍼링하여 출력한다. 출력부(231)는 출력 제어부(241)로부터 출력되는 신호(P1)가 인액티브이면 비활성화되어 입력되는 데이터(DQi)를 출력하지 않는다.

신호들(DCLK,CLK_DLL,RD,PDLLON)은 액티브일 때 논리 하이이고, 인액티브일 때는 논리 로우이다. 경우에 따라서는 그 반대일 수도 있다.

도 3은 도 2에 도시된 출력 제어부의 상세 회로도이다. 도 3을 참조하면, 출력 제어부(241)는 다수개의 래치 회로들(311~314)과 다수개의 전송 게이트들(321~324)을 구비한다.

전송 게이트들(321~324)은 제2 논리부(도 2의 225)에서 출력되는 클럭 신호(CLK_DLL)를 입력하고, 클럭 신호(CLK_DLL)가 논리 하이이면 활성화되어 입력되는 독출 신호(RD)를 출력하고, 클럭 신호(CLK_DLL)가 논리 로우이면 비활성화되어 입력되는 독출 신호(RD)를 출력하지 않는다.

래치 회로들(311~314)은 각각 입력되는 독출 신호(RD)를 래치 및 출력한다.

클럭 신호(CLK_DLL)가 입력되는 동안 출력 제어부(241)에 입력되는 독출 신호(RD)는 래치 회로들(311~314)을 통과하여 신호(P1)으로써 출력된다.

래치 회로들(311~314)과 전송 게이트들(321~324)의 수는 출력 제어부(241)의 구조에 따라 변경될 수 있다.

도 4는 도 2에 도시된 신호들의 타이밍도이다. 도 4를 참조하여 도 2에 도시된 더블 데이터 레이트 동기식 디램 반도체 장치(201)의 동작을 설명하기로 한다.

더블 데이터 레이트 동기식 디램 반도체 장치(201)에 저장된 데이터를 독출할 때 제1 논리부(223)와 출력 제어부(241)에 입력되는 독출 신호(RD)가 액티브되며, 이와 함께 지연동기루프 회로(211)로부터 출력 클럭 신호(DCLK)가 출력된다. 그러면, 제2 논리부(225)로부터 클럭 신호(CLK_DLL)가 출력되어 출력부(231)와 출력 제어부(241)에 인가된다. 출력부(231)는 출력 제어부(241)에서 출력되는 신호(P1)에 의해 활성화되어 입력되는 데이터(DQi)를 더블 데이터 레이트 동기식 디램 반도체 장치(201)의 외부로 출력한다.

데이터의 독출이 완료되면 독출 신호(RD)는 인액티브되고, 지연동기루프 회로의 리셋 신호(DR)가 입력되면, 지연동기루프 회로(211)는 리셋된 후 입력되는 클럭 신호(ECLK)를 락킹하는 동작을 수행한다. 이와 같이 지연동기루프 회로(211)가 락킹 동작을 수행하는 동안 지연동기루프 락킹 신호(PDLLON)가 논리 하이로써 액티브된다. 이에 따라, 제1 논리부(223)에서 논리 하이 신호가 출력되며, 제2 논리부(225)는 클럭 신호(CLK_DLL)를 출력한다. 그러면, 출력 제어부(241)는 제2 논리부(225)에서 출력되는 클럭 신호(CLK_DLL)에 동기되어 논리 로우로써 인액티브된 독출 신호(RD)를 출력한다. 출력부(231)는 출력 제어부(241)의 출력 신호(P1)가 인액티브된 신호이므로 비활성화되어 데이터를 출력하지 않는다.

이와 같이, 더블 데이터 레이트 동기식 디램 반도체 장치(201)는 지연동기루프 회로(211)가 리셋되고나서 락킹 동작을 수행하는 동안에 출력부(231)를 확실하게 비활성화시킨다. 때문에 이 후에는 즉, 데이터가 더블 데이터 레이트 동기식 디램 반도체 장치(201)로 기입될 때에는 출력부(231)는 절대로 데이터를 출력할 수가 없다.

따라서, 더블 데이터 레이트 동기식 디램 반도체 장치(201)로 데이터를 기입하는 동안에 데이터 충돌이 일어나지 않는다.

도면과 명세서에서 최적 실시예들이 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따르면, 더블 데이터 레이트 동기식 디램 반도체 장치(201)로 데이터를 기입하는 동안에 데이터 충돌이 일어나지 않기 때문에 더블 데이터 레이트 동기식 디램 반도체 장치(201)는 데이터 기입 과정에서 오동작을 하지 않는다.

(57) 청구의 범위

청구항 1.

더블 데이터 레이트 동기식 디램 반도체 장치에 있어서,

입력 클럭 신호의 클럭 스큐를 보상하여 출력 클럭 신호를 발생하는 지연동기루프 회로;

독출 신호와 상기 출력 클럭 신호를 입력하고, 상기 독출 신호가 액티브될 때 상기 출력 클럭 신호에 동기되어 출력 신호를 액티브시켜서 출력하고, 상기 독출 신호가 인액티브될 때 출력 신호를 인액티브시켜서 출력하는 출력 제어부; 및

상기 출력 제어부의 출력 신호와 상기 출력 클럭 신호 및 상기 더블 데이터 레이트 동기식 디램 반도체 장치에 내장된 데이터를 입력하고, 상기 출력 제어부의 출력 신호가 액티브될 때 상기 출력 클럭 신호에 동기되어 상기 데이터를 외부로 출력하고, 상기 출력 제어부의 출력 신호가 인액티브될 때 상기 데이터를 외부로 출력하지 않는 출력부를 구비하는 것을 특징으로 하는 더블 데이터 레이트 동기식 디램 반도체 장치.

청구항 2.

제1 항에 있어서, 독출 동작시 상기 독출 신호는 액티브되고 기입 동작시 상기 독출 신호는 인액티브되는 것을 특징으로 하는 더블 데이터 레이트 동기식 디램 반도체 장치.

청구항 3.

더블 데이터 레이트 동기식 디램 반도체 장치에 있어서,

입력 클럭 신호의 클럭 스큐를 보상하여 출력 클럭 신호를 발생하는 지연동기루프 회로;

상기 더블 데이터 레이트 동기식 디램 반도체 장치에 저장된 데이터를 외부로 독출할 때 액티브되는 독출 신호, 상기 지연동기루프회로가 락킹 동작을 수행할 때 액티브되는 지연동기루프 락킹 신호, 및 상기 출력 클럭 신호를 입력하고, 상기 독출 신호 및 상기 지연동기루프 락킹 신호 중 어느 하나가 액티브일 때 상기 출력 클럭 신호를 출력하는 클럭 신호 제어부;

상기 독출 신호 및 상기 클럭 신호 제어부로부터 출력되는 출력 클럭 신호를 입력하고, 상기 독출 신호가 액티브될 때 상기 출력 클럭 신호에 동기되어 출력 신호를 액티브시켜서 출력하고, 상기 독출 신호가 인액티브되면 출력 신호를 인액티브시켜서 출력하는 출력 제어부; 및

상기 출력 제어부의 출력 신호와 상기 클럭 신호 제어부로부터 출력되는 출력 클럭 신호 및 상기 더블 데이터 레이트 동기식 디램 반도체 장치에 내장된 데이터를 입력하고, 상기 출력 제어부의 출력 신호가 액티브될 때 상기 출력 클럭 신호에 동기되어 상기 데이터를 외부로 출력하고, 상기 출력 제어부의 출력 신호가 인액티브될 때는 상기 데이터를 외부로 출력하지 않는 출력부를 구비하는 것을 특징으로 하는 더블 데이터 레이트 동기식 디램 반도체 장치.

청구항 4.

제3 항에 있어서, 상기 출력부는 상기 출력 제어부의 출력 신호가 액티브되면 활성화되고, 상기 출력 제어부의 출력 신호가 인액티브되면 비활성화되는 것을 특징으로 하는 더블 데이터 레이트 동기식 디램 반도체 장치.

청구항 5.

삭제

청구항 6.

제4 항에 있어서, 상기 출력 제어부의 출력 신호는 논리 하이일 때 액티브 상태이고, 논리 로우일 때는 인액티브 상태인 것을 특징으로 하는 더블 데이터 레이트 동기식 디램 반도체 장치.

청구항 7.

제3 항에 있어서, 상기 제1 제어부로 입력되는 지연동기루프 락킹 신호는 상기 지연동기루프 회로가 리셋될 때도 액티브되는 것을 특징으로 하는 더블 데이터 레이트 동기식 디램 반도체 장치.

청구항 8.

제3 항에 있어서, 상기 출력 제어부는

상기 출력 클럭 신호에 응답하여 동작하는 복수개의 전송게이트들; 및

상기 전송게이트들 중 2개의 전송게이트들 사이에 연결되며, 전단의 전송게이트를 통해 입력되는 신호를 래치시켜서 후단의 전송게이트로 전달하는 복수개의 래치 회로들을 구비하는 것을 특징으로 하는 더블 데이터 레이트 동기식 디램 반도체 장치.

청구항 9.

더블 데이터 레이트 동기식 디램 반도체 장치에 있어서,

입력 클럭 신호의 클럭 스큐를 보상하여 출력 클럭 신호를 발생하는 지연동기루프 회로;

상기 더블 데이터 레이트 동기식 디램 반도체 장치에 저장된 데이터를 외부로 독출할 때 액티브되는 독출 신호, 및 상기 지연동기루프회로가 락킹 동작을 수행할 때 액티브되는 지연동기루프 락킹 신호를 입력하고, 이들 두 신호 중 어느 하나가 액티브이면 출력 신호를 액티브시키는 제1 논리부;

상기 제1 논리부의 출력 신호와 상기 지연동기루프회로의 출력 클럭 신호를 입력하고, 상기 제1 논리부의 출력 신호가 액티브일 때 상기 입력되는 출력 클럭 신호를 출력하는 제2 논리부;

상기 독출 신호 및 상기 제2 논리부로부터 출력되는 출력 클럭 신호를 입력하고, 상기 독출 신호가 액티브될 때 상기 출력 클럭 신호에 동기되어 출력 신호를 액티브시켜서 출력하고, 상기 독출 신호가 인액티브될 때 출력 신호를 인액티브시켜서 출력하는 출력 제어부; 및

상기 출력 제어부의 출력 신호와 상기 제2 논리부로부터 출력되는 출력 클럭 신호 및 상기 더블 데이터 레이트 동기식 디램 반도체 장치에 내장된 데이터를 입력하고, 상기 출력 제어부의 출력 신호가 액티브될 때 상기 출력 클럭 신호에 동기되어 상기 데이터를 외부로 출력하고, 상기 출력 제어부의 출력 신호가 인액티브될 때는 상기 데이터를 외부로 출력하지 않는 출력부를 구비하는 것을 특징으로 하는 더블 데이터 레이트 동기식 디램 반도체 장치.

청구항 10.

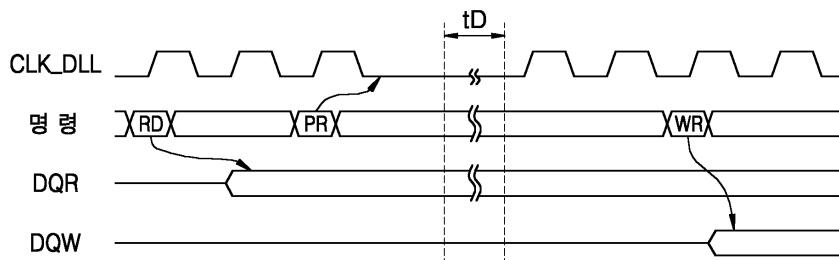
제9 항에 있어서, 상기 제1 논리부는 오아 게이트인 것을 특징으로 하는 더블 데이터 레이트 동기식 디램 반도체 장치.

청구항 11.

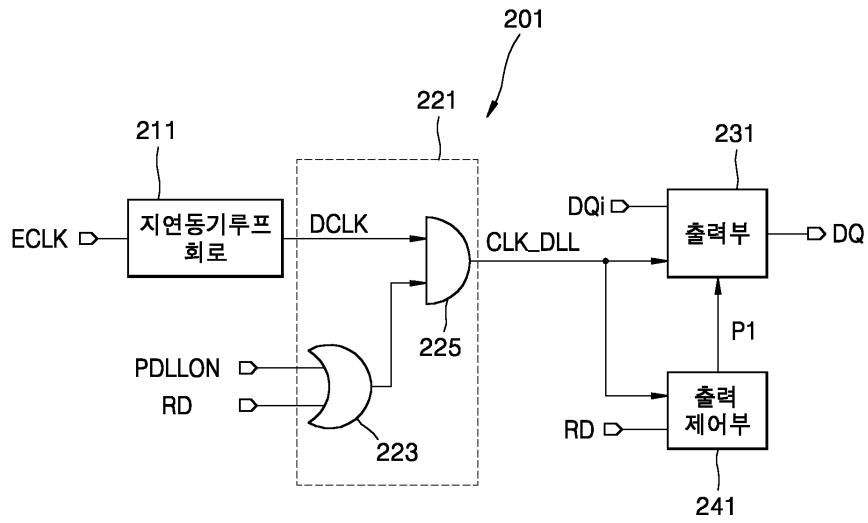
제9 항에 있어서, 상기 제2 논리부는 앤드 게이트인 것을 특징으로 하는 더블 데이터 레이트 동기식 디램 반도체 장치.

도면

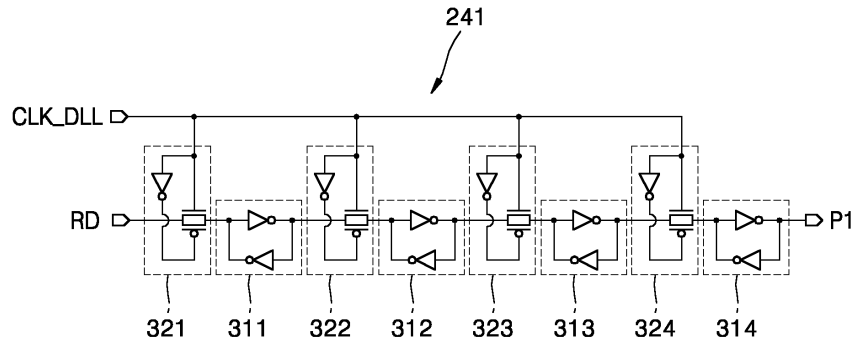
도면1



도면2



도면3



도면4

