

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2016년 12월 22일 (22.12.2016)



(10) 국제공개번호
WO 2016/204420 A1

- (51) 국제특허분류:
H01L 27/115 (2006.01) *H01L 27/24* (2006.01)
- (21) 국제출원번호: PCT/KR2016/005506
- (22) 국제출원일: 2016년 5월 25일 (25.05.2016)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2015-0085240 2015년 6월 16일 (16.06.2015) KR
- (71) 출원인: 고려대학교 산학협력단 (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION) [KR/KR]; 02841 서울시 성북구 안암로 145, 고려대학교 (안암동 5가), Seoul (KR).
- (72) 발명자: 김태근 (KIM, Tae Geun); 13568 경기도 성남시 분당구 양현로 88, 503동 1403호 (이매동, 이매촌 동부코오롱아파트), Gyeonggi-do (KR). 박주현 (PARK, Ju Hyun); 11131 경기도 포천시 영죽면 궁들 1길 10, Gyeonggi-do (KR).
- (74) 대리인: 특허법인주원 (B&IP-JOOWON PATENT AND LAW FIRM); 06050 서울시 강남구 언주로 711, 건설회관 9층 (논현동), Seoul (KR).

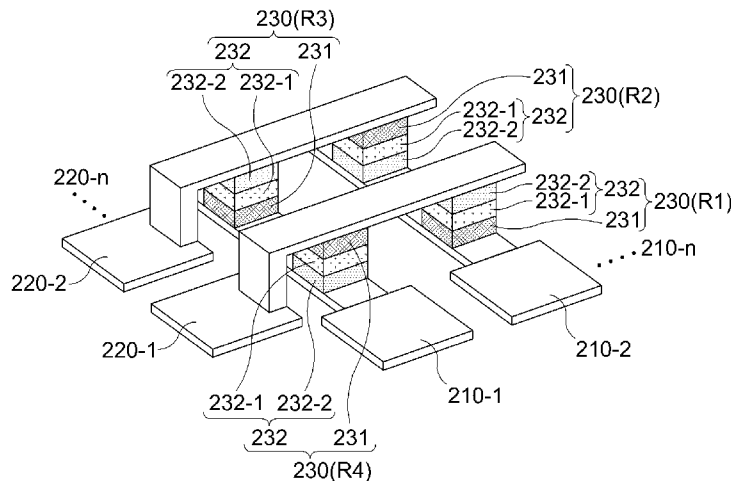
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: MEMORY DEVICE HAVING CROSSBAR ARRAY STRUCTURE AND MANUFACTURING METHOD THEREFOR

(54) 발명의 명칭 : 크로스바 어레이 구조의 메모리 장치 및 이의 제조 방법



(57) Abstract: A memory device having a crossbar array structure and a manufacturing method therefor are disclosed. The present invention is formed to include diodes in a plurality of resistance varying memory cells included in the crossbar array structure such that forward directions of the diodes included in the memory cells sharing an electrode are set to be alternately opposite to each other, thereby enabling the forward directions of the diodes of the respective memory cells to be opposite to the forward directions of the diodes of the adjacent memory cells sharing an electrode and to be the same as the forward directions of the diodes of the adjacent memory cells, in a diagonal direction, not sharing an electrode, such that leakage current is remarkably reduced. In addition, such a remarkable reduction in leakage current increases a read margin of the memory device having a crossbar array structure, thereby enabling more memory cells to be included per unit area such that the degree of integration can be increased.

(57) 요약서:

[다음 쪽 계속]

WO 2016/204420 A1



본 발명은 크로스바 어레이 구조의 메모리 장치 및 이의 제조 방법을 공개한다. 본 발명은 크로스바 어레이 구조에 포함되는 복수의 저항 변화 메모리 셀들 내부에 다이오드가 포함되도록 구성하되, 전극을 공유하는 메모리 셀들에 포함된 다이오드의 순방향성이 서로 교번적으로 반대로 설정되도록 하여, 각 메모리 셀의 다이오드의 순방향성이 전극을 공유하는 인접한 메모리 셀들의 다이오드의 순방향성과는 서로 반대이고, 전극을 공유하지 않는 대각선 방향의 인접 메모리 셀들의 다이오드의 순방향성과는 서로 동일하도록 형성함으로써, 누설 전류를 크게 감소시켰다. 또한, 이렇게 누설 전류를 크게 감소시킴으로써 인해서, 크로스바 어레이 구조의 메모리 장치의 판독 마진(Read Margin)을 증가시킴으로써 단위 면적당 더 많은 메모리 셀을 포함시킬 수 있어 집적도를 향상시킬 수 있는 효과가 있다.

명세서

발명의 명칭: 크로스바 어레이 구조의 메모리 장치 및 이의 제조 방법

기술분야

- [1] 본 발명은 메모리 장치에 관한 것으로서, 보다 구체적으로는 크로스 바 구조의 메모리 장치에 관한 것이다.

[2]

배경기술

- [3] 최근 비휘발성 메모리는 고집적도, 낮은 전력 소모, 빠른 동작속도의 요구에 맞고 기존 flash 메모리와 같은 소자의 scale 한계를 극복하기 위해 많은 연구가 진행되고 있다. 특히, Resistance Random Access Memory(ReRAM) 소자는 간단한 소자 구조와 훌륭한 확장성과 같은 장점을 가지고 있어 차세대 비휘발성 메모리 소자로 각광받고 있는 추세이다. ReRAM은 저항변화물질이 전압의 조건에 따라 저항 값이 달라지는 특성을 이용한 메모리 소자로서, 다른 차세대 비휘발성 메모리 소자들과는 달리, 금속-저항 변화층-금속의 간단한 구조만으로도 메모리 동작이 가능하기 때문에 집적도 면에서 매우 유리하며 공정과정이 간단하므로, 그에 따른 공정비용이 저렴하다는 장점이 있다.

- [4] 도 1a는 기존의 ReRAM의 구조를 나타낸 단면도이다. 도 1a를 참조하면, 기존의 ReRAM은 하부전극(110), 저항 변화층(120) 및 상부전극(130)으로 구성된다. 일반적으로, 하부전극(110) 및 상부전극(130)은 전도성 물질로 이루어져 있으며, 저항 변화층(120)은 저항변화특성을 나타내는 물질로 이루어져 있다. 전도성 물질로는 주로 금속 물질을 사용하며 저항 변화층으로는 금속 산화물이나 페로브스카이트(SrTiO_3) 등이 이용된다. 적절한 조건의 전압을 상부전극(130)과 하부전극(110) 사이에 인가하면 저항 변화층(120)은 서로 다른 저항 값, 즉 저항 값이 작은 상태(Low Resistance State: LRS)와 저항 값이 큰 상태(High Resistance State: HRS)인 두 가지 상태(state)를 갖게 되고, 이 두 가지 상태(state)를 구별함으로써 메모리 소자로서 동작하게 된다.

- [5] 이러한 ReRAM을 어레이로 구현할 경우, 집적도를 높이기 위해 도 1b에 도시된 바와 같은 크로스바(crossbar) 형태의 어레이 구조를 이용한다. 크로스바 어레이는 서로 직교하는 복수의 상부전극(130)과 복수의 하부전극(110) 사이에 복수의 저항 변화층(120)을 삽입한 구조로서, 구조가 매우 간단하고 여러 층으로 쌓기에도 용이하기 때문에 집적도면에서 매우 유리한 구조이며, 이러한 구조에 가장 적합한 메모리 소자로 여겨지는 것이 ReRAM이다.

- [6] ReRAM의 크로스바 어레이 구성에 있어서, 읽기 원하는 메모리 셀에 저장된 데이터의 저항이 큰 상태 또는 저항이 작은 상태를 구별하기 위해 도 1b에 도시된 바와 같이, 저항 변화층(120)을 사이에 두고 서로 직교하는

상부전극(130)과 하부전극(110)에 읽기 전압(Vread)을 가해주어 전류가 잘 흐를 때와 흐르지 않을 때를 구별하는 것으로써, 저장된 데이터를 확인해야 한다.

- [7] 그러나 ReRAM의 크로스바 어레이의 경우, 도 1b에 도시된 바와 같이, 읽기 원하는 셀(선택 메모리 셀)(selected cell)의 데이터가 저항이 큰 상태(High Resistance State: HRS)이면 전류가 잘 흐르지 않아야 하지만 인접한 셀들을 통한 전류가 흐를 수 있는 경로가 형성되어 전류가 흐르게 되고 이에 따라, 저장된 데이터를 정확하게 읽지 못하는 문제가 발생한다.

- [8] 이렇듯 선택되지 않은 메모리 셀들을 통해서 기생 누설 전류(Sneak-Pass Current)가 발생함으로 인해서, 메모리 장치 전체적인 측면에서는 왜곡된 신호들이 발생하게 되고, 이러한 문제점을 해결하기 위해서 다른 종래 기술들은 메모리 셀 내부에 단방향 정류소자인 다이오드를 삽입하여 문제를 해결하고자 하였으나, 이 방법 역시 누설 전류를 감소시킬 수는 있으나, 완전히 제거하지는 못하는 단점이 있다.

발명의 상세한 설명

기술적 과제

- [9] 본 발명이 해결하고자 하는 과제는 크로스바 어레이 구조의 메모리 장치에서 선택된 메모리 셀 이외의 메모리 셀들에서 발생하는 누설 전류를 최소화할 수 있는 크로스바 어레이 구조의 메모리 장치 및 이의 제조 방법을 제공하는 것이다.

과제 해결 수단

- [10] 상술한 과제를 해결하기 위한 본 발명의 바람직한 실시예에 따른 크로스바 어레이 구조의 메모리 장치는, 기판위에 복수의 열로 형성되는 제 1 전극과 상기 제 1 전극과 교차하는 복수의 열로 구성되는 제 2 전극 사이에 형성되어 제 1 전극과 제 2 전극 사이에 인가되는 전압에 따라서 저항이 변화되는 메모리부, 및 상기 제 1 전극과 상기 제 2 전극 사이에 배치되어 전류의 흐름을 제어하는 다이오드를 포함하는 복수의 저항 변화 메모리셀을 포함하되, 상기 각 저항 변화 메모리셀에 포함되는 다이오드의 순방향은 인접한 저항 변화 메모리셀들에 포함되는 다이오드들 중, 일부 다이오드들의 순방향과는 서로 반대이고, 다른 일부 다이오드들의 순방향과는 동일하다.
- [11] 또한, 상기 크로스바 어레이 구조의 메모리 장치에서, 인접한 복수의 저항 변화 메모리셀들 중 상기 제 1 전극을 공유하는 저항 변화 메모리셀들 및 상기 제 2 전극을 공유하는 저항 변화 메모리셀들의 다이오드의 순방향은 서로 반대일 수 있다.
- [12] 또한, 상기 크로스바 어레이 구조의 메모리 장치에서, 인접한 복수의 저항 변화 메모리셀들 중 상기 제 1 전극 및 상기 제 2 전극을 공유하지 않는 대각선 방향의 저항 변화 메모리셀들의 다이오드의 순방향은 서로 동일할 수 있다.
- [13] 또한, 상기 크로스바 어레이 구조의 메모리 장치에서, 상기 다이오드는, 상기

- 메모리부에 일면(제 1 접촉면)이 접촉하는 p-타입 반도체층 및 상기 제 1 접촉면의 반대측 면에 접촉하는 n-타입 반도체층을 포함할 수 있다.
- [14] 또한, 상기 크로스바 어레이 구조의 메모리 장치에서, 상기 제 1 전극은 복수개가 서로 평행하게 기판위에 형성되고, 상기 저항 변화 메모리셀은 복수개가 상기 제 1 전극 위에 서로 이격되어 형성되며, 상기 제 2 전극은 상기 제 1 전극과 교차하는 방향으로 상기 저항 변화 메모리셀과 접촉하도록 형성되고, 상기 복수의 저항 변화 메모리셀은 상기 제 1 전극 및 상기 제 2 전극을 따라서 상기 메모리부와 상기 n-타입 반도체층이 교대로 상기 제 1 전극 및 제 2 전극에 접촉하도록 형성될 수 있다.
- [15] 또한, 상기 크로스바 어레이 구조의 메모리 장치는, 선택된 저항 변화 메모리셀에 포함된 다이오드의 순방향에 따라서 상기 제 1 전극 또는 제 2 전극으로 프로그램 전압 및 판독 전압을 인가하는 드라이브 회로를 더 포함할 수 있다.
- [16] 한편, 상술한 과제를 해결하기 위한 본 발명의 바람직한 다른 실시예에 따른 크로스바 어레이 구조의 메모리 장치는, 복수의 열로 구성되는 제 1 전극과 상기 제 1 전극과 교차하도록 복수의 열로 구성되는 제 2 전극; 및 상기 제 1 전극 및 상기 제 2 전극 사이에 형성되어 상기 제 1 전극과 상기 제 2 전극 사이에 인가되는 전압에 따라서 저항이 변화되는 메모리부, 및 상기 제 1 전극과 상기 제 2 전극 사이에 배치되어 전류의 흐름을 제어하는 다이오드를 포함하는 복수의 저항 변화 메모리셀을 포함하되, 상기 제 1 전극과 상기 제 2 전극은 각 저항 변화 메모리셀마다 서로 교번적으로 기판 및 메모리셀 위에 형성될 수 있다.
- [17] 또한, 상기 크로스바 어레이 구조의 메모리 장치에서, 각 저항 변화 메모리셀에 포함된 다이오드들은 모두, 기판을 향하는 방향이 순방향 또는 역방향이 되도록 동일하게 형성될 수 있다.
- [18] 또한, 상기 크로스바 어레이 구조의 메모리 장치에서, 인접한 복수의 저항 변화 메모리셀들 중 상기 제 1 전극을 공유하는 저항 변화 메모리셀들 및 상기 제 2 전극을 공유하는 저항 변화 메모리셀들의 다이오드들의 순방향은 제 1 전극에서 제 2 전극을 향하는 방향을 기준으로 서로 반대일 수 있다.
- [19] 또한, 상기 크로스바 어레이 구조의 메모리 장치에서, 인접한 복수의 저항 변화 메모리셀들 중 상기 제 1 전극 및 상기 제 2 전극을 공유하지 않는 대각선 방향의 저항 변화 메모리셀들의 다이오드의 순방향은 제 1 전극에서 제 2 전극을 향하는 방향을 기준으로 서로 동일할 수 있다.
- [20] 또한, 상기 크로스바 어레이 구조의 메모리 장치는, 선택된 저항 변화 메모리셀에 포함된 다이오드의 상기 제 1 전극에서 상기 제 2 전극을 향하는 방향을 기준으로 하는 순방향에 따라서 상기 제 1 전극 또는 제 2 전극으로 프로그램 전압 및 판독 전압을 인가하는 드라이브 회로를 더 포함할 수 있다.
- [21] 한편, 상술한 과제를 해결하기 위한 본 발명의 바람직한 실시예에 따른 크로스바 어레이 구조의 메모리 장치 형성 방법은, (a) 기판 위에 복수의 평행한

열로 제 1 전극을 형성하는 단계; (b) 상기 복수의 제 1 전극 열들 위에, 메모리부 및 다이오드를 포함하는 저항 변화 메모리 셀을 형성하되, 대각선에 위치하는 저항 변화 메모리 셀들끼리 동일한 구조를 갖도록 저항 변화 메모리 셀을 형성하는 단계; 및 (c) 상기 저항 변화 메모리 셀들 위에 상기 제 1 전극과 교차하는 방향으로, 복수의 평행한 열로 제 2 전극을 형성하는 단계를 포함한다.

- [22] 또한, 상기 (b) 단계는 대각선에 위치하는 저항 변화 메모리 셀에 포함된 다이오드의 순방향은 서로 동일하고, 상기 제 1 전극을 공유하는 인접한 저항 변화 메모리 셀들 및 상기 제 2 전극을 공유하는 인접한 저항 변화 메모리 셀에 포함된 다이오드의 순방향은 서로 반대가 되도록 상기 저항 변화 메모리 셀을 형성한다.
- [23] 또한, 상기 (b) 단계는, (b1) 상기 복수의 제 1 전극 열들 중 홀수번째(또는 짝수번째) 열들의 홀수번째(또는 짝수번째) 저항 변화 메모리 셀 및 짝수번째(또는 홀수번째) 열들의 짝수번째(또는 홀수번째) 저항 변화 메모리 셀을 형성하되, 다이오드의 순방향이 동일하게 형성하는 단계; 및 (b2) 상기 복수의 제 1 전극 열들 중 홀수번째(또는 짝수번째) 열들의 짝수번째(또는 홀수번째) 저항 변화 메모리 셀 및 짝수번째(또는 홀수번째) 열들의 홀수번째(또는 짝수번째) 저항 변화 메모리 셀을 형성하되, 다이오드의 순방향이 상기 (b1) 단계에서 형성된 저항 변화 메모리 셀들에 포함된 다이오드의 순방향과 반대가 되도록 형성하는 단계를 포함할 수 있다.
- [24] 한편, 상술한 과제를 해결하기 위한 본 발명의 바람직한 다른 실시예에 따른 크로스바 어레이 구조의 메모리 장치 형성 방법은, (a) 절연 기판을 식각하여, 서로 평행한 복수의 열로 구성되는 제 1 전극이 형성될 영역 및 상기 제 1 전극과 교차하는 방향으로 서로 평행한 복수의 열로 구성되는 제 2 전극이 형성될 영역을 기판 내부에 형성하는 단계; (b) 상기 기판 위에 전극 형성 물질을 증착하여, 기판 내부에 형성된 영역들에 제 1 전극 및 제 2 전극을 형성하는 단계; (c) 상기 기판 내부에 형성된 제 1 전극 및 상기 제 2 전극 위에 저항 변화 메모리 셀을 동일한 구조로 형성하는 단계; 및 (d) 상기 저항 변화 메모리 셀 위에 전극 형성 물질을 증착하여, 상기 저항 변화 메모리 셀 위에 제 1 전극 및 제 2 전극을 형성하되, 상기 저항 변화 메모리 셀 위에 형성된 제 1 전극과 상기 기판 내부에 형성된 제 1 전극을 연결시키고, 상기 저항 변화 메모리 셀 위에 형성된 제 2 전극과 상기 기판 내부에 형성된 제 2 전극을 연결시키는 단계를 포함한다.
- [25] 또한, 상기 (c) 단계는, 상기 제 1 전극 및 상기 제 2 전극 위에, 저항 변화 물질로 형성되는 메모리부 및 다이오드를 형성하되, 상기 기판을 기준으로 다이오드의 순방향이 모두 동일하도록 형성할 수 있다.
- [26] 또한, 상기 (d) 단계는 저항 변화 메모리 셀 위에 형성된 제 1 전극은 인접한 저항 변화 메모리 셀 아래의 기판에 형성된 제 1 전극과 연결되고, 저항 변화 메모리 셀 위에 형성된 제 2 전극은 인접한 저항 변화 메모리 셀 아래의 기판에 형성된 제 2 전극과 연결되도록 상기 전극 형성 물질을 증착할 수 있다.

[27]

[28] [유리한 효과]

[29] 본 발명은 크로스바 어레이 구조에 포함되는 복수의 저항 변화 메모리 셀들 내부에 다이오드가 포함되도록 구성하되, 전극을 공유하는 메모리 셀들에 포함된 다이오드의 순방향이 서로 교번적으로 반대로 설정되도록 하여, 각 메모리 셀의 다이오드의 순방향이 전극을 공유하는 인접한 메모리 셀들의 다이오드의 순방향과는 서로 반대이고, 전극을 공유하지 않는 대각선 방향의 인접 메모리 셀들의 다이오드의 순방향과는 서로 동일하도록 형성함으로써, 누설 전류를 크게 감소시켰다.

[30] 또한, 이렇게 누설 전류를 크게 감소시킴으로써 인해서, 크로스바 어레이 구조의 메모리 장치의 판독 마진(Read Margin)을 증가시킴으로써 단위 면적당 더 많은 메모리 셀을 포함시킬 수 있어 집적도를 향상시킬 수 있는 효과가 있다.

[31]

도면의 간단한 설명

[32] 도 1a는 종래 기술에 따른 저항 변화 메모리 구조를 설명하는 도면이다.

[33] 도 1b는 종래 기술에 따른 크로스바 어레이 메모리 장치의 구조 및 문제점을 설명하는 도면이다.

[34] 도 2a 및 도 2b는 본 발명의 바람직한 제 1 실시예에 따른 저항 변화 메모리 셀을 포함하는 크로스바 구조의 메모리 장치의 구성을 설명하는 도면이다.

[35] 도 3은 본 발명의 바람직한 제 1 실시예에 따른 크로스바 어레이 구조의 메모리 장치의 전체 구성을 도시하는 도면이다.

[36] 도 4는 본 발명과 종래기술에 따른 크로스바 어레이 구조의 메모리 장치의 등가회로를 도시한 도면이다.

[37] 도 5a 내지 도 5d는 제 1 실시예에 따른 본 발명의 바람직한 제 1 실시예에 따른 저항 변화 메모리 셀을 포함하는 크로스바 어레이 구조의 메모리 장치와 종래 기술에 따른 크로스바 어레이 구조의 메모리 장치의 누설 전류 경로를 등가회로로 표현하여 비교하는 도면이다.

[38] 도 6a 내지 도 6d는 본 발명의 바람직한 제 1 실시예에 따른 크로스바 어레이 구조의 메모리 장치를 형성하는 공정을 도시하는 도면이다.

[39] 도 7a는 본 발명의 바람직한 제 2 실시예에 따른 크로스바 어레이 구조의 메모리 장치의 전체 구조를 도시한 도면이고, 도 7b는 도 7a에 도시된 일부 영역을 확대하여 도시한 도면이다.

[40] 도 8a 및 도 8b는 본 발명의 바람직한 제 2 실시예에 따른 크로스바 어레이 구조의 메모리 장치를 제조하는 방법을 설명하는 도면이다.

[41] 도 9는 본 발명의 바람직한 제 2 실시예에 따른 크로스바 어레이 구조의 메모리 장치를 제조 과정을 도시한 평면도이다.

[42]

발명의 실시를 위한 형태

- [43] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.
- [44] 도 2a 및 도 2b는 본 발명의 바람직한 제 1 실시예에 따른 저항 변화 메모리 셀을 포함하는 크로스 바 구조의 메모리 장치의 구성을 설명하는 도면으로서, 도 2a는 크로스 바 어레이의 구조를 도시한 도면이고, 도 2b는 도 2a에 도시된 일 부분의 확대도이다.
- [45] 도 2a 및 도 2b를 참조하면, 본 발명의 바람직한 제 1 실시예에 따른 크로스 바 구조의 메모리 장치는, 기판위에 복수의 열로 형성된 제 1 전극(210-1~210-n), 제 1 전극(210-1~210-n) 위에 일정한 간격으로 서로 이격되어 형성된 복수의 저항 변화 메모리 셀(230), 제 1 전극(210-1~210-n)과 교차하는 방향으로 복수의 저항 변화 메모리 셀(230) 위에 형성되는 제 2 전극(220-1~220-n)을 포함하여 구성된다.
- [46] 제 1 전극(210-1~210-n)은 Pt와 같은 일반적으로 전극 형성에 이용되는 물질로서 기판위에 형성되고, 일정한 간격을 가지고 서로 서로 평행하게 배열된 복수의 열들로 구성된다.
- [47] 또한, 제 2 전극(220-1~220-n)은 제 1 전극(210-1~210-n)과 동일한 재질 또는 다른 일반적으로 전극에 형성에 이용되는 물질로 형성되고, 제 1 전극(210-1~210-n)과 교차하는 방향으로 복수의 열이 서로 평행하게 배열되도록 구성되며, 제 1 전극(210-1~210-n) 위에 형성된 저항 변화 메모리 셀들(230)의 상부와 접촉하도록 형성된다.
- [48] 본 발명의 바람직한 실시예에서, 제 1 전극(210-1~210-n)과 제 2 전극(220-1~220-n)의 구성은 종래의 크로스바 어레이 구조와 동일하므로 구체적인 설명은 생략한다.
- [49]
- [50] 한편, 제 1 전극(210-1~210-n) 위에 형성되어 상부가 제 2 전극(220-1~220-n)과 접촉하는 복수의 저항 변화 메모리 셀(230)은 제 1 전극(210-1~210-n)과 제 2 전극(220-1~220-n) 사이에 인가되는 전압에 따라서 저항이 변화되는 메모리부(231), 및 제 1 전극(210-1~210-n)과 제 2 전극(220-1~220-n) 사이에 배치되어 전류의 흐름을 제어하는 다이오드(232)를 포함하여 구성된다.
- [51] 이 때, 인접한 복수의 저항 변화 메모리 셀들(230) 중 제 1 전극(210-1~210-n) 및 제 2 전극(220-1~220-n)을 공유하는 저항 변화 메모리 셀들(230)의 다이오드(232)들의 순방향은 서로 반대가 되고, 인접한 복수의 저항 변화 메모리 셀들(230) 중 제 1 전극(210-1, 210-2~210-n) 및 제 2 전극(220-1~220-n)을 공유하지 않는 대각선 방향의 저항 변화 메모리 셀들(230)의 다이오드(232)들의 순방향은 서로 동일하도록 형성된다.
- [52] 참고로, 본 발명에서 "인접한 메모리 셀"의 의미는 특정 메모리 셀(230)을 기준으로 4방향 및 대각선 방향에 위치한 8개의 메모리 셀(230)을 의미한다.

[53]

[54] 도 2b를 참조하면, 설명의 편의를 위해서, 복수의 저항 변화 메모리 셀들(230) 중에서 4개의 메모리 셀(R1~R4)을 도시하였다.

[55] 기판위에 복수의 제 1 전극들(210-1, 210-2...210-n)이 서로 평행하게 형성되어 있고, 제 1 전극들(210-1, 210-2...210-n)과 교차하는 제 2 전극들(220-1, 220-2...220-n)이 서로 평행하게 형성되어 있으며, 제 1 전극들(210-1~210-n) 및 제 2 전극들(220-1~220-n) 사이에 저항 변화 메모리 셀들(230)이 형성되어 있으며, 각 저항 변화 메모리 셀(230)은 메모리부(231) 및 다이오드(232)로 구성된다.

[56]

[57] *저항 변화 메모리 셀 R4 를 기준으로 설명하면, 저항 변화 메모리 셀 R4 는 제 1 전극(210-1) 위에 p-n 접합 다이오드(232)가 형성되어 있고, 그 위에 저항 변화 물질로 형성된 메모리부(231)가 형성되어 있으며, 메모리부(231)의 상면은 제 2 전극(220-1)과 접촉하고 있다. 또한, p-n 접합 다이오드(232)는 p 타입 반도체층(232-1)과 n 타입 반도체층(232-2)으로 형성되는데, 제 1 전극(210-1) 위에 n 타입 반도체층(232-2)이 형성되고, 그 위에 p 타입 반도체층(232-1)이 형성되며, p 타입 반도체층(232-2) 위에 메모리부(231)가 형성된 구조를 갖는다. 따라서, R4에 포함된 다이오드(232)의 순방향은 기판을 향하는 방향, 즉, 제 2 전극(220-1)에서 제 1 전극(210-1)을 향하는 방향이 된다.

[58] 한편, R4와 제 2 전극(220-1)을 공유하는 저항 변화 메모리 셀 R1을 살펴보면, R1은 제 1 전극(210-2)위에 메모리부(231)가 형성되고, 그 위에 p-n 접합 다이오드(232)가 형성되어 있다. 이 때, p 타입 반도체층(232-1)이 메모리부(231) 위에 형성되고, 그 위에 n 타입 반도체층(232-2)이 형성되어 제 2 전극(220-1)과 접촉하게 된다. 따라서, R1의 다이오드(232)의 순방향은 기판으로부터 상방향, 즉, 제 1 전극(210-2)으로부터 제 2 전극(220-1)을 향하는 방향이 되어, 인접하는 R4에 포함된 다이오드(232)의 순방향과 서로 반대 방향으로 다이오드(232)의 순방향이 설정된다.

[59] 마찬가지로, R4와 제 1 전극(210-1)을 공유하는 저항 변화 메모리 셀 R3을 살펴보면, R3은 제 1 전극(210-1)위에 메모리부(231)가 형성되고, 그 위에 p-n 접합 다이오드(232)가 형성되어 있다. 이 때, p 타입 반도체층(232-1)이 메모리부(231) 위에 형성되고, 그 위에 n 타입 반도체층(232-2)이 형성되어 제 2 전극(220-2)과 접촉하게 되므로, R1과 동일한 구조로 형성됨을 알 수 있다. 따라서, R3의 다이오드(232)의 순방향은 기판으로부터 상방향, 즉, 제 1 전극(210-1)으로부터 제 2 전극(220-2)을 향하는 방향이 되어, 인접하는 R4에 포함된 다이오드(232)의 순방향과 서로 반대 방향으로 다이오드(232)의 순방향이 설정되고, 대각선 방향으로 인접한 R1과는 동일한 방향으로 다이오드(232)의 순방향이 설정됨을 알 수 있다.

[60] 한편, R4와 제 1 전극(210-1) 및 제 2 전극(220-1)을 공유하지 않는, 대각선으로 인접한 저항 변화 메모리 셀 R2를 살펴보면, R2는 제 1 전극(210-2) 위에 p-n 접합

다이오드(232)가 형성되어 있고, 그 위에 저항 변화 물질로 형성된 메모리부(231)가 형성되어 있으며, 메모리부(231)의 상면은 제 2 전극(220-2)과 접촉하고 있다. 또한, p-n 접합 다이오드(232)는 p 타입 반도체층(232-1)과 n 타입 반도체층(232-2)으로 형성되는데, 제 1 전극(210-2) 위에 n 타입 반도체층(232-2)이 형성되고, 그 위에 p 타입 반도체층(232-1)이 형성되며, p 타입 반도체층(232-2) 위에 메모리부(231)가 형성된 구조를 갖는다. 따라서, R2는 R4와 동일한 구조를 갖으며, R2에 포함된 다이오드(232)의 순방향은 R4에 포함된 다이오드의 순방향과 동일한 방향을 갖는다.

[61] 정리하면, 본 발명의 바람직한 제 1 실시예에 따른 저항 변화 메모리 셀을 포함하는 크로스 바 구조의 메모리 장치는 제 1 전극 및 제 2 전극을 공유하는 인접한 저항 변화 메모리 셀들 간에는 다이오드의 순방향이 서로 반대로 설정되고, 제 1 전극 및 제 2 전극을 공유하지 않는 대각선으로 인접한 저항 변화 메모리 셀들 간에는 다이오드의 순방향이 동일한 방향으로 설정된다.

[62] 환언하면, 동일한 제 1 전극(210-1, 210-2~210-n) 위에 형성된 저항 변화 메모리 셀들(230)은 교번적으로 다이오드(232)의 순방향이 서로 반대로 형성되고, 동일한 제 2 전극(220-1, 220-2,,, 220-n)과 접촉하는 저항 변화 메모리 셀들(230) 역시 교번적으로 다이오드(232)의 순방향이 서로 반대로 형성된다. 결과적으로, 서로 대각선 방향에 있는 저항 변화 메모리 셀들(230)의 다이오드(232)의 순방향은 서로 동일하게 형성된다.

[63]

[64] 도 3은 본 발명의 바람직한 제 1 실시예에 따른 크로스 바 어레이 구조의 메모리 장치의 전체 구성을 도시하는 도면이다.

[65] 도 3을 참조하면, 본 발명의 바람직한 제 1 실시예에 따른 크로스 바 어레이 구조의 메모리 장치는 도 2a 및 도 2b를 참조하여 상술한 저항 변화 메모리 셀(230)을 포함하는 크로스 바 어레이 구조와 각각의 저항 변화 메모리 셀(230)을 구동하는 드라이버 회로(300)를 포함하여 구성된다.

[66] 상술한 바와 같이, 본 발명의 저항 변화 메모리 셀(230)에 포함된 다이오드(232)는 그 순방향이 동일하지 않으므로, 드라이버 회로(300)는 각 메모리 셀(230)에 포함된 다이오드(232)의 순방향에 따라서 제 1 전극(210-1, 210-2~210-n) 또는 제 2 전극(220-1, 220-2,,, 220-n)에 프로그램 전압 또는 판독 전압을 인가해야 한다.

[67] 예컨대, 저항 변화 메모리 셀 R1 및 R3은 다이오드(232)의 순방향이 제 1 전극(210-2, 210-1)으로부터 제 2 전극(220-1, 220-2)을 향하는 방향이 되므로 드라이버 회로(300)는 프로그램 전압 또는 판독 전압을 제 1 전극(210-1, 210-2)을 통해서 인가하게 된다.

[68] 이에 반해, 저항 변화 메모리 셀 R2 및 R4는 다이오드(232)의 순방향이 제 2 전극(220-2, 220-1)으로부터 제 1 전극(210-2, 210-1)을 향하는 방향이 되므로 드라이버 회로(300)는 프로그램 전압 또는 판독 전압을 제 2 전극(220-2, 220-1)을

통해서 인가하게 된다.

[69]

[70] 도 4는 본 발명과 종래기술에 따른 크로스바 어레이 구조의 메모리 장치의 등가회로를 도시한 도면이다.

[71] 종래 기술에 따른 크로스 바 어레이 구조의 메모리 장치는 각 저항 변화 메모리 셀(230)에 포함된 모든 다이오드(232)는 동일한 순방향을 갖도록 형성된다.

[72] 따라서, 도 1b에 도시된 바와 같은 경로로 누설 전류가 발생한다고 가정하면, 종래 기술의 경우, 도 4의 (a)에 도시된 바와 같이, 누설 전류는 2개의 순방향 다이오드와 1개의 역방향 다이오드를 통해서 흐르게 된다.

[73] 이에 반해, 본 발명의 제 1 실시예에 따른 크로스 바 어레이 구조의 메모리 장치에서, 도 1b와 동일한 경로로 누설 전류가 흐르는 경우에는, 도 4의 (b)에 도시된 바와 같이, 3개의 역방향 다이오드를 통과하여 누설 전류가 흐르게 되므로, 누설 전류의 양이 종래 기술에 비하여 현저하게 감소됨을 알 수 있다.

[74]

[75] 한편, 본 발명의 바람직한 실시예에 따른 크로스 바 어레이 구조의 메모리 장치는 종래 기술의 크로스 바 어레이 구조의 메모리 장치에 비하여 보다 큰 판독 마진(Read Margin)을 확보가 가능하여, 단위 면적당 집적도를 높일 수 있다.

[76] 도 5a 내지 도 5d 는 제 1 실시예에 따른 본 발명의 바람직한 제 1 실시예에 따른 저항 변화 메모리 셀을 포함하는 크로스 바 어레이 구조의 메모리 장치와 종래 기술에 따른 크로스 바 어레이 구조의 메모리 장치의 누설 전류 경로를 등가 회로로 표현하여 비교하는 도면이다.

[77] 종래의 연구들(① A. Flocke and T. G. Noll, "Fundamental analysis of resistive nanocrossbars for the use in hybrid nano/CMOS-memory," in *Proc. 33rd ESSCIRC*, 2007, pp. 328-331. ②Zi-Jheng Liu, Jon-Yiew Gan, and Tri-Rung Yew, "ZnO-based one diode-one resistor device structure for crossbar memory applications," *APPLIED PHYSICS LETTERS* 100, 153503 (2012))을 통해서 저항 변화 메모리 셀을 포함하는 크로스 바 어레이 구조의 메모리 장치의 등가회로는 도 5a 및 도 5b와 같이 표현될 수 있음은 잘 알려진 사실이다.

[78] 도 5a 및 도 5b에 도시된 것과 동일한 방식으로, 모든 메모리 셀의 다이오드가 동일한 순방향을 갖는 종래 기술의 크로스바 어레이 중에서 도 2b에 도시된 영역에 대응되는 영역의 등가회로를 도 5c에 도시하고, 도 2b에 도시된 본 발명의 바람직한 제 1 실시예에 따른 크로스바 어레이 구조의 메모리 장치의 등가회로를 도 5d에 도시하였다.

[79] 일반적으로 판독 마진(Read Margin)은 아래의 수학식 1로 정의된다.

[80] [수식1]

$$\frac{\Delta V_{out}}{V_{pu}} = \frac{V_{out(LRS)} - V_{out(HRS)}}{V_{pu}}$$

[96] 도 6a 내지 도 6d 는 본 발명의 바람직한 제 1 실시예에 따른 크로스 바 어레이

구조의 메모리 장치를 형성하는 공정을 도시하는 도면으로서, 도 6a 내지 도 6c의 (a)는 도 2a의 a-a 단면도이고, (b)는 b-b의 단면도이다.

[97] 도 6a 내지 도 6d를 참조하여 설명하면, 먼저 크로스바 어레이 구조의 메모리 장치를 형성할 기판(600)을 준비한다(도 6a의 ①). 이 때, 기판은 SiO₂와 같은 일반적 절연 기판을 이용한다.

[98] 다음으로, 절연 기판(600) 위에 제 1 전극(210)을 형성할 영역을 제외한 나머지 영역에 포토레지스트 패턴(PR)(610)을 형성하고(도 6a의 ②), 건식 식각을 수행하여 제 1 전극(210)을 형성할 영역을 확보한다(도 6a의 ③).

[99] 그 후, 기판 위에 메탈을 증착하여 제 1 전극(210)을 형성하고(도 6a의 ④), 기존에 형성된 PR 패턴(610)을 제거한다(도 6a의 ⑤). 이 때, 제 1 전극(210)은 복수의 열들이 서로 평행하게 기판위에 형성된다. 도 6a의 ⑤ 단계가 수행된 후의 기판의 평면도는 도 6d의 (a)에 도시된 바와 같다.

[100]

[101] 다음으로, 제 1 전극(210) 위에 홀수번째(또는 짝수번째) 저항 변화 메모리 셀(230)을 형성할 영역을 제외한 나머지 영역에 포토레지스트 패턴(PR)(620)을 형성하고(도 6b의 ⑥), PR 패턴(620) 위에 메모리부(231) 및 다이오드(232)(p타입 반도체층(232-1) 및 n타입 반도체층(232-2)을 포함함)를 증착하여 형성한 후, PR 패턴(620)과 PR 패턴 위에 형성된 메모리 셀 구조물들을 제거한다(도 6b의 ⑦). 이 때 형성되는 메모리 셀들(230)은 동일한 구성을 가지므로 다이오드(232)들의 순방향은 동일하게 형성된다.

[102] 여기서, 특정한 제 1 전극(210) 위에 홀수번째 저항 변화 메모리 셀이 형성되었다면, 인접한 열의 제 1 전극(210)(즉, 특정한 제 1 전극의 양 옆에 형성된 제 1 전극)에는 짝수번째 저항 변화 메모리 셀이 형성되었음을 주의해야 한다. 즉, 서로 대각선 방향에 인접한 저항 변화 메모리 셀들은 모두 한 번에 형성된다. 도 6b의 ⑦ 단계가 수행된 후의 기판의 평면도는 도 6d의 (b)에 도시된 바와 같다.(도 6b의 ⑦ 단계에서 형성된 메모리 셀은 "F"로 표시하였음)

[103] 다시 도 6b를 참조하면, 홀수번째(또는 짝수번째) 저항 변화 메모리 셀들(230)이 형성된 후, 짝수번째(또는 홀수번째) 저항 변화 메모리 셀들(230)을 형성할 영역을 제외하고, 포토레지스트 패턴(630)을 형성한다(도 6b의 ⑧).

[104] 그 후, 홀수번째(또는 짝수번째) 메모리 셀(230)의 구조와 반대되는 구조로 저항 변화 메모리 셀(230)이 형성되도록 메모리부(231)와 다이오드(232)를 증착 형성하여 짝수번째(또는 홀수번째) 메모리 셀(230)을 형성하고 PR 패턴(630)을 제거한다(도 6b의 ⑨). 따라서, 짝수번째(또는 홀수번째) 메모리 셀(230)에 포함된 다이오드(232)의 순방향은 도 6b의 ⑦ 단계에서 형성된 다이오드(232)의 순방향과 반대로 형성된다. 이 때, 인접한 제 1 전극(210) 열들의 홀수번째(또는 짝수번째) 저항 변화 메모리 셀들도 함께 형성된다. 도 6b의 ⑨ 단계가 수행된 후의 기판의 평면도는 도 6d의 (c)에 도시된 바와 같다.(도 6b의 ⑨ 단계에서 형성된 메모리 셀은 "R"로 표시하였음).

- [105] 그 후, 제 2 전극(220)을 형성하기 위해서, 제 2 전극(220)이 형성될 메모리 셀(230)의 상부 영역을 제외한 나머지 영역에 포토레지스트 패턴(PR 패턴)(640)을 형성하고(도 6c의 ㉔), 그 위에 금속을 증착하여 제 2 전극(220)을 형성한 후 PR 패턴(640)을 제거함으로써 크로스 바 어레이 구조를 완성한다(도 6c의 ㉕). 도 6b의 ㉑ 단계가 수행된 후의 기판의 평면도는 도 6d의 (d)에 도시된 바와 같다.
- [106] 지금까지 본 발명의 바람직한 제 1 실시예에 따른 크로스바 어레이 구조의 메모리 장치 및 이의 제조 방법을 설명하였다.
- [107]
- [108] 이하에서는 본 발명의 바람직한 제 2 실시예에 따른 크로스바 어레이 구조의 메모리 장치 및 이의 제조 방법을 설명한다.
- [109] 도 7a는 본 발명의 바람직한 제 2 실시예에 따른 크로스바 어레이 구조의 메모리 장치의 전체 구조를 도시한 도면이고, 도 7b는 도 7a에 도시된 일부 영역을 확대하여 도시한 도면이다.
- [110] 제 1 실시예와 제 2 실시예를 비교하면, 제 1 실시예의 경우에는 제 1 전극(210)이 기판위에 형성되고, 제 2 전극(220)이 메모리 셀(230) 위에 접촉하도록 형성되었으나, 제 2 실시예는 제 1 전극(710-1~710-n) 및 제 2 전극(720-1~720-n) 모두 교번적으로 어느 한 메모리 셀에서는 기판에 접촉하도록 형성되었다가, 다음번 셀에서는 메모리 셀 위에 형성되고, 또 그 다음번에는 기판에 형성되고, 또 그 다음번에는 메모리 셀 위에 형성된다.
- [111] 도 7b를 참조하여 구체적으로 설명하면, 저항 변화 메모리 셀(730) R4의 경우, 제 1 전극(710-1)이 기판위에 형성되고, 제 1 전극(710-1) 위에 저항 변화 메모리 셀(730)이 형성되며, 메모리 셀(730) 위에 제 2 전극(720-1)이 형성된다.
- [112] 아울러, R4와 제 1 전극(710-1) 및 제 2 전극(720-1)을 공유하는 저항 변화 메모리 셀 R1 및 R3는 제 2 전극(720-1, 720-2)이 기판위에 형성되고, 제 2 전극(720-1, 720-2)위에 저항 변화 메모리 셀(730)이 형성되며, 메모리 셀(730) 위에 제 1 전극(710-2, 710-1)이 형성되는 구조를 갖는다.
- [113] 또한, R4와 대각선으로 인접한 저항 변화 메모리 셀 R2의 경우에는 R4와 마찬가지로 제 1 전극(710-2)이 기판위에 형성되고, 제 1 전극(710-2) 위에 메모리 셀(730)이 형성되며, 메모리 셀(730) 위에 제 2 전극(720-2)이 형성되는 구조를 갖는다.
- [114] 한편, 도 7a 및 도 7b에 도시된 저항 변화 메모리 셀(730)의 경우, 기판 위에 형성된 제 1 전극(710-1, 710-2~710-n) 또는 제 2 전극(720-1, 720-2,,, 720-n) 위에 저항 변화층으로 형성되는 메모리부(731)가 형성되고, 그 위에 다이오드(732)가 형성되어 구성된다. 이 때, 다이오드(732)의 순방향은 모든 셀(730)이 동일하므로 임의의 방향으로 형성하여도 무방하다.
- [115] 상술한 바와 같이, 제 2 실시예의 경우, 제 1 전극(710-1, 710-2~710-n) 및 제 2 전극(720-1, 720-2,,, 720-n)의 위치가 교번적으로 변경되고, 메모리 셀(730)의

구조, 즉 메모리부(731)와 다이오드(732)의 적층 구조는 모든 메모리 셀(730)이 동일하다. 이는 결과적으로, 제 1 전극(710-1, 710-2~710-n)과 제 2 전극(720-1, 720-2,,, 720-n)을 기준으로 다이오드(732)의 순방향을 살펴보면, 제 1 실시예와 마찬가지로, 제 1 전극(710-1, 710-2~710-n) 및 제 2 전극(720-1, 720-2,,, 720-n)을 공유하는 인접한 메모리 셀들(730)의 순방향은 서로 반대이고, 대각선 방향의 인접한 메모리 셀들(730)의 순방향은 서로 동일하다.

[116] 따라서, 제 1 전극(710-1, 710-2~710-n)과 제 2 전극(720-1, 720-2,,, 720-n)의 위치가 각 메모리 셀(730)마다 교번적으로 변경된다는 점을 제외하면, 도 3 내지 도 5e를 참조하여 설명한 내용은 제 2 실시예에도 동일하게 적용됨을 알 수 있다. 따라서, 제 2 실시예의 경우에도 메모리 셀(730)에 따라서 제 1 전극(710-1, 710-2~710-n) 또는 제 2 전극(720-1, 720-2,,, 720-n)으로 선택적으로 프로그램 전압 및 판독 전압을 인가하는 드라이버 회로(300)를 포함한다.

[117]

[118] 도 8a 및 도 8b는 본 발명의 바람직한 제 2 실시예에 따른 크로스 바 어레이 구조의 메모리 장치를 제조하는 방법을 설명하는 도면이다.

[119] 제 2 실시예의 경우, 제 1 전극(710-1, 710-2~710-n)과 평행한 방향으로 절단한 단면 구조와 제 2 전극(720-1, 720-2,,, 720-n)과 평행한 방향으로 절단한 단면 구조가 동일하므로, 도 8a 및 도 8b를 참조하여 제 1 전극(710-1, 710-2~710-n)의 단면을 절단한 예를 기준으로 설명한다.

[120] 먼저 크로스 바 어레이 구조의 메모리 장치를 형성할 기판(800)을 준비한다(도 8a의 ①). 이 때, 기판은 SiO₂와 같은 일반적 절연 기판을 이용한다.

[121] 다음으로, 전극이 기판(800) 위에 형성되는 공간을 제외하고 PR 패턴(810)을 형성한 후(도 8a의 ②), 절연 기판(800)을 건식 식각하여 전극을 형성할 공간을 형성한다(도 8a의 ③). 이 때, 해당 전극의 길이 방향으로 기판 위에 전극이 형성될 영역(본 예시에서 제 1 전극 영역(820))은 영역의 길이가 길게, 해당 전극의 길이 방향과 교차하는 방향으로 기판위에 전극이 형성될 영역(본 예시에서 제 2 전극 영역(830))은 영역의 폭이 짧게 공간을 형성한다.

[122] 그 후, 금속을 증착하여 기판위에 형성되는 제 1 전극(710) 및 제 2 전극(720)을 형성하고(도 8a의 ④), PR 패턴(810)과 그 위에 있던 금속층을 제거한다(도 8a의 ⑤). 도 8a의 ⑤ 단계가 완료된 기판의 평면도는 도 9의 (a)에 도시된 바와 같다.

[123] 다음으로, 메모리 셀(730)이 형성될 영역을 제외한 나머지 영역에 PR 패턴(840)을 형성한 후(도 8b의 ⑥), 그 위에 저항 변화 물질로 메모리부(731)를 형성하고, 그 위에 다이오드(732)를 순차적으로 적층하여 형성하며, PR 패턴(840)을 제거함으로써 저항 변화 메모리 셀(730)을 형성한다(도 8b의 ⑦). 이 때, 메모리부(731)과 다이오드(732)의 형성 순서는 서로 바뀌어도 무방하다. 도 8b의 ⑦ 단계가 완료된 기판의 평면도는 도 9의 (b)에 도시된 바와 같다.

[124] 그 후, 기판 위에 형성된 전극 중 길이 방향으로 길게 형성된 제 1 전극(710) 위에 형성된 메모리 셀(730) 주변에는 PR 패턴(850)을 형성하고(도 8b의 ⑧), 그

위에 금속을 증착시켜 크로스바 어레이 구조의 메모리 장치의 상부에 길이 방향으로 형성되는 전극(본 예시에서는 제 1 전극(710)) 및 교차하는 전극(본 예시에서는 제 2 전극(720))을 완성한 후, PR 패턴(850)을 제거한다(도 8b의 ⑨). 최종적으로 형성된 크로스바 어레이 구조의 평면도는 도 9의 (c)에 도시되었다.

[125]

[126] 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

청구범위

- [청구항 1] 기판위에 복수의 열로 형성되는 제 1 전극과 상기 제 1 전극과 교차하는 복수의 열로 구성되는 제 2 전극 사이에 형성되어 제 1 전극과 제 2 전극 사이에 인가되는 전압에 따라서 저항이 변화되는 메모리부, 및 상기 제 1 전극과 상기 제 2 전극 사이에 배치되어 전류의 흐름을 제어하는 다이오드를 포함하는 복수의 저항 변화 메모리셀을 포함하되, 상기 각 저항 변화 메모리셀에 포함되는 다이오드의 순방향은 인접한 저항 변화 메모리셀들에 포함되는 다이오드들 중, 일부 다이오드들의 순방향과는 서로 반대이고, 다른 일부 다이오드들의 순방향과는 동일한 것을 특징으로 하는 크로스바 어레이 구조의 메모리 장치.
- [청구항 2] 제 1 항에 있어서, 인접한 복수의 저항 변화 메모리셀들 중 상기 제 1 전극을 공유하는 저항 변화 메모리셀들 및 상기 제 2 전극을 공유하는 저항 변화 메모리셀들의 다이오드의 순방향은 서로 반대인 것을 특징으로 하는 크로스바 어레이 구조의 메모리 장치.
- [청구항 3] 제 1 항에 있어서, 인접한 복수의 저항 변화 메모리셀들 중 상기 제 1 전극 및 상기 제 2 전극을 공유하지 않는 대각선 방향의 저항 변화 메모리셀들의 다이오드의 순방향은 서로 동일한 것을 특징으로 하는 크로스바 어레이 구조의 메모리 장치.
- [청구항 4] 제 1 항에 있어서, 상기 다이오드는, 상기 메모리부에 일면(제 1 접촉면)이 접촉하는 p-타입 반도체층 및 상기 제 1 접촉면의 반대측 면에 접촉하는 n-타입 반도체층을 포함하는 것을 특징으로 하는 크로스바 어레이 구조의 메모리 장치.
- [청구항 5] 제 4 항에 있어서, 상기 제 1 전극은 복수개가 서로 평행하게 기판위에 형성되고, 상기 저항 변화 메모리셀은 복수개가 상기 제 1 전극 위에 서로 이격되어 형성되며, 상기 제 2 전극은 상기 제 1 전극과 교차하는 방향으로 상기 저항 변화 메모리셀과 접촉하도록 형성되고, 상기 복수의 저항 변화 메모리셀은 상기 제 1 전극 및 상기 제 2 전극을 따라서 상기 메모리부와 상기 n-타입 반도체층이 교대로 상기 제 1 전극 및 제 2 전극에 접촉하도록 형성되는 것을 특징으로 하는 크로스바 어레이 구조의 메모리 장치.
- [청구항 6] 제 1 항에 있어서, 선택된 저항 변화 메모리셀에 포함된 다이오드의 순방향에 따라서 상기 제 1 전극 또는 제 2 전극으로 프로그램 전압 및 판독 전압을 인가하는

드라이브 회로를 더 포함하는 것을 특징으로 하는 크로스바 어레이 구조의 메모리 장치.

- [청구항 7] 복수의 열로 구성되는 제 1 전극과 상기 제 1 전극과 교차하도록 복수의 열로 구성되는 제 2 전극; 및
상기 제 1 전극 및 상기 제 2 전극 사이에 형성되어 상기 제 1 전극과 상기 제 2 전극 사이에 인가되는 전압에 따라서 저항이 변화되는 메모리부, 및
상기 제 1 전극과 상기 제 2 전극 사이에 배치되어 전류의 흐름을 제어하는 다이오드를 포함하는 복수의 저항 변화 메모리셀을 포함하되,
상기 제 1 전극과 상기 제 2 전극은 각 저항 변화 메모리셀마다 서로 교번적으로 기판 및 메모리셀 위에 형성되는 것을 특징으로 하는 크로스바 어레이 구조의 메모리 장치.
- [청구항 8] 제 7 항에 있어서,
각 저항 변화 메모리셀에 포함된 다이오드들은 모두, 기판을 향하는 방향이 순방향 또는 역방향이 되도록 동일하게 형성되는 것을 특징으로 하는 크로스바 어레이 구조의 메모리 장치.
- [청구항 9] 제 7 항에 있어서,
인접한 복수의 저항 변화 메모리셀들 중 상기 제 1 전극을 공유하는 저항 변화 메모리셀들 및 상기 제 2 전극을 공유하는 저항 변화 메모리셀들의 다이오드들의 순방향은 제 1 전극에서 제 2 전극을 향하는 방향을 기준으로 서로 반대인 것을 특징으로 하는 크로스바 어레이 구조의 메모리 장치.
- [청구항 10] 제 7 항에 있어서,
인접한 복수의 저항 변화 메모리셀들 중 상기 제 1 전극 및 상기 제 2 전극을 공유하지 않는 대각선 방향의 저항 변화 메모리셀들의 다이오드의 순방향은 제 1 전극에서 제 2 전극을 향하는 방향을 기준으로 서로 동일한 것을 특징으로 하는 크로스바 어레이 구조의 메모리 장치.
- [청구항 11] 제 7 항에 있어서,
선택된 저항 변화 메모리셀에 포함된 다이오드의 상기 제 1 전극에서 상기 제 2 전극을 향하는 방향을 기준으로 하는 순방향에 따라서 상기 제 1 전극 또는 제 2 전극으로 프로그램 전압 및 판독 전압을 인가하는 드라이브 회로를 더 포함하는 것을 특징으로 하는 크로스바 어레이 구조의 메모리 장치.
- [청구항 12] 크로스바 어레이 구조의 메모리 장치 형성 방법으로서,
(a) 기판 위에 복수의 평행한 열로 제 1 전극을 형성하는 단계;
(b) 상기 복수의 제 1 전극 열들 위에, 메모리부 및 다이오드를 포함하는 저항 변화 메모리 셀을 형성하되, 대각선에 위치하는 저항 변화 메모리셀들끼리 동일한 구조를 갖도록 저항 변화 메모리 셀을 형성하는 단계; 및

(c) 상기 저항 변화 메모리 셀들 위에 상기 제 1 전극과 교차하는 방향으로, 복수의 평행한 열로 제 2 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 메모리 장치 형성 방법.

[청구항 13] 제 12 항에 있어서, 상기 (b) 단계는 대각선에 위치하는 저항 변화 메모리 셀에 포함된 다이오드의 순방향은 서로 동일하고, 상기 제 1 전극을 공유하는 인접한 저항 변화 메모리 셀들 및 상기 제 2 전극을 공유하는 인접한 저항 변화 메모리 셀에 포함된 다이오드의 순방향은 서로 반대가 되도록 상기 저항 변화 메모리 셀을 형성하는 것을 특징으로 하는 메모리 장치 형성 방법.

[청구항 14] 제 13 항에 있어서, 상기 (b) 단계는 (b1) 상기 복수의 제 1 전극 열들 중 홀수번째(또는 짝수번째) 열들의 홀수번째(또는 짝수번째) 저항 변화 메모리 셀 및 짝수번째(또는 홀수번째) 열들의 짝수번째(또는 홀수번째) 저항 변화 메모리 셀을 형성하되, 다이오드의 순방향이 동일하게 형성하는 단계; 및 (b2) 상기 복수의 제 1 전극 열들 중 홀수번째(또는 짝수번째) 열들의 짝수번째(또는 홀수번째) 저항 변화 메모리 셀 및 짝수번째(또는 홀수번째) 열들의 홀수번째(또는 짝수번째) 저항 변화 메모리 셀을 형성하되, 다이오드의 순방향이 상기 (b1) 단계에서 형성된 저항 변화 메모리 셀들에 포함된 다이오드의 순방향과 반대가 되도록 형성하는 단계를 포함하는 것을 특징으로 하는 메모리 장치 형성 방법.

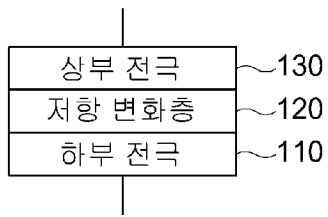
[청구항 15] 크로스바 어레이 구조의 메모리 장치 형성 방법으로서, (a) 절연 기판을 식각하여, 서로 평행한 복수의 열로 구성되는 제 1 전극이 형성될 영역 및 상기 제 1 전극과 교차하는 방향으로 서로 평행한 복수의 열로 구성되는 제 2 전극이 형성될 영역을 기판 내부에 형성하는 단계; (b) 상기 기판 위에 전극 형성 물질을 증착하여, 기판 내부에 형성된 영역들에 제 1 전극 및 제 2 전극을 형성하는 단계; (c) 상기 기판 내부에 형성된 제 1 전극 및 상기 제 2 전극 위에 저항 변화 메모리 셀을 동일한 구조로 형성하는 단계; 및 (d) 상기 저항 변화 메모리 셀 위에 전극 형성 물질을 증착하여, 상기 저항 변화 메모리 셀 위에 제 1 전극 및 제 2 전극을 형성하되, 상기 저항 변화 메모리 셀 위에 형성된 제 1 전극과 상기 기판 내부에 형성된 제 1 전극을 연결시키고, 상기 저항 변화 메모리 셀 위에 형성된 제 2 전극과 상기 기판 내부에 형성된 제 2 전극을 연결시키는 단계를 포함하는 것을 특징으로 하는 메모리 장치 형성 방법.

[청구항 16] 제 15 항에 있어서, 상기 (c) 단계는 상기 제 1 전극 및 상기 제 2 전극 위에, 저항 변화 물질로 형성되는 메모리부 및 다이오드를 형성하되, 상기 기판을 기준으로 다이오드의 순방향이 모두 동일하도록 형성하는 것을 특징으로 하는 메모리 장치

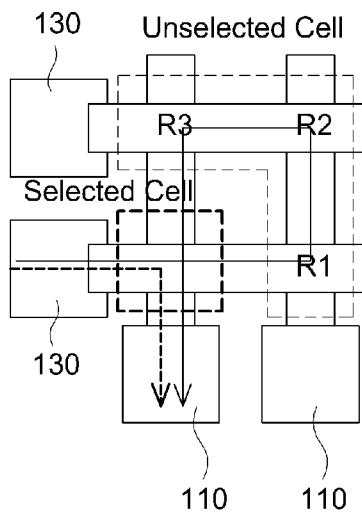
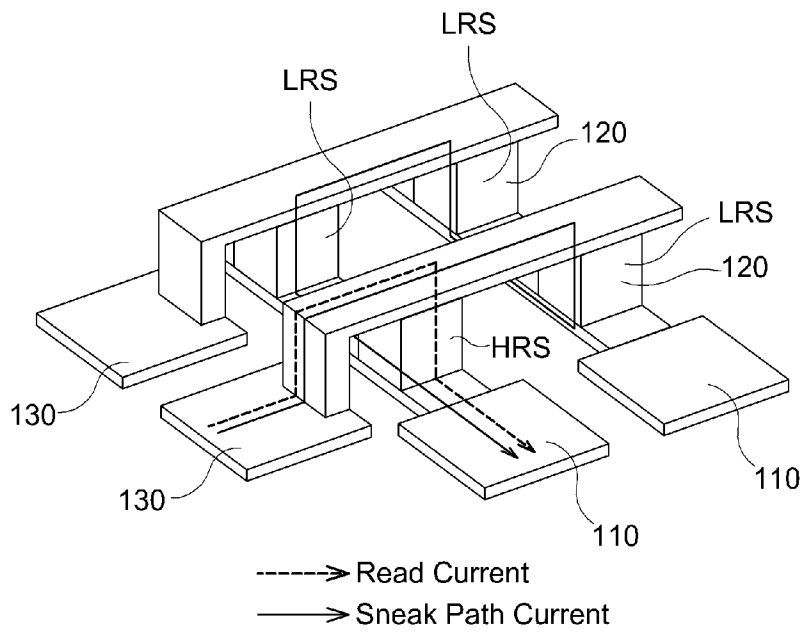
형성 방법.

- [청구항 17] 제 15 항에 있어서, 상기 (d) 단계는
저항 변화 메모리 셀 위에 형성된 제 1 전극은 인접한 저항 변화 메모리
셀아래의 기판에 형성된 제 1 전극과 연결되고,
저항 변화 메모리 셀 위에 형성된 제 2 전극은 인접한 저항 변화 메모리
셀아래의 기판에 형성된 제 2 전극과 연결되도록 상기 전극 형성 물질을
증착하는 것을 특징으로 하는 메모리 장치 형성 방법.

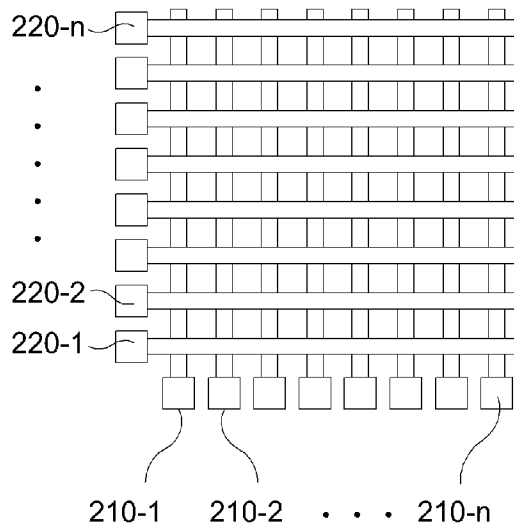
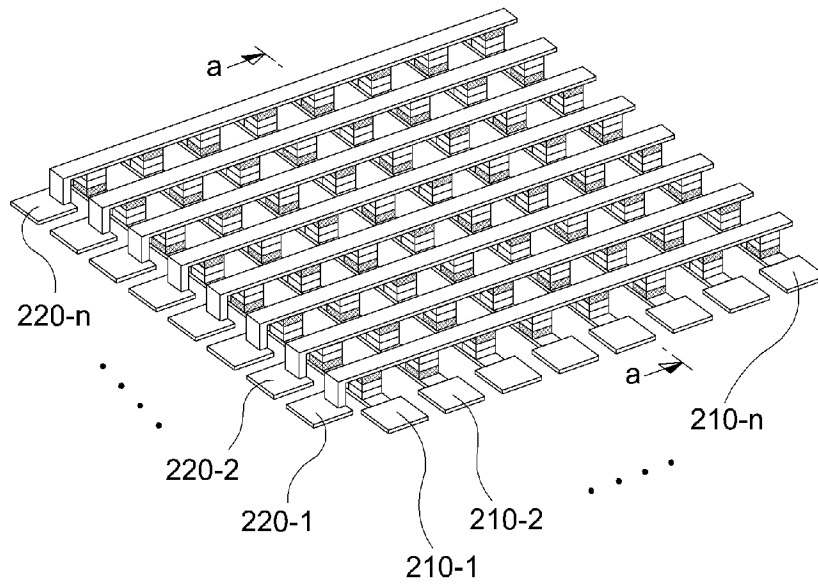
[도 1a]



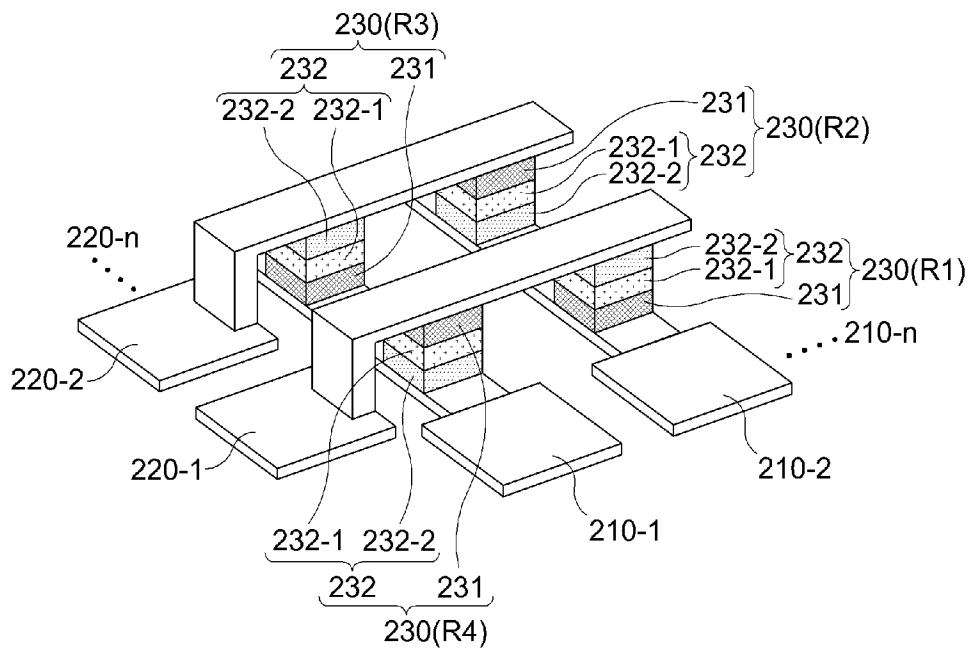
[도 1b]



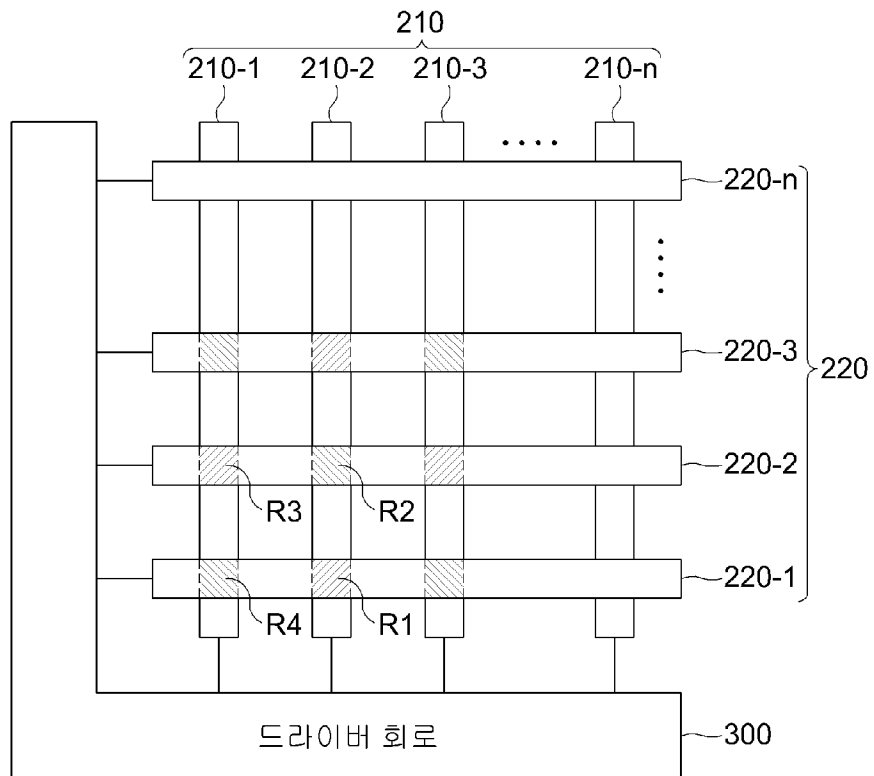
[도2a]



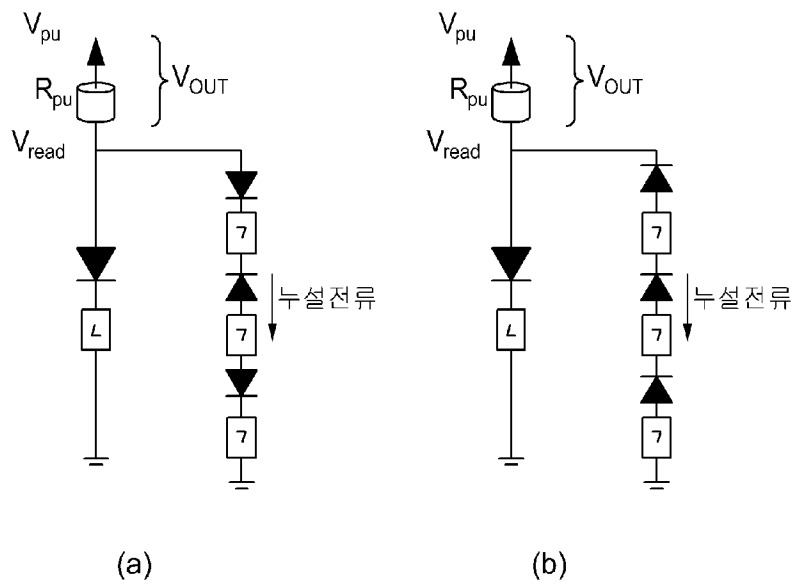
[도2b]



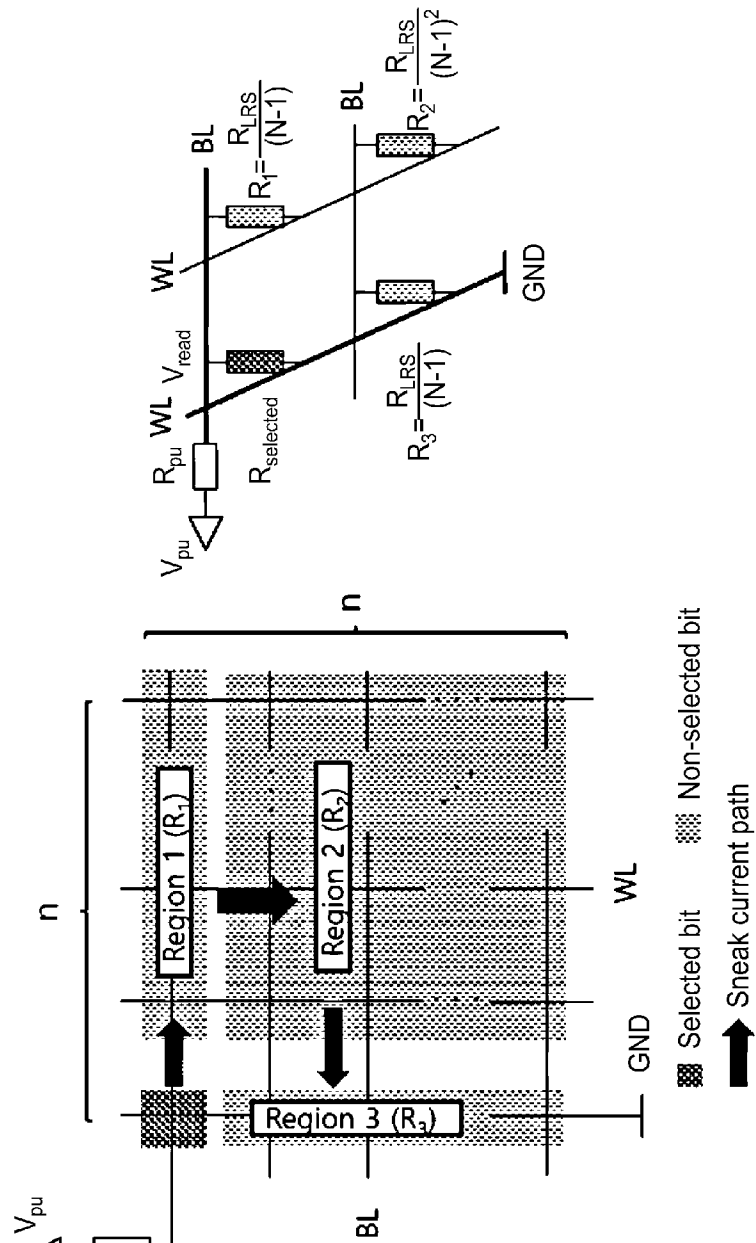
[도3]



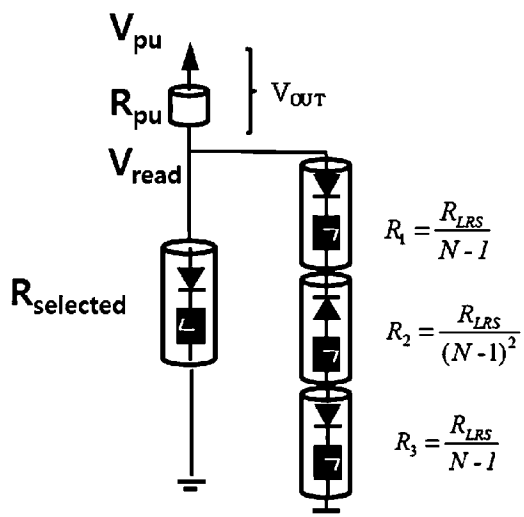
[도4]



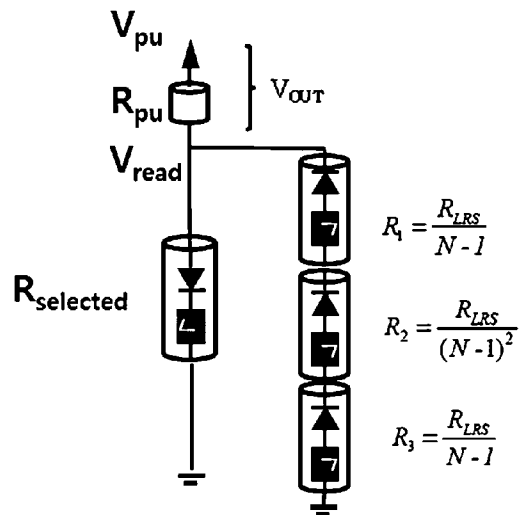
[도5b]



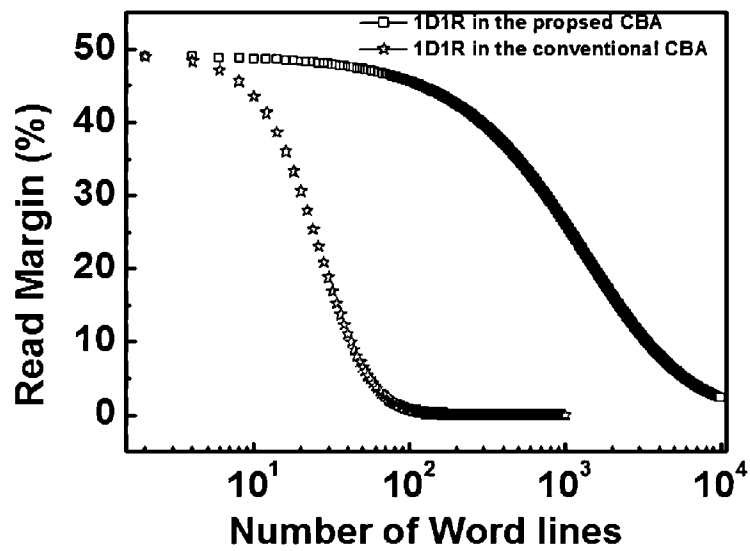
[도5c]



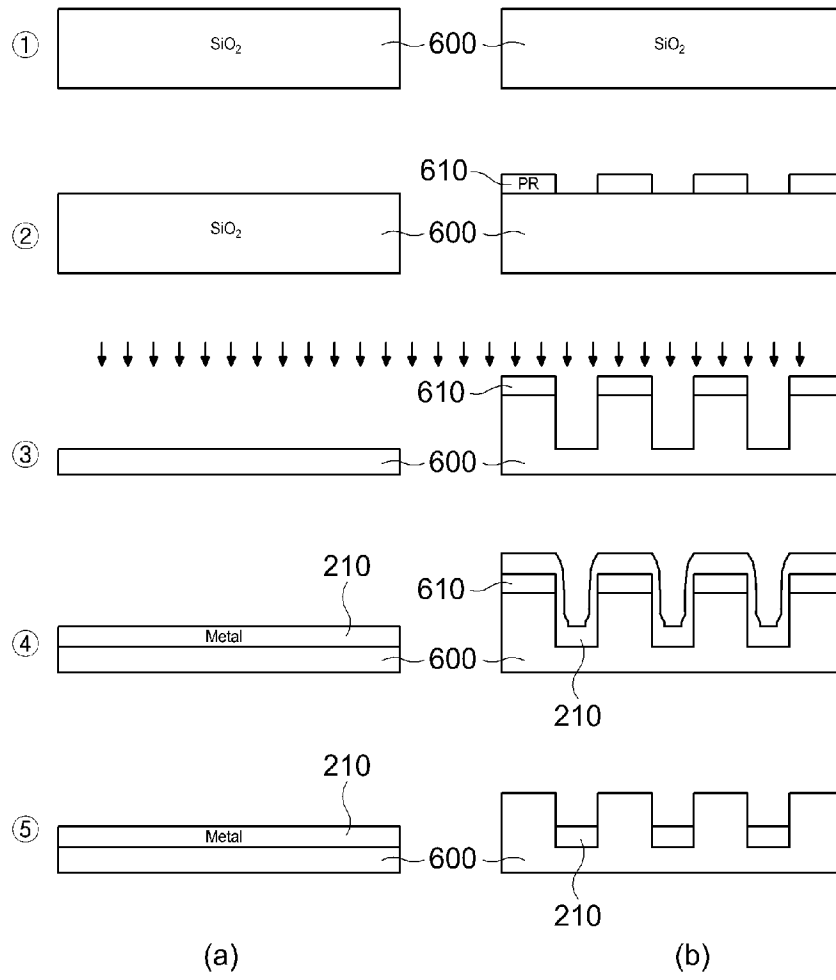
[도5d]



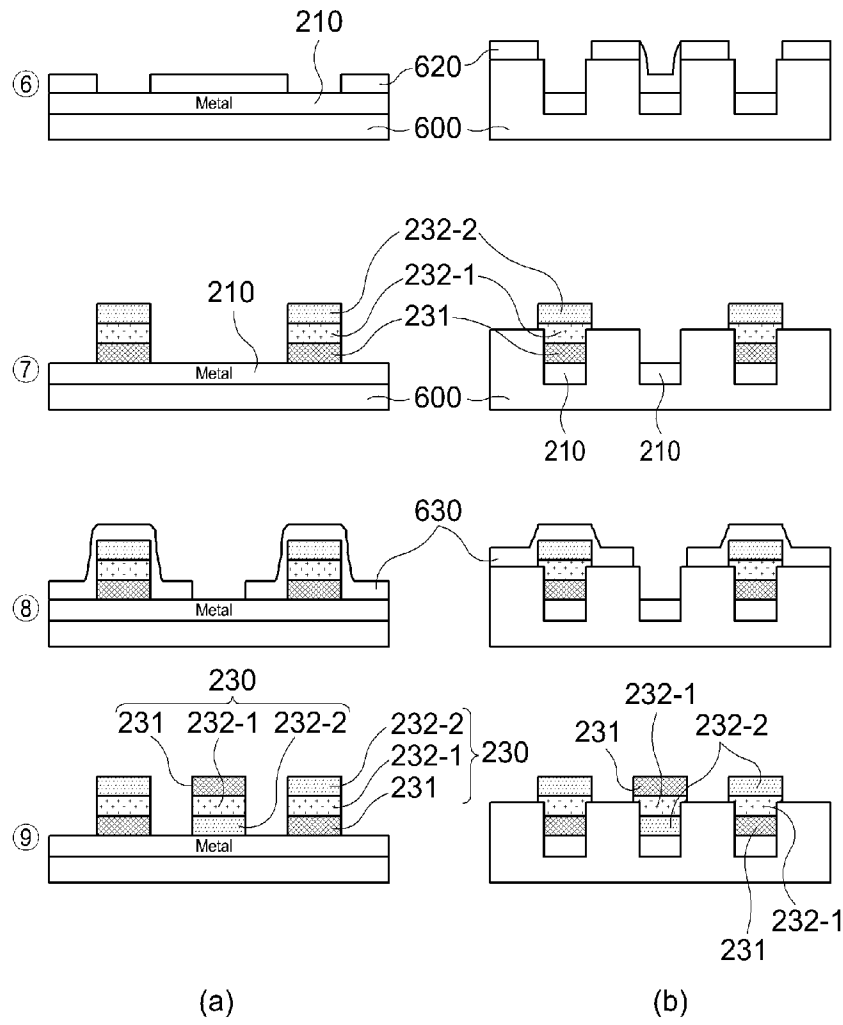
[도5e]



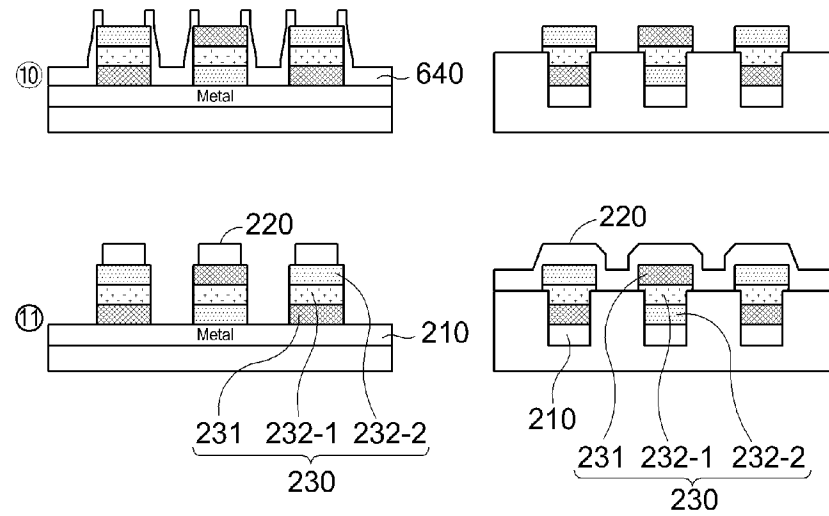
[도 6a]



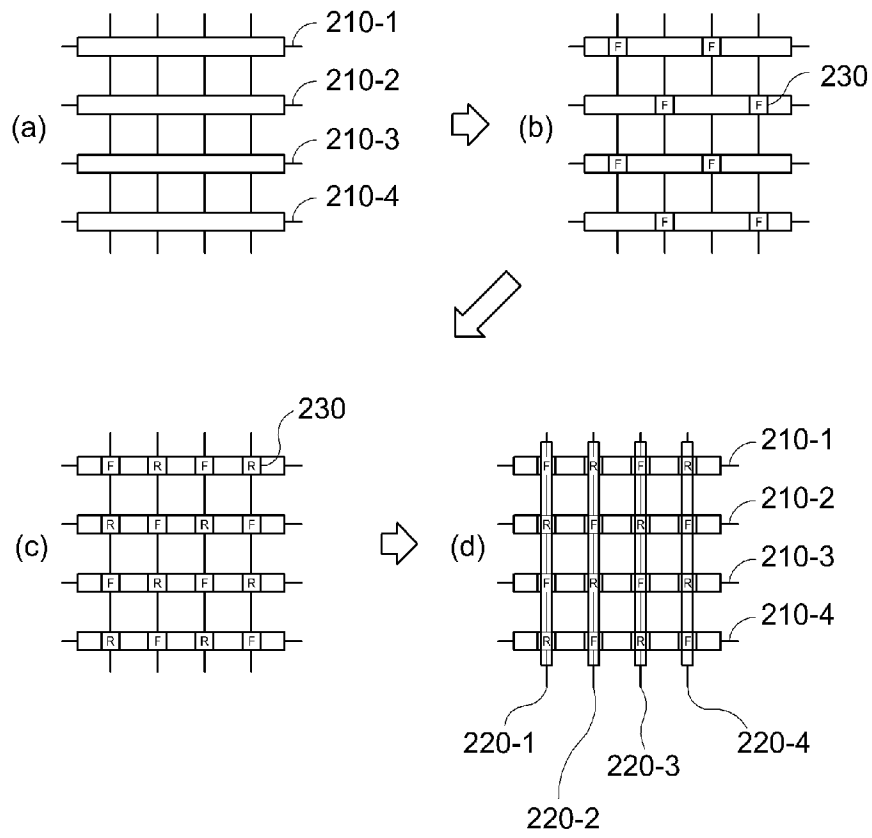
[도6b]



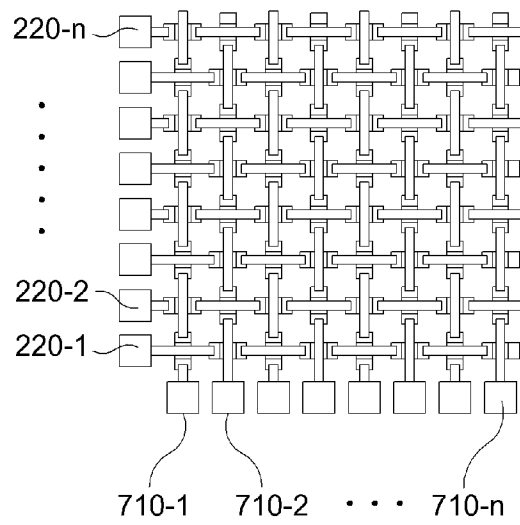
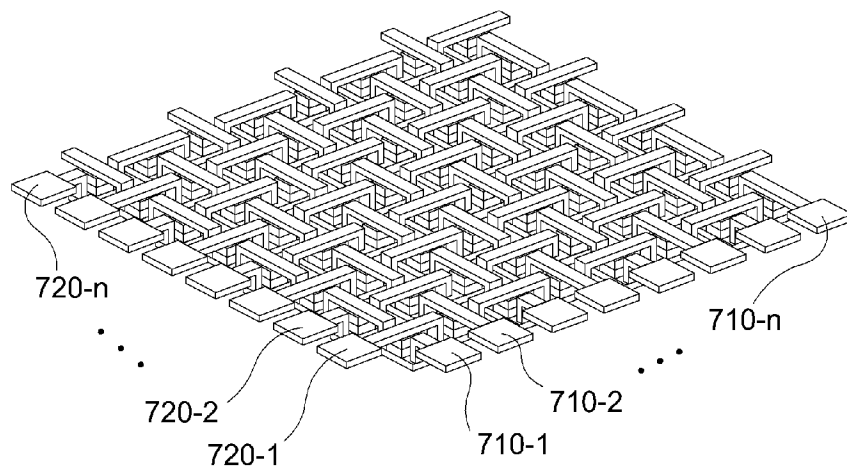
[도6c]



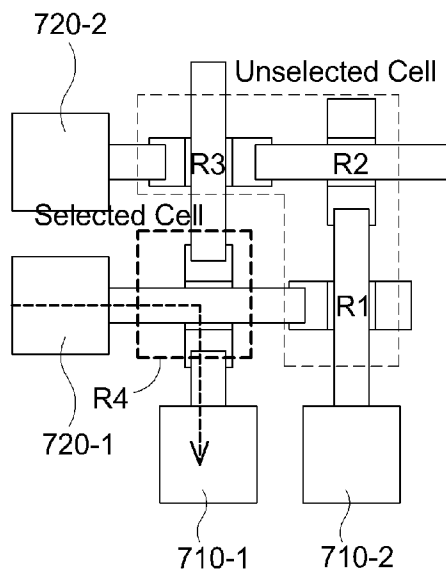
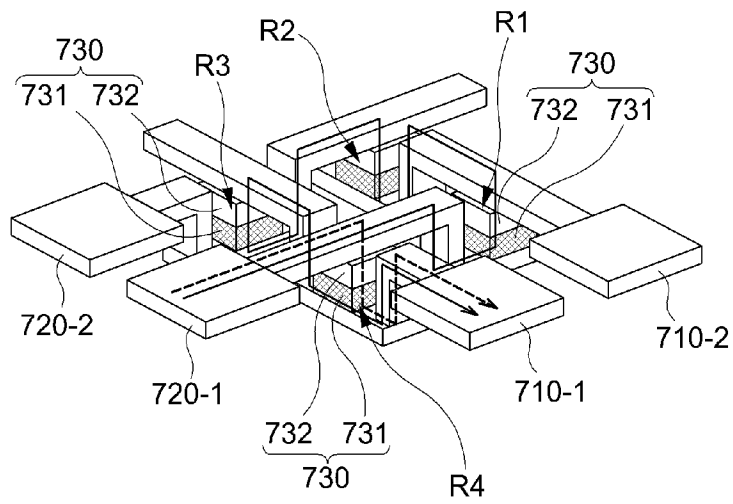
[도6d]



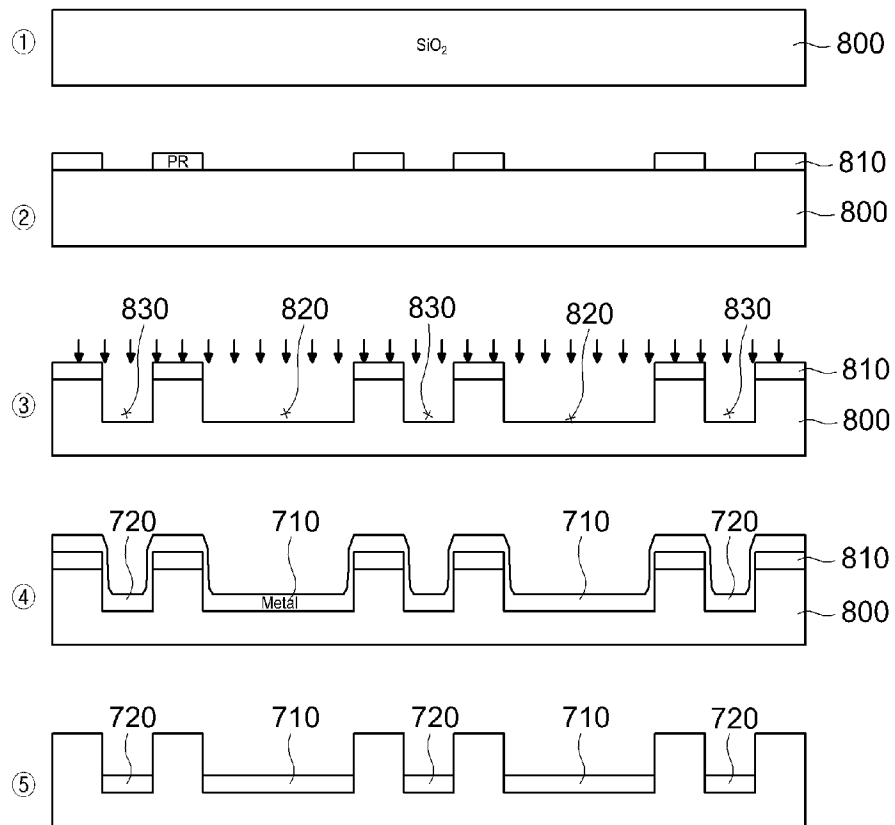
[도7a]



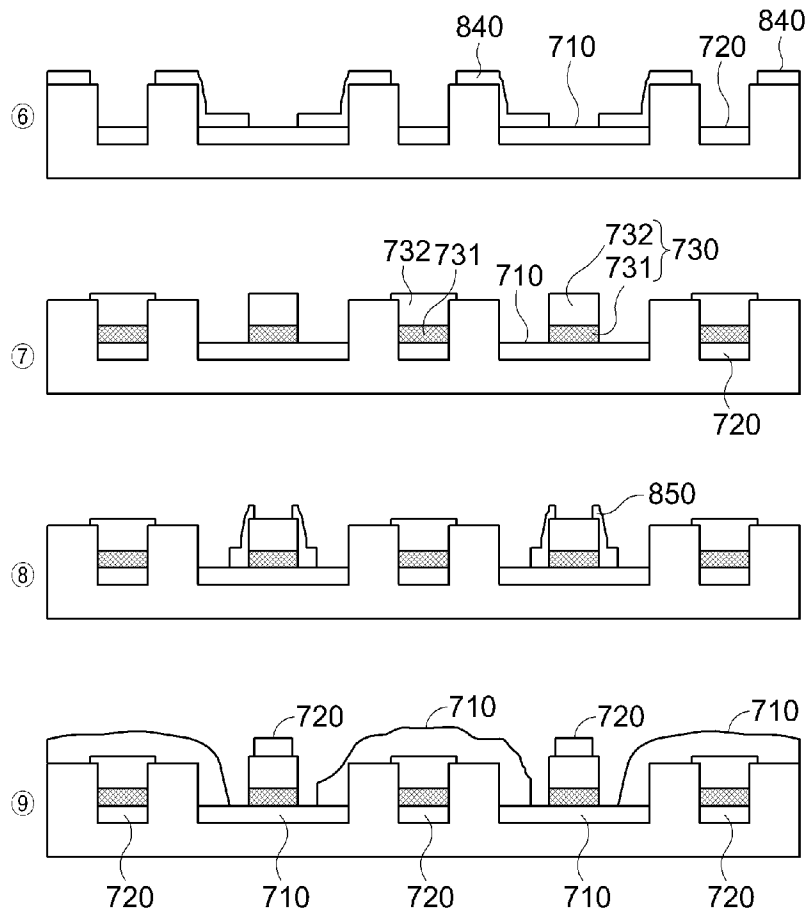
[도7b]



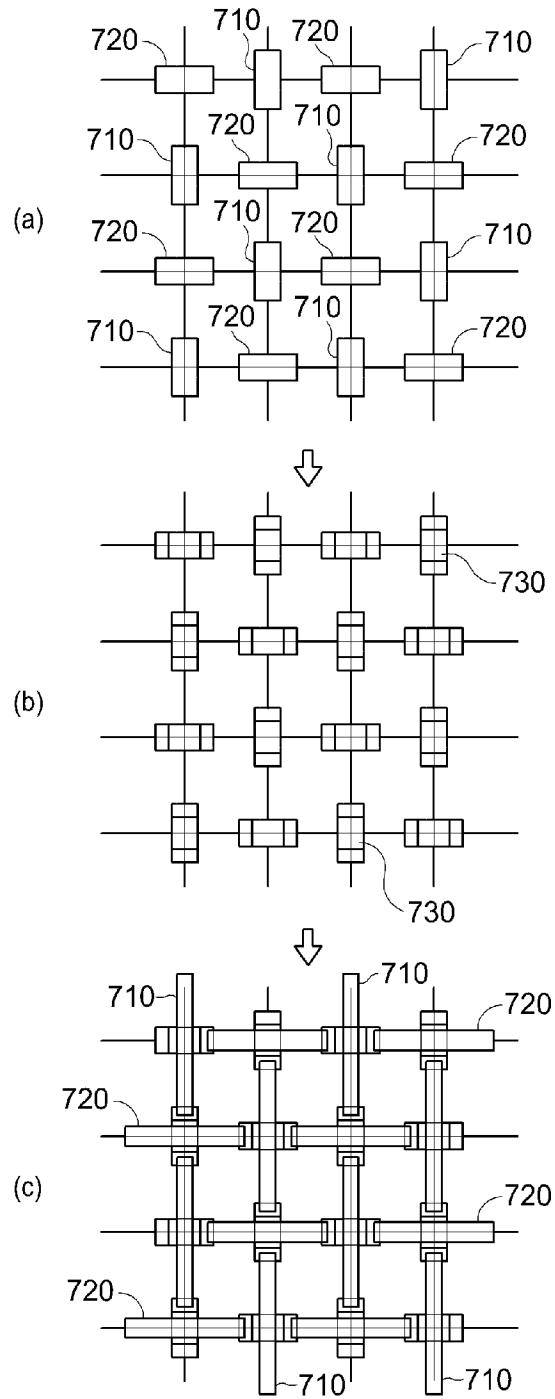
[도8a]



[도8b]



[도9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2016/005506**A. CLASSIFICATION OF SUBJECT MATTER****H01L 27/115(2006.01)i, H01L 27/24(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/115; G11C 13/02; H01L 27/105; G11C 7/00; H01L 45/00; G11C 11/36; G11C 7/12; G11C 13/00; H01L 27/24

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: memory, diode, leakage current, alternation, electrode

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2013-069928 A (TOSHIBA CORP.) 18 April 2013 See abstract, paragraphs [0007]-[0017], claim 1 and figures 2-4.	12
A		1-11,13-17
A	US 9012878 B1 (INTERMOLECULAR, INC.) 21 April 2015 See abstract, column 13, line 60-column 14, line 3, claims 1-10 and figure 5.	1-17
A	KR 10-2010-0097738 A (SANDISK 3D LLC.) 03 September 2010 See abstract, paragraphs [0018]-[0019], claims 1, 2 and figure 2.	1-17
A	KR 10-1196052 B1 (MICRON TECHNOLOGY, INC.) 01 November 2012 See abstract, paragraphs [0050]-[0059], claims 2-7 and figure 4.	1-17
A	KR 10-2014-0063821 A (HEWLETT-PACKARD DEVELOPMENT COMPANY, L.P.) 27 May 2014 See abstract, paragraphs [0014]-[0015], claims 1-3 and figure 3.	1-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

17 AUGUST 2016 (17.08.2016)

Date of mailing of the international search report

17 AUGUST 2016 (17.08.2016)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2016/005506

Patent document cited in search report	Publication date	Patent family member	Publication date
JP 2013-069928 A	18/04/2013	US 2013-0077380 A1 US 2014-0078813 A1 US 8619461 B2 US 8917538 B2	28/03/2013 20/03/2014 31/12/2013 23/12/2014
US 9012878 B1	21/04/2015	NONE	
KR 10-2010-0097738 A	03/09/2010	CN 101911206 A CN 101911206 B EP 2232499 A1 EP 2232499 B1 JP 2011-508360 A JP 5190520 B2 TW 200929220 A US 2009-0168486 A1 US 7706169 B2 WO 2009-085076 A1	08/12/2010 02/04/2014 29/09/2010 16/07/2014 10/03/2011 24/04/2013 01/07/2009 02/07/2009 27/04/2010 09/07/2009
KR 10-1196052 B1	01/11/2012	CN 102037515 A CN 102037515 B EP 2277174 A2 EP 2277174 B1 TW 201003900 A TW 1420653 B US 2009-0290412 A1 US 8120951 B2 WO 2009-142884 A2	27/04/2011 25/12/2013 26/01/2011 11/06/2014 16/01/2010 21/12/2013 26/11/2009 21/02/2012 26/11/2009
KR 10-2014-0063821 A	27/05/2014	CN 103858172 A EP 2766907 A1 US 2014-0313816 A1 US 9299746 B2 WO 2013-055332 A1	11/06/2014 20/08/2014 23/10/2014 29/03/2016 18/04/2013

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 27/115(2006.01)I, H01L 27/24(2006.01)I

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 27/115; G11C 13/02; H01L 27/105; G11C 7/00; H01L 45/00; G11C 11/36; G11C 7/12; G11C 13/00; H01L 27/24

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 메모리, 다이오드, 누설전류, 교번, 전극

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	JP 2013-069928 A (TOSHIBA CORP.) 2013.04.18 요약, 문단번호 [0007]-[0017], 청구항 1 및 도면 2-4 참조.	12
A		1-11, 13-17
A	US 9012878 B1 (INTERMOLECULAR, INC.) 2015.04.21 요약, 컬럼 13 라인 60 - 컬럼 14 라인 3, 청구항 1-10 및 도면 5 참조.	1-17
A	KR 10-2010-0097738 A (썬디스크 3디 엘엘씨) 2010.09.03 요약, 문단번호 [0018]-[0019], 청구항 1, 2 및 도면 2 참조.	1-17
A	KR 10-1196052 B1 (마이크론 테크놀로지, 인크.) 2012.11.01 요약, 문단번호 [0050]-[0059], 청구항 2-7 및 도면 4 참조.	1-17
A	KR 10-2014-0063821 A (휴렛-팩커드 디벨롭먼트 컴퍼니, 엘.피.) 2014.05.27 요약, 문단번호 [0014]-[0015], 청구항 1-3 및 도면 3 참조.	1-17

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2016년 08월 17일 (17.08.2016)

국제조사보고서 발송일

2016년 08월 17일 (17.08.2016)

ISA/KR의 명칭 및 우편주소



대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

최상원

전화번호 +82-42-481-8291



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 2013-069928 A	2013/04/18	US 2013-0077380 A1 US 2014-0078813 A1 US 8619461 B2 US 8917538 B2	2013/03/28 2014/03/20 2013/12/31 2014/12/23
US 9012878 B1	2015/04/21	없음	
KR 10-2010-0097738 A	2010/09/03	CN 101911206 A CN 101911206 B EP 2232499 A1 EP 2232499 B1 JP 2011-508360 A JP 5190520 B2 TW 200929220 A US 2009-0168486 A1 US 7706169 B2 WO 2009-085076 A1	2010/12/08 2014/04/02 2010/09/29 2014/07/16 2011/03/10 2013/04/24 2009/07/01 2009/07/02 2010/04/27 2009/07/09
KR 10-1196052 B1	2012/11/01	CN 102037515 A CN 102037515 B EP 2277174 A2 EP 2277174 B1 TW 201003900 A TW 1420653 B US 2009-0290412 A1 US 8120951 B2 WO 2009-142884 A2	2011/04/27 2013/12/25 2011/01/26 2014/06/11 2010/01/16 2013/12/21 2009/11/26 2012/02/21 2009/11/26
KR 10-2014-0063821 A	2014/05/27	CN 103858172 A EP 2766907 A1 US 2014-0313816 A1 US 9299746 B2 WO 2013-055332 A1	2014/06/11 2014/08/20 2014/10/23 2016/03/29 2013/04/18