



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년12월11일
(11) 등록번호 10-2190347
(24) 등록일자 2020년12월07일

(51) 국제특허분류(Int. Cl.)
H03K 17/06 (2006.01) H01L 27/092 (2006.01)
H01L 29/78 (2006.01) H03K 17/0812 (2006.01)
H03K 17/693 (2006.01)
(52) CPC특허분류
H03K 17/06 (2013.01)
H01L 27/092 (2013.01)
(21) 출원번호 10-2016-7003527
(22) 출원일자(국제) 2014년07월11일
심사청구일자 2019년05월28일
(85) 번역문제출일자 2016년02월11일
(65) 공개번호 10-2016-0032158
(43) 공개일자 2016년03월23일
(86) 국제출원번호 PCT/US2014/046426
(87) 국제공개번호 WO 2015/006741
국제공개일자 2015년01월15일
(30) 우선권주장
13/941,419 2013년07월12일 미국(US)
(56) 선행기술조사문헌
US08519771 B1
US20110156794 A1

(73) 특허권자
자일링크스 인코포레이티드
미합중국 95124 캘리포니아 산 호세 로직 드라이브 2100
(72) 발명자
제닝스 존 케이
미국 캘리포니아주 95124 산 호세 로직 드라이브 2100
시칼 이오누트 씨
미국 캘리포니아주 95124 산 호세 로직 드라이브 2100
(74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 14 항

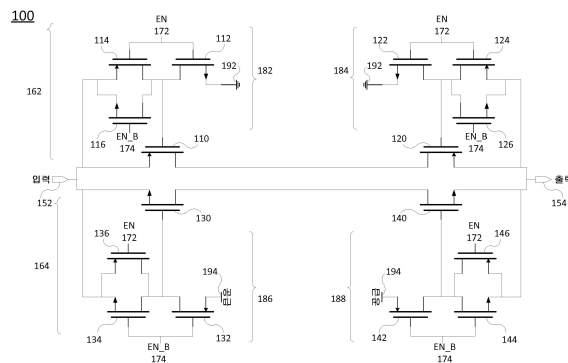
심사관 : 최규돈

(54) 발명의 명칭 공급 초과 전압을 지원하는 스위치

(57) 요약

출력(154)으로부터 입력(152)을 분리시키기 위한 디바이스들(100)이 개시된다. 예를 들어, 디바이스(100)는 제1 p-타입 금속 산화물 반도체 트랜지스터(110) 및 제1 회로(182)를 포함한다. 제1 p-타입 금속 산화물 반도체 트랜지스터(110)의 소스는 디바이스(100)의 입력(152)에 연결된다. 제1 회로(182)는 인에이블 신호(172)가 비활성화될 때 제1 p-타입 금속 산화물 반도체 트랜지스터(110)의 게이트에 디바이스 입력(152) 상의 신호를 전달하기 위한 것이고 인에이블 신호(172)가 활성화될 때 제1 p-타입 금속 산화물 반도체 트랜지스터(110)의 게이트에 접지 전압(192)을 전달하기 위한 것이다.

대표도



(52) CPC특허분류

H01L 29/78 (2013.01)

H03K 17/08122 (2013.01)

H03K 17/693 (2013.01)

H03K 2017/066 (2013.01)

H03K 2217/0054 (2013.01)

명세서

청구범위

청구항 1

디바이스에 있어서,

제1 p-타입 금속 산화물 반도체 트랜지스터 — 상기 제1 p-타입 금속 산화물 반도체 트랜지스터의 소스는 상기 디바이스의 입력에 연결됨 — ; 및

인에이블 신호가 비활성화될 때 상기 제1 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 상기 디바이스의 입력 상의 신호를 전달하고, 상기 인에이블 신호가 활성화될 때 상기 제1 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 접지 전압을 전달하기 위한 제1 회로

를 포함하며, 상기 제1 회로는,

제2 p-타입 금속 산화물 반도체 트랜지스터 — 상기 제2 p-타입 금속 산화물 반도체 트랜지스터의 소스는 상기 디바이스의 입력에 연결되고, 상기 제2 p-타입 금속 산화물 반도체 트랜지스터의 게이트는 상기 인에이블 신호에 연결됨 — ;

제1 n-타입 금속 산화물 반도체 트랜지스터 — 상기 제1 n-타입 금속 산화물 반도체 트랜지스터의 소스는 접지에 연결되고, 상기 제1 n-타입 금속 산화물 반도체 트랜지스터의 드레인은 상기 제2 p-타입 금속 산화물 반도체 트랜지스터의 드레인에 연결되고, 상기 제1 n-타입 금속 산화물 반도체 트랜지스터의 게이트는 상기 인에이블 신호에 연결됨 — ; 및

제2 n-타입 금속 산화물 반도체 트랜지스터 — 상기 제2 n-타입 금속 산화물 반도체 트랜지스터의 게이트는 상기 인에이블 신호의 반전(inversion)에 연결되고, 상기 제2 n-타입 금속 산화물 반도체 트랜지스터의 소스는 상기 디바이스의 입력에 연결됨 —

를 포함하고,

상기 제2 p-타입 금속 산화물 반도체 트랜지스터의 드레인, 상기 제1 n-타입 금속 산화물 반도체 트랜지스터의 드레인, 및 상기 제2 n-타입 금속 산화물 반도체 트랜지스터의 드레인은, 상기 제1 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 연결되는 것인, 디바이스.

청구항 2

제1항에 있어서,

상기 제1 p-타입 금속 산화물 반도체 트랜지스터의 소스는 상기 제1 p-타입 금속 산화물 반도체 트랜지스터의 벌크(bulk)에 쇼트되는(shorted) 것인, 디바이스.

청구항 3

제1항에 있어서,

상기 인에이블 신호의 반전 및 접지는 동일한 전압인 것인, 디바이스.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

제3 p-타입 금속 산화물 반도체 트랜지스터 — 상기 제3 p-타입 금속 산화물 반도체 트랜지스터의 소스는 상기 디바이스의 출력에 연결되고, 상기 제3 p-타입 금속 산화물 반도체 트랜지스터의 드레인은 상기 제1 p-타입 금속 산화물 반도체 트랜지스터의 드레인에 연결됨 — ; 및

상기 인에이블 신호가 비활성화될 때 상기 제3 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 상기 디바이스의 출력 상의 신호를 전달하고, 상기 인에이블 신호가 활성화될 때 상기 제3 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 상기 접지 전압을 전달하기 위한 제2 회로

를 더 포함하는 디바이스.

청구항 5

제4항에 있어서,

상기 제2 회로는,

제4 p-타입 금속 산화물 반도체 트랜지스터 - 상기 제4 p-타입 금속 산화물 반도체 트랜지스터의 소스는 상기 디바이스의 출력에 연결되고, 상기 제4 p-타입 금속 산화물 반도체 트랜지스터의 게이트는 상기 인에이블 신호에 연결됨 - ;

제3 n-타입 금속 산화물 반도체 트랜지스터 - 상기 제3 n-타입 금속 산화물 반도체 트랜지스터의 소스는 접지에 연결되고, 상기 제3 n-타입 금속 산화물 반도체 트랜지스터의 게이트는 상기 인에이블 신호에 연결됨 - ; 및

제4 n-타입 금속 산화물 반도체 트랜지스터 - 상기 제4 n-타입 금속 산화물 반도체 트랜지스터의 게이트는 상기 인에이블 신호의 반전에 연결되고, 상기 제4 n-타입 금속 산화물 반도체 트랜지스터의 소스는 상기 디바이스의 출력에 연결됨 -

를 포함하고,

상기 제4 p-타입 금속 산화물 반도체 트랜지스터의 드레인, 상기 제3 n-타입 금속 산화물 반도체 트랜지스터의 드레인, 및 상기 제4 n-타입 금속 산화물 반도체 트랜지스터의 드레인은, 상기 제3 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 연결되는 것인, 디바이스.

청구항 6

제1항 내지 제3항 중 어느 한 항에 있어서,

제5 n-타입 금속 산화물 반도체 트랜지스터 - 상기 제5 n-타입 금속 산화물 반도체 트랜지스터의 소스는 상기 디바이스의 입력에 연결됨 - ; 및

상기 인에이블 신호가 비활성화될 때 상기 제5 n-타입 금속 산화물 반도체 트랜지스터의 게이트에 상기 디바이스의 입력 상의 신호를 전달하고, 상기 인에이블 신호가 활성화될 때 상기 제5 n-타입 금속 산화물 반도체 트랜지스터의 게이트에 공급 전압을 전달하기 위한 제3 회로

를 더 포함하는, 디바이스.

청구항 7

제6항에 있어서,

상기 인에이블 신호는 상기 공급 전압과 동일한 전압인 것인, 디바이스.

청구항 8

제6항에 있어서,

상기 디바이스의 입력은, 접지의 전압 레벨과 상기 공급 전압의 전압 레벨 사이의 전압을 갖는 아날로그 신호를 포함하는 것인, 디바이스.

청구항 9

제6항에 있어서,

상기 제3 회로는,

제6 n-타입 금속 산화물 반도체 트랜지스터 - 상기 제6 n-타입 금속 산화물 반도체 트랜지스터의 소스는 상기 디바이스의 입력에 연결되고, 상기 제6 n-타입 금속 산화물 반도체 트랜지스터의 게이트는 상기 인에이블 신호의 반전에 연결됨 - ;

제5 p-타입 금속 산화물 반도체 트랜지스터 - 상기 제5 p-타입 금속 산화물 반도체 트랜지스터의 소스

는 상기 공급 전압에 연결되고, 상기 제5 p-타입 금속 산화물 반도체 트랜지스터의 게이트는 상기 인에이블 신호의 반전에 연결됨 - ; 및

제6 p-타입 금속 산화물 반도체 트랜지스터 - 상기 제6 p-타입 금속 산화물 반도체 트랜지스터의 소스는 상기 디바이스의 입력에 연결되고, 상기 제6 p-타입 금속 산화물 반도체 트랜지스터의 게이트는 상기 인에이블 신호에 연결됨 -

를 포함하고,

상기 제6 n-타입 금속 산화물 반도체 트랜지스터의 드레인, 상기 제5 p-타입 금속 산화물 반도체 트랜지스터의 드레인, 및 상기 제6 p-타입 금속 산화물 반도체 트랜지스터의 드레인은, 상기 제5 n-타입 금속 산화물 반도체 트랜지스터의 게이트에 연결되는 것인, 디바이스.

청구항 10

제6항에 있어서,

제7 n-타입 금속 산화물 반도체 트랜지스터 - 상기 제7 n-타입 금속 산화물 반도체 트랜지스터의 소스는 상기 디바이스의 출력에 연결되고, 상기 제7 n-타입 금속 산화물 반도체 트랜지스터의 드레인은 상기 제5 n-타입 금속 산화물 반도체 트랜지스터의 드레인에 연결됨 - ; 및

상기 인에이블 신호가 비활성화될 때 상기 제7 n-타입 금속 산화물 반도체 트랜지스터의 게이트에 상기 디바이스의 출력 상의 신호를 전달하고, 상기 인에이블 신호가 활성화될 때 상기 제7 n-타입 금속 산화물 반도체 트랜지스터의 게이트에 공급 전압을 전달하기 위한 제4 회로

를 더 포함하는, 디바이스.

청구항 11

제10항에 있어서,

상기 제4 회로는,

제7 p-타입 금속 산화물 반도체 트랜지스터 - 상기 제7 p-타입 금속 산화물 반도체 트랜지스터의 소스는 상기 공급 전압에 연결되고, 상기 제7 p-타입 금속 산화물 반도체 트랜지스터의 게이트는 상기 인에이블 신호의 반전에 연결됨 - ;

제8 n-타입 금속 산화물 반도체 트랜지스터 - 상기 제8 n-타입 금속 산화물 반도체 트랜지스터의 소스는 상기 디바이스의 출력에 연결되고, 상기 제8 n-타입 금속 산화물 반도체 트랜지스터의 게이트는 상기 인에이블 신호의 반전에 연결됨 - ; 및

제8 p-타입 금속 산화물 반도체 트랜지스터 - 상기 제8 p-타입 금속 산화물 반도체 트랜지스터의 소스는 상기 디바이스의 출력에 연결되고, 상기 제8 p-타입 금속 산화물 반도체 트랜지스터의 게이트는 상기 인에이블 신호에 연결됨 -

를 포함하고,

상기 제7 p-타입 금속 산화물 반도체 트랜지스터의 드레인, 상기 제8 p-타입 금속 산화물 반도체 트랜지스터의 드레인, 및 상기 제8 n-타입 금속 산화물 반도체 트랜지스터의 드레인은, 상기 제7 n-타입 금속 산화물 반도체 트랜지스터의 게이트에 연결되는 것인, 디바이스.

청구항 12

제10항에 있어서,

제3 p-타입 금속 산화물 반도체 트랜지스터 - 상기 제3 p-타입 금속 산화물 반도체 트랜지스터의 소스는 상기 디바이스의 출력에 연결되고, 상기 제3 p-타입 금속 산화물 반도체 트랜지스터의 드레인은 상기 제1 p-타입 금속 산화물 반도체 트랜지스터의 드레인에 연결됨 - ; 및

상기 인에이블 신호가 비활성화될 때 상기 제3 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 상기 디바이스의 출력 상의 신호를 전달하고, 상기 인에이블 신호가 활성화될 때 상기 제3 p-타입 금속 산화물 반도체 트랜

지스터의 게이트에 상기 접지 전압을 전달하기 위한 제2 회로를 더 포함하는, 디바이스.

청구항 13

회로에 대한 입력 신호를 분리시키는 방법에 있어서,

제1 p-타입 금속 산화물 반도체 트랜지스터의 소스에 입력 신호를 포워딩하는 단계;

상기 제1 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 연결된 드레인을 갖는 제2 p-타입 금속 산화물 반도체 트랜지스터의 게이트에서 인에이블 신호를 수신하는 단계 - 상기 인에이블 신호는 접지 전압 또는 공급 전압 중의 하나를 포함함 - ;

상기 제1 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 연결된 드레인을 갖는 n-타입 금속 산화물 반도체 트랜지스터의 게이트에서 상기 인에이블 신호의 반전을 수신하는 단계;

상기 인에이블 신호가 상기 공급 전압일 때, 상기 제1 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 상기 접지 전압을 송신하는 단계; 및

상기 인에이블 신호가 상기 접지 전압일 때, 상기 제1 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 상기 입력 신호를 송신하는 단계

를 포함하는, 회로에 대한 입력 신호를 분리시키는 방법.

청구항 14

제13항에 있어서,

상기 인에이블 신호가 상기 공급 전압일 때, 제3 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 상기 접지 전압을 송신하는 단계 - 상기 접지 전압이 상기 제3 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 송신될 때 상기 제3 p-타입 금속 산화물 반도체 트랜지스터는 폐쇄됨(closed) - ;

상기 인에이블 신호가 상기 접지 전압일 때, 상기 제3 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 상기 회로의 출력 상의 출력 신호를 송신하는 단계 - 상기 출력 신호가 상기 제3 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 송신될 때 상기 제3 p-타입 금속 산화물 반도체 트랜지스터는 개방됨(open) - ; 및

상기 접지 전압이 상기 제1 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 그리고 상기 제3 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 송신될 때, 상기 제1 p-타입 금속 산화물 반도체 트랜지스터의 소스로부터 상기 회로의 출력으로 상기 입력 신호를 통과시키는 단계

를 더 포함하고,

상기 제1 p-타입 금속 산화물 반도체 트랜지스터의 드레인은 제3 p-타입 금속 산화물 반도체 트랜지스터의 드레인에 커플링되고, 상기 제3 p-타입 금속 산화물 반도체 트랜지스터의 소스는 상기 회로의 출력에 커플링되는 것인, 회로에 대한 입력 신호를 분리시키는 방법.

청구항 15

삭제

발명의 설명

기술 분야

[0001] 본 개시는 일반적으로 집적 회로에 관한 것이고 보다 구체적으로는 단자들 사이에 오프 전류 흐름을 방지하는 스위치에 관한 것이다.

배경 기술

[0002] 통상적인 상보 금속 산화물 반도체(CMOS, complementary metal oxide semiconductor) 스위치는, 입력에서 수신된 전압들을 샘플링하기 위해 p-타입 금속 산화물 반도체(PMOS, p-type metal oxide semiconductor) 트랜지스

터 및 n-타입 금속 산화물 반도체(NMOS, n-type metal oxide semiconductor) 트랜지스터를 이용한다. 일 예로서, PMOS 트랜지스터 및 NMOS 트랜지스터는 병렬로 연결되고 공통 입력 및 공통 출력을 공유한다. PMOS 트랜지스터 및 NMOS 트랜지스터의 게이트들은, 트랜지스터들을 인에이블하기 위한 상보 신호들에 의해 제어되고, 인에이블될 때, 스위치는 입력이 출력으로 통과될 수 있게 한다. 따라서, 출력은, 인에이블 신호가 트랜지스터들이 폐쇄될 수 있게 하는 시간 동안의 입력 상의 전압 샘플이다.

[0003] 또한, 여러 스위치들이 병렬로 연결될 수도 있으며, 본질적으로 멀티플렉서를 포함한다. 예를 들어, 그러한 멀티플렉서는 회로 전체에 걸친 여러 상이한 지점들로부터 전압을 샘플링하는데 사용될 수도 있다. 일 예로서, 이러한 배열은, 집적 회로 칩 주위 전압을 모니터링하고 샘플링된 전압을 전압 모니터에 전송하기 위하여 아날로그 버스에 사용될 수도 있다. 이러한 배열은 정상적인 동작에 대해 잘 작동한다. 그렇지만, 많은 경우들에, 회로를 통한 전압을 모니터링하는 목적은 비정상적이거나 또는 원하지 않은 전압 이벤트들을 검지하는 것이다. 하지만, 종래 디바이스들은 예상된 범위 밖의 전압들을 위한 측정 기능들을 수행 가능하지 않을 수도 있다.

발명의 내용

[0004] 본 개시는 제1 p-타입 금속 산화물 반도체 트랜지스터 및 제1 회로를 포함하는 디바이스를 제공한다. 제1 p-타입 금속 산화물 반도체 트랜지스터의 소스는 디바이스의 입력에 연결된다. 제1 회로는 인에이블 신호가 비활성화될 때 제1 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 디바이스 입력 상의 신호를 전달하기 위한 것이고 인에이블 신호가 활성화될 때 제1 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 접지 전압을 전달하기 위한 것이다.

[0005] 다양한 예들에서, 제1 p-타입 금속 산화물 반도체 트랜지스터의 소스는 제1 p-타입 금속 산화물 반도체 트랜지스터의 벌크(bulk)에 쇼트(short)되고; 제1 회로는 제2 p-타입 금속 산화물 반도체 트랜지스터로서, 제2 p-타입 금속 산화물 반도체 트랜지스터의 소스가 디바이스의 입력에 연결되고 제2 p-타입 금속 산화물 반도체 트랜지스터의 게이트는 인에이블 신호에 연결되는, 상기 제2 p-타입 금속 산화물 반도체 트랜지스터, 제1 n-타입 금속 산화물 반도체 트랜지스터로서, 제1 n-타입 금속 산화물 반도체 트랜지스터의 소스가 접지에 연결되고, 제1 n-타입 금속 산화물 반도체 트랜지스터의 드레인이 제2 p-타입 금속 산화물 반도체 트랜지스터의 드레인에 연결되고, 제1 n-타입 금속 산화물 반도체 트랜지스터의 게이트가 인에이블 신호에 연결되는, 상기 제1 n-타입 금속 산화물 반도체 트랜지스터, 및 제2 n-타입 금속 산화물 반도체 트랜지스터로서, 제2 n-타입 금속 산화물 반도체 트랜지스터의 게이트가 인에이블 신호의 반전(inversion)에 연결되고, 제2 n-타입 금속 산화물 반도체 트랜지스터의 소스가 디바이스의 입력에 연결되는, 상기 제2 n-타입 금속 산화물 반도체 트랜지스터를 포함하고, 제2 p-타입 금속 산화물 반도체 트랜지스터의 드레인, 제1 n-타입 금속 산화물 반도체 트랜지스터의 드레인, 및 제2 n-타입 금속 산화물 반도체 트랜지스터의 드레인이 제1 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 연결되고; 인에이블 신호의 반전 및 접지는 동일한 전압이고; 디바이스는 제3 p-타입 금속 산화물 반도체 트랜지스터로서, 제3 p-타입 금속 산화물 반도체 트랜지스터의 소스는 디바이스의 출력에 연결되고, 제3 p-타입 금속 산화물 반도체 트랜지스터의 드레인은 제1 p-타입 금속 산화물 반도체 트랜지스터의 드레인에 연결되는, 상기 제3 p-타입 금속 산화물 반도체 트랜지스터, 및 인에이블 신호가 비활성화될 때 제3 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 디바이스의 출력 상의 신호를 전달하고 인에이블 신호가 활성화될 때 제3 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 접지 전압을 전달하기 위한, 제2 회로를 더 포함하고; 제2 회로는 제4 p-타입 금속 산화물 반도체 트랜지스터로서, 제4 p-타입 금속 산화물 반도체 트랜지스터의 소스가 디바이스의 출력에 연결되고 제4 p-타입 금속 산화물 반도체 트랜지스터의 게이트가 인에이블 신호에 연결되는, 상기 제4 p-타입 금속 산화물 반도체 트랜지스터, 제3 n-타입 금속 산화물 반도체 트랜지스터로서, 제3 n-타입 금속 산화물 반도체 트랜지스터의 소스가 접지에 연결되고, 제3 n-타입 금속 산화물 반도체 트랜지스터의 게이트가 인에이블 신호에 연결되는, 상기 제3 n-타입 금속 산화물 반도체 트랜지스터, 및 제4 n-타입 금속 산화물 반도체 트랜지스터로서, 제4 n-타입 금속 산화물 반도체 트랜지스터의 게이트가 인에이블 신호의 반전에 연결되고, 제4 n-타입 금속 산화물 반도체 트랜지스터의 소스가 디바이스의 출력에 연결되는, 상기 제4 n-타입 금속 산화물 반도체 트랜지스터를 포함하고, 제4 p-타입 금속 산화물 반도체 트랜지스터의 드레인, 제3 n-타입 금속 산화물 반도체 트랜지스터의 드레인, 및 제4 n-타입 금속 산화물 반도체 트랜지스터의 드레인은 제3 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 연결되고; 디바이스는 제5 n-타입 금속 산화물 반도체 트랜지스터로서, 제5 n-타입 금속 산화물 반도체 트랜지스터의 소스가 디바이스의 입력에 연결되는, 상기 제5 n-타입 금속 산화물 반도체 트랜지스터, 및 인에이블 신호가 비활성화될 때 제5 n-타입 금속 산화물 반도체 트랜지스터의 게이트에 디바이스의 입력 상의 신호를 전달하고 인에이블 신호가 활성화될 때 제5 n-타입 금속 산화물 반도체 트랜지스터의 게이트

트에 공급 전압을 전달하기 위한, 제3 회로를 더 포함하고; 인에이블 신호는 공급 전압과 동일한 전압이고; 디바이스의 입력은, 접지의 전압 레벨과 공급 전압의 전압 레벨 사이의 전압을 갖는 아날로그 신호를 포함하고; 제3 회로는 제6 n-타입 금속 산화물 반도체 트랜지스터로서, 제6 n-타입 금속 산화물 반도체 트랜지스터의 소스가 디바이스의 입력에 연결되고 제6 n-타입 금속 산화물 반도체 트랜지스터의 게이트가 인에이블 신호의 반전에 연결되는, 상기 제6 n-타입 금속 산화물 반도체 트랜지스터, 제5 p-타입 금속 산화물 반도체 트랜지스터로서, 제5 p-타입 금속 산화물 반도체 트랜지스터의 소스가 공급 전압에 연결되고, 제5 p-타입 금속 산화물 반도체 트랜지스터의 게이트가 인에이블 신호의 반전에 연결되는, 상기 제5 p-타입 금속 산화물 반도체 트랜지스터, 및 제6 p-타입 금속 산화물 반도체 트랜지스터로서, 제6 p-타입 금속 산화물 반도체 트랜지스터의 소스가 입력 신호에 연결되고, 제6 p-타입 금속 산화물 반도체 트랜지스터의 게이트가 인에이블 신호에 연결되는, 상기 제6 p-타입 금속 산화물 반도체 트랜지스터를 포함하고, 제6 n-타입 금속 산화물 반도체 트랜지스터의 드레인, 제5 p-타입 금속 산화물 반도체 트랜지스터의 드레인, 및 제6 p-타입 금속 산화물 반도체 트랜지스터의 드레인은 제5 n-타입 금속 산화물 반도체 트랜지스터의 게이트에 연결되고; 디바이스는 제7 n-타입 금속 산화물 반도체 트랜지스터로서, 제7 n-타입 금속 산화물 반도체 트랜지스터의 소스가 디바이스의 출력에 연결되고, 제7 n-타입 금속 산화물 반도체 트랜지스터의 드레인이 제5 n-타입 금속 산화물 반도체 트랜지스터의 드레인에 연결되는, 상기 제7 n-타입 금속 산화물 반도체 트랜지스터, 및 인에이블 신호가 비활성화될 때 제7 n-타입 금속 산화물 반도체 트랜지스터의 게이트에 디바이스의 출력 상의 신호를 전달하고 인에이블 신호가 활성화될 때 제7 n-타입 금속 산화물 반도체 트랜지스터의 게이트에 공급 전압을 전달하기 위한, 제4 회로를 더 포함하고; 제4 회로는 제7 p-타입 금속 산화물 반도체 트랜지스터로서, 제7 p-타입 금속 산화물 반도체 트랜지스터의 소스가 공급 전압에 연결되고 제7 p-타입 금속 산화물 반도체 트랜지스터의 게이트가 인에이블 신호의 반전에 연결되는, 상기 제7 p-타입 금속 산화물 반도체 트랜지스터, 제8 n-타입 금속 산화물 반도체 트랜지스터로서, 제8 n-타입 금속 산화물 반도체 트랜지스터의 소스가 디바이스의 출력에 연결되고, 제8 n-타입 금속 산화물 반도체 트랜지스터의 게이트가 인에이블 신호의 반전에 연결되는, 상기 제8 n-타입 금속 산화물 반도체 트랜지스터, 및 제8 p-타입 금속 산화물 반도체 트랜지스터로서, 제8 p-타입 금속 산화물 반도체 트랜지스터의 소스가 디바이스의 출력에 연결되고, 제8 p-타입 금속 산화물 반도체 트랜지스터의 게이트가 인에이블 신호에 연결되는, 상기 제8 p-타입 금속 산화물 반도체 트랜지스터를 포함하고, 제7 p-타입 금속 산화물 반도체 트랜지스터의 드레인, 제8 p-타입 금속 산화물 반도체 트랜지스터의 드레인, 및 제8 n-타입 금속 산화물 반도체 트랜지스터의 드레인은 제7 n-타입 금속 산화물 반도체 트랜지스터의 게이트에 연결되고; 디바이스는 제3 p-타입 금속 산화물 반도체 트랜지스터로서, 제3 p-타입 금속 산화물 반도체 트랜지스터의 소스가 디바이스의 출력에 연결되고, 제3 p-타입 금속 산화물 반도체 트랜지스터의 드레인이 제1 p-타입 금속 산화물 반도체 트랜지스터의 드레인에 연결되는, 상기 제3 p-타입 금속 산화물 반도체 트랜지스터, 및 인에이블 신호가 비활성화될 때 제3 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 디바이스의 출력 상의 신호를 전달하고 인에이블 신호가 활성화될 때 제3 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 접지 전압을 전달하기 위한, 제2 회로를 더 포함한다.

[0006] 본 개시는 또한, 제1 n-타입 금속 산화물 반도체 트랜지스터 및 제1 회로를 갖는 디바이스를 제공한다. 제1 n-타입 금속 산화물 반도체 트랜지스터의 소스는 디바이스의 입력에 연결된다. 제1 회로는 인에이블 신호가 비활성화될 때 제1 n-타입 금속 산화물 반도체 트랜지스터의 게이트에 디바이스 입력 상의 신호를 전달하기 위한 것이고 인에이블 신호가 활성화될 때 제1 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 공급 전압을 전달하기 위한 것이다.

[0007] 다양한 예들에서: 제1 회로는 제2 n-타입 금속 산화물 트랜지스터로서, 제2 n-타입 금속 산화물 반도체 트랜지스터의 소스가 디바이스의 입력에 연결되고 제2 n-타입 금속 산화물 반도체 트랜지스터의 게이트가 인에이블 신호의 반전에 연결되는, 상기 제2 n-타입 금속 산화물 트랜지스터, 제1 p-타입 금속 산화물 반도체 트랜지스터로서, 제1 p-타입 금속 산화물 반도체 트랜지스터의 소스가 공급 전압에 연결되고, 제1 p-타입 금속 산화물 반도체 트랜지스터의 드레인이 제2 n-타입 금속 산화물 반도체 트랜지스터의 드레인에 연결되고, 제1 p-타입 금속 산화물 반도체 트랜지스터의 게이트가 인에이블 신호의 반전에 연결되는, 상기 제1 p-타입 금속 산화물 반도체 트랜지스터, 및 제2 p-타입 금속 산화물 반도체 트랜지스터로서, 제2 p-타입 금속 산화물 반도체 트랜지스터의 게이트가 인에이블 신호에 연결되고, 제2 p-타입 금속 산화물 반도체 트랜지스터의 소스가 디바이스의 입력에 연결되는, 상기 제2 p-타입 금속 산화물 반도체 트랜지스터를 포함하고, 제2 n-타입 금속 산화물 반도체 트랜지스터의 드레인, 제1 p-타입 금속 산화물 반도체 트랜지스터의 드레인, 및 제2 p-타입 금속 산화물 반도체 트랜지스터의 드레인은 제1 n-타입 금속 산화물 반도체 트랜지스터의 게이트에 연결되고; 디바이스는 제3 n-타입 금속 산화물 반도체 트랜지스터로서, 제3 n-타입 금속 산화물 반도체 트랜지스터의 소스가 디바이스의 출력에 연결되고, 제3 n-타입 금속 산화물 반도체 트랜지스터의 드레인이 제1 n-타입 금속 산화물 반도체 트랜지스터의

드레인에 연결되는, 상기 제3 n-타입 금속 산화물 반도체 트랜지스터, 및 인에이블 신호가 비활성화될 때 제3 n-타입 금속 산화물 반도체 트랜지스터의 게이트에 디바이스의 출력 상의 신호를 전달하고 인에이블 신호가 활성화될 때 제3 n-타입 금속 산화물 반도체 트랜지스터의 게이트에 공급 전압을 전달하기 위한, 제2 회로를 더 포함한다.

[0008] 본 개시는 또한, 제1 p-타입 금속 산화물 반도체 트랜지스터 및 제1 회로를 갖는 디바이스를 제공한다. 제3 p-타입 금속 산화물 반도체 트랜지스터의 소스는 디바이스의 출력에 연결된다. 제1 회로는 인에이블 신호가 비활성화될 때 제1 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 디바이스 출력 상의 신호를 전달하기 위한 것이고 인에이블 신호가 활성화될 때 제1 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 접지 전압을 전달하기 위한 것이다.

[0009] 다양한 예들에서, 제1 회로는 제2 p-타입 금속 산화물 트랜지스터로서, 제2 p-타입 금속 산화물 반도체 트랜지스터의 소스가 디바이스의 출력에 연결되고 제2 p-타입 금속 산화물 반도체 트랜지스터의 게이트가 인에이블 신호에 연결되는, 상기 제2 p-타입 금속 산화물 트랜지스터, 제1 n-타입 금속 산화물 반도체 트랜지스터로서, 제1 n-타입 금속 산화물 반도체 트랜지스터의 소스가 접지에 연결되고, 제1 n-타입 금속 산화물 반도체 트랜지스터의 게이트가 인에이블 신호에 연결되는, 상기 제1 n-타입 금속 산화물 반도체 트랜지스터, 및 제2 n-타입 금속 산화물 반도체 트랜지스터로서, 제2 n-타입 금속 산화물 반도체 트랜지스터의 게이트가 인에이블 신호의 반전에 연결되고, 제2 n-타입 금속 산화물 반도체 트랜지스터의 소스가 디바이스의 출력에 연결되는, 상기 제2 n-타입 금속 산화물 반도체 트랜지스터를 포함하고, 제2 p-타입 금속 산화물 반도체 트랜지스터의 드레인, 제1 n-타입 금속 산화물 반도체 트랜지스터의 드레인, 및 제2 n-타입 금속 산화물 반도체 트랜지스터의 드레인은 제1 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 연결되고; 디바이스는 제3 n-타입 금속 산화물 반도체 트랜지스터로서, 제3 n-타입 금속 산화물 반도체 트랜지스터의 소스가 디바이스의 출력에 연결되는, 상기 제3 n-타입 금속 산화물 반도체 트랜지스터, 및 인에이블 신호가 비활성화될 때 제3 n-타입 금속 산화물 반도체 트랜지스터의 게이트에 디바이스의 출력 상의 신호를 전달하고 인에이블 신호가 활성화될 때 제3 n-타입 금속 산화물 반도체 트랜지스터의 게이트에 공급 전압을 전달하기 위한, 제2 회로를 더 포함한다.

[0010] 본 개시는 추가적으로, n-타입 금속 산화물 반도체 트랜지스터 및 회로를 갖는 디바이스를 제공한다. n-타입 금속 산화물 반도체 트랜지스터의 소스는 디바이스의 출력에 연결된다. 회로는 인에이블 신호가 비활성화될 때 n-타입 금속 산화물 반도체 트랜지스터의 게이트에 디바이스 출력 상의 신호를 전달하기 위한 것이고 인에이블 신호가 활성화될 때 n-타입 금속 산화물 반도체 트랜지스터의 게이트에 공급 전압을 전달하기 위한 것이다.

[0011] 본 개시는 또한, p-타입 금속 산화물 반도체 트랜지스터를 제어하는 방법을 제공한다. 예를 들어, 그 발명은 입력 신호를 p-타입 금속 산화물 반도체 트랜지스터의 소스에 포워딩하는 단계, 및 인에이블 신호를 수신하는 단계를 포함한다. 인에이블 신호는 접지 전압 또는 공급 전압 중의 하나를 포함한다. 그 방법은 또한, 인에이블 신호가 공급 전압일 때 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 접지 전압을 송신하는 단계를 포함하고, 접지 전압이 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 송신될 때 p-타입 금속 산화물 반도체 트랜지스터는 폐쇄된다. 그 방법은, 인에이블 신호가 접지 전압일 때 입력 신호를 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 송신하는 단계를 더 포함하고, 입력 신호가 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 송신될 때 p-타입 금속 산화물 반도체 트랜지스터가 개방된다.

[0012] 다양한 예들에서: p-타입 금속 산화물 반도체를 제어하는 방법은 인에이블 신호가 공급 전압일 때 제2 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 접지 전압을 송신하는 단계로서, 접지 전압이 제2 p-타입 금속 산화물 반도체 트랜지스터의 게이트로 송신될 때 제2 p-타입 금속 산화물 반도체 트랜지스터가 폐쇄되는, 상기 접지 전압을 송신하는 단계; 및 인에이블 신호가 접지 전압일 때 제2 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 회로의 출력 상의 출력 신호를 송신하는 단계로서, 출력 신호가 제2 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 송신될 때 제2 p-타입 금속 산화물 반도체 트랜지스터가 개방되는, 상기 출력 신호를 송신하는 단계; 및 접지 전압이 제1 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 그리고 제2 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 송신될 때 제1 p-타입 금속 산화물 반도체 트랜지스터의 소스로부터 회로의 출력으로 입력신호를 통과시키는 단계를 포함할 수도 있고, 제1 p-타입 금속 산화물 반도체 트랜지스터의 드레인이 제2 p-타입 금속 산화물 반도체 트랜지스터의 드레인에 커플링되고, 및 제2 p-타입 금속 산화물 반도체 트랜지스터의 소스가 회로의 출력에 커플링된다.

[0013] 본 개시는 또한, 회로에 입력 신호를 분리(isolate) 하는 방법을 제공한다. 예를 들어, 그 방법은, 입력 신호를 수신하는 단계로서, 입력 신호는 회로의 공급 전압을 초과하는, 상기 입력 신호를 수신하는 단계, 회로의

제1 p-타입 금속 산화물 반도체 트랜지스터의 소스에 입력 신호를 포워딩하는 단계 및 회로의 제2 p-타입 금속 산화물 반도체 트랜지스터의 소스에 입력 신호를 포워딩하는 단계를 포함한다. 그 방법은 다음으로, 제2 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 접지 전압을 포워딩하고, 접지 전압이 제2 p-타입 금속 산화물 반도체 트랜지스터의 게이트에 포워딩될 때 제2 p-타입 금속 산화물 반도체 트랜지스터가 폐쇄되고 입력 신호가 제2 p-타입 금속 산화물 반도체 트랜지스터의 소스로부터 제2 p-타입 금속 산화물 반도체 트랜지스터의 드레인 으로 통과된다. 다음으로 그 방법은 제2 p-타입 금속 산화물 반도체 트랜지스터의 드레인으로부터 제1 p-타입 금속 산화물 반도체 트랜지스터의 게이트로 입력 신호를 포워딩하고, 입력 신호가 제1 p-타입 금속 산화물 반도체의 게이트로 포워딩되고 제1 p-타입 금속 산화물 반도체의 소스로 포워딩될 때 제1 p-타입 금속 산화물 반도체가 개방된다.

[0014] 용어들, "제1", "제2", "제3" 등이 위에서 사용되었지만, 이들 용어들의 사용은 표시로서만 의도되었다는 것에 유의해야 한다.

[0015] 따라서, 하나의 예에서 "제3"과 같은 용어의 사용은, 그 예가 모든 경우에 "제1" 및/또는 "제2"를 포함해야 한다는 것을 반드시 의미하는 것은 아니다.

[0016] 다른 특징들은, 이하의 상세한 설명 및 청구항의 고려로부터 인식될 것이다.

도면의 간단한 설명

[0017] 첨부 도면은 본 개시의 하나 이상의 양태들에 따른 예시적인 회로를 도시하지만; 첨부 도면은 본 개시를 보여진 예들로 한정하는 것으로 받아들여져야 하는 것이 아니라, 단지 예시 및 이해만을 위한 것이다.

도 1 은 제1 디바이스의 블록도를 예시하고;

도 2 는 제2 디바이스의 블록도를 예시한다.

이해를 용이하게 하기 위하여, 동일한 도면 부호들이, 가능한 경우, 도면들에 공통되는 동일한 요소들을 표기하는데, 사용되었다.

발명을 실시하기 위한 구체적인 내용

[0018] 본 개시는 일반적으로, 멀티플렉서의 상이한 단자들 사이에 전류의 흐름을 방지하는 디바이스들에 관한 것이다. 예를 들어, 멀티플렉서는 디바이스 또는 회로를 통한 전압들을 측정 또는 샘플링하는데 사용될 수도 있다. 추가적으로, 하나의 예에서, 멀티플렉서의 입력 단자들의 각각은 전압이 측정될 디바이스의 상이한 부분에 연결된다. 입력 단자들은 각각의 경로들을 갖고 이 각각의 경로들은 다음으로 공통 출력 단자에 연결된다. 하나의 예에서, 각각의 경로는 상보 금속 산화물 반도체(CMOS) 스위치를 포함하고, 이 상보 금속 산화물 반도체 스위치는, 온 될 때, 입력 단자로부터 출력 단자로 전류의 흐름을 허용하고, 오프 될 때, 입력 단자로부터 출력 단자로 전류의 흐름을 방지한다. 디바이스의 일 위치에서 전압을 측정하기 위하여, 그 위치에 연결된 입력 단자를 갖는 경로가 턴 온(turn on) 된다; 예를 들어, 대응하는 CMOS 스위치가 턴 온된다. 다른 경로들의 각각은 턴 오프(turn off) 된다. 이런 식으로, 출력은, 디바이스 내에서 상이한 위치들에 존재할 수도 있는 상이한 전압을 연속적으로 및/또는 주기적으로 측정/샘플링할 수 있는 측정 또는 샘플링 회로를 공급할 수도 있다. 하지만, PMOS 트랜지스터 또는 NMOS 트랜지스터의 소스 또는 드레인이 게이트 전압을 초과할 때, 게이트는 트랜지스터를 폐쇄하거나 또는 턴 온할 수도 있다. 따라서, 멀티플렉서의 공통 출력이, 공급 전압(그리고 따라서 게이트 전압)을 초과하는 전압이면, 다른 입력들의 CMOS 게이트들 상의 트랜지스터들이 폐쇄되게 할 수 있으며, 소스와 드레인 사이에 전류가 흐를 수 있게 하는 반면, 트랜지스터가 개방되게 되면, 전류의 흐름을 방지한다.

[0019] 본 개시를 더 잘 이해하기 위하여, 도 1은 디바이스(100)의 하이 레벨 블록도를 예시한다. 특히, 디바이스(100)는 위에 언급된 CMOS 스위치의 단점들을 극복한다. 보다 구체적으로, 또한 CMOS 스위치로 고려될 수도 있는 디바이스(100)는 입력 신호를 출력 신호로부터 분리하고 이런 능력을, 입력 및/또는 출력 전압이 공급 전압 또는 접지 전압을 초과하는 경우에도, 보유한다. 디바이스(100)는 2개의 경로들, 즉 PMOS 경로(162) 및 NMOS 경로(164)를 포함하며, 이들은 종래 CMOS 스위치에서 각각 PMOS 및 NMOS 디바이스들에 대응한다.

[0020] 도 1에서, PMOS 및 NMOS 트랜지스터들의 각각은, 화살표가 소스 단자를 수반하는 PN 접합, 예를 들어, p-타입 영역으로부터 n-타입 영역으로의 방향을 나타내는 표기법을 이용하여 도시되어 있다는 것에 유의해야 한다. 따라서, PMOS 트랜지스터에서, 화살표는 PN 접합이 p-타입 소스 단자로부터 n-타입 기판으로라는 것을 나타낸다. 반대로, NMOS 트랜지스터에서의 화살표는 p-타입 기판으로부터 n-타입 소스 단자로의 PN 접합을 나타낸다. 드

레인은 화살표를 갖지 않는 단자로서 각각의 단자에서 나타내어진다. 하나의 예에서, 트랜지스터들은 소스 단자들이 기판 또는 벌크 단자에 연결되거나 및/또는 쇼트된다. 또 다른 예에서, PMOS 트랜지스터들 중의 하나 이상은 그들의 벌크 단자들이 공급 전압에 연결되고 NMOS 트랜지스터들 중의 하나 이상은 그들의 벌크 단자들이 접지에 연결된다. 예를 들어, PMOS 및 NMOS 트랜지스터들 전부는 그들의 벌크 단자들이 이런 식으로 연결되지만; 하나의 사례에서 PMOS 트랜지스터들(110 및 120) 및 NMOS 트랜지스터들(130 및 140)은 여전히 그들의 소스 단자들이 각각의 벌크 단자들과 쇼트된다. 예시적인 목적을 위하여, 다르게 나타내지 않으면(화살표로 나타낸) 각각의 트랜지스터의 소스 단자는 각각의 벌크 단자로 쇼트된다.

[0021] PMOS 경로(162)는 PMOS 트랜지스터(110)를 포함하고, PMOS 트랜지스터(110)는 그의 소스 단자가 디바이스(100)의 입력 단자(152)에 연결된다. PMOS 경로(162)는 또한 NMOS 트랜지스터(112), PMOS 트랜지스터(114) 및 NMOS 트랜지스터(116)를 포함한다. 집합적으로, 트랜지스터들(112, 114 및 116)은, 인에이블 신호(172)가 로우(low)일 때 PMOS 트랜지스터(110)의 게이트에 입력 단자(152) 상의 신호를 전달하고 인에이블 신호(172)가 하이(high)일 때 접지 신호(192)를 전달하는 회로(182)를 포함할 수도 있다. 하나의 예에서, 인에이블 신호(172)는 디바이스(100)의 공급 전압과 동일한 전압 레벨에 있을 때 하이로 고려된다. 유사하게, 인에이블 신호(172)는 접지, 예를 들어, 제로 전압 레벨, 또는 디바이스(100)에서 이용되는 가장 낮은 전압 레벨인 전압 레벨에 있을 때 로우인 것으로 고려된다. 이하, 예시의 목적을 위하여, 접지 전압 레벨은 제로 볼트이고 다른 전압 레벨들은 0 V(제로 볼트)인 접지 전압 레벨을 기준으로 한다는 것이 가정될 것이다. 하나의 예에서, 공급 전압은 1.8 V 일 수도 있다. 따라서, 공급 전압은 접지보다 1.8 V 더 크다. 추가적으로, 하나의 예에서, 입력 및 출력 신호들은, 제로와 대략 1.8 볼트 사이에 통상적으로 있는 것으로 예상되는 아날로그 신호들을 포함할 수도 있다.

[0022] 특히, 회로(182)는 인에이블 신호(172)에 의해 제어될 수도 있다. 예를 들어, 인에이블 신호를 로우, 예를 들어, 제로 볼트로 설정함으로써, 입력 신호가 PMOS 트랜지스터(110)의 게이트로의 송신을 위해 선택될 수도 있다. 인에이블 신호를 하이, 예를 들어, 1.8 V 로 설정함으로써, 접지 신호(192)는 PMOS 트랜지스터(110)의 게이트로 송신된다. 예시하자면, 인에이블 신호가 제로 볼트이고 입력 신호가 1.2 V이면, 1.2 V의 입력 신호는 PMOS 트랜지스터(114) 및 NMOS 트랜지스터(116)의 소스 단자들에서 존재할 것이다. PMOS 트랜지스터(114)의 게이트는, 제로 볼트인 인에이블 신호(172)에 연결된다. PMOS 트랜지스터가 폐쇄되거나, 또는 턴 온되기 위하여, 게이트와 소스 사이의 전압 V_{gs} 은 음이 되어야 한다. 그것은 또한 트랜지스터를 위한 임계 전압보다 크기가 더 커야 한다. 하지만, 이 조건은 본 개시에 관한 예시의 목적을 위해 만족되는 것으로 가정된다.

[0023] 이 경우에, PMOS 트랜지스터(114)에 대하여, $V_{gs} = 0\text{ V} - 1.2\text{ V} = -1.2\text{ V}$ 이다. 이것이 음이므로, 게이트가 폐쇄되며, 즉 낮은 저항/도통 상태에 있으며, 이에 의해 입력 신호가 소스로부터 드레인으로 통과될 수 있게 한다. 유사하게, NMOS 트랜지스터(116)는 그의 게이트가 인에이블 신호(174)의 반전에 연결된다. 인에이블 신호(172)가 로우, 또는 제로 볼트이므로, 반전 신호(174)는 하이 또는 1.8 V이다. NMOS 트랜지스터에 대하여, 게이트를 폐쇄하기 위하여, 즉 트랜지스터를 턴 온하고 낮은 저항/도통 상태에 두기 위하여, V_{gs} 는 양이 되어야 한다. 특히, 그것은 양이 되어야 하고 또한 트랜지스터의 임계 전압보다 크기가 더 커야 한다. 하지만, 예시의 목적을 위해 후자의 조건은 무시된다. 이 경우에, NMOS 트랜지스터(116)에 대해, 소스는 1.2 V이고, 게이트는 1.8 V이며, 따라서 $V_{gs} = 1.8\text{ V} - 1.2\text{ V} = 0.6\text{ V}$ 이다. 이것은 양의 전압이므로, 게이트가 폐쇄되며 입력 신호가 소스로부터 드레인으로 통과된다.

[0024] NMOS 트랜지스터(112)는 그의 소스가 접지, 예를 들어, 제로 볼트에 연결되고 게이트가 인에이블 신호(172)에 연결되며, 이는 이 예에서 또한 제로 볼트이다. $V_{gs} = 0$ 이므로, 게이트가 개방되고 소스로부터 드레인으로 전류 흐름은 아주 적거나 또는 전혀 없다. 사실, 인에이블 신호(172)가 로우/제로 볼트일 때마다, NMOS 트랜지스터(112)가 개방된다/오픈된다.

[0025] 따라서, PMOS 트랜지스터(114) 및 NMOS 트랜지스터(116)의 드레인들이 PMOS 트랜지스터(110)의 게이트에 연결되므로, PMOS 트랜지스터(110)의 게이트는 1.2 V의 입력 신호를 수신한다. PMOS 트랜지스터(110)의 소스 단자는 또한 1.2 V 인데, 그것이 입력 단자(152)에 직접 연결되기 때문이다. 그래서, PMOS 트랜지스터(110)에 대하여, $V_{gs} = 1.2\text{ V} - 1.2\text{ V} = 0\text{ V}$ 이다. 따라서, PMOS 트랜지스터(110)가 오프되며, 즉, 게이트가 개방되고 도통되지 않거나, 또는 매우 높은 저항 상태에 있다. 결과적으로, 인에이블 신호(172)를 로우로 설정함으로써, PMOS 트랜지스터(110)의 게이트에는 입력 신호가 제공된다. 설계에 의해, 입력 신호 및 게이트는 동일한 전압 레벨, $V_{gs} = 0$ 이다. 그러므로, PMOS 트랜지스터(110)는 그의 소스 단자로부터 그의 드레인으로 입력 신호를 통과시키지 못하게 된다.

- [0026] 입력 단자(152) 상의 제로 볼트 및 인에이블 신호(172) 상의 로우/제로 볼트에 대하여, PMOS 트랜지스터(114)에 대한 V_{gs} 는: $V_{gs} = 0\text{ V} - 0\text{ V} = 0\text{ V}$ 이다. 따라서, PMOS 트랜지스터(114)가 개방된다/오픈된다. NMOS 트랜지스터(116)에 대하여, 소스는 0 V이고, 게이트는 인에이블 신호(174)의 반전(1.8 V)이므로, $V_{gs} = 1.8\text{ V}$ 이며 트랜지스터는 폐쇄된다/온된다. 따라서, 제로 볼트의 입력 신호가 NMOS 트랜지스터(116)의 소스로부터 드레인으로 그리고 PMOS 트랜지스터(110)의 게이트로 통과된다.
- [0027] 회로(182)의 구조는, 입력 단자(152) 상에 과전압 또는 부족전압이 있을 때 마찬가지로 잘 작동된다. 특히, 과전압은 회로/디바이스의 공급 전압보다 더 큰 전압이다. 이 예에서, 공급 전압은 1.8 V이다. 따라서, 과전압은 1.8 V 보다 더 큰 임의의 것이다. 부족전압은 디바이스/회로를 위한 접지 전압보다 더 낮은 임의의 전압이다. 이 예에서, 제로 볼트보다 더 낮은 임의의 전압, 즉 임의의 음의 전압이 부족전압이다.
- [0028] 과전압이 있을 때 회로(182)가 어떻게 작동하는지를 예시하기 위하여, 인에이블 신호(172)가 제로 볼트이며 입력이 1.9 V이면, PMOS 트랜지스터(114)에 대해, $V_{gs} = -1.9\text{ V}$ 이다. 이것이 음이어서, PMOS 트랜지스터(114)가 온되며, 입력을 소스로부터 드레인으로 통과시킨다. NMOS 트랜지스터(116)에 대하여, 게이트 단자는(1.8 V 인) 인에이블 신호(174)의 반전을 갖고, 소스는 1.9 V이다. 그러므로, NMOS 트랜지스터(116)에 대하여, $V_{gs} = -0.1\text{ V}$ 이다. 이것이 음이므로, 트랜지스터는 개방되고 도통하지 않는다. 하지만, PMOS 트랜지스터(114)가 폐쇄되며 도통하므로, 입력은 여전히 PMOS 트랜지스터(110)의 게이트 단자로 통과된다. 또한, PMOS 트랜지스터(110)의 게이트 및 소스 전압들은 양자 모두 1.9 V이며, 이 결과: $V_{gs} = 1.9\text{ V} - 1.9\text{ V} = 0\text{ V}$ 이다. 따라서, PMOS 트랜지스터(110)는 오프 상태로 남는다.
- [0029] 입력 단자(152) 상의 -0.2 V 볼트 및 인에이블 신호(172) 상의 로우/제로 볼트에 대하여, PMOS 트랜지스터(114)에 대한 V_{gs} 는: $V_{gs} = 0\text{ V} - (-0.2\text{ V}) = 0.2\text{ V}$ 이다. 이것이 음의 전압이 아니므로, PMOS 트랜지스터(114)는 개방된다/오픈된다. NMOS 트랜지스터(116)에 대하여, 소스는 -0.2 V이고, 게이트는 인에이블 신호(174)의 반전(1.8 V)이므로, $V_{gs} = 1.8\text{ V} - (-0.2\text{ V}) = 2\text{ V}$ 이다. 이것은 NMOS 트랜지스터에 대해 양의 전압이므로, NMOS 트랜지스터(116)가 폐쇄된다/온된다. 따라서, -0.2V의 입력 신호가 NMOS 트랜지스터(116)의 소스로부터 드레인으로 그리고 PMOS 트랜지스터(110)의 게이트로 통과된다.
- [0030] 인에이블 신호(172)가 온, 예를 들어, 하이, 또는 1.8 V 일 때, 회로(182)는 PMOS 트랜지스터(110)의 게이트에 제로 볼트/접지 신호를 전달하여 그것을 턴 온하도록 동작한다. 특히, NMOS 트랜지스터(112)는 그의 소스가 접지(192)에 연결되며, 이는 제로 볼트이다. 1.8 V 인 인에이블 신호(172) 로, NMOS 트랜지스터(112)에 대해, $V_{gs} = 1.8\text{ V} - 0\text{ V} = 1.8\text{ V}$ 이다. 이것이 양의 전압이므로, 트랜지스터가 온되고 소스로부터 드레인으로 신호; 이 경우에 제로 볼트의 접지 신호를 통과시킨다. 이 신호는 또한, NMOS 트랜지스터(112)의 드레인으로부터 PMOS 트랜지스터(110)의 게이트로 통과된다. PMOS 트랜지스터(110)의 게이트가 제로 볼트이므로, 제로 볼트를 넘는 임의의 입력에 대해, PMOS 트랜지스터(110)에 대한 V_{gs} 는 음이되며 트랜지스터가 온된다. 따라서, 입력은 PMOS 트랜지스터(110)의 소스로부터 드레인으로 통과될 것이다.
- [0031] 인에이블 신호(172)가 하이/1.8 V 일 때, PMOS 트랜지스터(114) 및 NMOS 트랜지스터(116) 양자 모두가 개방된다/오픈된다. 가령, PMOS 트랜지스터(114)에 대하여, $V_{gs} = 1.8\text{ V} - N$ 이며, 여기서 N 은 임의의 예상 입력 전압이다. 이 경우에, 예상 전압은 0 내지 1.7 V이며, 따라서 V_{gs} 는 항상 양이 되어야 하고 PMOS 트랜지스터(114)는 개방/오프 상태로 남을 것이다. 또한, 입력 단자(152) 상에 작은 과전압, 예를 들어, 1.9 V가 있으면, $V_{gs} = 1.8\text{ V} - 1.9\text{ V} = -0.1\text{ V}$ 이 된다. PMOS 트랜지스터를 턴 온하기 위하여 음의 전압이 통상적으로 요구되지만, 실제로 그것은 트랜지스터의 임계 전압, V_t 를 극복할 정도로 충분한 크기이어야 한다. 따라서, 임계 전압 V_t 를 극복하지 않는 작은 과전압은 PMOS 트랜지스터(114)를 턴 온하지 못할 것이다. 유사하게, NMOS 트랜지스터(116)에 대하여, 작은 부족전압, 예를 들어, -0.2 V 는 $V_{gs} = 0\text{ V} - (-0.2\text{ V}) = 0.2\text{ V}$ 를 초래한다. 이것이 양의 전압이지만, 그것이 NMOS 트랜지스터(116)에 대해 V_t 보다 작으면, NMOS 트랜지스터(116)는 개방/오프 상태로 남을 것이다. 따라서, 작은 과전압 또는 부족전압에 대해 PMOS 트랜지스터(114) 및 NMOS 트랜지스터(116)는 PMOS 트랜지스터(110)의 게이트에 영향을 미치지 않고 입력 단자(152) 상의 입력 전압이 PMOS 트랜지스터(110)의 드레인으로 통과될 수 있게 한다. 그래서, 디바이스(100)가 멀티플렉서/측정 디바이스의 일부를 포함하면, 그것은 여전히 공급 전압 또는 접지를 초과하는 입력 단자(152) 상의 전압을 측정할 수 있다. 한편, 과전압 또는 부족 전압이 PMOS 트랜지스터(114) 또는 NMOS 트랜지스터(116) 중 어느 하나에 대한 V_t 보다 크기가 더 큰 경우, 회로(182)는 입력 단자(152)를 분리하고 디바이스의 나머지에 대한 보호의 조치를 제공할 것이다.
- [0032] 전술된 예들은 PMOS 경로(162)에서 회로(182) 및 PMOS 트랜지스터(110)에 대한 디바이스(100)의 기능을 예시했다. 특히, 디바이스(100)가 인에이블 신호(예를 들어, 인에이블 신호는 제로 볼트이다)에 의해 비활성화되고

입력 신호가 전압의 정상 범위, 예를 들어, 제로 내지 1.7 V에 있으며, 입력이 과전압 또는 부족전압인 예들이 도시되어 있다. 디바이스(100)가 인에이블 신호에 의해 활성화되는, 예를 들어, 인에이블 신호가 하이/1.8 V인 추가적인 예가 제공된다. 특히, 회로(184) 및 PMOS 디바이스(120)는 디바이스(100)의 출력 단자(154)에 대하여 유사한 기능을 제공한다.

[0033] 위에 기재된 바처럼, 디바이스(100)는, 상이한 입력들이 공통 출력과 관련되는 멀티플렉서의 여러 경로들 중의 하나를 포함할 수도 있다. 가령, 위에 언급된 바처럼, 그러한 멀티플렉서는, 예를 들어, 집적 회로인, 더 큰 디바이스 주변으로부터 상이한 아날로그 전압 신호들을 측정하기 위한 샘플링 회로로서 사용될 수도 있다. 예시하자면, 도 2 는, 공통 출력(220)에 연결된 다수의 경로들(210_1 내지 210_N)를 포함하는, 일 예의 디바이스(200), 예를 들어, 멀티플렉서를 도시한다. 경로들(210_1 내지 210_N)의 각각은, 출력(220)으로부터 입력을 선택적으로 분리하기 위한 각각의 회로(100_1 내지 100_N)를 포함한다. 예를 들어, 회로들(100_1 내지 100_N)의 각각은 도 1의 디바이스(100)의 형태의 상이한 회로를 포함할 수도 있다. 또한, 회로들(100_1 내지 100_N)의 각각은, 각각의 회로들을 제어하기 위한 상이한 인에이블 신호(EN_1 내지 EN_N)를 가질 수도 있다. 일반적으로, 경로들 중의 하나가 활성화 또는 선택되어, 입력을 출력(220)으로 통과시킬 수도 있고, 다른 경로들은 상이한 인에이블 신호들(EN_1 내지 EN_N)을 이용하여 각각의 입력들을 출력(220)으로 통과시키지 못하게 될 수도 있다. 예를 들어, 경로(210_2)는 EN_2 를 1.8 V 로 설정하는 것에 의해 그리고 EN_1, EN_3 EN_N 의 각각을 제로 볼트로 설정하는 것에 의해 선택될 수도 있다. 디바이스(200)가 측정 회로를 위한 다양한 전압들을 샘플링하기 위한 것이면, 현재 측정되고 있는 입력, 예를 들어, 경로(210_2)의 입력이 출력(220)으로 통과될 수도 있는 한편, 다른 경로들 각각의 입력들은 출력(220)으로부터 분리된다.

[0034] 도 1의 디바이스(100)의 논의로 돌아가면, 디바이스(100)가 인에이블되지 않을 때 출력 단자(154)로부터 입력 단자(152)를 분리하고 디바이스(100)가 인에이블될 때 출력 단자(154)에 입력 단자(152)를 연결시키는 것이 바람직하다. 따라서, 회로(182) 및 PMOS 트랜지스터(110)는 디바이스(100)가 인에이블되지 않을 때(예를 들어, 인에이블 신호(172)가 로우이거나 또는 제로 볼트일 때) PMOS 트랜지스터(110)의 드레인으로부터 입력 단자(152)를 분리시킬 수 있다. 또한, 회로(182) 및 PMOS 트랜지스터(110)는 디바이스(100)가 인에이블될 때(예를 들어, 인에이블 신호(172)가 하이이거나 또는 1.8 V 일 때) 입력 단자(152)로부터 PMOS 트랜지스터(110)의 드레인으로 입력 신호를 통과시킬 수 있다.

[0035] 유사한 방식으로, 회로(184) 및 PMOS 트랜지스터(120)는 디바이스(100)가 인에이블되지 않을 때 PMOS 트랜지스터(120)의 드레인으로부터 출력 단자(154) 상의 신호를 분리시킬 수 있고 디바이스(100)가 인에이블될 때 폐쇄되거나 또는 턴 온된 상태로 남을 수 있다. 예시하자면, 출력 단자(154)는 1.2 V의 신호를 갖고 인에이블 신호(172)는 제로 볼트라고 가정된다. NMOS 트랜지스터(122)에 대하여, $V_{gs} = 0\text{ V} - 0\text{ V} = 0\text{ V}$ 이다. 따라서, NMOS 트랜지스터(122)는, 인에이블 신호가 로우/제로 볼트일 때, 항상 개방된다/오픈된다. PMOS 트랜지스터(124)는 제로 볼트의 게이트 전압 및 1.2 V의 소스 전압을 갖는다. 따라서, $V_{gs} = 0\text{ V} - 1.2\text{ V} = -1.2\text{ V}$ 이다. 이것은 음의 전압이므로, PMOS 트랜지스터(124)는 폐쇄되고 따라서 "온" 및 도통된다. 이렇게 하여, 소스 및 드레인이 연결되며 출력(154)으로부터 1.2 V가 PMOS 트랜지스터(124)의 소스 단자로부터 드레인 단자로 통과된다. 마찬가지로, NMOS 트랜지스터(126)는 그의 게이트 상에 인에이블 신호(174)의 반전, 1.8 V를 갖고 그의 소스 상에 출력 단자(154) 상의 출력 신호로부터 1.2 V를 갖는다. 따라서, $V_{gs} = 1.8\text{ V} - 1.2\text{ V} = 0.6\text{ V}$ 이다. 따라서, NMOS 트랜지스터(126)가 폐쇄되고/온되고 1.2 V의 출력 신호가 NMOS 트랜지스터(126)의 소스로부터 드레인으로 그리고 PMOS 트랜지스터(120)의 게이트로 통과된다. PMOS 트랜지스터(120)의 게이트 및 소스가 동일한, 1.2 V이므로, $V_{gs} = 0\text{ V}$ 이고 PMOS 트랜지스터(120)가 오픈된다. 따라서, 출력 단자(154) 상의 신호가 PMOS 트랜지스터(120)의 드레인으로부터 분리된다.

[0036] 출력 단자(154) 상의 제로 볼트 및 인에이블 신호(172) 상의 로우/제로 볼트에 대하여, PMOS 트랜지스터(124)에 대한 V_{gs} 는: $V_{gs} = 0\text{ V} - 0\text{ V} = 0\text{ V}$ 이다. 따라서, PMOS 트랜지스터(124)가 개방된다/오픈된다. NMOS 트랜지스터(126)에 대하여, 소스는 제로 볼트이고, 게이트는, 인에이블 신호(174)의 반전이고, 이는 1.8 V이다. 그러므로, $V_{gs} = 1.8\text{ V} - 0\text{ V} = 1.8\text{ V}$ 이고 NMOS 트랜지스터(126)는 폐쇄된다/온된다. 따라서, 제로 볼트의 입력 신호가 NMOS 트랜지스터(126)의 소스로부터 드레인으로 그리고 PMOS 트랜지스터(120)의 게이트로 통과된다. 또한, PMOS 트랜지스터(120)에 대하여, $V_{gs} = 0\text{ V} - 0\text{ V} = 0\text{ V}$ 이고 트랜지스터는 개방된다/오픈된다.

[0037] 회로(184)의 구조는 출력 신호가 과전압 또는 부족전압일 때 PMOS 트랜지스터(120)의 드레인으로부터 출력 단자(154)를 분리시키기 위하여 마찬가지로 잘 작동된다. 가령, 인에이블 신호(172)가 제로 볼트이고 출력 신호가 1.9 V이면, PMOS 트랜지스터(124)에 대해 게이트 전압은 제로 볼트 그리고 소스 전압은 1.9 V이다. 따라서, $V_{gs} = 0\text{ V} - 1.9\text{ V} = -1.9\text{ V}$ 이다. 따라서, 이것은 음의 전압이므로, PMOS 트랜지스터(124)는 폐쇄되고/온되고

도통된다. 이렇게 하여, 소스 및 드레인이 연결되며 출력(154)으로부터 1.9 V가 PMOS 트랜지스터(124)의 소스 단자로부터 드레인 단자로 통과된다. 마찬가지로, NMOS 트랜지스터(126)는 그의 게이트 상에 인에이블 신호(174)의 반전, 1.8 V를 갖고 그의 소스 상에 출력 단자(154)의 출력 신호로부터 1.9 V를 갖는다. 따라서, $V_{gs} = 1.8 \text{ V} - 1.9 \text{ V} = -0.1 \text{ V}$ 이다. 따라서, NMOS 트랜지스터(126)가 개방된다/오프된다. 하지만, PMOS 트랜지스터(124)가 폐쇄되므로/온되므로, 출력 신호를 그의 소스로부터 그의 드레인으로 그리고 PMOS 트랜지스터(120)의 게이트로 통과시킬 수 있다. PMOS 트랜지스터(120)의 게이트 및 소스가 동일한, 1.9 V이므로, $V_{gs} = 0 \text{ V}$ 이고 PMOS 트랜지스터(120)가 오프된다. 또한, 출력 단자(154) 상의 신호는 과전압이 있을 때에도 PMOS 트랜지스터(120)의 드레인으로부터 분리된다.

[0038] 출력 단자(154) 상의 -0.2 V 및 인에이블 신호(172) 상의 로우/제로 볼트에 대하여, PMOS 트랜지스터(124)에 대한 V_{gs} 는 : $V_{gs} = 0 \text{ V} - (-0.2 \text{ V}) = 0.2 \text{ V}$ 이다. 이것은 음의 전압이 아니므로, PMOS 트랜지스터(124)는 개방된다/오프된다. 하지만, NMOS 트랜지스터(126)에 대하여, 소스는 -0.2 V 이고, 게이트는 인에이블 신호(174)의 반전(1.8 V)이므로, $V_{gs} = 1.8 \text{ V} - (-0.2 \text{ V}) = 2 \text{ V}$ 이다. 이것은 NMOS 트랜지스터에 대해 양의 전압이므로, NMOS 트랜지스터(126)가 폐쇄된다/온된다. 따라서, -0.2 V 의 출력 신호가 NMOS 트랜지스터(126)의 소스로부터 드레인으로 그리고 PMOS 트랜지스터(120)의 게이트로 통과된다.

[0039] 인에이블 신호(172)가 온, 예를 들어, 하이, 또는 1.8 V 일 때, 회로(184)는 PMOS 트랜지스터(120)의 게이트에 제로 볼트/접지 신호를 전달하여 그것을 턴 온하도록 동작한다. 특히, NMOS 트랜지스터(122)는 그의 소스가 접지(192)에 연결되며, 이는 제로 볼트이다. 1.8 V 인 인에이블 신호(172)로, NMOS 트랜지스터(122)에 대해, $V_{gs} = 1.8 \text{ V} - 0 \text{ V} = 1.8 \text{ V}$ 이다. 이것이 양의 전압이므로, 트랜지스터는 온되고 소스로부터 드레인으로 신호; 이 경우 제로 볼트의 접지 신호를 통과시킨다. 이 신호는 또한, NMOS 트랜지스터(122)의 드레인으로부터 PMOS 트랜지스터(120)의 게이트로 통과된다. PMOS 트랜지스터(120)의 게이트가 제로 볼트이므로, 제로 볼트를 넘는 임의의 입력에 대해, PMOS 트랜지스터(120)에 대한 V_{gs} 는 음이되며 트랜지스터가 온된다. 따라서, PMOS 트랜지스터(120)의 소스 및 드레인이 연결될 것이다.

[0040] 인에이블 신호(172)가 하이/1.8 V 일 때, PMOS 트랜지스터(124) 및 NMOS 트랜지스터(126) 양자 모두가 개방된다/오프된다. 가령, PMOS 트랜지스터(124)에 대하여, $V_{gs} = 1.8 \text{ V} - N$ 이며, 여기서 N 은 출력 단자(154) 상의 임의의 예상 전압이다. 이 경우에, 예상 전압은 0 내지 1.7 V이며, 따라서 V_{gs} 는 항상 양이 되어야 하고 PMOS 트랜지스터(124)는 개방/오프 상태로 남을 것이다. 또한, 출력 단자(154)로 통과되는 입력 단자(152) 상의 작은 과전압, 예를 들어, 1.9 V가 있으면, $V_{gs} = 1.8 \text{ V} - 1.9 \text{ V} = -0.1 \text{ V}$ 이 된다. PMOS 트랜지스터를 턴 온하기 위하여 음의 전압이 통상적으로 요구되지만, 실제로 그것은 트랜지스터의 임계 전압, V_t 를 극복할 정도로 충분한 크기이어야 한다. 따라서, 임계 전압 V_t 를 극복하지 않는 작은 과전압은 PMOS 트랜지스터(124)를 턴 온하지 못할 것이다. 유사하게, NMOS 트랜지스터(126)에 대하여, 작은 부족전압, 예를 들어, -0.2 V 는 $V_{gs} = 0 \text{ V} - (-0.2 \text{ V}) = 0.2 \text{ V}$ 를 초래한다. 이것이 양의 전압이지만, 그것이 NMOS 트랜지스터(126)에 대해 V_t 보다 작으면, NMOS 트랜지스터(126)는 개방/오프 상태로 남을 것이다. 따라서, 작은 과전압 또는 부족전압에 대해 PMOS 트랜지스터(124) 및 NMOS 트랜지스터(126)는 PMOS 트랜지스터(120)의 게이트에 영향을 미치지 않고 PMOS 트랜지스터(110)의 드레인 및 소스가 연결된 상태로 남을 수 있게 한다. 한편, 과전압 또는 부족 전압이 PMOS 트랜지스터(124) 또는 NMOS 트랜지스터(126) 중 어느 하나에 대한 V_t 보다 크기가 더 큰 경우, 회로(184)는 PMOS 트랜지스터(120)의 소스 및 드레인을 분리하고 디바이스의 나머지에 대한 보호의 조치를 제공할 것이다.

[0041] 전술된 설명은 PMOS 경로(162)에 관한 것이다. NMOS 경로(164)는 유사한 성분들을 포함하고, 이들의 기능들은 후술된다. 특히, NMOS 경로(164)는, 소스 단자가 디바이스(100)의 입력 단자(152)에 연결되는 NMOS 트랜지스터(130)를 포함한다. NMOS 경로(164)는 또한 PMOS 트랜지스터(132), NMOS 트랜지스터(134) 및 PMOS 트랜지스터(136)를 포함한다. 집합적으로, 트랜지스터들(132, 134 및 136)은, 인에이블 신호(172)가 로우, 예를 들어, 제로 볼트일 때 NMOS 트랜지스터(130)의 게이트에 입력 단자(152) 상의 신호를 전달하고 인에이블 신호(172)가 하이, 예를 들어, 1.8 V 일 때 접지 신호(192)를 전달하는 회로(186)를 포함할 수도 있다.

[0042] 예시하자면, 인에이블 신호가 제로 볼트이고 입력 신호가 1.2 V이면, 1.2 V의 입력 신호는 NMOS 트랜지스터(134) 및 PMOS 트랜지스터(136)의 소스 단자들에서 존재할 것이다. NMOS 트랜지스터(134)의 게이트는 인에이블 신호(174)의 반전에 연결된다. 인에이블 신호(172)가 로우, 또는 제로 볼트이므로, 반전 신호(174)는 하이 또는 1.8 V이다. 따라서, NMOS 트랜지스터(134)에 대하여, $V_{gs} = 1.8 \text{ V} - 1.2 \text{ V} = 0.6 \text{ V}$ 이다. 이것이 양이므로, 게이트가 폐쇄되며, 즉 낮은 저항/도통 상태에 있으며, 이에 의해 입력 신호가 소스로부터 드레인으로 통과될 수 있게 한다. 유사하게, PMOS 트랜지스터(136)에 대하여, 소스가 1.2 V이고 게이트가 인에이블 신호(172), 예를 들어, 제로 볼트에 연결된다. 따라서, $V_{gs} = 0 \text{ V} - 1.2 \text{ V} = -1.2 \text{ V}$ 이다. 이것은 음의 전압이

므로, 게이트가 폐쇄되며 입력 신호가 소스로부터 드레인으로 통과된다.

- [0043] PMOS 트랜지스터(132)는 그의 소스가 공급 전압(132), 예를 들어, 1.8 볼트에 연결되고 게이트가 인에이블 신호(174)의 반전에 연결되며, 이는 이 예에서 또한 1.8 V이다. $V_{gs} = 0$ 이므로, 게이트가 개방되고 소스로부터 드레인으로 전류 흐름은 아주 적거나 또는 전혀 없다. 따라서, 인에이블 신호(174)의 반전이 하이/1.8 V 일 때마다, PMOS 트랜지스터(132)가 개방된다/오픈된다.
- [0044] 따라서, NMOS 트랜지스터(134) 및 PMOS 트랜지스터(136)의 드레인들이 NMOS 트랜지스터(130)의 게이트에 연결되므로, NMOS 트랜지스터(130)의 게이트는 1.2 V의 입력 신호를 수신한다. NMOS 트랜지스터(130)의 소스 단자는 또한 1.2 V 인데, 그것이 입력 단자(152)에 직접 연결되기 때문이다. 그래서, NMOS 트랜지스터(130)에 대하여, $V_{gs} = 1.2 \text{ V} - 1.2 \text{ V} = 0 \text{ V}$ 이다. 따라서, NMOS 트랜지스터(130)가 오프되며, 즉 게이트가 개방되고 도통되지 않거나, 또는 매우 높은 저항 상태에 있다. 설계에 의해, 입력 신호 및 게이트는 동일한 전압 레벨, $V_{gs} = 0$ 이다. 그러므로, PMOS 트랜지스터(110)는 그의 소스 단자로부터 그의 드레인으로 입력 신호를 통과시키지 못하게 된다.
- [0045] 입력 단자(152) 상의 제로 볼트 및 인에이블 신호(172) 상의 로우/제로 볼트(인에이블 신호(174)의 반전 상에 하이/1.8 V)에 대하여, NMOS 트랜지스터(134)에 대한 V_{gs} 는: $V_{gs} = 1.8 \text{ V} - 0 \text{ V} = 1.8 \text{ V}$ 이다. 따라서, NMOS 트랜지스터(134)가 폐쇄되고/온되고 제로 볼트의 입력 신호가 NMOS 트랜지스터(134)의 소스로부터 드레인으로 그리고 NMOS 트랜지스터(130)의 게이트로 통과된다. PMOS 트랜지스터(136)에 대하여, 소스는 0 V이고, 게이트는 인에이블 신호(174)(0 V)의 반전이므로, $V_{gs} = 0 \text{ V}$ 이며 트랜지스터는 오프된다.
- [0046] 회로(186)의 구조는, 입력 단자(152) 상에 과전압 또는 부족전압이 있을 때 마찬가지로 잘 작동된다. 예를 들어, 인에이블 신호(172)가 제로 볼트이면, 인에이블 신호(174)의 반전은 하이/1.8 V이고 입력은 1.9 V이다. NMOS 트랜지스터(134)에 대하여, $V_{gs} = 1.8 \text{ V} - 1.9 \text{ V} = -0.1 \text{ V}$ 이다. 이것은 음이며, 그래서 NMOS 트랜지스터(134)가 개방된다/오픈된다. 하지만, PMOS 트랜지스터(136)에 대하여, 게이트 단자는(0 V 인) 인에이블 신호(172)를 갖고, 소스는 1.9 V이다. 그러므로, PMOS 트랜지스터(136)에 대하여, $V_{gs} = 0 \text{ V} - 1.9 \text{ V} = -1.9 \text{ V}$ 이다. 이것이 음이므로, 트랜지스터는 폐쇄되고/온되고 도통된다. 따라서, 입력 신호가 PMOS 트랜지스터(136)의 소스로부터 드레인으로 그리고 NMOS 트랜지스터(130)의 게이트 단자로 통과된다. 또한, NMOS 트랜지스터(130)의 게이트 및 소스 전압들은 양자 모두 1.9 V이며, 이 결과: $V_{gs} = 1.9 \text{ V} - 1.9 \text{ V} = 0 \text{ V}$ 이다. 따라서, NMOS 트랜지스터(130)는 오프 상태로 남는다.
- [0047] 입력 단자(152) 상의 -0.2 V 볼트 및 인에이블 신호(172) 상의 로우/제로 볼트(인에이블 신호(174)의 반전은 하이/1.8 V이다)에 대하여, NMOS 트랜지스터(134)에 대한 V_{gs} 는: $V_{gs} = 1.8 \text{ V} - (-0.2 \text{ V}) = 2 \text{ V}$ 이다. 이것이 양의 전압이 아니므로, NMOS 트랜지스터(134)가 폐쇄된다/온된다. 따라서, -0.2V의 입력 신호가 NMOS 트랜지스터(136)의 소스로부터 드레인으로 그리고 NMOS 트랜지스터(130)의 게이트로 통과된다. PMOS 트랜지스터(136)에 대하여, 소스는 -0.2 V이고, 게이트는 인에이블 신호(172)(제로 볼트)이므로, $V_{gs} = 0 \text{ V} - (-0.2 \text{ V}) = 0.2 \text{ V}$ 이다. 이것이 PMOS 트랜지스터에 대해 양의 전압이므로, PMOS 트랜지스터(136)가 개방된다/오픈된다.
- [0048] 인에이블 신호(172)가 온되고 인에이블 신호(174)의 반전이 로우/제로 볼트일 때, 회로(186)는 NMOS 트랜지스터(130)의 게이트에 공급 전압 신호를 전달하여 그것을 턴 온하도록 작용한다. 특히, PMOS 트랜지스터(132)는 그의 소스가 공급(194)에 연결되고, 이는 본 예에서 1.8 V 로서 주어진다. 제로 볼트에서의 인에이블 신호(174)의 반전으로, PMOS 트랜지스터(132)에 대해, $V_{gs} = 0 \text{ V} - 1.8 \text{ V} = -1.8 \text{ V}$ 이다. 이것이 음의 전압이므로, 트랜지스터는 온되고 소스로부터 드레인으로 신호; 이 경우 1.8 V의 공급 신호를 통과시킨다. 이 신호는 또한, PMOS 트랜지스터(132)의 드레인으로부터 NMOS 트랜지스터(130)의 게이트로 통과된다. NMOS 트랜지스터(130)의 게이트가 1.8 V이므로, 임의의 예상되는 입력(예를 들어, 제로 내지 1.7 V)에 대해, NMOS 트랜지스터(130)에 대한 V_{gs} 는 양이되며 트랜지스터가 온된다. 따라서, 입력은 NMOS 트랜지스터(130)의 소스로부터 드레인으로 통과될 것이다.
- [0049] 인에이블 신호(172)가 하이일 때, 인에이블 신호(174)의 반전이 로우이고, NMOS 트랜지스터(134) 및 PMOS 트랜지스터(136) 양자 모두가 개방된다/오픈된다. 가령, NMOS 트랜지스터(134)에 대하여, $V_{gs} = 0 \text{ V} - N$ 이며, 여기서 N은 임의의 예상 입력 전압이다. 이 경우에, 예상 전압은 0 내지 1.7 V이며, 따라서 V_{gs} 는 항상 제로 또는 음이 되어야 하고 NMOS 트랜지스터(134)는 개방/오프 상태로 남을 것이다. 또한, 입력 단자(152) 상에 작은 부족전압, 예를 들어, -0.2 V이 있으면, $V_{gs} = 0 \text{ V} - (-0.2 \text{ V}) = 0.2 \text{ V}$ 이 된다. NMOS 트랜지스터를 턴 온하기 위하여 양의 전압이 통상적으로 요구되지만, 실제로 그것은 트랜지스터의 임계 전압, V_t 를 극복할 정도로 충분한 크기이어야 한다. 따라서, 임계 전압 V_t 를 극복하지 않는 작은 과전압은 NMOS 트랜지스터(134)를 턴 온하지

못할 것이다. 유사하게, PMOS 트랜지스터(136)에 대하여, 작은 과전압, 예를 들어, 1.9 V 는 $V_{gs} = 1.8\text{ V} - (1.9\text{ V}) = -0.1\text{ V}$ 를 초래한다. 이것이 음의 전압이지만, 그것이 PMOS 트랜지스터(136)에 대해 V_t 를 극복하기에 불충분한 크기이면, PMOS 트랜지스터(136)는 개방/오프 상태로 남을 것이다. 따라서, 작은 과전압 또는 부족전압에 대해 NMOS 트랜지스터(134) 및 PMOS 트랜지스터(136)는 NMOS 트랜지스터(130)의 게이트에 영향을 미치지 않고 입력 단자(152) 상의 입력 전압이 NMOS 트랜지스터(130)의 드레인으로 통과될 수 있게 한다. 한편, 과전압 또는 부족 전압이 NMOS 트랜지스터(134) 또는 PMOS 트랜지스터(136) 중 어느 하나에 대한 V_t 보다 크기가 더 큰 경우, 회로(186)는 입력 단자(152)를 분리하고 디바이스의 나머지에 대한 보호의 조치를 제공할 것이다.

[0050]

따라서, 회로(186) 및 NMOS 트랜지스터(130)는 디바이스(100)가 인에이블되지 않을 때(예를 들어, 인에이블 신호(172)가 로우이거나 또는 제로 볼트이고 인에이블 신호(174)의 반전이 하이/ 1.8 V 일 때) NMOS 트랜지스터(130)의 드레인으로부터 입력 단자(152)를 분리시킬 수 있다. 또한, 회로(186) 및 NMOS 트랜지스터(130)는 디바이스(100)가 인에이블될 때(예를 들어, 인에이블 신호(172)가 하이 또는 1.8 V 이고 인에이블 신호(174)의 반전이 로우/제로 볼트일 때) 입력 단자(152)로부터 NMOS 트랜지스터(130)의 드레인으로 입력 신호를 통과시킬 수 있다. 유사한 방식으로, 회로(188) 및 NMOS 트랜지스터(140)는 디바이스(100)가 인에이블되지 않을 때 NMOS 트랜지스터(140)의 드레인으로부터 출력 단자(154) 상의 신호를 분리시킬 수 있고 디바이스(100)가 인에이블될 때 폐쇄되거나 또는 턴 온된 상태로 남을 수 있다.

[0051]

예시하자면, 출력 단자(154)는 1.2 V 의 신호를 갖고 인에이블 신호(172)는 제로 볼트라고(즉, 인에이블 신호(174)의 반전이 하이/ 1.8 V 라고) 가정된다. PMOS 트랜지스터(142)에 대하여, 소스가 공급(188), 예를 들어, 1.8 V 에 연결된다. 따라서, $V_{gs} = 1.8\text{ V} - 1.8\text{ V} = 0\text{ V}$ 이다. 따라서, PMOS 트랜지스터(142)는 인에이블 신호가 로우/제로 볼트일 때(즉, 인에이블 신호(174)의 반전이 하이/ 1.8 V 일 때) 항상 개방된다/오픈된다. NMOS 트랜지스터(144)는 1.8 V 볼트의 게이트 전압 및 1.2 V 의 소스 전압을 갖는다. 따라서, $V_{gs} = 1.8\text{ V} - 1.2\text{ V} = 0.6\text{ V}$ 이다. 이것은 양의 전압이므로, NMOS 트랜지스터(144)는 폐쇄되고 따라서 "온" 및 도통된다. 이렇게 하여, 소스 및 드레인이 연결되며 출력(154)으로부터 1.2 V 가 NMOS 트랜지스터(144)의 소스 단자로부터 드레인 단자로 통과된다. 마찬가지로, PMOS 트랜지스터(146)는 그의 게이트 상에 인에이블 신호(174), 제로 볼트를 갖고 그의 소스 상에 출력 단자(154) 상의 출력 신호로부터 1.2 V 를 갖는다. 따라서, $V_{gs} = 0\text{ V} - 1.2\text{ V} = -1.2\text{ V}$ 이다. 따라서, PMOS 트랜지스터(146)가 폐쇄되고/온되고 1.2 V 의 출력 신호가 PMOS 트랜지스터(146)의 소스로부터 드레인으로 그리고 NMOS 트랜지스터(140)의 게이트로 통과된다. NMOS 트랜지스터(140)의 게이트 및 소스가 동일한, 1.2 V 이므로, $V_{gs} = 0\text{ V}$ 이고 NMOS 트랜지스터(140)가 오프된다. 따라서, 출력 단자(154) 상의 신호가 NMOS 트랜지스터(140)의 드레인으로부터 분리된다.

[0052]

입력 단자(154) 상의 제로 볼트 및 인에이블 신호(172) 상의 로우/제로 볼트(인에이블 신호(174)의 반전은 하이/ 1.8 V 이다)에 대하여, NMOS 트랜지스터(144)에 대한 V_{gs} 는: $V_{gs} = 1.8\text{ V} - 0\text{ V} = 1.8\text{ V}$ 이다. 따라서, NMOS 트랜지스터(144)가 폐쇄된다/온된다. 따라서, 제로 볼트의 입력 신호가 NMOS 트랜지스터(144)의 소스로부터 드레인으로 그리고 NMOS 트랜지스터(140)의 게이트로 통과된다. PMOS 트랜지스터(146)에 대하여, 소스는 제로 볼트이고, 게이트는, 0 V 인 인에이블 신호(172)이다. 그러므로, $V_{gs} = 0\text{ V} - 0\text{ V} = 0\text{ V}$ 이고 PMOS 트랜지스터(126)는 개방된다/오픈된다. 또한, NMOS 트랜지스터(140)에 대하여, $V_{gs} = 0\text{ V} - 0\text{ V} = 0\text{ V}$ 이고 트랜지스터는 개방된다/오픈된다.

[0053]

회로(188)의 구조는 출력 신호가 과전압 또는 부족전압일 때 NMOS 트랜지스터(140)의 드레인으로부터 출력 단자(154)를 분리시키기 위하여 마찬가지로 잘 작동된다. 가령, 인에이블 신호(172)가 제로 볼트(인에이블 신호(174)의 반전이 하이/ 1.8 V)이고 출력 신호가 1.9 V 이면, NMOS 트랜지스터(144)에 대해 게이트 전압은 1.8 V 볼트 그리고 소스 전압은 1.9 V 이다. 따라서, $V_{gs} = 1.8\text{ V} - 1.9\text{ V} = -0.1\text{ V}$ 이다. 이것은 음의 전압이므로, NMOS 트랜지스터(124)는 개방된다/오픈된다. 다른 한편, PMOS 트랜지스터(146)는 그의 게이트 상에 인에이블 신호(172), 제로 볼트를 갖고 그의 소스 상에 출력 단자(154) 상의 출력 신호로부터 1.9 V 를 갖는다. 따라서, $V_{gs} = 0\text{ V} - 1.9\text{ V} = -1.9\text{ V}$ 이다. 따라서, PMOS 트랜지스터(146)가 폐쇄되고/온되고 도통된다. 그래서, 소스 및 드레인이 연결되며 출력(154)으로부터 1.9 V 가 PMOS 트랜지스터(146)의 소스 단자로부터 드레인 단자로 그리고 NMOS 트랜지스터(140)의 게이트로 통과된다. NMOS 트랜지스터(140)의 게이트 및 소스가 동일한, 1.9 V 이므로, $V_{gs} = 0\text{ V}$ 이고 NMOS 트랜지스터(140)가 오프된다. 또한, 출력 단자(154) 상의 신호는 과전압이 있을 때에도 NMOS 트랜지스터(140)의 드레인으로부터 분리된다.

[0054]

출력 단자(154) 상의 -0.2 V 및 인에이블 신호(172) 상의 로우/제로 볼트(인에이블 신호(174)의 반전 상의 하이/ 1.8 V)에 대하여, NMOS 트랜지스터(144)에 대한 V_{gs} 는: $V_{gs} = 1.8\text{ V} - (-0.2\text{ V}) = 2\text{ V}$ 이다. 이것이 양의 전압이므로, NMOS 트랜지스터(144)는 폐쇄되고/온되고 도통된다. 따라서, -2 V 의 출력 신호가 NMOS 트랜지스터

(144)의 소스로부터 드레인으로 그리고 NMOS 트랜지스터(140)의 게이트로 통과된다. PMOS 트랜지스터(146)에 대하여, 소스는 -0.2 V 이고, 게이트는 인에이블 신호(172)(제로 볼트)이므로, $V_{gs} = 0\text{ V} - (-0.2\text{ V}) = 0.2\text{ V}$ 이다. 이것이 PMOS 트랜지스터에 대해 양의 전압이므로, PMOS 트랜지스터(136)가 개방된다/오픈된다. 하지만, NMOS 트랜지스터(144)가 폐쇄되며 도통하므로, 입력은 여전히 NMOS 트랜지스터(140)의 게이트 단자로 통과된다. 또한, NMOS 트랜지스터(140)의 게이트 및 소스 전압들은 양자 모두 -0.2 V 이며, 이 결과: $V_{gs} = -0.2\text{ V} - (-0.2\text{ V}) = 0\text{ V}$ 이다. 따라서, NMOS 트랜지스터(140)는 오프 상태로 남는다.

[0055] 인에이블 신호(172)가 온되고 인에이블 신호의 반전이 로우/제로 볼트일 때, 회로(188)는 NMOS 트랜지스터(140)의 게이트에 공급 전압/하이 신호, 예를 들어, 1.8 V 를 전달하여 그것을 턴 온하도록 작용한다. 특히, PMOS 트랜지스터(142)는 그의 소스가 전압 공급(194)에 연결되고, 이는 이 예에서 1.8 V 이다. 인에이블 신호(172)가 로우이고 인에이블 신호의 반전이 하이/ 1.8 V 임에 따라, PMOS 트랜지스터(142)에 대해, $V_{gs} = 0\text{ V} - 1.8\text{ V} = -1.8\text{ V}$ 이다. 이것이 음의 전압이므로, 트랜지스터는 온되고 소스로부터 드레인으로 신호를; 이 경우 1.8 V 의 공급 신호를 통과시킨다. 이 신호는 또한, PMOS 트랜지스터(142)의 드레인으로부터 NMOS 트랜지스터(140)의 게이트로 통과된다. NMOS 트랜지스터(140)의 게이트가 1.8 V 이므로, 임의의 예상되는 입력, 예를 들어, 제로 내지 1.7 V 에 대해, NMOS 트랜지스터(140)에 대한 V_{gs} 는 양이되며 트랜지스터가 온된다. 따라서, NMOS 트랜지스터(140)의 소스 및 드레인이 연결될 것이다.

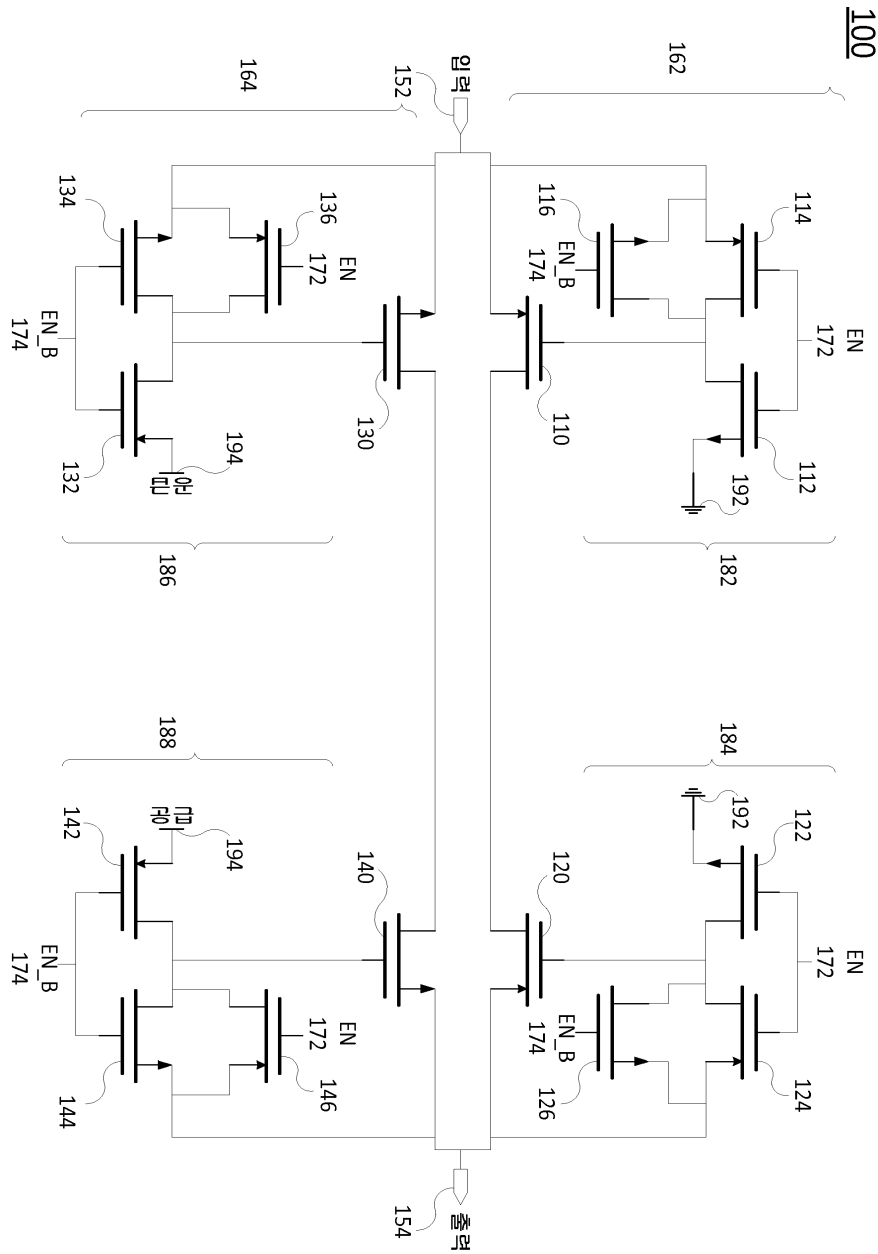
[0056] 인에이블 신호(172)가 하이이고 인에이블 신호(174)의 반전이 로우/제로 볼트일 때, NMOS 트랜지스터(144) 및 PMOS 트랜지스터(146) 양자 모두가 개방된다/오픈된다. 가령, NMOS 트랜지스터(144)에 대하여, $V_{gs} = 0\text{ V} - N$ 이며, 여기서 N 은 출력 단자(154) 상의 임의의 예상 전압이다. 이 경우에, 예상 전압은 0 내지 1.7 V 이며, 따라서 V_{gs} 는 항상 제로 또는 음이 되어야 하고 NMOS 트랜지스터(144)는 개방/오프 상태로 남을 것이다. 또한, 출력 단자(154)로 통과되는 입력 단자(152) 상의 작은 부족전압, 예를 들어, -0.2 V 가 있으면, $V_{gs} = 0\text{ V} - (-0.2\text{ V}) = 0.2\text{ V}$ 가 된다. NMOS 트랜지스터를 턴 온하기 위하여 양의 전압이 통상적으로 요구되지만, 실제로 그것은 트랜지스터의 임계 전압, V_t 를 극복할 정도로 충분한 크기이어야 한다. 따라서, 임계 전압 V_t 를 극복하지 않는 작은 부족전압은 NMOS 트랜지스터(144)를 턴 온하지 못할 것이다. 유사하게, PMOS 트랜지스터(146)에 대하여, 작은 과전압, 예를 들어, 1.9 V 는 $V_{gs} = 1.8\text{ V} - 1.9\text{ V} = -0.1\text{ V}$ 를 초래한다. 이것이 음의 전압이지만, 그것이 PMOS 트랜지스터(136)에 대한 V_t 보다 크기가 더 작으면, PMOS 트랜지스터(136)는 개방/오프 상태로 남을 것이다. 따라서, 작은 과전압 또는 부족전압에 대해 NMOS 트랜지스터(144) 및 PMOS 트랜지스터(146)는 NMOS 트랜지스터(140)의 게이트에 영향을 미치지 않고 NMOS 트랜지스터(140)의 드레인 및 소스가 연결된 상태로 남을 수 있게 한다. 한편, 과전압 또는 부족 전압이 NMOS 트랜지스터(134) 또는 PMOS 트랜지스터(146) 중 어느 하나에 대한 V_t 보다 크기가 더 큰 경우, 회로(188)는 NMOS 트랜지스터(140)의 소스 및 드레인을 분리하고 디바이스의 나머지에 대한 보호의 조치를 제공할 것이다.

[0057] 본원에 기재된 바처럼 디바이스(100)는 입력 단자(152) 및/또는 출력 단자(154) 상에 과전압 또는 부족전압이 있는 상황들 뿐만 아니라 예상 전압의 범위를 통해 출력 단자(154)로부터 입력 단자(152)를 분리할 수 있다. 또한, 디바이스(100)는 인에이블 신호가 하이일 때, 즉, 디바이스(100)가 활성화 될 때 입력 단자(152)로부터 출력 단자(154)로 일부의 과전압 및 일부의 부족전압 뿐만 아니라 모든 예상 입력 전압이 통과될 수 있게 한다. 따라서, 디바이스(100)가 많은 경로들 중의 하나를 포함할 수도 있는 멀티플렉서/측정 회로에서, 디바이스(100) 및 그에 연결된 임의의 다른 컴포넌트들을 더 큰 편차를 갖는 전압으로부터 보호하면서 공급 및/또는 접지를 초과하는 입력 단자(152) 상의 전압을 측정할 수 있다.

[0058] 전술한 바는 본 개시의 하나 이상의 양태들에 따른 다양한 예들을 기술하지만, 본 개시의 하나 이상의 양태들에 따른 다른 그리고 추가 예(들)이, 후속하는 청구항(들) 및 그의 균등물에 의해 결정되는 범위를 벗어남이 없이 고안될 수도 있다. 가령, 하나의 예에서, PMOS 트랜지스터들(116 및 126), 그리고 NMOS 트랜지스터들(136 및 172)은 디바이스(100)가 전술된 바처럼 대부분 또는 모든 원하는 기능을 보유하면서 생략될 수도 있다. 용어들, "제1", "제2", "제3" 등이 위에서, 그리고 아래의 청구항들에서 사용되었지만, 이들 용어들의 사용은 표시로서만 의도되었다는 것에 유의해야 한다. 따라서, 하나의 예에서 "제3"와 같은 용어의 사용은, 그 예가 모든 경우에 "제1" 및/또는 "제2"를 포함해야 한다는 것을 반드시 의미하는 것은 아니다. 단계들을 열거하는 청구항(들)은 이들 단계의 순서를 내포하지 않는다. 상표들은 그 각각의 소유자들의 재산이다.

도면

도면1



도면2

200

