

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2025 年 1 月 2 日 (02.01.2025)



(10) 国际公布号
WO 2025/001344 A1

- (51) 国际专利分类号:
G06F 13/42 (2006.01) **H04L 49/111** (2022.01)
- (21) 国际申请号: PCT/CN2024/083114
- (22) 国际申请日: 2024 年 3 月 21 日 (21.03.2024)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202310776401.5 2023年6月28日 (28.06.2023) CN
- (71) 申请人: 苏州元脑智能科技有限公司 (SUZHOU METABRAIN INTELLIGENT TECHNOLOGY CO., LTD.) [CN/CN]; 中国江苏省苏州市吴中区吴中经济开发区郭巷街道官浦路1号9幢, Jiangsu 215000 (CN)。

- (72) 发明人: 赵建杰 (ZHAO, Jianjie); 中国江苏省苏州市吴中区吴中经济开发区郭巷街道官浦路1号9幢, Jiangsu 215000 (CN)。
- (74) 代理人: 北京康信知识产权代理有限公司 (KANGXIN PARTNERS, P.C.); 中国北京市海淀区知春路甲48号盈都大厦A座16层, Beijing 100098 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) Title: CXL DATA TRANSMISSION BOARD AND DATA TRANSMISSION CONTROL METHOD

(54) 发明名称: CXL数据传输板卡及控制数据传输的方法

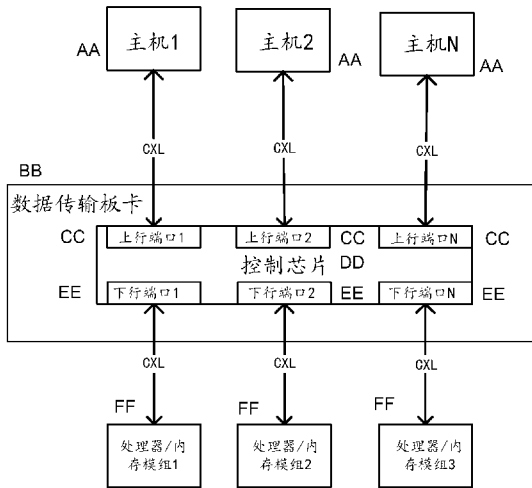


图 1

AA Host
BB Data transmission board
CC Uplink port
DD Control chip
EE Downlink port
FF Processor/memory module

(57) Abstract: A compute express link (CXL) data transmission board and a data transmission control method. The CXL data transmission board comprises: a control chip, wherein the control chip is a chip supporting a CXL protocol, and uplink ports and downlink ports are deployed on the control chip; the uplink ports connected to hosts, wherein the hosts are devices supporting a peripheral component interconnect express (PCIe) protocol or devices supporting a CXL protocol; and the downlink ports connected to processors and/or memory modules, wherein the downlink ports are correspondingly connected to the uplink ports, and the hosts are configured



SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

to transmit data to the corresponding downlink ports by means of the uplink ports, so as to transmit the data to the processors and/or the memory modules by means of the downlink ports. By means of the present application, the problem in the related art that resources cannot be re-allocated on the basis of different workloads is solved, achieving the effect of flexibly allocating resources.

(57) 摘要: 一种CXL数据传输板卡及控制数据传输的方法, CXL数据传输板卡包括: 控制芯片, 控制芯片是支持开放式互连标准CXL协议的芯片, 控制芯片上部署了上行端口和下行端口; 上行端口与主机连接, 其中, 主机是支持高速串行计算机扩展总线标准PCIe协议的设备或支持CXL协议的设备; 下行端口与处理器和/或内存模组连接, 下行端口与上行端口对应连接, 主机被设置为通过上行端口将数据传输至对应的下行端口, 以通过下行端口将数据传输至处理器和/或内存模组。通过本申请, 解决了相关技术中存在的无法根据不同的工作负载进行资源的重新调配的问题, 达到实现灵活调配资源的效果。

CXL 数据传输板卡及控制数据传输的方法

相关申请的交叉引用

本申请要求于 2023 年 06 月 28 日提交中国专利局，申请号为 202310776401.5，申请名称为“CXL 数据传输板卡及控制数据传输的方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请实施例涉及计算机领域，特别涉及一种 CXL 数据传输板卡及控制数据传输的方法。

背景技术

伴随云计算应用的发展，信息化逐渐覆盖到社会的各个领域，人们的日常工作越来越多的通过网络来交流，网络数据量也在爆发式的增长，服务器作为处理和存储数据的核心设备，对性能和配置的要求也越来越高。当今服务器技术的发展，正处于内存架构的瓶颈问题：内存通道数量的增长，已经赶不上 CPU（Central Processing Unit，中央处理器）核心数量的增长，从而导致每个核心可以处理的内存带宽降低，限制了处理器的性能。

目前内存和处理器是紧耦合的，内存都部署在服务器节点内。内存成本是占整个服务器成本的比例很高，但是在实际使用中，内存的使用效率并不高，有的内存空间根本没有被访问，有的内存空间则存放了一些比较冷的数据，它访问的频率其实很低。这部分的内存没能很好地发挥它的价值。相关技术中的 CXL（Compute Express Link，开放式互连标准）内存的扩展并不能根据不同的工作负载进行资源的重新调配。

由此可见，相关技术中存在无法根据不同的工作负载进行资源的重新调配的问题。

发明内容

本申请实施例提供了一种 CXL 数据传输板卡及控制数据传输的方法，以至少解决相关技术中存在的无法根据不同的工作负载进行资源的重新调配的问题。

根据第一方面，提供了一种 CXL 数据传输板卡，包括：控制芯片，上述控制芯片是支持开放式互连标准 CXL 协议的芯片，上述控制芯片上部署了上行端口和下行端口；上述上行端口与主机连接，其中，上述主机是支持高速串行计算机扩展总线标准 PCIe 协议

的设备或支持上述 CXL 协议的设备；上述下行端口与处理器和/或内存模组连接，上述下行端口与上述上行端口对应连接，上述主机被设置为通过上述上行端口将数据传输至对应的上述下行端口，以通过上述下行端口将上述数据传输至上述处理器和/或上述内存模组，其中，上述处理器和上述内存模组均是支持上述 PCIe 协议的设备或支持上述 CXL 协议的设备。

根据第二方面，提供了一种控制数据传输的方法，包括：通过上行端口接收主机发送的数据请求，其中，上述数据请求中包括待传输的数据，上述主机是支持 PCIe 协议的设备或支持 CXL 协议的设备；响应上述数据请求，从路由表中查找上述主机的路由信息；按照上述路由信息将上述数据传输至与上述上行端口对应的下行端口连接的处理器和/或内存模组中，其中，上述下行端口与上述上行端口对应连接，上述处理器和上述内存模组均是支持上述 PCIe 协议的设备或支持上述 CXL 协议的设备。

根据第三方面，提供了一种链路交换的控制系统，上述链路交换的控制系统包括上述的 CXL 数据传输板卡。

根据第四方面，还提供了一种非易失性可读存储介质，非易失性可读存储介质中存储有计算机程序，其中，计算机程序被设置为运行时执行上述任一项方法实施例中的步骤。

根据第五方面，还提供了一种电子设备，包括存储器和处理器，存储器中存储有计算机程序，处理器被设置为运行计算机程序以执行上述任一项方法实施例中的步骤。

通过本申请，CXL 数据传输板卡中的控制芯片是支持 CXL 协议的芯片，并部署了上行端口和下行端口；上行端口与主机连接，其中，主机是支持 PCIe 协议的设备或支持 CXL 协议的设备；下行端口与处理器和/或内存模组连接，下行端口与上行端口对应连接，使得主机即可以接处理器又可以接内存模组，从而可以根据实际需要灵活配置处理器和内存模组的数量。因此，可以解决相关技术中存在的无法根据不同的工作负载进行资源的重新调配的问题，达到实现灵活调配资源的效果。

附图说明

图 1 是根据本申请实施例的 CXL 数据传输板卡的结构示意图；

图 2 是根据本申请实施例的 CXL 数据传输板卡的结果示意图；

图 3 是根据本申请实施例的 switch 层面的连接图；

图 4 是根据本申请实施例的控制信号传输的方法的流程图二；

图 5 是根据本申请实施例的外部管理器对控制芯片进行管理的示意图；

图 6 是根据本申请实施例的控制数据传输的方法的流程图；

图 7 是根据本申请实施例的电子设备的示意图。

具体实施方式

下文中将参考附图并结合实施例来详细说明本申请的实施例。

需要说明的是，本申请的说明书和权利要求书及上述附图中的术语“第一”、“第二”等是用于区别类似的对象，而不必用于描述特定的顺序或先后次序。

下面对本实施例中的相关技术解释如下：

CXL：（Compute Express Link），是一种开放工业标准用于高带宽低延迟的设备互联。它可以用来连接 CPU 和 GPU，内存和智能网卡等类型的设备。

GPU，图像处理器（Graphic Processing Unit）；

CXL SW，计算高速链路交换机（Compute Express Link switch）；

CPU，中央处理器（Central Processing Unit）。

在本实施例中提供了一种 CXL 数据传输板卡，图 1 是根据本申请实施例的 CXL 数据传输板卡的结构示意图，如图 1 所示，该 CXL 数据传输板卡包括：

控制芯片，控制芯片是支持开放式互连标准 CXL 协议的芯片，控制芯片上部署了上行端口和下行端口；

上行端口与主机连接，其中，主机是支持高速串行计算机扩展总线标准 PCIe（Peripheral Component Interconnect express）协议的设备或支持 CXL 协议的设备；

下行端口与处理器和/或内存模组连接，下行端口与上行端口对应连接，主机被设置为通过上行端口将数据传输至对应的下行端口，以通过下行端口将数据传输至处理器和/或内存模组，其中，处理器和内存模组均是支持 PCIe 协议的设备或支持 CXL 协议的设备。

本实施例中的 CXL 数据传输板卡可以应用于需要高速数据传输和大规模数据处理的场景中，例如数据中心，高性能计算，人工智能云计算等场景。

在本实施例中，控制芯片是支持 CXL 协议的芯片，包括高速互连架构 CXL Switch Fabric。CXL Switch Fabric 可以连接多个 CXL 设备，形成一个共享资源的计算平台。CXL Switch Fabric 给 CXL 设备提供了一个可扩展、灵活的基础架构，可以通过在 CXL 设备之间提供高速的点对点连接来实现设备之间的通信和数据传输。CXL 设备可以是主机也可以是处理器、内存模组等设备。

可选地，CXL Switch Fabric 架构分为三层：事务层(Transaction Layer)、链路层

(Link Layer)和物理层(Physical Layer)。为了同时兼容 PCIe 协议和 CXL 协议, CXL Switch Fabric 架构中提供了 Flex Bus 端口, 使设备可以在 PCIe 设备和 CXL 设备中进行选择。CXL.cache 和 CXL.mem 协议被组合在一起共享一个公共的事务层和链路层, 而 CXL.io 拥有自己的事务层和链路层。CXL 链路层与 CXL ARB 或 MUX 交互, 从而交织来自两个逻辑流的流量。物理层中还包含两个子层, 分别是逻辑子层和电气子层。其中, 逻辑子层可以在 PCIe 模式和 CXL 模式之间切换, 而电气子层则遵循 PCIe 规范。在事务层中, CXL.io 为 I/O 设备提供了一个非一致性的加载或存储接口。

可选地, 处理器可以是 CPU, 也可以是 GPU, CPU 与 GPU 之间可以绕过 PCIe 协议, 用 CXL 协议来共享, 互取对方的内存资源。透过 CXL 协议, CPU 与 GPU 之间形同连成单一个庞大的堆栈内存池, 本实施例中的, GPU BOX (盒) 既可以支持 PCIe 协议, 又可以支持 CXL 协议。如图 2 所示, CXL 数据传输板卡可以是 CXL Switch 板, 控制芯片可以是 CXL Switch 芯片, 处理器可以是 GPU, 上行设备可以连接多个主机 HOST, 下行设备可以连接 GPU BOX, 也可以接内存模组, 配置灵活。且每个主机均可以和不同的下行设备连接, 通过改变 CXL Switch 芯片的烧录信息来改变主机 HOST 和下行设备的连接关系。连接的上行设备和下行设备的数量可以由 CXL Switch 芯片的功能决定。

可选地, 在下行设备为 GPU BOX 时, GPU BOX 内部支持 16 个 GPU 插槽, 与 CXL Switch 芯片通过 CDFP 线缆进行互联, 板载 CPLD (Complex Programmable Logic Device, 复杂可编程逻辑器件) 被设置为控制 BOX 的上电时序, 板载总线主控制器 BMC (Bus Master Controller) 被设置为管理 GPU 的工作状态。

可选地, 内存模组是基于 CXL 总线协议的设备, 可以实现内存远端拓展, 多主机共享内存, 内存板的 CDFP 接口通过 CDFP 线缆与 CXL Switch 板卡互联, 板载 BMC 和 CPLD 负责 CXL Switch 板卡的管理, 包括散热控制、上下电、状态指示等。

通过本申请, CXL 数据传输板卡中的控制芯片是支持 CXL 协议的芯片, 并部署了上行端口和下行端口; 上行端口与主机连接, 其中, 主机是支持 PCIe 协议的设备或支持 CXL 协议的设备; 下行端口与处理器和/或内存模组连接, 下行端口与上行端口对应连接, 使得主机即可以接处理器又可以接内存模组, 从而可以根据实际需要灵活配置处理器和内存模组的数量。因此, 可以解决相关技术中存在的无法根据不同的工作负载进行资源的重新调配的问题, 达到实现灵活调配资源的效果。

在一个示例性实施例中, 上行端口和下行端口均为 N 个, N 是大于 1 的自然数。N 的取值由控制芯片的功能确定, 例如, N 可以是 16, 也可以是 4 等, 如图 2 所示, CXL Switch 芯片中设置 6 个上下行端口。本实施例通过灵活设置 N 的取值, 可以灵活的设置

连接的上下行设备，实现对资源的灵活调配。

在一个示例性实施例中，控制芯片包括以下至少之一：

控制单元，控制单元被设置为控制上行端口和下行端口之间的 CXL 链路的拓扑，其中，CXL 链路被设置为连接对应的上行端口和下行端口。

管理单元，管理单元被设置为管理主机与处理器和/或内存模组之间的路由信息。

识别单元，识别单元与处理器和/或内存模组连接，识别单元被设置为在主机与处理器和/或内存模组建立连接的情况下，识别处理器和/或内存模组支持的协议类型。

在本实施例中，在控制芯片是 CXL Switch Fabric 架构的芯片时，控制单元可以是多个 CXL Switch Fanout 组成，CXL switch Fanout 指的是在 CXL Switch Fabric 中，将一条 CXL 链路复制到多个另外的链路的过程。这个过程允许多个设备能够同时访问和共享同一个 CXL 链路上的设备，从而提高系统性能和可扩展性。控制芯片能够实现 CXL switch Fanout 是因为 CXL 支持点对点拓扑结构，可以允许多个设备通过一条 CXL 链路相互通信，在链路中转数据包。CXL switch Fanout 的主要用途是提高系统中多个设备之间的连接效率和数据吞吐量。

管理单元可以是多个 CXL Switch Root 组成，CXL 设备通过 CXL 端口与 CXL Switch Fabric 连接。CXL Switch Root 维护着一个路由表，用于存储和管理网络中各个节点之间的路由信息。当 CXL 设备发送数据请求时，路由表选择最佳路径，将数据转发到目的 CXL 设备，例如，将 HOST1 中的数据传输至内存模组中存储。CXL 数据传输板卡中的 CXL 端口的流量管理器将数据按顺序存储在缓存区中，以便快速处理和传输。CXL Switch Fabric 根据输入端口和路由表的信息，在缓冲区中选择最佳路径，并将数据转发到目标 CXL 设备的端口。在转发数据的同时，CXL Switch Fabric 还需要确保控制芯片内部通信速度的稳定和性能的一致性。当 CXL 设备需要返回数据时，CXL Switch Fabric 同样会根据路由信息和缓存区的状态，找到最佳的路径，将数据传输到目标设备。

识别单元可以通过 BIOS 命令去识别端口连接的是 PCIe 设备还是 CXL 设备。例如，主机以 Intel Eagle Stream 系列的 CPU 为例，CXL 互连完全依赖于 PCIe 5.0 电气层，所有拓扑都依赖于 PCIe。Eagle Stream CPU 可以支持 CXL4X16 个通道。CXL 和 PCI Express 设备可以同时工作在给定端口下，每个设备 8lane。任何 x16 PCI Express 端口都可以连接到 PCI Express 设备或 CXL 设备。识别单元能够自动检测另一端是 PCI Express 卡还是 CXL 设备，并动态配置链接。在连接 CXL 设备的时候，应该在 BIOS 提前进行设置 CXL 模式，还可以通过 BIOS 命令去识别端口连接的是 PCIe 设备还是 CXL 设备。本实施例通过控制芯片可以控制链路拓扑和路由信息，以及识别设备的类型，从而

可以快速的对资源进行调配。

在一个示例性实施例中，主机包括 M 个，处理器包括 P 个，内存模组包括 K 个，其中， M 、 P 以及 K 均是大于或等于 1 的自然数。

在本实施例中，在 M 大于 1 的情况下， M 个主机共享 K 个内存模组。在 N 为 16 时， M 大于或等于 2 且小于或等于 7。在 N 为 16， M 为 7， P 为 7 时，处理器和主机一一对应，或者，一个主机对应多个处理器，其中，主机和处理器之间通过 PCIe 协议传输数据。在 K 大于 1 的情况下，一个主机对应多个内存模组，多个内存模组组成一个主机的内存资源池，其中，主机与内存模组之间通过 CXL 协议传输数据，主机的数量和内存模组的数量呈正比关系。例如，在控制芯片选用 CXL 2.0 switch 芯片的情况下，控制芯片兼容 PCIe 5.0，支持不同的 firmware（写入 EPROM（可擦写可编程只读存储器）或 EEPROM（电可擦可编程只读存储器）中的程序）切换，控制芯片共计 16 个端口 port，每个 port 都可以配置成 PCIe 或者 CXL，支持 PCIe 与 CXL 混用的场景。可以最多接 7 个 HOST，最少接 2 个。在应用于高速计算的场景中时，上行设备可以连接 7 个 HOST，下行设备可以连接 7 个 GPU，每个 HOST 接一个 GPU，可以多路并行处理数据。也可以接 2 个主机，每个主机出 4 路 X16 信号，HOST1 接 4 个 GPU 被设置为加速处理数据，HOST2 接 4X16 的内存模组被设置为读取存储数据；也可以上行连接 4 个主机，下行连接 8X16 的内存模组，走 CXL 协议。每个主机分出两组 X16 port，接两个 X16 内存模组。

可选地，如图 3 所示，在控制芯片的 switch 层面，可以由多个 VCXL 组成，可以根据主机的指令要求，映射到指定的物理端口，最多可以支持分配 16 个逻辑存储空间。每个 VCXL 都有自己的 ID，在主机的控制下用来绑定或者解绑 VCXL 到物理端口的映射，实现不同端口间的配置。

本实施例中的端口可以基于应用实际需求进行灵活配置，主机的数量和主机的端口资源信息也可以进行灵活配置。从而可以实现灵活调配资源的目的。

在一个示例性实施例中，CXL 数据传输板卡还包括：连接器，连接器连接控制芯片和管理器，其中，管理器被设置为通过连接器管理控制芯片的运行。在本实施例中，连接器可以是电缆组件连接器 MCIO，如图 2 所示，CXL Switch 芯片通过连接器 MCIO 与外部的管理器 CPU 相连接。如图 4 所示，管理器 CPU 管理 CXL Switch 芯片的 I2C、RESET、状态指示等。本实施例通过外部管理器对控制芯片进行管理，可以准确的控制控制芯片的工作状态。

在一个示例性实施例中，CXL 数据传输板卡，还包括：时钟发生器，时钟发生器与控制芯片连接，被设置为产生启动控制芯片的第一初始化时钟信号，并被设置为在控制芯

片启动之后，产生协调控制芯片的时钟频率的第一时钟信号。在本实施例中，时钟发生器通过预设接口与控制芯片、处理器以及内存模组均连接，被设置为分别产生启动控制芯片、处理器以及内存模组的第二初始化时钟信号，并被设置为在控制芯片、处理器以及内存模组启动之后，产生协调控制芯片、处理器以及内存模组的时钟频率的第二时钟信号。如图 4 所示，CXL 数据传输板卡支持 RJ45 接口，为 BMC 管理网口。每个 CDFP 接口配有一组红绿双色灯，按照时钟发生器产生的时钟信号，红色灯在数据传输正常时不亮、故障后常亮；绿色灯在无数据传输时常亮、正常数据传输时以 1Hz 的频率闪烁。本实施例通过时钟发生器可以准确的对数据的传输进行监测。

在一个示例性实施例中，CXL 数据传输板卡还包括：调试设备，调试设备与控制芯片连接，被设置为对控制芯片的 CXL 性能进行调试。在本实施例中，调试设备调试的范围包括：CXL 边际测试，与 PCIe 调试的方式相同；CXL 链接速度、宽度、符合性测试；启用或禁用交错模式进行系统压力或性能或带宽测试。此外，还包括 CXL 合规性测试、CXL 压力测试、CXL 延迟测试等。此外，还包括链接和协议错误处理，利用 PCIe ERR 消息通过 CXL.io、CXL.io 协议错误被记录并显示出来。本实施例通过调试设备的调试可以保证数据传输的正确性。

本申请实施例中所提供的方法实施例可以在移动终端、计算机终端或者类似的运算装置中执行。以运行在移动终端上为例，图 5 是本申请实施例的一种控制数据传输的方法的移动终端的硬件结构框图。如图 5 所示，移动终端可以包括一个或多个（图 5 中仅示出一个）处理器 502（处理器 502 可以包括但不限于微处理器 MCU 或可编程逻辑器件 FPGA 等的处理装置）和被设置为存储数据的存储器 504，其中，上述移动终端还可以包括被设置为通信功能的传输设备 506 以及输入输出设备 508。本领域普通技术人员可以理解，图 5 所示的结构仅为示意，其并不对上述移动终端的结构造成限定。例如，移动终端还可包括比图 1 中所示更多或者更少的组件，或者具有与图 5 所示不同的配置。

存储器 504 可被设置为存储计算机程序，例如，应用程序的软件程序以及模块，如本申请实施例中的控制数据传输的方法对应的计算机程序，处理器 502 通过运行存储在存储器 504 内的计算机程序，从而执行各种功能应用以及数据处理，即实现上述的方法。存储器 504 可包括高速随机存储器，还可包括非易失性存储器，如一个或者多个磁性存储装置、闪存、或者其他非易失性固态存储器。在一些实例中，存储器 504 可包括相对于处理器 502 远程设置的存储器，这些远程存储器可以通过网络连接至移动终端。上述网络的实例包括但不限于互联网、企业内部网、局域网、移动通信网及其组合。

传输设备 506 被设置为经由一个网络接收或者发送数据。上述的网络实例可包括移

动终端的通信供应商提供的无线网络。在一个实例中，传输设备 506 包括一个网络适配器 (Network Interface Controller, 简称为 NIC)，其可通过基站与其他网络设备相连从而可与互联网进行通讯。在一个实例中，传输设备 506 可以为射频 (Radio Frequency, 简称为 RF) 模块，其被设置为通过无线方式与互联网进行通讯。

在本实施例中提供了一种控制数据传输的方法，图 6 是根据本申请实施例的控制数据传输的方法的流程图，如图 6 所示，该流程包括如下步骤：

步骤 S602，通过上行端口接收主机发送的数据请求，其中，数据请求中包括待传输的数据，主机是支持 PCIe 协议的设备或支持 CXL 协议的设备；

步骤 S604，响应数据请求，从路由表中查找主机的路由信息；

步骤 S606，按照路由信息将数据传输至与上行端口对应的下行端口连接的处理器和/或内存模组中，其中，下行端口与上行端口对应连接，处理器和内存模组均是支持 PCIe 协议的设备或支持 CXL 协议的设备。

其中，上述步骤的执行主体可以为控制芯片中设置的处理器，或者与终端或者服务器相对独立设置的处理器或者处理设备，但不限于此。

本实施例可以应用于需要高速数据传输和大规模数据处理的场景中，例如数据中心，高性能计算，人工智能云计算等场景。

在本实施例中，控制芯片是支持 CXL 协议的芯片，包括高速互连架构 CXL Switch Fabric。CXL Switch Fabric 可以连接多个 CXL 设备，形成一个共享资源的计算平台。CXL Switch Fabric 给 CXL 设备提供了一个可扩展、灵活的基础架构，可以通过在 CXL 设备之间提供高速的点对点连接来实现设备之间的通信和数据传输。CXL 设备可以是主机也可以是处理器、内存模组等设备。

可选地，CXL Switch Fabric 架构分为三层：事务层 (Transaction Layer)、链路层 (Link Layer) 和物理层 (Physical Layer)。为了同时兼容 PCIe 协议和 CXL 协议，CXL Switch Fabric 架构中提供了 Flex Bus 端口，使设备可以在 PCIe 设备和 CXL 设备中进行选择。CXL.cache 和 CXL.mem 协议被组合在一起共享一个公共的事务层和链路层，而 CXL.io 拥有自己的事务层和链路层。CXL 链路层与 CXL ARB 或 MUX 交互，从而交织来自两个逻辑流的流量。物理层中还包含两个子层，分别是逻辑子层和电气子层。其中，逻辑子层可以在 PCIe 模式和 CXL 模式之间切换，而电气子层则遵循 PCIe 规范。在事务层中，CXL.io 为 I/O 设备提供了一个非一致性的加载或存储接口。

可选地，处理器可以是 CPU，也可以是 GPU，CPU 与 GPU 之间可以绕过 PCIe 协议，用 CXL 协议来共享，互取对方的内存资源。透过 CXL 协议，CPU 与 GPU 之间形同连成单

一个庞大的堆栈内存池，本实施例中的，GPU BOX 既可以支持 PCIE 协议，又可以支持 CXL 协议。如图 2 所示，CXL 数据传输板卡可以是 CXL Switch 板，控制芯片可以是 CXL Switch 芯片，处理器可以是 GPU，上行设备可以连接多个主机 HOST，下行设备可以连接 GPU BOX，也可以接内存模组，配置灵活。且每个主机均可以和不同的下行设备连接，通过改变 CXL Switch 芯片的烧录信息来改变主机 HOST 和下行设备的连接关系。连接的上行设备和下行设备的数量可以由 CXL Switch 芯片的功能决定。

可选地，在下行设备为 GPU BOX 时，GPU BOX 内部支持 16 个 GPU 插槽，与 CXL Switch 芯片通过 CDFP 线缆进行互联，板载 CPLD 被设置为控制 BOX 的上电时序，板载总线主控制器 BMC (Bus Master Controller) 被设置为管理 GPU 的工作状态。

可选地，内存模组是基于 CXL 总线协议的设备，可以实现内存远端拓展，多主机共享内存，内存板的 CDFP 接口通过 CDFP 线缆与 CXL Switch 板卡互联，板载 BMC 和 CPLD 负责 CXL Switch 板卡的管理，包括散热控制、上下电、状态指示等。

通过上述步骤，CXL 数据传输板卡中的控制芯片是支持 CXL 协议的芯片，并部署了上行端口和下行端口；上行端口与主机连接，其中，主机是支持 PCIe 协议的设备或支持 CXL 协议的设备；下行端口与处理器和/或内存模组连接，下行端口与上行端口对应连接，使得主机即可以接处理器又可以接内存模组，从而可以根据实际需要灵活配置处理器和内存模组的数量。因此，可以解决相关技术中存在的无法根据不同的工作负载进行资源的重新调配的问题，达到实现灵活调配资源的效果。

在一个示例性实施例中，上行端口和下行端口均为 N 个， N 是大于 1 的自然数。上行端口和下行端口均为 N 个， N 是大于 1 的自然数。 N 的取值由控制芯片的功能确定，例如， N 可以是 16，也可以是 4 等，如图 2 所示，CXL Switch 芯片中设置 6 个上下行端口。本实施例通过灵活设备 N 的取值，可以灵活的设置连接的上下行设备，实现对资源的灵活调配。

在一个示例性实施例中，响应数据请求，从路由表中查找主机的路由信息之前，方法还包括：设置 N 个上行端口和 N 个下行端口之间的 CXL 链路的拓扑，其中，CXL 链路被设置为连接对应的上行端口和下行端口；基于 CXL 链路的拓扑确定主机与处理器和/或内存模组之间的路由，得到路由表。其中，按照路由信息将数据传输至与上行端口对应的下行端口连接的处理器和/或内存模组中，包括：通过下行端口将数据缓存至缓存单元中；从路由信息中选择目标路由；按照目标路由将缓存单元中的数据传输至下行端口连接的处理器和/或内存模组中。

在本实施例中，在控制芯片是 CXL Switch Fabric 架构的芯片时，控制单元可以是

多个 CXL Switch Fanout 组成, CXL switch Fanout 指的是在 CXL Switch Fabric 中, 将一条 CXL 链路复制到多个另外的链路的过程。这个过程允许多个设备能够同时访问和共享同一个 CXL 链路上的设备, 从而提高系统性能和可扩展性。控制芯片能够实现 CXL switch Fanout 是因为 CXL 支持点对点拓扑结构, 可以允许多个设备通过一条 CXL 链路相互通信, 在链路中转数据包。CXL switch Fanout 的主要用途是提高系统中多个设备之间的连接效率和数据吞吐量。CXL 设备通过 CXL 端口与 CXL Switch Fabric 连接。CXL Switch Root 维护着一个路由表, 用于存储和管理网络中各个节点之间的路由信息。当 CXL 设备发送数据请求时, 路由表选择最佳路径, 将数据转发到目的 CXL 设备, 例如, 将 HOST1 中的数据传输至内存模组中存储。CXL 数据传输板卡中的 CXL 端口的流量管理器将数据按顺序存储在缓存区中, 以便快速处理和传输。CXL Switch Fabric 根据输入端口和路由表的信息, 在缓冲区中选择最佳路径, 并将数据转发到目标 CXL 设备的端口。在转发数据的同时, CXL Switch Fabric 还需要确保控制芯片内部通信速度的稳定和性能的一致性。当 CXL 设备需要返回数据时, CXL Switch Fabric 同样会根据路由信息和缓存区的状态, 找到最佳的路径, 将数据传输到目标设备。

在一个示例性实施例中, 按照路由信息将数据传输至与上行端口对应的下行端口连接的处理器和/或内存模组中之前, 方法还包括: 在主机与处理器和/或内存模组建立连接的情况下, 识别处理器和/或内存模组支持的协议类型, 以按照处理器和/或内存模组支持的协议类型将数据传输至处理器和/或内存模组支持的协议类型。在本实施例中, 通过 BIOS 命令去识别端口连接的是 PCIe 设备还是 CXL 设备。例如, 主机以 Intel Eagle Stream 系列的 CPU 为例, CXL 互连完全依赖于 PCIe 5.0 电气层, 所有拓扑都依赖于 PCIe。Eagle Stream CPU 可以支持 CXL4X16 个通道。CXL 和 PCI Express 设备可以同时工作在给定端口下, 每个设备 8lane。任何 x16 PCI Express 端口都可以连接到 PCI Express 设备或 CXL 设备。识别单元能够自动检测另一端是 PCI Express 卡还是 CXL 设备, 并动态配置链接。在连接 CXL 设备的时候, 应该在 BIOS 提前进行设置 CXL 模式, 还可以通过 BIOS 命令去识别端口连接的是 PCIe 设备还是 CXL 设备。本实施例通过控制芯片可以控制链路拓扑和路由信息, 以及识别设备的类型, 从而可以快速的对资源进行调配。

在一个示例性实施例中, 主机包括 M 个, 处理器包括 P 个, 内存模组包括 K 个, 其中, M、P 以及 K 均是大于或等于 1 的自然数。在 M 大于 1 的情况下, M 个主机共享 K 个内存模组。在 N 为 16 的情况下, M 大于或等于 2 且小于或等于 7。在 N 为 16 的情况下, M 为 7, P 为 7, 处理器和主机一一对应, 或者, 一个主机对应多个处理器, 其中, 主机和

处理器之间通过 PCIe 协议传输数据。

例如，在控制芯片选用 CXL 2.0 switch 芯片的情况下，控制芯片兼容 PCIe 5.0，支持不同的 firmware（写入 EPROM（可擦写可编程只读存储器）或 EEPROM（电可擦可编程只读存储器）中的程序）切换，控制芯片共计 16 个端口 port，每个 port 都可以配置成 PCIe 或者 CXL，支持 PCIe 与 CXL 混用的场景。可以最多接 7 个 HOST，最少接 2 个。在应用于高速计算的场景中时，上行设备可以连接 7 个 HOST，下行设备可以连接 7 个 GPU，每个 HOST 接一个 GPU，可以多路并行处理数据。也可以接 2 个主机，每个主机出 4 路 X16 信号，HOST1 接 4 个 GPU 被设置为加速处理数据，HOST2 接 4X16 的内存模组被设置为读取存储数据；也可以上行连接 4 个主机，下行连接 8X16 的内存模组，走 CXL 协议。每个主机分出两组 X16 port，接两个 X16 内存模组。

可选地，如图 3 所示，在控制芯片的 switch 层面，可以由多个 VCXL 组成，可以根据主机的指令要求，映射到指定的物理端口，最多可以支持分配 16 个逻辑存储空间。每个 VCXL 都有自己的 ID，在主机的控制下用来绑定或者解绑 VCXL 到物理端口的映射，实现不同端口间的配置。

本实施例中的端口可以基于应用实际需求进行灵活配置，主机的数量和主机的端口资源信息也可以进行灵活配置。从而可以实现灵活调配资源的目的。

在一个示例性实施例中，在 K 大于 1 的情况下，一个主机对应多个内存模组，多个内存模组组成一个主机的内存资源池，其中，主机与内存模组之间通过 CXL 协议传输数据，主机的数量和内存模组的数量呈正比关系。

通过以上的实施方式的描述，本领域的技术人员可以清楚地了解到根据上述实施例的方法可借助软件加必需的通用硬件平台的方式来实现，当然也可以通过硬件，但很多情况下前者是更佳的实施方式。基于这样的理解，本申请的技术方案本质上或者说对相关技术做出贡献的部分可以以软件产品的形式体现出来，该计算机软件产品存储在一个非易失性可读存储介质（如 ROM/RAM、磁碟、光盘）中，包括若干指令用以使得一台终端设备（可以是手机，计算机，服务器，或者网络设备等）执行本申请各个实施例的方法。

在本实施例中还提供了一种链路交换的控制系统，链路交换的控制系统包括上述的 CXL 数据传输板卡该装置被设置为实现上述实施例及可选实施方式，已经进行过说明的不再赘述。

本申请的实施例还提供了一种非易失性可读存储介质，该非易失性可读存储介质中存储有计算机程序，其中，该计算机程序被设置为运行时执行上述任一项方法实施例中

的步骤。

在一个示例性实施例中，上述非易失性可读存储介质可以包括但不限于：U 盘、只读存储器（Read-Only Memory，简称为 ROM）、随机存取存储器（Random Access Memory，简称为 RAM）、移动硬盘、磁碟或者光盘等各种可以存储计算机程序的非易失性可读存储介质。

本申请的实施例还提供了一种电子设备，包括存储器和处理器，该存储器中存储有计算机程序，该处理器被设置为运行计算机程序以执行上述任一项方法实施例中的步骤。

本申请的实施例还提供了一种电子设备，图 7 是根据本申请实施例的电子设备的示意图，如图 7 所示，包括存储器和处理器，该存储器中存储有计算机程序，该处理器被设置为运行计算机程序以执行上述任一项方法实施例中的步骤。

在一个示例性实施例中，上述电子设备还可以包括传输设备以及输入输出设备，其中，该传输设备和上述处理器连接，该输入输出设备和上述处理器连接。

本实施例中的示例可以参考上述实施例及示例性实施方式中所描述的示例，本实施例在此不再赘述。

显然，本领域的技术人员应该明白，上述的本申请各模块或各步骤可以用通用的计算装置来实现，它们可以集中在单个的计算装置上，或者分布在多个计算装置所组成的网络上，它们可以用计算装置可执行的程序代码来实现，从而，可以将它们存储在存储装置中由计算装置来执行，并且在某些情况下，可以以不同于此处的顺序执行所示出或描述的步骤，或者将它们分别制作成各个集成电路模块，或者将它们中的多个模块或步骤制作成单个集成电路模块来实现。这样，本申请不限制于任何特定的硬件和软件结合。

以上仅为本申请的可选实施例而已，并不用于限制本申请，对于本领域的技术人员来说，本申请可以有各种更改和变化。凡在本申请的原则之内，所作的任何修改、等同替换、改进等，均应包含在本申请的保护范围之内。

权 利 要 求 书

1. 一种 CXL 数据传输板卡，其特征在于，包括：

控制芯片，所述控制芯片是支持开放式互连标准 CXL 协议的芯片，所述控制芯片上部署了上行端口和下行端口；

所述上行端口与主机连接，其中，所述主机是支持高速串行计算机扩展总线标准 PCIe 协议的设备或支持所述 CXL 协议的设备；

所述下行端口与处理器和/或内存模组连接，所述下行端口与所述上行端口对应连接，所述主机被设置为通过所述上行端口将数据传输至对应的所述下行端口，以通过所述下行端口将所述数据传输至所述处理器和/或所述内存模组，其中，所述处理器和所述内存模组均是支持所述 PCIe 协议的设备或支持所述 CXL 协议的设备。

2. 根据权利要求 1 所述的 CXL 数据传输板卡，其特征在于，所述上行端口和所述下行端口均为 N 个，所述 N 是大于 1 的自然数。

3. 根据权利要求 2 所述的 CXL 数据传输板卡，其特征在于，所述控制芯片包括：

控制单元，所述控制单元被设置为控制所述上行端口和所述下行端口之间的 CXL 链路的拓扑，其中，所述 CXL 链路被设置为连接对应的所述上行端口和所述下行端口。

4. 根据权利要求 2 所述的 CXL 数据传输板卡，其特征在于，所述控制芯片包括：

管理单元，所述管理单元被设置为管理所述主机与所述处理器和/或所述内存模组之间的路由信息。

5. 根据权利要求 2-4 任一项所述的 CXL 数据传输板卡，其特征在于，所述控制芯片包括：

识别单元，所述识别单元与所述处理器和/或所述内存模组连接，所述识别单元被设置为在所述主机与所述处理器和/或所述内存模组建立连接的情况下，识别所述处理器和/或所述内存模组支持的协议类型。

6. 根据权利要求 2 所述的 CXL 数据传输板卡，其特征在于，所述主机包括 M 个，所述处理器包括 P 个，所述内存模组包括 K 个，其中，所述 M、所述 P 以及所述 K 均是大于或等于 1 的自然数。

7. 根据权利要求 6 所述的 CXL 数据传输板卡，其特征在于，在所述 M 大于 1 的情况下，M 个所述主机共享 K 个所述内存模组。

8. 根据权利要求 6 所述的 CXL 数据传输板卡，其特征在于，所述 N 为 16，所述 M 大于或等于 2 且小于或等于 7。

9. 根据权利要求 6 所述的 CXL 数据传输板卡，其特征在于，所述 N 为 16，所述 M 为

7, 所述 P 为 7, 所述处理器和所述主机一一对应, 或者, 一个所述主机对应多个所述处理器, 其中, 所述主机和所述处理器之间通过所述 PCIe 协议传输数据。

10. 根据权利要求 6 所述的 CXL 数据传输板卡, 其特征在于, 在所述 K 大于 1 的情况下, 一个所述主机对应多个所述内存模组, 多个所述内存模组组成一个所述主机的内存资源池, 其中, 所述主机与所述内存模组之间通过所述 CXL 协议传输数据, 所述主机的数量和所述内存模组的数量呈正比关系。

11. 根据权利要求 1 所述的 CXL 数据传输板卡, 其特征在于, 还包括:

连接器, 所述连接器连接所述控制芯片和管理器, 其中, 所述管理器被设置为通过所述连接器管理所述控制芯片的运行。

12. 根据权利要求 1 所述的 CXL 数据传输板卡, 其特征在于, 还包括:

时钟发生器, 所述时钟发生器与所述控制芯片连接, 被设置为产生启动所述控制芯片的第一初始化时钟信号, 并被设置为在所述控制芯片启动之后, 产生协调所述控制芯片的时钟频率的第一时钟信号。

13. 根据权利要求 12 所述的 CXL 数据传输板卡, 其特征在于, 所述时钟发生器通过预设接口与所述控制芯片、所述处理器以及所述内存模组均连接, 被设置为分别产生启动所述控制芯片、所述处理器以及所述内存模组的第二初始化时钟信号, 并被设置为在所述控制芯片、所述处理器以及所述内存模组启动之后, 产生协调所述控制芯片、所述处理器以及所述内存模组的时钟频率的第二时钟信号。

14. 根据权利要求 12 所述的 CXL 数据传输板卡, 其特征在于, 所述 CXL 数据传输板卡还包括:

调试设备, 所述调试设备与所述控制芯片连接, 被设置为对所述控制芯片的 CXL 性能进行调试。

15. 根据权利要求 1 所述的 CXL 数据传输板卡, 其特征在于, 还包括:

所述控制芯片的 SWITCH 层面包括多个虚拟 CXL, 所述虚拟 CXL 用于根据所述主机的指令, 映射到所述控制芯片中指定的物理端口, 以进行不同的上行端口和下行端口之间的配置, 其中, 不同的所述上行端口和所述下行端口之间的配置对应不同数量的处理器和内存模组的配置。

16. 一种控制数据传输的方法, 其特征在于, 包括:

通过上行端口接收主机发送的数据请求, 其中, 所述数据请求中包括待传输的数据, 所述主机是支持 PCIe 协议的设备或支持 CXL 协议的设备;

响应所述数据请求, 从路由表中查找所述主机的路由信息;

按照所述路由信息将所述数据传输至与所述上行端口对应的下行端口连接的处理器和/或内存模组中，其中，所述下行端口与所述上行端口对应连接，所述处理器和所述内存模组均是支持所述 PCIe 协议的设备或支持所述 CXL 协议的设备。

17. 根据权利要求 16 所述的方法，其特征在于，所述上行端口和所述下行端口均为 N 个，所述 N 是大于 1 的自然数。

18. 根据权利要求 16 所述的方法，其特征在于，响应所述数据请求，从路由表中查找所述主机的路由信息之前，所述方法还包括：

设置 N 个所述上行端口和 N 个所述下行端口之间的 CXL 链路的拓扑，其中，所述 CXL 链路用于连接对应的所述上行端口和所述下行端口；

基于所述 CXL 链路的拓扑确定所述主机与所述处理器和/或所述内存模组之间的路由，得到所述路由表。

19. 根据权利要求 16 所述的方法，其特征在于，按照所述路由信息将所述数据传输至与所述上行端口对应的下行端口连接的处理器和/或内存模组中，包括：

通过所述下行端口将所述数据缓存至缓存单元中；

从所述路由信息中选择目标路由；

按照所述目标路由将所述缓存单元中的所述数据传输至所述下行端口连接的所述处理器和/或所述内存模组中。

20. 根据权利要求 16 所述的方法，其特征在于，按照所述路由信息将所述数据传输至与所述上行端口对应的下行端口连接的处理器和/或内存模组中之前，所述方法还包括：

在所述主机与所述处理器和/或所述内存模组建立连接的情况下，识别所述处理器和/或所述内存模组支持的协议类型，以按照所述处理器和/或所述内存模组支持的协议类型将所述数据传输至所述处理器和/或所述内存模组支持的协议类型。

21. 根据权利要求 16 所述的方法，其特征在于，所述主机包括 M 个，所述处理器包括 P 个，所述内存模组包括 K 个，其中，所述 M、所述 P 以及所述 K 均是大于或等于 1 的自然数。

22. 根据权利要求 21 所述的方法，其特征在于，在所述 M 大于 1 的情况下，M 个所述主机共享 K 个所述内存模组。

23. 根据权利要求 21 所述的方法，其特征在于，N 为 16，所述 M 大于或等于 2 且小于或等于 7，其中，所述 N 是所述上行端口和所述下行端口的数量，所述 N 是大于 1 的自然数。

24. 根据权利要求 21 所述的方法, 其特征在于, N 为 16, 所述 M 为 7, 所述 P 为 7, 所述处理器和所述主机一一对应, 或者, 一个所述主机对应多个所述处理器, 其中, 所述主机和所述处理器之间通过所述 PCIe 协议传输数据, 所述 N 是所述上行端口和所述下行端口的数量, 所述 N 是大于 1 的自然数。

25. 根据权利要求 21 所述的方法, 其特征在于, 在所述 K 大于 1 的情况下, 一个所述主机对应多个所述内存模组, 多个所述内存模组组成一个所述主机的内存资源池, 其中, 所述主机与所述内存模组之间通过所述 CXL 协议传输数据, 所述主机的数量和所述内存模组的数量呈正比关系。

26. 根据权利要求 16 所述的方法, 其特征在于, 控制芯片的 SWITCH 层面包括多个虚拟 CXL, 所述虚拟 CXL 用于根据所述主机的指令, 映射到所述控制芯片中指定的物理端口, 以进行不同的上行端口和下行端口之间的配置, 其中, 不同的所述上行端口和所述下行端口之间的配置对应不同数量的处理器和内存模组的配置, 所述控制芯片是支持开放式互连标准 CXL 协议的芯片, 所述控制芯片上部署了上行端口和下行端口。

27. 一种链路交换的控制系统, 其特征在于, 所述链路交换的控制系统包括权利要求 1 至 15 任一项所述的 CXL 数据传输板卡。

28. 一种非易失性可读存储介质, 其特征在于, 所述非易失性可读存储介质中存储有计算机程序, 其中, 所述计算机程序被处理器执行时实现所述权利要求 16 至 26 任一项中所述的方法的步骤。

29. 一种电子设备, 包括存储器、处理器以及存储在所述存储器上并可在所述处理器上运行的计算机程序, 其特征在于, 所述处理器执行所述计算机程序时实现所述权利要求 16 至 26 任一项中所述的方法的步骤。

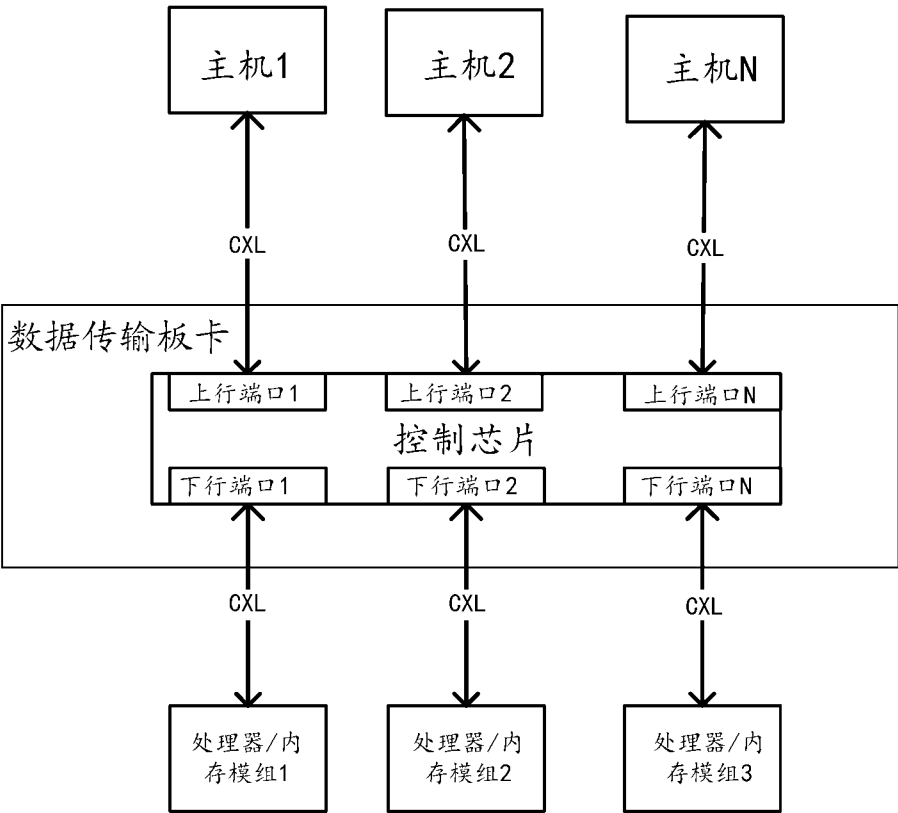


图 1

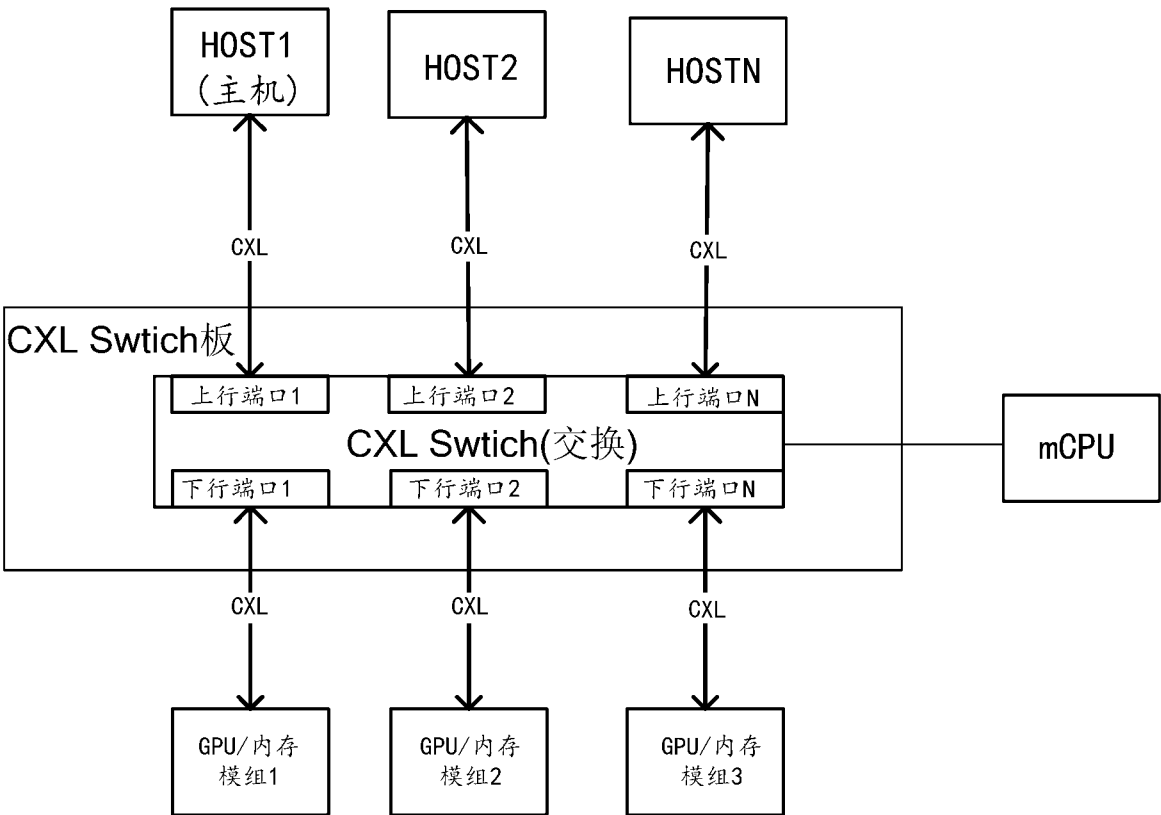


图 2

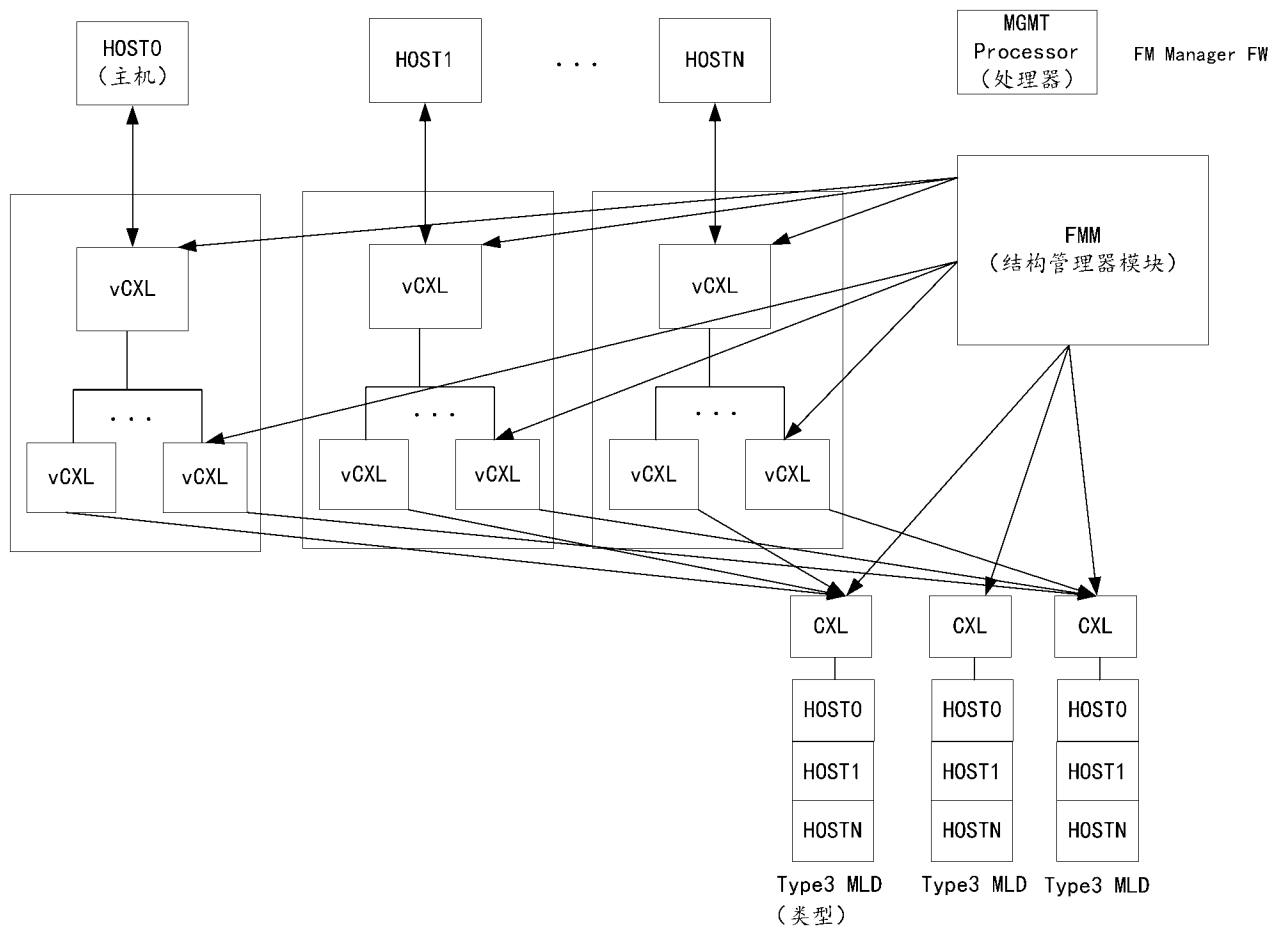


图 3

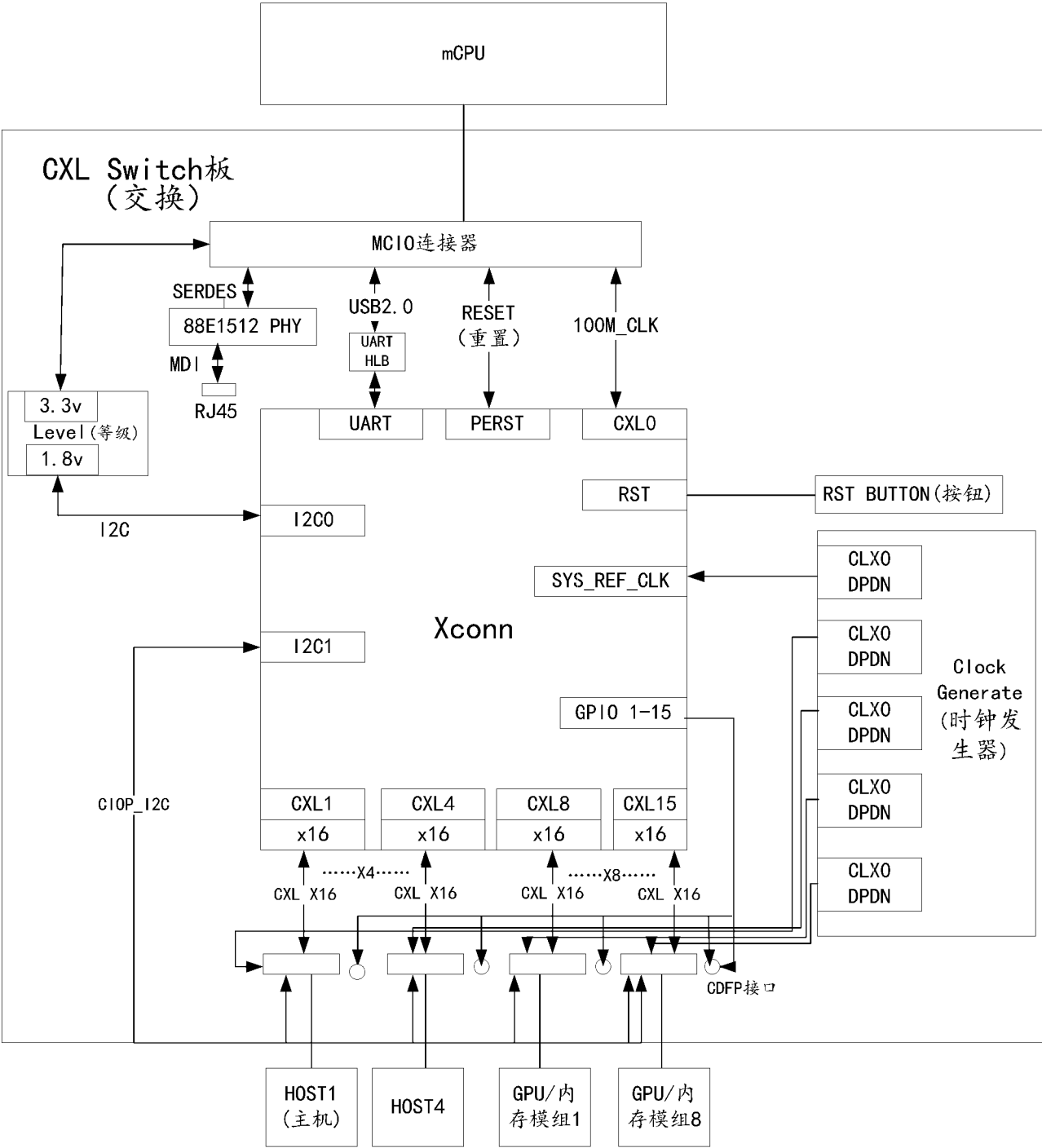


图 4

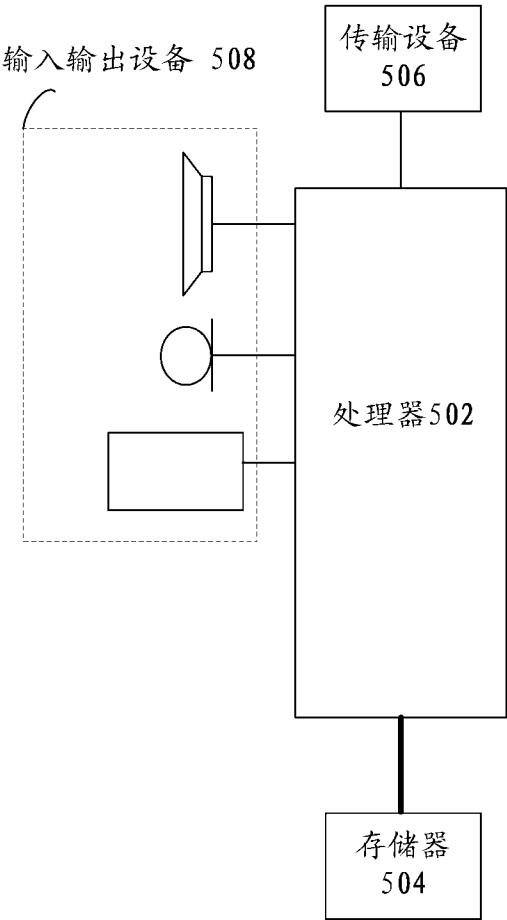


图 5

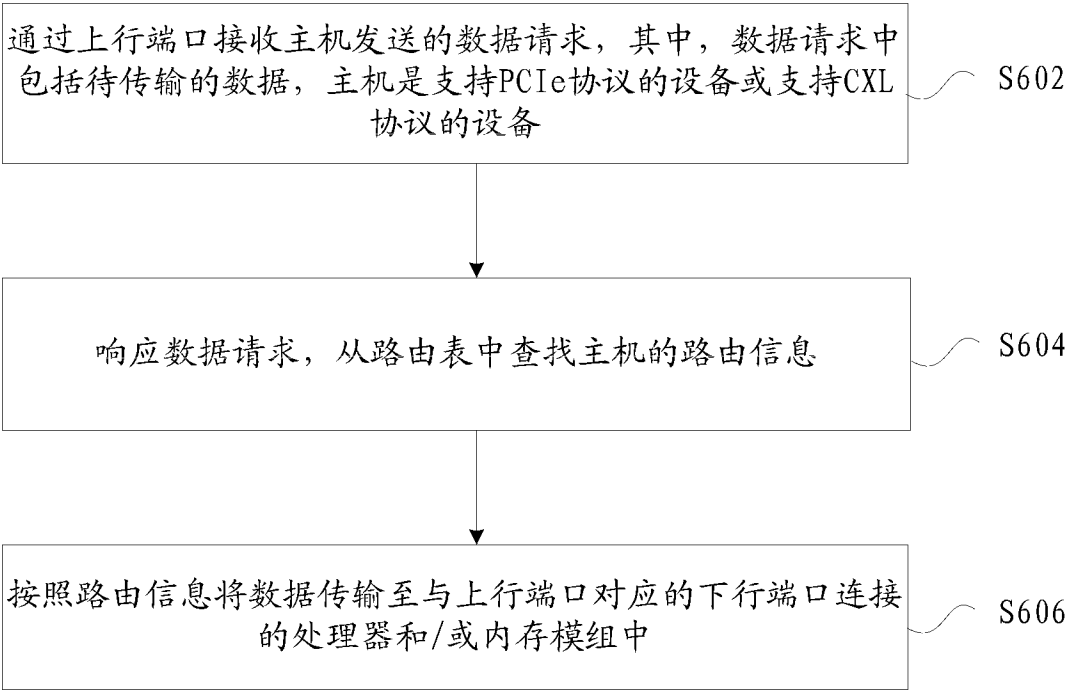


图 6

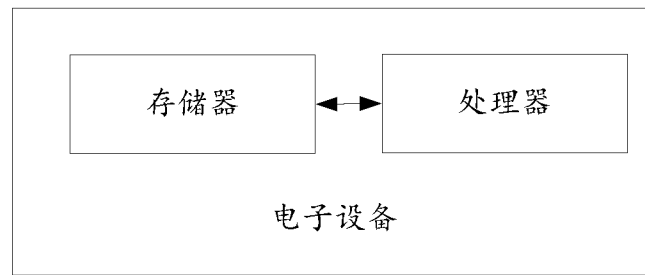


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/083114

A. CLASSIFICATION OF SUBJECT MATTER G06F13/42(2006.01)i; H04L49/111(2022.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G06F H04L Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNTXT, CNABS, ENTXTC, VEN, ENTXT, CNKI: 计算快速链路, 内存, 扩展, 虚拟, 负载, 端口, 主机, 处理器, 上行, 下行, CXL, memory, expansion, virtual, load, port, host, CPU, uplink, downlink		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 116501681 A (SUZHOU INSPUR INTELLIGENT TECHNOLOGY CO., LTD.) 28 July 2023 (2023-07-28) description, paragraphs 26-82	1-29
X	US 2023029026 A1 (INTEL CORP.) 26 January 2023 (2023-01-26) description, paragraphs 31-103, and figures 1-11	1-14, 16-25, 27-29
Y	US 2023029026 A1 (INTEL CORP.) 26 January 2023 (2023-01-26) description, paragraphs 31-103, and figures 1-11	15, 26
Y	CN 113742256 A (SAMSUNG ELECTRONICS CO., LTD.) 03 December 2021 (2021-12-03) description, paragraphs 46-55	15, 26
A	CN 116126742 A (SUZHOU INSPUR INTELLIGENT TECHNOLOGY CO., LTD.) 16 May 2023 (2023-05-16) entire document	1-29
A	CN 116166434 A (SUZHOU INSPUR INTELLIGENT TECHNOLOGY CO., LTD.) 26 May 2023 (2023-05-26) entire document	1-29
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 09 May 2024		Date of mailing of the international search report 26 May 2024
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2024/083114

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	116501681	A	28 July 2023	CN	116501681	B	29 September 2023
US	2023029026	A1	26 January 2023	None			
CN	113742256	A	03 December 2021	TW	202145767	A	01 December 2021
				EP	3920034	A1	08 December 2021
				US	2021374056	A1	02 December 2021
				KR	20210147976	A	07 December 2021
				EP	3920034	A4	08 December 2021
CN	116126742	A	16 May 2023	None			
CN	116166434	A	26 May 2023	None			

A. 主题的分类

G06F13/42(2006.01)i; H04L49/111(2022.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G06F H04L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTEXT,CNABS,ENTXTTC,VEN,ENTXT,CNKI:计算快速链路,内存,扩展,虚拟,负载,端口,主机,处理器,上行,下行, CXL, memory, expansion, virtual, load, port, host, CPU, uplink, downlink

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 116501681 A (苏州浪潮智能科技有限公司) 2023年7月28日 (2023 - 07 - 28) 说明书第26-82段	1-29
X	US 2023029026 A1 (INTEL CORP) 2023年1月26日 (2023 - 01 - 26) 说明书第31-103段, 图1-11	1-14,16-25,27-29
Y	US 2023029026 A1 (INTEL CORP) 2023年1月26日 (2023 - 01 - 26) 说明书第31-103段, 图1-11	15,26
Y	CN 113742256 A (三星电子株式会社) 2021年12月3日 (2021 - 12 - 03) 说明书第46-55段	15,26
A	CN 116126742 A (苏州浪潮智能科技有限公司) 2023年5月16日 (2023 - 05 - 16) 全文	1-29
A	CN 116166434 A (苏州浪潮智能科技有限公司) 2023年5月26日 (2023 - 05 - 26) 全文	1-29

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年5月9日

国际检索报告邮寄日期

2024年5月26日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

徐鹏

电话号码 (+86) 027-59371855

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2024/083114

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	116501681	A	2023年7月28日	CN 116501681 B	2023年9月29日
US	2023029026	A1	2023年1月26日	无	
CN	113742256	A	2021年12月3日	TW 202145767 A	2021年12月1日
				EP 3920034 A1	2021年12月8日
				US 2021374056 A1	2021年12月2日
				KR 20210147976 A	2021年12月7日
				EP 3920034 A4	2021年12月8日
CN	116126742	A	2023年5月16日	无	
CN	116166434	A	2023年5月26日	无	