

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4877413号
(P4877413)

(45) 発行日 平成24年2月15日(2012.2.15)

(24) 登録日 平成23年12月9日(2011.12.9)

(51) Int. Cl. F 1
G09F 9/00 (2006.01) G09F 9/00 346D
G02F 1/1345 (2006.01) G02F 1/1345

請求項の数 9 (全 15 頁)

(21) 出願番号	特願2010-242011 (P2010-242011)	(73) 特許権者	000002185
(22) 出願日	平成22年10月28日(2010.10.28)		ソニー株式会社
(62) 分割の表示	特願2000-171700 (P2000-171700) の分割		東京都港区港南1丁目7番1号
原出願日	平成12年6月8日(2000.6.8)	(74) 代理人	100120640
(65) 公開番号	特開2011-70206 (P2011-70206A)		弁理士 森 幸一
(43) 公開日	平成23年4月7日(2011.4.7)	(74) 代理人	100118290
審査請求日	平成22年11月19日(2010.11.19)		弁理士 吉井 正明
		(74) 代理人	100094363
			弁理士 山本 孝久
		(72) 発明者	猪野 益充
			東京都港区港南1丁目7番1号 ソニー株式会社社内
		審査官	佐藤 久則

最終頁に続く

(54) 【発明の名称】 表示装置およびこれを用いた携帯端末

(57) 【特許請求の範囲】

【請求項1】

複数の画素が行列状に配置されてなる画素部と、
 前記画素部に対して画素信号を書き込むべく駆動する駆動系と、
 前記駆動系を制御する制御系と、
 を備え、
 前記駆動系は、基準電圧選択型のD/Aコンバータを含む水平ドライバを有し、
 前記制御系は、第1の直流電圧を第2の直流電圧に変換するDC-DCコンバータ及び
当該DC-DCコンバータから前記第2の直流電圧が供給され、互いに電圧値の異なる複
数の基準電圧を発生して前記D/Aコンバータの基準電圧とする基準電圧発生源を有し、
 前記制御系は、前記水平ドライバと一体に半導体チップで構成され、
 前記半導体チップは、前記画素部が形成された基板と同一の基板上に実装されてなる
 表示装置。

10

【請求項2】

前記水平ドライバは、前記画素部に配線された信号ラインに対して前記半導体チップの
 外部接続端子を介して前記D/Aコンバータから出力されるアナログ画像信号を供給する
 請求項1に記載の表示装置。

【請求項3】

前記駆動系は、垂直ドライバをさらに有し、
前記垂直ドライバは、前記DC-DCコンバータから前記第2の直流電圧が供給されて

20

垂直走査を行い、

前記水平ドライバは、前記DC - DCコンバータから前記第2の直流電圧が供給され、前記基準電圧発生源から前記基準電圧が供給されて前記垂直ドライバにより選択された行に画像信号を書き込む

請求項1または請求項2に記載の表示装置。

【請求項4】

前記制御系は、前記半導体チップ内にさらにタイミングコントローラを有し、前記水平ドライバは、前記タイミングコントローラにより生成された水平スタートパルスおよび水平クロック信号に基づいて動作し、

前記垂直ドライバは、前記タイミングコントローラにより生成された垂直スタートパルスおよび垂直クロック信号に基づいて動作する

請求項3に記載の表示装置。

【請求項5】

前記駆動系は、前記水平ドライバから前記半導体チップの外部接続端子を介して出力される時系列の画像信号電圧を時分割でサンプリングする手段を有する

請求項1乃至請求項4のいずれか1項に記載の表示装置。

【請求項6】

前記画素部の画素トランジスタを構成するトランジスタが薄膜トランジスタであり、

前記薄膜トランジスタがポリシリコンからなり、

前記半導体チップが単結晶シリコンからなる

請求項1乃至請求項5のいずれか1項に記載の表示装置。

【請求項7】

前記半導体チップがCOG法によって実装されている

請求項1乃至請求項6のいずれか1項に記載の表示装置。

【請求項8】

前記第1の基板および前記第2の基板の少なくとも一方がシリコン酸化物または有機材料からなる

請求項1乃至請求項7のいずれか1項に記載の表示装置。

【請求項9】

複数の画素が行列状に配置されてなる画素部と、

前記画素部に対して画素信号を書き込むべく駆動する駆動系と、

前記駆動系を制御する制御系と、

を備え、

前記駆動系は、基準電圧選択型のD/Aコンバータを含む水平ドライバを有し、

前記制御系は、第1の直流電圧を第2の直流電圧に変換するDC - DCコンバータ及び当該DC - DCコンバータから前記第2の直流電圧が供給され、互いに電圧値の異なる複数の基準電圧を発生して前記D/Aコンバータの基準電圧とする基準電圧発生源を有し、

前記制御系は、前記水平ドライバと一体に半導体チップで構成され、

前記半導体チップは、前記画素部が形成された基板と同一の基板上に実装されてなる

表示装置を表示部として用いた

携帯端末。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置およびこれを用いた携帯端末に関し、特に液晶ディスプレイ(LCD; liquid crystal display)やエレクトロルミネセンス(EL; electro luminescence)ディスプレイなどの表示装置およびこれを表示部として用いた携帯端末に関する。

【背景技術】

【0002】

テレビジョン受像機、コンピュータあるいは携帯端末などの表示装置として、近年、薄

10

20

30

40

50

型で低消費電力のパネルディスプレイが多用されるようになってきている。このパネルディスプレイとしては、ガラス基板等の透明絶縁基板（パネル）上に、スイッチング素子として例えばTFT(thin film transistor；薄膜トランジスタ)を用いた画素を行列状に多数配列し、液晶やエレクトロルミネセンス等の電気光学効果を有する物質と組み合わせたアクティブマトリクス型表示装置が知られている。

【0003】

このアクティブマトリクス型表示装置として、従来、例えば、画素部を駆動するために基板上に形成される周辺回路のうちの少なくとも一部の周辺回路を、画素に接続されたアクティブ素子と同様の相補型のTFTで構成し、残りの周辺回路を半導体チップで構成した液晶表示装置が知られている（例えば、特許文献1参照）。

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平4-242724号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

この従来技術の場合には、図12に示すように、一部の周辺回路101が形成された透明絶縁基板102と、これと対向配置された透明絶縁基板（対向基板）103との間に液晶層104を保持してなる液晶表示装置において、半導体チップで構成した周辺回路、即ちICチップ105を、透明絶縁基板102の周辺回路101とは反対側の面に取り付け、フレキシブルケーブル106を用いて周辺回路101との間の電氣的接続をなす構成を採ることになる。

20

【0006】

しかしながら、かかる構成を採った場合に、図12から明らかなように、ICチップ105およびフレキシブルケーブル106の厚み t_a （例えば、1mm程度）の分だけ液晶表示装置全体の肉厚 t_b が厚くなる。したがって、当該液晶表示装置を表示部として用いる機器の厚みも厚くなってしまふ。特に、携帯端末、例えば携帯電話機では、装置本体の薄型化が進められており、この携帯電話機の表示部として用いられる液晶表示装置の肉厚 t_b が厚いと、電話機本体の薄型化の妨げとなる。

30

【0007】

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、装置全体の薄型化を可能とした表示装置およびこれを用いた携帯端末を提供することにある。

【課題を解決するための手段】

【0008】

本発明による表示装置は、複数の画素が行列状に配置されてなる画素部とこの画素部に対して画素信号を書き込むべく駆動する駆動系とが形成された第1の基板と、第1の基板に対して所定の間隔をもって対向配置された第2の基板と、第1、第2の基板間に保持された電気光学効果を有する物質層とを具備する表示装置であって、上記駆動系を制御する制御系を有し、この制御系が半導体チップで第1の基板上に形成された構成となっている。そして、この表示装置は、携帯電話機などの携帯端末において、その表示部として用いられる。

40

【0009】

上記構成の表示装置およびこれを用いた携帯端末において、駆動系が形成された基板上に、当該駆動系を制御する制御系を半導体チップで形成することで、表示装置全体の厚さが半導体チップの厚さに依存することがない。したがって、表示装置全体の薄型化、ひいてはこれを表示部として用いる携帯端末の薄型化が図れる。

【発明の効果】

【0010】

本発明によれば、駆動系が形成された基板上に、当該駆動系を制御する制御系を半導体

50

チップで形成するようにしたことにより、表示装置全体の厚さが半導体チップの厚さに依存することがないため、表示装置全体の薄型化、ひいてはこれを表示部として用いる携帯端末の薄型化を図ることができる。

【図面の簡単な説明】

【0011】

【図1】本発明の一実施形態に係る液晶表示装置の構成例を示す概略構成図であり、アナログ点順次駆動方式のアクティブマトリクス型液晶表示装置に適用された場合を示している。

【図2】アナログ点順次駆動方式のアクティブマトリクス型液晶表示装置における垂直ドライバの構成の一例を示すブロック図である。

10

【図3】アナログ点順次駆動方式のアクティブマトリクス型液晶表示装置における水平ドライバの構成の一例を示すブロック図である。

【図4】ポリシリコンTFTの断面構造を示す断面図であり、(a)はボトムゲート構造の場合を、(b)はトップゲート構造の場合をそれぞれ示している。

【図5】本発明の一実施形態に係る液晶表示装置の横断面図である。

【図6】透明絶縁基板上の回路部分とICチップとの電気的な接続部分の構造を示す断面図である。

【図7】本発明が適用された時分割駆動方式のアクティブマトリクス型液晶表示装置の構成例を示す概略構成図である。

【図8】時分割駆動方式のアクティブマトリクス型液晶表示装置における水平ドライバの構成の一例を示すブロック図である。

20

【図9】時分割スイッチ部の構成の一例を示す回路図である。

【図10】本発明の応用例を示す概略構成図である。

【図11】本発明に係る携帯電話機の構成の概略を示す外観図である。

【図12】従来例に係る液晶表示装置を示す横断面図である。

【発明を実施するための形態】

【0012】

以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明の一実施形態に係る液晶表示装置の構成例を示す概略構成図であり、アナログ点順次駆動方式のアクティブマトリクス型液晶表示装置に適用された場合を示している。

30

【0013】

図1において、本実施形態に係るアクティブマトリクス型液晶表示装置は、画素11が行列状に多数配列されてなる画素部(有効画素領域)12、画素部12の各画素11を行単位で順次選択する垂直ドライバ13、行単位で選択された各画素11に画素信号を書き込む水平ドライバ14およびこれらドライバ13, 14をコントロールする制御系15がLCDパネル16上に実装された構成となっている。

【0014】

LCDパネル16は、2枚の透明絶縁基板(例えば、ガラス基板)を有し、画素部12において、一方の基板上にm行分のゲートライン(垂直選択ライン)17-1~17-mとn列分の信号ライン(ソースライン)18-1~18-nとがマトリクス状に配線されるとともに、所定の間隔をもって対向配置された他方の基板との間に液晶層が保持された構造となっている。そして、ゲートライン17-1~17-mと信号ライン18-1~18-nとの各交叉部分に画素11が配される。

40

【0015】

画素11の各々は、ゲート電極がゲートライン17-1~17-mに接続され、ソース電極が信号ライン18-1~18-nに接続された画素トランジスタであるポリシリコンTFT19と、このTFT19のドレイン電極に画素電極が接続された液晶セル(液晶容量)20と、TFT19のドレイン電極に一方の電極が接続された補助容量21とから構成されている。

【0016】

50

この画素構造において、液晶セル20は、TFT19で形成される画素電極とこれに対応して形成される対向電極との間で発生する容量を意味する。この液晶セル20の対向電極は、補助容量21の他方の電極と共にコモン線22に接続されている。コモン線22には、所定の直流電圧がコモン電圧VCOMとして与えられる。

【0017】

ここで、液晶セル20の駆動法として、例えばコモン電圧VCOMを1H(1水平期間)ごとに反転するいわゆるコモン反転駆動法が採られる。このコモン反転駆動法を用いることにより、コモン電圧VCOMの極性が1Hごとに反転することから、各画素11に画素信号を書き込むための水平ドライバ14の低電源電圧化が図れ、デバイス全体の消費電力の低減に寄与できることになる。

【0018】

垂直ドライバ13は、例えば図2に示すように、シフトレジスタ31、レベルシフト32およびゲートバッファ33を有する構成となっている。シフトレジスタ31は、垂直スタートパルスVSTが入力されると、この垂直スタートパルスVSTを垂直クロックVCKに同期して順次転送することによって各転送段からシフトパルスとして順次出力する。

【0019】

レベルシフト32は、シフトレジスタ31の各転送段から出力されるシフトパルスを昇圧してゲートバッファ33に供給する。ゲートバッファ33は、レベルシフト32で昇圧されたシフトパルスを垂直走査パルスとして画素部12のゲートライン17-1~17-mに順次印加し、画素部12の各画素11を行単位で選択駆動することによって垂直走査を行う。

【0020】

水平ドライバ14は、例えば図3に示すように、シフトレジスタ34、レベルシフト、データラッチ回路36、D/Aコンバータ37およびバッファ38を有する構成となっている。シフトレジスタ34は、水平スタートパルスHSTが入力されると、この水平スタートパルスHSTを水平クロックHCKに同期して順次転送することによって各転送段からシフトパルスとして順次出力し、水平走査を行う。

【0021】

レベルシフト35は、シフトレジスタ34の各転送段から出力されるシフトパルスを昇圧してデータラッチ回路36に供給する。データラッチ回路36は、レベルシフト35を通してシフトレジスタ34から与えられるシフトパルスにตอบสนองして、入力される所定ビットのデジタル画像データdataを順次ラッチする。D/Aコンバータ37は例えば基準電圧選択型の構成をとり、データラッチ回路36にラッチされたデジタル画像データをアナログ画像信号に変換し、バッファ38を通して画素部12の信号ライン18-1~18-nに与える。

【0022】

再び図1において、垂直ドライバ13および水平ドライバ14を制御する制御系15は、タイミングコントローラ(TC)23、基準電圧発生源24およびDC-DCコンバータ25などを有し、これら回路が画素部12と同一の基板、即ちLCDパネル16上に垂直ドライバ13および水平ドライバ14と共に実装された構成となっている。

【0023】

この制御系15において、タイミングコントローラ23には、例えば、外部の電源部(図示せず)から電源電圧VDDが、外部のCPU(図示せず)からデジタル画像データdataが、外部のクロック発生器(図示せず)からクロックCLKがそれぞれ図示せぬTCP(tape carrier package)を通して入力される。

【0024】

なお、本例では、CPU、画像データを格納するメモリあるいはクロック発生器をLCDパネル16の外部に設けるとしたが、それらの少なくとも1つを制御系15の一部としてLCDパネル16上に実装することも可能である。

【0025】

10

20

30

40

50

タイミングコントローラ 23 は、タイミング制御しつつ、垂直スタートパルス V S T、垂直クロック V C K などのクロック信号および各種のコントロール信号を垂直ドライバ 13 に、水平スタートパルス H S T、水平クロック H C K などのクロック信号、各種のコントロール信号およびデジタル画像データ d a t a を水平ドライバ 14 にそれぞれ供給する。

【 0 0 2 6 】

基準電圧発生源 24 は、互いに電圧値の異なる複数の基準電圧を発生し、これら複数の基準電圧を水平ドライバ 14 の基準電圧選択型 D / A コンバータ 37 に対してその基準電圧として与える。D C - D C コンバータ 25 は、低い電圧の直流電圧（低電圧）を 2 種類以上の高い直流電圧（高電圧）に変換して垂直ドライバ 13、水平ドライバ 14、基準電圧発生源 24 などの各回路部に与える。

10

【 0 0 2 7 】

上記構成の点順次駆動方式のアクティブマトリクス型液晶表示装置において、垂直ドライバ 13 および水平ドライバ 14 を構成するトランジスタは、T F T、特に画素部 12 の画素トランジスタと同じポリシリコン T F T により、画素部 12 と同じ透明絶縁基板上でかつ液晶層がシール部材によって封止される領域内に形成される。この場合、ポリシリコンの移動度の関係で、垂直ドライバ 13 および水平ドライバ 14 の駆動周波数の動作範囲は 10 M H z 以下に限定される。

【 0 0 2 8 】

画素部 12 の画素トランジスタおよび駆動系を構成とするトランジスタとして用いられるポリシリコン T F T には、ゲート電極が酸化膜の下に配置されるボトムゲート構造のものと、ゲート電極が酸化膜の上に配置されるトップゲート構造のものがある。これらポリシリコン T F T の断面構造を図 4 (a)、(b) に示す。

20

【 0 0 2 9 】

図 4 (a) に示すボトムゲート構造の T F T では、ガラス基板 41 の上にゲート電極 42 が形成され、その上にゲート酸化膜 43 を介してポリシリコン (P o l y - S i) 層 44 が形成され、さらにその上に層間絶縁膜 45 が形成されている。また、ゲート電極 42 の側方のゲート絶縁膜 43 上には、N⁺拡散層からなるソース領域 46 およびドレイン領域 47 が形成され、これら領域 46、47 にはソース電極 48 およびドレイン電極 49 がそれぞれ接続されている。

30

【 0 0 3 0 】

図 4 (b) に示すトップゲート構造の T F T では、ガラス基板 51 の上にポリシリコン層 52 が形成され、その上にゲート酸化膜 53 を介してゲート電極 54 が形成され、さらにその上に層間絶縁膜 55 が形成されている。また、ポリシリコン層 52 の側方のガラス基板 51 上には、N⁺拡散層からなるソース領域 56 およびドレイン領域 57 が形成され、これら領域 56、57 にはソース電極 58 およびドレイン電極 59 がそれぞれ接続されている。

【 0 0 3 1 】

一方、制御系 15 のタイミングコントローラ 23、基準電圧発生源 24 および D C - D C コンバータ 25 は、単結晶シリコンによって I C 化される。そして、このシリコン I C は、垂直ドライバ 13 および水平ドライバ 14 と同一平面上、即ちこれらドライバ 13、14 が形成された基板（透明絶縁基板）上に例えば C O G (chip on glass) 法によって実装される。この単結晶シリコンによって形成されたシリコン I C は、100 M H z でも駆動することが可能である。

40

【 0 0 3 2 】

上述したように、低速駆動で特性バラツキが大きい回路部分、即ち垂直ドライバ 13 および水平ドライバ 14 に関してポリシリコン T F T を用いて構成することにより、信頼性の面において、ポリシリコン T F T による回路部分は画素部 12 の密閉された空間で封印された構造になるため、T F T の V t h (閾値電圧) シフトの原因となる N a + イオン等の混入がなくなる。このとき、液晶表示装置の厚さの面においては、T F T は液晶セル (

50

液晶層)に比べて無視できるほど薄いため、液晶表示装置自体の厚さを増加させる要因とはならない。

【0033】

一方、高速駆動する回路部分、もしくは特性バラツキが小さい回路部分、即ち制御系15のタイミングコントローラ23、基準電圧発生源24およびDC-DCコンバータ25に関しては単結晶シリコンでIC化し、垂直ドライバ13および水平ドライバ14と同一基板上に配置する構成を採る。この場合の液晶表示装置の横断面を図5に示す。

【0034】

図5において、先述したように、垂直ドライバ13などが形成された透明絶縁基板61と、これと対向配置された透明絶縁基板(対向基板)62との間に液晶層63を保持し、かつシール部材64で封止してなる液晶表示装置において、制御系15をIC化してなるICチップ65は、垂直ドライバ13などが形成された透明絶縁基板61上にCOG法によって実装される。

10

【0035】

図6に、透明絶縁基板61上の回路部分とICチップ65との電気的な接続部分の構造を示す。図6において、ICチップ65はシリコン基板651上に回路部分652が形成され、その回路部分652が外部接続端子(bumps材)653に電気的に結線された構成となっている。そして、その外部接続端子653が異方性導電膜66を介して透明絶縁基板61上の回路配線、例えばアルミ配線611に電気的に接続されることになる。なお、透明絶縁基板61とICチップ65の間には、層間絶縁膜67が介在している。

20

【0036】

このように、ICチップ65を透明絶縁基板61上に実装した場合、ICチップ65自体については、IC作製時に保護層がシリコンIC上に形成されるため信頼性の面で問題になることはない。なお、COG構造であるため、透明絶縁基板との接続部の金属材料に対して信頼性強化を施す必要がある。そのためには、ICチップ65を透明絶縁基板61に形成した後に、ICチップ65と基板61を囲むように、シリコンレジンによる保護層を形成するようにすれば良い。

【0037】

上記実装構造において、ICチップ65は、その厚さ t_1 (0.7mm程度)が対向側の透明絶縁基板62およびシール部材64を合わせた厚さ t_3 以下になるように形成される。これにより、液晶表示装置全体の厚さ(肉厚) t_2 がICチップ65の厚さ t_1 に依存することがないため、液晶表示装置の薄型化が図れる。すなわち、透明絶縁基板61、透明絶縁基板62およびシール部材64のトータルの厚さ t_2 が液晶表示装置自体の厚さとなる。

30

【0038】

また、周辺回路をIC化し、このICチップ65を透明絶縁基板61上に実装することにより、LCDパネル16の外部回路と電気的に接続する箇所を少なくすることができるため、LCDパネル16の機械振動などに対する信頼性を向上できるとともに、製造工程での電気的な接続不良の発生も少なくなる。

【0039】

ところで、モジュール実装に当たり、COG法によって実装されるICチップ65の機械的強度は、画素部12の液晶セルを形成している部分の接着強度よりも弱くなりがちである。これに対して、ICチップ65の厚さ t_1 を、透明絶縁基板62およびシール部材64を合わせた厚さ t_3 以下、好ましくは当該厚さ t_3 よりも薄くなるように設定することで、ICチップ65に対して外部から力が加わりにくい構造とすることができる。

40

【0040】

また、本実施形態に係る液晶表示装置においては、装置自体の薄型化を図ることに加えて、装置自体の軽量化を図るために、透明絶縁基板61,62の基板材料としてPET(poly ethylene telephtalete)やPES(poly ether sulfone)などの有機材料を用いるようにする。

50

【 0 0 4 1 】

透明絶縁基板 6 1 , 6 2 の基板材料の組み合わせとしては、次の 4 つのケースが考えられる。ケース 1 では、透明絶縁基板 6 1 , 6 2 の基板材料として共にシリコン酸化物を用いる。ケース 2 では、透明絶縁基板 6 1 の基板材料としてシリコン酸化物を用い、透明絶縁基板 6 2 の基板材料として P E T や P E S などの有機材料を用いる。ケース 3 では、透明絶縁基板 6 1 , 6 2 の基板材料として共に P E T や P E S などの有機材料を用いる。ケース 4 では、透明絶縁基板 6 1 の基板材料として P E T や P E S などの有機材料を用い、透明絶縁基板 6 2 の基板材料としてシリコン酸化物を用いる。

【 0 0 4 2 】

ケース 1 ~ ケース 4 の基板材料の組み合わせのうち、ケース 3 の組み合わせ、即ち透明絶縁基板 6 1 , 6 2 の基板材料として共に P E T や P E S などの有機材料を用いるのが、当該材料が非常に軽量であることから、液晶表示装置自体の薄型化および軽量化を図る上で一番有利である。

【 0 0 4 3 】

なお、上記実施形態においては、アナログ点順次駆動方式のアクティブマトリクス型液晶表示装置に適用した場合について説明したが、これに限られるものではなく、以下に説明するいわゆる時分割駆動方式（セクタ方式）のアクティブマトリクス型液晶表示装置にも適用可能である。

【 0 0 4 4 】

図 7 は、本発明が適用された時分割駆動方式のアクティブマトリクス型液晶表示装置の構成例を示す概略構成図である。

【 0 0 4 5 】

図 7 において、時分割駆動方式のアクティブマトリクス型液晶表示装置は、画素 7 1 が行列状に多数配列されてなる画素部 7 2、画素部 7 2 の各画素 7 1 を行単位で順次選択する垂直ドライバ 7 3、行単位で選択された各画素 7 1 に画素信号を書き込む水平ドライバ 7 4、時分割駆動のための時分割スイッチ部 7 5 および垂直、水平ドライバ 7 3、7 4 や時分割スイッチ部 7 5 をコントロールする制御系 7 6 が L C D パネル 7 7 上に実装された構成となっている。

【 0 0 4 6 】

画素 7 1 の各々は、ゲート電極がゲートライン 7 8 -1 ~ 7 8 -m に接続され、ソース電極が信号ライン 7 9 -1 ~ 7 9 -n に接続されたポリシリコン T F T 8 0 と、この T F T 8 0 のドレイン電極に画素電極が接続された液晶セル 8 1 と、T F T 2 0 のドレイン電極に一方の電極が接続された補助容量 8 2 とから構成されている。かかる構成の画素 7 1 の各々において、液晶セル 8 1 の対向電極は、補助容量 8 2 の他方の電極と共にコモン線 8 3 に接続されている。コモン線 8 3 には、所定の直流電圧がコモン電圧 V C O M として与えられる。

【 0 0 4 7 】

ここで、時分割駆動法について説明する。時分割駆動法とは、画素部 7 2 の互いに隣り合う複数本の信号ラインを 1 単位（ブロック）として分割し、この 1 分割ブロック内の複数本の信号ラインに与える信号電圧を時系列で水平ドライバ 7 4 の各出力端子から出力する一方、複数本の信号ラインを 1 単位として時分割スイッチ部 7 5 を設け、この時分割スイッチ部 7 5 によって水平ドライバ 7 4 から出力される時系列の信号電圧を時分割でサンプリングして複数本の信号ラインに順次与える駆動方法である。

【 0 0 4 8 】

この時分割駆動を実現するために、水平ドライバ 7 4 は、複数本の信号ラインを 1 単位とし、これら複数本の信号ラインに与える信号電圧を時系列で出力する構成となっている。この水平ドライバ 7 4 の構成の一例を図 8 に示す。

【 0 0 4 9 】

図 8 から明らかなように、水平ドライバ 7 4 は、シフトレジスタ 8 4、サンプリングスイッチ群 8 5、レベルシフタ 8 6、データラッチ回路 8 7 および D / A コンバータ 8 8 を

10

20

30

40

50

有し、本例では、例えば5ビットのデジタル画像データ $data1 \sim data5$ や電源電圧 V_{dd} , V_{ss} をシフトレジスタ84のシフト方向における両側から取り込む構成となっている。

【0050】

上記構成の水平ドライバ74において、シフトレジスタ84は、水平スタートパルス HST が入力されると、この水平スタートパルス HST を水平クロック HCK に同期して順次転送することによって各転送段からシフトパルスとして順次出力し、水平走査を行う。サンプリングスイッチ群85におけるサンプリングスイッチの各々は、シフトレジスタ84から順次出力されるシフトパルス(サンプリングパルス)に应答して、入力されるデジタル画像データ $data1 \sim data5$ を順次サンプリングする。

10

【0051】

レベルシフタ86は、サンプリングスイッチ群85でサンプリングされた例えば5Vのデジタルデータを液晶駆動電圧のデジタルデータに昇圧する。データラッチ回路87は、レベルシフタ86で昇圧されたデジタルデータを1H分蓄積するメモリである。D/Aコンバータ88は例えば基準電圧選択型の構成をとり、データラッチ回路87から出力される1H分のデジタル画像データをアナログ画像信号に変換して出力する。

【0052】

そして、水平ドライバ74として、いわゆるカラム反転駆動方式のものが用いられる。この水平ドライバ74は、カラム反転駆動を実現するために、各出力端子の奇数、偶数ごとに電位が反転する信号電圧を出力し、かつその信号電圧の極性を1フィールドごとに反転する。ここで、カラム反転駆動方式とは、垂直方向に隣接する画素間では同極性となり、しかもこの画素極性の状態を1フィールドごとに反転させる駆動方式である。なお、水平ドライバ74は、1Hコモン(V_{COM})反転駆動にも対応可能である。

20

【0053】

一方、時分割スイッチ部75は、水平ドライバ74から出力される時系列の信号電圧を時分割でサンプリングするアナログスイッチ(トランсмисシオンスイッチ)によって構成されている。この時分割スイッチ部75の具体的な構成例を図9に示す。なお、この時分割スイッチ部75は、水平ドライバ74の各出力に対して1個ずつ設けられるものである。また、ここでは、R(赤), G(緑), B(青)に対応して3時分割駆動を行う場合を例に採って示している。

30

【0054】

この時分割スイッチ部75は、 $PchMOS$ トランジスタおよび $NchMOS$ トランジスタが並列に接続されてなる $CMOS$ 構成のアナログスイッチ75-1, 75-2, 75-3によって構成されている。なお、本例では、アナログスイッチ75-1, 75-2, 75-3として、 $CMOS$ 構成のものを用いるとしたが、 $PMOS$ あるいは $NMOS$ 構成のものを用いることも可能である。

【0055】

この時分割スイッチ部75において、3個のアナログスイッチ75-1, 75-2, 75-3の各入力端が共通に接続され、各出力端が3本の信号ライン79-1, 79-2, 79-3の各一端にそれぞれ接続されている。そして、これらアナログスイッチ75-1, 75-2, 75-3の各入力端には、水平ドライバ74から時系列で出力される信号電位が与えられる。

40

【0056】

また、1個のアナログスイッチにつき2本ずつ、合計6本の制御ライン89-1~89-6が配線されている。そして、アナログスイッチ75-1の2つ制御入力端(即ち、 $CMOS$ トランジスタの各ゲート)が制御ライン89-1, 89-2に、アナログスイッチ75-2の2つ制御入力端が制御ライン89-3, 89-4に、アナログスイッチ75-3の2つ制御入力端が制御ライン89-5, 89-6にそれぞれ接続されている。

【0057】

6本の制御ライン89-1~89-6に対して、3個のアナログスイッチ75-1, 75-2, 75-3を順に選択するためのゲート選択信号 $S1 \sim S3$, $XS1 \sim XS3$ が、後述するタ

50

イミングコントローラ（TC）90（図7を参照）から与えられる。ただし、ゲート選択信号XS1～XS3は、ゲート選択信号S1～S3の反転信号である。

【0058】

ゲート選択信号S1～S3，XS1～XS3は、水平ドライバ74から出力される時系列の信号電位に同期して、3個のアナログスイッチ75-1，75-2，75-3を順次オンさせる。これにより、アナログスイッチ75-1，75-2，75-3は、水平ドライバ74から出力される時系列の信号電位を、1H期間に3時分割でサンプリングしつつ、対応する信号ライン79-1，79-2，79-3にそれぞれ供給する。

【0059】

再び図7において、垂直ドライバ73、水平ドライバ74および時分割スイッチ部75を制御する制御系76は、タイミングコントローラ（TC）90、基準電圧発生源91およびDC-DCコンバータ92などを有し、これら回路が画素部72と同一の基板、即ちLCDパネル77上に垂直ドライバ73、水平ドライバ74および時分割スイッチ部75と共に実装された構成となっている。

10

【0060】

この制御系76において、タイミングコントローラ90には、例えば、外部の電源部（図示せず）から電源電圧VDDが、外部のCPU（図示せず）からデジタル画像データdataが、外部のクロック発生器（図示せず）からクロックCLKがそれぞれTCP（図示せず）を通して入力される。

【0061】

なお、本例では、CPU、画像データを格納するメモリあるいはクロック発生器をLCDパネル77の外部に設けるとしたが、それらの少なくとも1つを制御系76の一部とし、この制御系76を単結晶シリコンIC（COG）化してLCDパネル77上に実装することも可能である。

20

【0062】

また、CPU、メモリあるいはクロック発生器以外にも、LCD用光源制御回路やLCD（EL）表示用のグラフィックコントローラ、さらには本表示装置を後述するように例えば携帯電話機の表示部として用いる場合にはトランシーバ回路やバッテリー制御回路等の各種の制御回路について、それらの少なくとも1つを制御系76の一部として単結晶シリコンIC化し、LCDパネル77上に実装することも可能である。

30

【0063】

ここで、LCD用光源制御回路は、LCDのバックライトあるいはフロントライトを制御する回路であり、携帯電話機の待機時は、光源（発光ダイオード、蛍光表示管）に電源を供給しないが、携帯電話機の入力操作時に電源を供給する機能を持っている。LCD（EL）表示用のグラフィックコントローラは、トランシーバ回路から供給される画像データをLCD，ELの画像領域で表示できるような画像フォーマットに変換する回路であり、例えば、水平160画素・垂直160画素の表示方式に変換する。

【0064】

トランシーバ回路は通信用の回路であり、電磁波で到来するデジタル信号やアナログ信号を受信し、これを電気信号のデジタル信号やアナログ信号に変換して出力する。バッテリー制御回路は、使用していないときに、一定時間経過後に自動的にCPU、LCE（EL）パネル、グラフィックコントローラのクロックを低速動作にして低消費電力化を図る。なお、携帯電話機の表示部として用いた場合は、CPUは、携帯電話で言うボタン操作時の入力情報をデジタルデータに変換する機能をも持つことになる。

40

【0065】

タイミングコントローラ90は、タイミング制御しつつ、垂直スタートパルスVST、垂直クロックVCKなどのクロック信号および各種のコントロール信号を垂直ドライバ73に、水平スタートパルスHST、水平クロックHCKなどのクロック信号、各種のコントロール信号およびデジタル画像データdataを水平ドライバ74に、先述したゲート選択信号S1～S3，XS1～XS3を時分割スイッチ部75にそれぞれ供給する。

50

【0066】

基準電圧発生源91は、互いに電圧値の異なる複数の基準電圧を発生し、これら複数の基準電圧を水平ドライバ74の基準電圧選択型D/Aコンバータ87に対してその基準電圧として与える。DC-DCコンバータ92は、低い電圧の直流電圧(低電圧)を2種類以上の高い直流電圧(高電圧)に変換して垂直ドライバ73、水平ドライバ74、基準電圧発生源91などの各回路部に与える。

【0067】

上記構成の時分割駆動方式のアクティブマトリクス型液晶表示装置において、垂直ドライバ73、水平ドライバ74を構成するトランジスタ、および時分割スイッチ部75を構成する各アナログスイッチは、TFT、特に画素部72の画素トランジスタと同じポリシリコンTFTにより、画素部72と同じ透明絶縁基板上でかつ液晶層がシール部材によって封止される領域内に形成される。

10

【0068】

一方、制御系76のタイミングコントローラ90、基準電圧発生源91およびDC-DCコンバータ92は、単結晶シリコンによってIC化される。そして、このシリコンICは、垂直ドライバ73および水平ドライバ74と同一平面上、即ちこれらドライバ73、74が形成された基板上に例えばCOG法によって形成される。

【0069】

上述したように、低速駆動で特性バラツキが大きい回路部分、即ち垂直ドライバ73、水平ドライバ74および時分割スイッチ部75に関してポリシリコンTFTを用いて構成する一方、高速駆動する回路部分、もしくは特性バラツキが小さい回路部分、即ち制御系76のタイミングコントローラ90、基準電圧発生源91およびDC-DCコンバータ92に関しては単結晶シリコンでIC化し、垂直ドライバ73および水平ドライバ74と同一基板上に配置する構成を採ることにより、先述した実施形態の場合と同様の作用効果を得ることができる。

20

【0070】

なお、本実施形態では、タイミングコントローラ90、基準電圧発生源91およびDC-DCコンバータ92を垂直ドライバ72側に実装するとしたが、図10に示すように、タイミングコントローラ90、基準電圧発生源91およびDC-DCコンバータ92を水平ドライバ73と一体に単結晶シリコンIC(COG)化し、当該IC98をLCDパネル77に実装することも可能である。

30

【0071】

これによれば、垂直ドライバ72の横には、タイミングコントローラ90、基準電圧発生源91およびDC-DCコンバータ92が占有していた面積分の領域が不要になり、その占有面積分だけLCDパネル77の水平方向の額縁幅を削減できるため、水平方向の額縁を狭くしたい仕様の表示装置に適用した場合に有用なものとなる。

【0072】

その際、タイミングコントローラ90、基準電圧発生源91およびDC-DCコンバータ92以外にも、先述したように、CPU、メモリあるいはクロック発生器、さらにはLCD用光源制御回路、LCD(EL)表示用のグラフィックコントローラ、電話用のトランシーバ回路、バッテリー制御回路等の各種の制御回路の少なくとも一つを水平ドライバ73と一体に単結晶シリコンIC化するようにしても良いことは勿論である。

40

【0073】

また、上記各実施形態では、電気光学効果を有する物質として液晶を用いたアクティブマトリクス型液晶表示装置に適用した場合を例に採って説明したが、エレクトロルミネセンス(EL)を用いたEL表示装置などの他のアクティブマトリクス型表示装置にも同様に適用可能である。

【0074】

また、本発明に係る表示装置は、パーソナルコンピュータ、ワードプロセッサ等のOA機器やテレビジョン受像機などのディスプレイとして用いられる外、特に装置本体の薄型

50

化が進められている携帯電話機やPDA(personal digital assistants)などの携帯端末の表示部として用いて好適なものである。

【0075】

図11は、本発明が適用される携帯端末、例えば携帯電話機の構成の概略を示す外觀図である。

【0076】

本例に係る携帯電話機は、装置筐体93の前面側に、スピーカ部94、表示部95、操作部96およびマイク部97が上部側から順に配置された構成となっている。かかる構成の携帯電話機において、表示部95には例えば液晶表示装置が用いられ、この液晶表示装置として先述した本発明に係る液晶表示装置が用いられる。

10

【0077】

このように、携帯電話機などの携帯端末において、本発明に係る液晶表示装置を表示部95として用いることにより、当該液晶表示装置は装置本体を薄型化できる構成となっていることから、携帯端末の装置本体の薄型化に大きく寄与できる利点がある。

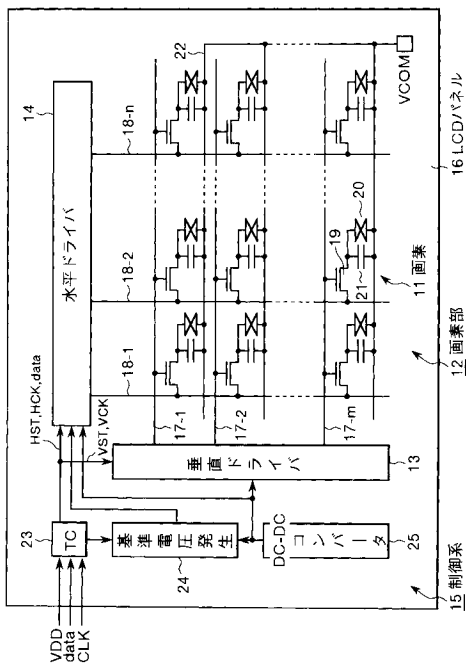
【符号の説明】

【0078】

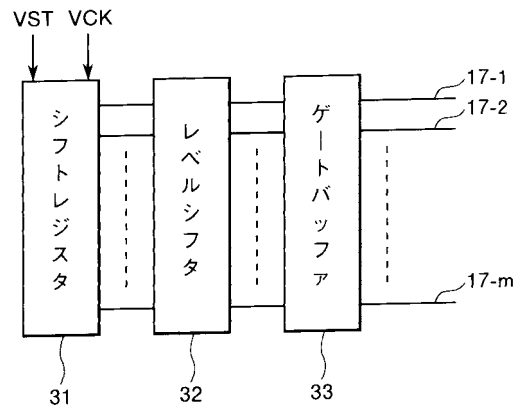
11, 71・画素、12, 72・画素部、13, 73・垂直ドライバ、14, 74・水平ドライバ、15, 76・制御系、16, 77・LCDパネル、19, 80・ポリシリコンTFT、20, 81・液晶セル、23, 90・タイミングコントローラ、24, 91・基準電圧発生源、25, 92・DC-DCコンバータ

20

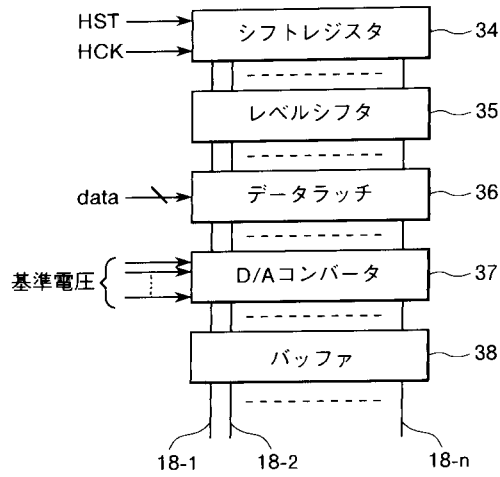
【図1】



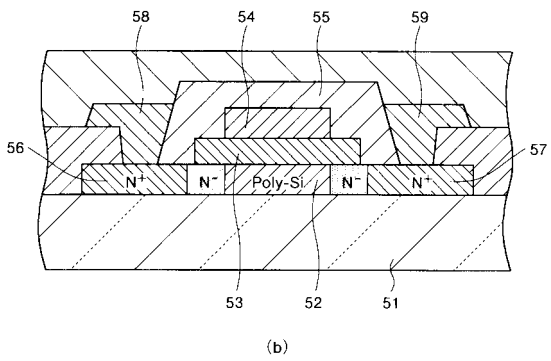
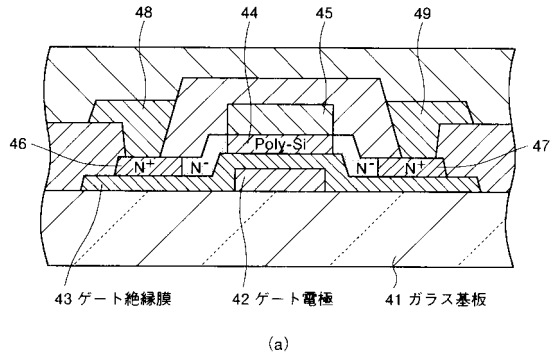
【図2】



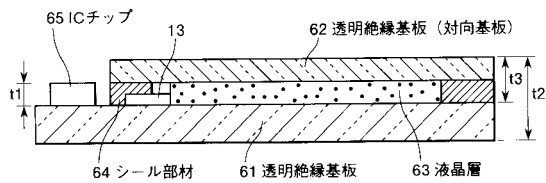
【図3】



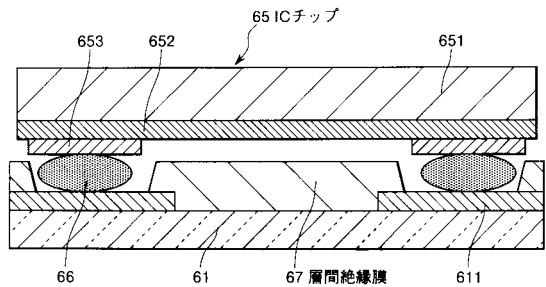
【図4】



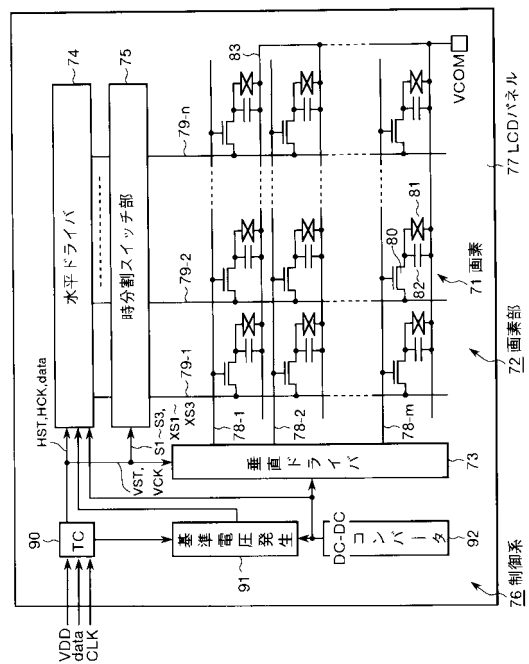
【図5】



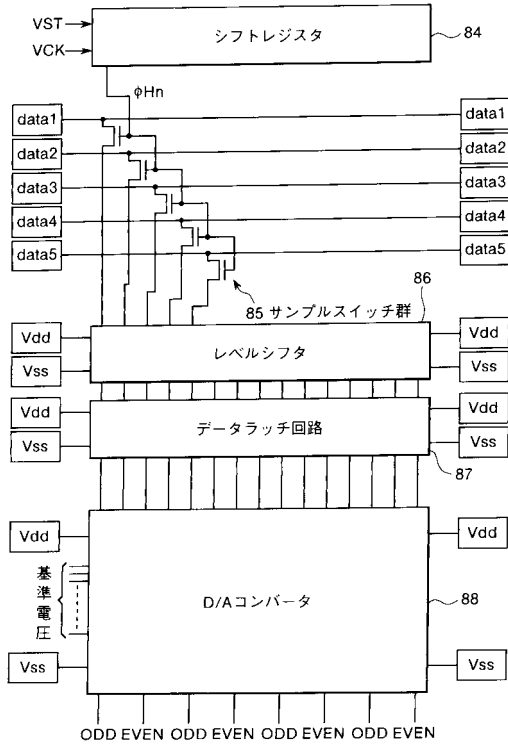
【図6】



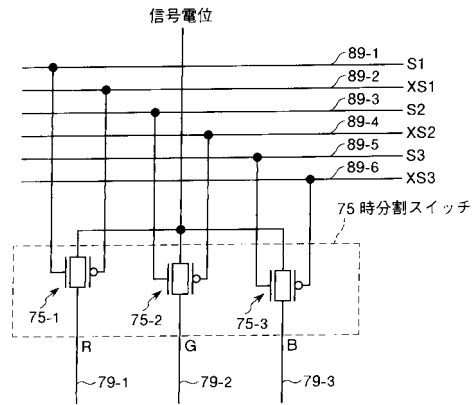
【図7】



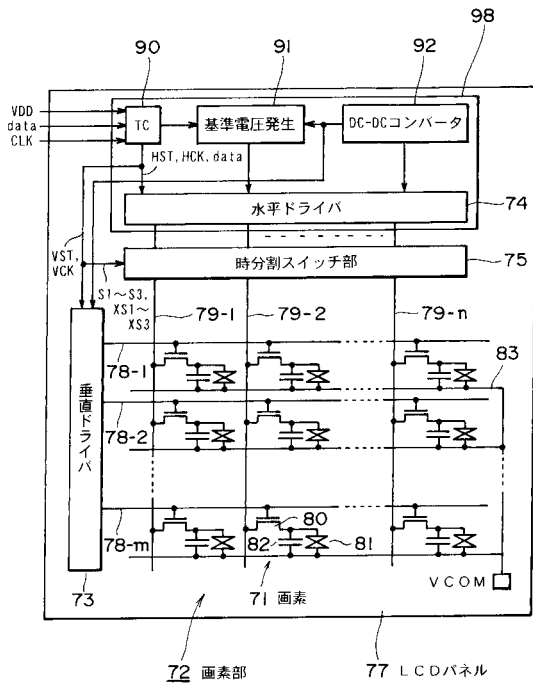
【図8】



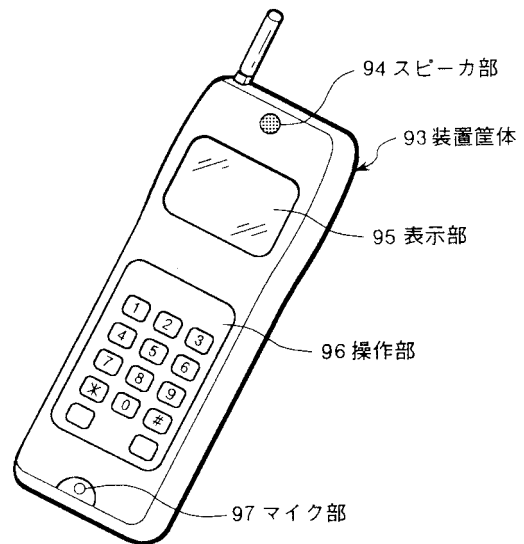
【図9】



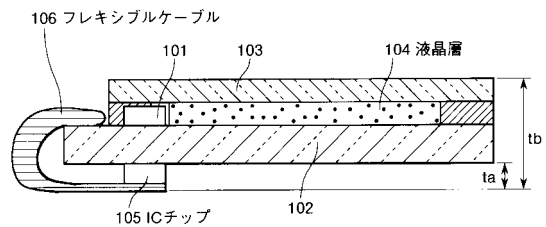
【図10】



【図11】



【図12】



フロントページの続き

- (56)参考文献 特開平 11 - 338432 (JP, A)
特開平 11 - 326932 (JP, A)
特開平 11 - 281994 (JP, A)
特開平 11 - 084425 (JP, A)
特開平 08 - 036190 (JP, A)
特開平 07 - 134279 (JP, A)
特開平 08 - 046206 (JP, A)
特開平 04 - 242724 (JP, A)
特開平 07 - 297407 (JP, A)
特開平 08 - 139333 (JP, A)
特開平 07 - 209672 (JP, A)
特開平 09 - 171357 (JP, A)
特開平 11 - 352516 (JP, A)
特開平 11 - 265155 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343 - 1/1345、1/135 - 1/1368、
G09F 9/00 - 9/30、9/307 - 9/46、
H01L27/32