

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 03800841.6

H01L 29/788 (2006.01)

H01L 29/792 (2006.01)

H01L 27/115 (2006.01)

H01L 21/8247 (2006.01)

[45] 授权公告日 2008 年 2 月 6 日

[11] 授权公告号 CN 100367517C

[22] 申请日 2003.2.5 [21] 申请号 03800841.6

[30] 优先权

[32] 2002.2.21 [33] JP [31] 044202/2002

[86] 国际申请 PCT/JP2003/001201 2003.2.5

[87] 国际公布 WO2003/071606 日 2003.8.28

[85] 进入国家阶段日期 2004.2.12

[73] 专利权人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 荒井雅利

[56] 参考文献

US6166958A 2000.12.26

JP2000-260890A 2000.9.22

JP2002-43445A 2002.2.8

CN1235377A 1999.11.17

TW429619A 2001.4.11

US5051796A 1991.9.24

JP6-37284A 1994.2.10

JP60-3159A 1985.1.9

JP3-217054A 1991.9.24

JP3-263874A 1991.11.25

US6287907B1 2001.9.11

JP2-177564A 1990.7.10

审查员 施曙东

[74] 专利代理机构 中科专利商标代理有限责任公司

代理人 汪惠民

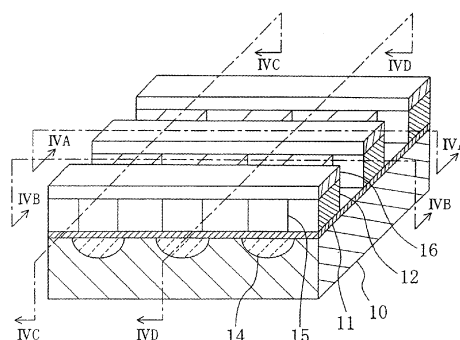
权利要求书 10 页 说明书 43 页 附图 60 页

[54] 发明名称

半导体存储装置及其制造方法

[57] 摘要

在半导体衬底的表面区域上形成成为位线的多个杂质扩散层，在半导体衬底的多个杂质扩散层上侧形成多个埋入绝缘膜。存储器元件的栅极在埋入绝缘膜之间经捕获膜形成，具有和埋入绝缘膜的高度位置大致相等的高度位置的多个第一多晶硅膜，和在多个埋入绝缘膜和多个第一多晶硅膜上施加形成、将多个第一多晶硅膜之间电连接起来的第二多晶硅膜。



1. 一种半导体存储装置，其特征在于具有多个存储器元件，上述多个存储器元件的每一个中包括：

在半导体衬底的表面区域中彼此分开地形成的一对杂质扩散层；

在上述半导体衬底上的上述一对杂质扩散层彼此之间的区域中形成的捕获膜；以及

在上述捕获膜上形成的栅极，

上述多个存储器元件中彼此相邻的存储器元件，相互共用属于各自的上述一对杂质扩散层的一方，

在上述彼此相邻的存储器元件的栅极彼此之间，埋入绝缘膜，并使上述绝缘膜覆盖上述共用的上述杂质扩散层的上面，

上述栅极与位于该栅极两侧下方的上述杂质扩散层形成部分重叠。

2. 一种半导体存储装置，其特征在于：包括：

在半导体衬底的表面区域中按条状形成、成为位线的多个杂质扩散层；

在上述半导体衬底上的上述多个杂质扩散层上侧形成、在位线方向上延伸的多个埋入绝缘膜；以及

在上述半导体衬底上设置、在字线方向延伸的存储器元件的栅极，

上述栅极具有：在上述半导体衬底上的上述多个埋入绝缘膜彼此之间经捕获膜形成，具有与上述多个埋入绝缘膜的高度位置大致相等的高度位置的多个第一导电膜；和在上述多个埋入绝缘膜和上述多个第一导电膜上搭设形成、将上述多个第一导电膜之间电连接起来的第二导电膜，

上述栅极与位于该栅极两侧下方的上述杂质扩散层形成部分重叠。

3. 根据权利要求1或2所述的半导体存储装置，其特征在于上述捕获膜由在上述半导体衬底上顺序层叠的氧化硅膜、氮化硅膜和氧化硅膜的层叠膜构成。

4. 一种半导体存储装置，其特征在于包括：

在半导体衬底的表面区域中按条状形成、成为位线的多个杂质扩散层；

在上述半导体衬底上的上述多个杂质扩散层上侧形成、在位线方向上延伸的多个埋入绝缘膜；

在上述半导体衬底上的上述多个埋入绝缘膜彼此之间经隧道绝缘膜形成、由具有和上述多个埋入绝缘膜的高度位置大致相等的高度位置的多个第一导电膜构成的多个浮置电极；

在上述多个埋入绝缘膜和上述多个浮置电极上搭设形成、在字线方向上延伸的电极间绝缘膜；以及

在上述电极间绝缘膜上形成、由在字线方向延伸的第二导电膜构成的存储器元件的栅极，

在跨越沿字线方向彼此相邻的上述浮置电极之间，该浮置电极与上述杂质扩散层形成部分重叠。

5. 根据权利要求 2 或 4 所述的半导体存储装置，其特征在于具有在上述第一导电膜侧面形成的侧壁绝缘膜。

6. 根据权利要求 5 所述的半导体存储装置，其特征在于在上述杂质扩散层和上述埋入绝缘膜之间且在彼此相对的上述侧壁绝缘膜彼此之间设置有金属膜。

7. 根据权利要求 2 或 4 所述的半导体存储装置，其特征在于上述杂质扩散层具有在中央部形成的高浓度杂质扩散层和在上述高浓度杂质扩散层两侧形成的低浓度杂质扩散层。

8. 根据权利要求 2 或 4 所述的半导体存储装置，其特征在于在上述第二导电膜表面部形成有硅化物层。

9. 根据权利要求 8 所述的半导体存储装置，其特征在于具有在上述埋入绝缘膜侧面形成的侧壁绝缘膜。

10. 根据权利要求 8 所述的半导体存储装置，其特征在于具有在上述多个埋入绝缘膜彼此之间埋入的绝缘膜。

11. 根据权利要求 2 或 4 所述的半导体存储装置，其特征在于上述第二导电膜是金属膜。

12. 根据权利要求 2 或 4 所述的半导体存储装置，其特征在于上述半导体衬底上设置有构成逻辑电路的晶体管，

上述晶体管的栅极具有上述第一导电膜和上述第二导电膜的层叠结

构。

13. 根据权利要求 12 所述的半导体存储装置, 其特征在于上述第二导电膜表面部形成有硅化物层。

14. 根据权利要求 12 所述的半导体存储装置, 其特征在于上述第二导电膜由金属膜构成。

15. 根据权利要求 2 或 4 所述的半导体存储装置, 其特征在于上述半导体衬底上设置有构成逻辑电路的晶体管,

上述晶体管的栅极仅由上述第二导电膜构成。

16. 一种半导体存储装置的制造方法, 其特征在于包括:

在半导体衬底上的存储器元件形成区域形成捕获膜的工序;

在上述捕获膜上层叠第一导电膜的工序;

使用沿位线方向延伸的第一掩膜图案对上述第一导电膜构图的工序;

对上述半导体衬底以上述第一掩膜图案或构图的上述第一导电膜为掩膜, 注入杂质, 形成成为位线的杂质扩散层的工序, 其中, 上述构图的第一导电膜与位于该构图的第一导电膜的两侧下方的上述杂质扩散层形成部分重叠;

在上述半导体衬底上的构图的上述第一导电膜彼此之间形成埋入绝缘膜的工序;

在构图的上述第一导电膜和上述埋入绝缘膜上层叠第二导电膜的工序; 以及

使用在字线方向延伸的第二掩膜图案对上述第二导电膜和经构图的上述第一导电膜构图, 形成由构图的上述第二导电膜和构图的上述第一导电膜所构成的存储器元件的栅极的工序。

17. 一种半导体存储装置的制造方法, 其特征在于包括:

在半导体衬底上的存储器元件形成区域形成捕获膜的工序;

在上述捕获膜上层叠第一导电膜的工序;

使用沿位线方向延伸的第一掩膜图案对上述第一导电膜构图的工序;

在构图的上述第一导电膜侧面形成第一侧壁绝缘膜的工序;

对上述半导体衬底以构图的上述第一导电膜和上述第一侧壁绝缘膜为掩膜, 注入杂质, 形成成为位线的杂质扩散层的工序;

对上述半导体衬底实施热处理，将上述杂质扩散层与构图的上述第一导电膜进行部分重叠的工序；

在上述半导体衬底上的彼此相对的上述第一侧壁绝缘膜彼此之间形成埋入绝缘膜的工序；

在构图的上述第一导电膜和上述埋入绝缘膜上层叠第二导电膜的工序；以及

使用在字线方向延伸的第二掩膜图案对上述第二导电膜和构图的上述第一导电膜构图，形成由构图的上述第二导电膜和构图的上述第一导电膜所构成的存储器元件的栅极的工序。

18. 一种半导体存储装置的制造方法，其特征在于包括：

在半导体衬底上的存储器元件形成区域形成捕获膜的工序；

在上述捕获膜上层叠第一导电膜的工序；

使用沿位线方向延伸的第一掩膜图案对上述第一导电膜构图的工序；

对上述半导体衬底以构图的上述第一导电膜为掩膜，注入杂质，形成低浓度杂质扩散层的工序；

在构图的上述第一导电膜侧面形成第一侧壁绝缘膜的工序；

对上述半导体衬底以构图的上述第一导电膜和上述第一侧壁绝缘膜为掩膜，注入杂质，形成成为位线的高浓度杂质扩散层的工序；

在上述半导体衬底上的彼此相对的上述第一侧壁绝缘膜彼此之间形成埋入绝缘膜的工序；

在构图的上述第一导电膜和上述埋入绝缘膜上层叠第二导电膜的工序；以及

使用在字线方向延伸的第二掩膜图案对上述第二导电膜和构图的上述第一导电膜构图，形成由构图的上述第二导电膜和构图的上述第一导电膜所构成的存储器元件的栅极的工序。

19. 根据权利要求 17 或 18 所述的半导体存储装置的制造方法，其特征在于形成上述埋入绝缘膜的工序包含在上述半导体衬底上经金属膜形成上述埋入绝缘膜的工序。

20. 根据权利要求 16 或 17 所述的半导体存储装置的制造方法，其特征在于形成上述杂质扩散层的工序包含对上述半导体衬底经上述捕获膜

注入上述杂质的工序。

21. 根据权利要求 16 或 17 所述的半导体存储装置的制造方法, 其特征在于在对上述第一导电膜构图的工序和形成上述杂质扩散层的工序之间, 包括以上述第一掩膜图案或构图的上述第一导电膜为掩膜对上述捕获膜构图的工序,

形成上述杂质扩散层的工序包含对上述半导体衬底不经上述捕获膜注入上述杂质的工序。

22. 根据权利要求 18 所述的半导体存储装置的制造方法, 其特征在于形成上述低浓度杂质扩散层的工序包含对上述半导体衬底经上述捕获膜注入上述杂质的工序。

23. 根据权利要求 18 所述的半导体存储装置的制造方法, 其特征在于形成上述低浓度杂质扩散层的工序, 包含去除从上述捕获膜的构图的上述第一导电膜露出的区域中的至少一部分后对上述半导体衬底注入上述杂质的工序。

24. 根据权利要求 22 所述的半导体存储装置的制造方法, 其特征在于形成上述高浓度杂质扩散层的工序包含对上述半导体衬底经上述捕获膜注入上述杂质的工序。

25. 根据权利要求 22 所述的半导体存储装置的制造方法, 其特征在于形成上述低浓度杂质扩散层的工序和形成上述高浓度杂质扩散层的工序之间, 包括以上述第一掩膜图案或构图的上述第一导电膜为掩膜对上述捕获膜构图的工序,

形成上述高浓度杂质扩散层的工序包含对上述半导体衬底不经上述捕获膜注入上述杂质的工序。

26. 根据权利要求 18 所述的半导体存储装置的制造方法, 其特征在于对上述第一导电膜构图的工序和形成上述低浓度杂质扩散层的工序之间包括以上述第一掩膜图案或构图的上述第一导电膜为掩膜对上述捕获膜构图的工序,

形成上述低浓度杂质扩散层的工序包含对上述半导体衬底不经上述捕获膜注入上述杂质的工序。

27. 根据权利要求 16、17 或 18 所述的半导体存储装置的制造方法,

其特征在于形成上述栅极的工序包含在构图的上述第二导电膜表面部形成硅化物层的工序。

28. 根据权利要求 16、17 或 18 所述的半导体存储装置的制造方法，其特征在于形成上述栅极的工序包含在上述埋入绝缘膜的侧面形成第二侧壁绝缘膜后，在构图的上述第二导电膜表面部形成硅化物层的工序。

29. 根据权利要求 28 所述的半导体存储装置的制造方法，其特征在于上述半导体存储装置具有在上述半导体衬底上设置、构成逻辑电路的晶体管，

上述埋入绝缘膜的侧面形成上述第二侧壁绝缘膜的工序包含在构成上述逻辑电路的晶体管的栅极的侧面形成上述第二侧壁绝缘膜的工序。

30. 根据权利要求 16、17 或 18 所述的半导体存储装置的制造方法，其特征在于形成上述栅极的工序包含在上述埋入绝缘膜彼此之间埋入绝缘膜后在构图的上述第二导电膜表面部形成硅化物层的工序，其中，上述埋入绝缘膜彼此之间的区域是在形成上述栅极的工序中通过实施构图而去除上述第一导电膜的区域。

31. 根据权利要求 17 或 18 所述的半导体存储装置的制造方法，其特征在于上述第二导电膜是金属膜。

32. 根据权利要求 31 所述的半导体存储装置的制造方法，其特征在于上述半导体存储装置具有在上述半导体衬底上设置、构成逻辑电路的晶体管，

构成上述逻辑电路的晶体管的栅极具有构图的上述第一导电膜和构图的上述金属膜的层叠结构。

33. 根据权利要求 16、17 或 18 所述的半导体存储装置的制造方法，其特征在于上述半导体存储装置具有在上述半导体衬底上设置、构成逻辑电路的晶体管，

构成上述逻辑电路的晶体管的栅极仅由构图的上述第二导电膜构成。

34. 根据权利要求 16、17 或 18 所述的半导体存储装置的制造方法，其特征在于上述半导体存储装置具有在上述半导体衬底上设置、构成逻辑电路的晶体管，

形成上述栅极的工序包含通过在上述半导体衬底上的逻辑电路形成

区域中对上述第二导电膜和构图的上述第一导电膜构图，形成由构图的上述第二导电膜和构图的上述第一导电膜构成的、构成上述逻辑电路的晶体管的栅极的工序。

35. 一种半导体存储装置的制造方法，其特征在于包括：

在半导体衬底上的存储器元件形成区域形成隧道绝缘膜的工序；

在上述隧道绝缘膜上层叠第一导电膜的工序；

使用沿位线方向延伸的第一掩膜图案对上述第一导电膜构图的工序；

对上述半导体衬底以上述掩膜图案或构图的上述第一导电膜为掩膜，注入杂质，形成成为位线的杂质扩散层的工序；

在上述半导体衬底上的构图的上述第一导电膜彼此之间形成埋入绝缘膜的工序；

在构图的上述第一导电膜和上述埋入绝缘膜上层叠电极间绝缘膜的工序；

在上述电极间绝缘膜上层叠第二导电膜的工序；以及

使用在字线方向延伸的第二掩膜图案对上述第二导电膜、上述电极间绝缘膜和构图的上述第一导电膜构图，形成由构图的上述第二导电膜所构成的存储器元件的栅极和由构图的上述第一导电膜所构成的浮置电极的工序，

在形成上述杂质扩散层的工序中，在跨越沿字线方向彼此相邻的上述浮置电极之间，该浮置电极与上述杂质扩散层形成部分重叠。

36. 一种半导体存储装置的制造方法，其特征在于包括：

在半导体衬底上的存储器元件形成区域形成隧道绝缘膜的工序；

在上述隧道绝缘膜上层叠第一导电膜的工序；

使用沿位线方向延伸的第一掩膜图案对上述第一导电膜构图的工序；

在构图的上述第一导电膜的侧面形成第一侧壁绝缘膜的工序；

对上述半导体衬底以构图的上述第一导电膜和上述第一侧壁绝缘膜为掩膜，注入杂质，形成成为位线的杂质扩散层的工序；

对上述半导体衬底实施热处理，使上述杂质扩散层与构图的上述第一导电膜部分重叠的工序；

在上述半导体衬底上的彼此相对的上述第一侧壁绝缘膜彼此之间形

成埋入绝缘膜的工序；

在构图的上述第一导电膜和上述埋入绝缘膜上层叠电极间绝缘膜的工序；

在上述电极间绝缘膜上层叠第二导电膜的工序；以及

使用在字线方向延伸的第二掩膜图案对上述第二导电膜、上述电极间绝缘膜和构图的上述第一导电膜构图，形成由构图的上述第二导电膜所构成的存储器元件的栅极和构图的上述第一导电膜所构成的浮置电极的工序。

37. 一种半导体存储装置的制造方法，其特征在于包括：

在半导体衬底上的存储器元件形成区域形成隧道绝缘膜的工序；

在上述隧道绝缘膜上层叠第一导电膜的工序；

使用沿位线方向延伸的第一掩膜图案对上述第一导电膜构图的工序；

对上述半导体衬底以构图的上述第一导电膜为掩膜，注入杂质，形成低浓度杂质扩散层的工序；

在构图的上述第一导电膜侧面形成第一侧壁绝缘膜的工序；

对上述半导体衬底以构图的上述第一导电膜和上述第一侧壁绝缘膜为掩膜，注入杂质，形成成为位线的高浓度杂质扩散层的工序；

在上述半导体衬底上的彼此相对的上述第一侧壁绝缘膜彼此之间形成埋入绝缘膜的工序；

在构图的上述第一导电膜和上述埋入绝缘膜上层叠电极间绝缘膜的工序；

在上述电极间绝缘膜上层叠第二导电膜的工序；以及

使用在字线方向延伸的第二掩膜图案对上述第二导电膜、上述电极间绝缘膜和构图的上述第一导电膜构图，形成由构图的上述第二导电膜所构成的存储器元件的栅极和构图的上述第一导电膜所构成的浮置电极的工序。

38. 根据权利要求 35 或 36 所述的半导体存储装置的制造方法，其特征在于形成上述埋入绝缘膜的工序包含在上述半导体衬底上经金属膜形成上述埋入绝缘膜的工序。

39. 根据权利要求 35 或 36 所述的半导体存储装置的制造方法，其特

征在于形成上述杂质扩散层的工序包含对上述半导体衬底经上述隧道绝缘膜注入上述杂质的工序。

40. 根据权利要求 35 或 36 所述的半导体存储装置的制造方法, 其特征在于在对上述第一导电膜构图的工序和形成上述杂质扩散层的工序之间包括以上述第一掩膜图案或构图的上述第一导电膜为掩膜对上述隧道绝缘膜构图的工序,

形成上述杂质扩散层的工序包含对上述半导体衬底不经上述隧道绝缘膜注入上述杂质的工序。

41. 根据权利要求 37 所述的半导体存储装置的制造方法, 其特征在于形成上述低浓度杂质扩散层的工序包含对上述半导体衬底经上述隧道绝缘膜注入上述杂质的工序。

42. 根据权利要求 37 所述的半导体存储装置的制造方法, 其特征在于形成上述低浓度杂质扩散层的工序包含去除从上述隧道绝缘膜的构图的上述第一导电膜露出的区域中的至少一部分后对上述半导体衬底注入上述杂质的工序。

43. 根据权利要求 41 所述的半导体存储装置的制造方法, 其特征在于形成上述高浓度杂质扩散层的工序包含对上述半导体衬底经上述隧道绝缘膜注入上述杂质的工序。

44. 根据权利要求 41 所述的半导体存储装置的制造方法, 其特征在于形成上述低浓度杂质扩散层的工序和形成上述高浓度杂质扩散层的工序之间包括以上述第一掩膜图案或构图的上述第一导电膜为掩膜对上述隧道绝缘膜构图的工序,

形成上述高浓度杂质扩散层的工序包含对上述半导体衬底不经上述隧道绝缘膜注入上述杂质的工序。

45. 根据权利要求 37 所述的半导体存储装置的制造方法, 其特征在于对上述第一导电膜构图的工序和形成上述低浓度杂质扩散层的工序之间包括以上述第一掩膜图案或构图的上述第一导电膜为掩膜对上述隧道绝缘膜构图的工序,

形成上述低浓度杂质扩散层的工序包含对上述半导体衬底不经上述隧道绝缘膜注入上述杂质的工序。

46. 根据权利要求 35、36 或 37 所述的半导体存储装置的制造方法，其特征在于形成上述栅极的工序包含在构图的上述第二导电膜表面部形成硅化物层的工序。

47. 根据权利要求 35、36 或 37 所述的半导体存储装置的制造方法，其特征在于形成上述栅极的工序包含在上述埋入绝缘膜的侧面形成第二侧壁绝缘膜后，在构图的上述第二导电膜表面部形成硅化物层的工序。

48. 根据权利要求 47 所述的半导体存储装置的制造方法，其特征在于上述半导体存储装置具有在上述半导体衬底上设置、构成逻辑电路的晶体管，

上述埋入绝缘膜的侧面形成上述第二侧壁绝缘膜的工序包含在构成上述逻辑电路的晶体管的栅极的侧面形成上述第二侧壁绝缘膜的工序。

49. 根据权利要求 35、36 或 37 所述的半导体存储装置的制造方法，其特征在于形成上述栅极的工序包含在上述埋入绝缘膜彼此之间埋入绝缘膜后在构图的上述第二导电膜表面部形成硅化物层的工序，其中，上述埋入绝缘膜彼此之间的区域是在形成上述栅极的工序中通过实施构图而去除上述第一导电膜的区域。

50. 根据权利要求 35、36 或 37 所述的半导体存储装置的制造方法，其特征在于上述半导体存储装置具有在上述半导体衬底上设置、构成逻辑电路的晶体管，

构成上述逻辑电路的晶体管的栅极仅由构图的上述第二导电膜构成。

半导体存储装置及其制造方法

技术领域

本发明涉及可高度集成的非易失性的半导体存储装置及其制造方法。

背景技术

近年来,提出各种各样的半导体存储装置,作为其中一个例子,例如在特开平 05-326893 所公开的那样,在元件分离区域下具有位线的半导体存储元件由于容易进行高度集成而备受关注。

下面参考图 59 (a) ~ (d) 及图 60 说明在元件分离区域下具有位线的半导体存储装置及其制造方法。

首先如图 59 (a) 所示,在硅衬底 1 上层叠捕获膜 2 后,如图 59 (b) 所示,通过对硅衬底 1 以抗蚀剂图案 3 为掩膜离子注入杂质形成成为位线的杂质扩散层 4,之后,对捕获膜 2 以抗蚀剂图案 3 为掩膜进行选择蚀刻,去除捕获膜 2 的杂质扩散层 4 的上侧部分。

接着如图 59 (c) 所示,去除抗蚀剂图案 3 后,通过热氧化法,形成 LOCOS 分离区域 5。

接着如图 59 (d) 所示,在半导体衬底 1 上跨过整个面层叠多晶硅膜 6 后,对该多晶硅膜 6 进行选择蚀刻时,如图 60 所示,得到现有技术的半导体存储装置。

但是,上述现有技术的半导体存储装置中,主要有 3 个问题。

第一是由于为分离元件而使用了 LOCOS 分离区域,所以难以细微化。即,LOCOS 分离区域在元件分离区域的端部产生鸟嘴状部分(bird's beak),使得活性区域与掩膜尺寸相比缩小了。因此,需要将掩膜尺寸预先作得较大,造成了细微化的困难。

第二是由于成为位线的杂质扩散层设置在 LOCOS 分离区域之下,使得位线的低电阻化变得困难了。

第三是难以适用自对准金属硅化物(saliside)技术,从而栅极的低电

阻化变得困难了。即，如图 60 所示，成为位线的杂质扩散层 4 扩散到 LOCOS 分离区域 5 的外侧。因此该状态下进行自对准金属硅化物时，在杂质扩散层 4 表面部形成了硅化物层，从而恐怕位线之间经硅化物层短路，所以难以适用自对准金属硅化物技术。

发明内容

鉴于上述情况，本发明目的是在非易失性存储装置中，在成为位线的杂质扩散层上可以不形成 LOCOS 分离区域，实现半导体存储装置的细微化。

本发明的第一半导体存储装置包括：在半导体衬底的表面区域中彼此分开地形成的一对杂质扩散层；在半导体衬底上的一对杂质扩散层彼此之间的区域中形成的捕获膜；在捕获膜上形成的栅极；在一对杂质扩散层上夹住栅极形成的一对绝缘膜。

根据第一半导体存储装置，由于包括在一对杂质扩散层上夹住栅极形成的一对绝缘膜，在栅极和捕获膜构成的存储器元件两侧上不需要设置 LOCOS 分离区域，因此可实现半导体存储装置的细微化。

本发明的第二半导体存储装置包括：在半导体衬底的表面区域中按条状形成、成为位线的多个杂质扩散层；在半导体衬底上的多个杂质扩散层上侧形成、在位线方向上延伸的多个埋入绝缘膜；在半导体衬底上设置、在字线方向延伸的存储器元件的栅极，栅极在半导体衬底上的多个埋入绝缘膜彼此之间经捕获膜形成，具有和多个埋入绝缘膜的高度位置大致相等的高度位置的多个第一导电膜，和在多个埋入绝缘膜和多个第一导电膜上施加形成、将多个第一导电膜之间电连接起来的第二导电膜。

根据第二半导体存储装置，由于在成为位线的杂质扩散层的上侧设置在位线方向上延伸的埋入绝缘膜，同时构成栅极的第一导电膜由埋入绝缘膜彼此分离，在栅极和捕获膜构成的存储器元件彼此之间不需要设置 LOCOS 分离区域。第一导电膜由埋入绝缘膜彼此分离，而第一导电膜之间由第二导电膜电连接，因此不会产生故障。

因此根据第二半导体存储装置，可实现半导体存储装置的细微化。

第一或第二半导体存储装置中，更好是捕获膜由在半导体衬底上顺序

层叠的氧化硅膜、氮化硅膜和氧化硅膜的层叠膜构成。

这样，可确实提高半导体存储装置的特性。

本发明的第三半导体存储装置包括：在半导体衬底的表面区域中按条状形成、成为位线的多个杂质扩散层；在半导体衬底上的多个杂质扩散层上侧形成、在位线方向上延伸的多个埋入绝缘膜；在半导体衬底上的多个埋入绝缘膜彼此之间经隧道绝缘膜形成、由具有和多个埋入绝缘膜的高度位置大致相等的高度位置的多个第一导电膜构成的多个浮置电极；在多个埋入绝缘膜和多个浮置电极上施加形成、在字线方向上延伸的电极间绝缘膜；在电极间绝缘膜上形成、由在字线方向延伸的第二导电膜构成的存储器元件的栅极。

根据第三半导体存储装置，由于在成为位线的杂质扩散层的上侧设置在位线方向上延伸的埋入绝缘膜，同时构成浮置电极的第一导电膜由埋入绝缘膜彼此分离，在浮置电极和电极间绝缘膜和栅极构成的存储器元件彼此之间不需要设置 LOCOS 分离区域。第一导电膜由埋入绝缘膜彼此分离，而第一导电膜之间有第二导电膜电连接，因此不会产生故障。

因此根据第三半导体存储装置，可实现半导体存储装置的细微化。

更好是在第二或第三的半导体存储装置中，包括第一导电膜侧面形成的侧壁绝缘膜。

这样，可抑制向杂质扩散层注入的杂质扩散引起的短隧道效应，因此可缩小栅极长度。

此时，更好是在杂质扩散层和埋入绝缘膜之间且在彼此相对的侧壁绝缘膜彼此之间设置金属膜。

这样，由于在成为位线的杂质扩散层上形成金属膜，可实现位线的低电阻化。

在第二或第三的半导体存储装置中，更好是杂质扩散层具有在中央部形成的高浓度杂质扩散层和在高浓度杂质扩散层两侧形成的低浓度杂质扩散层。

这样，可抑制向高浓度杂质扩散层注入的杂质扩散引起的短隧道效应，因此可缩小栅极长度。

在第二或第三的半导体存储装置中，更好是第二导电膜表面部形成硅

化物层。

这样，可实现栅极的低电阻化。

在第二或第三的半导体存储装置中，更好是包括在埋入绝缘膜侧面形成的侧壁绝缘膜。

这样，在半导体衬底表面的杂质扩散层的外侧部分用侧壁绝缘膜覆盖的状态下可进行自对准金属硅化物，从而可防止成为位线的杂质扩散层之间经硅化物层短路，同时可实现位线的低电阻化。

在第二或第三的半导体存储装置中，更好是包括在多个埋入绝缘膜彼此之间埋入的绝缘膜。

这样，在半导体衬底表面的杂质扩散层的外侧部分用侧壁绝缘膜覆盖的状态下可进行自对准金属硅化物，从而可确实防止成为位线的杂质扩散层之间经硅化物层短路。

在第二或第三的半导体存储装置中，更好是第二导电膜是金属膜。

这样，可实现栅极的低电阻化。

在第二或第三的半导体存储装置中，更好是半导体衬底上设置构成逻辑电路的晶体管，晶体管的栅极具有第一导电膜和第二导电膜的层叠结构。

这样，构成逻辑电路的晶体管的栅极可不导致工序数增加地来形成。

在第二或第三的半导体存储装置中，晶体管的栅极具有第一导电膜和第二导电膜的层叠结构的情况下，更好是在第二导电膜表面部形成硅化物层。

这样，可实现构成逻辑电路的晶体管的栅极的低电阻化。

在第二或第三的半导体存储装置中，晶体管的栅极具有第一导电膜和第二导电膜的层叠结构的情况下，更好是第二导电膜由金属膜构成。

这样，可实现构成逻辑电路的晶体管的栅极的低电阻化。

在第二或第三的半导体存储装置中，更好是在半导体衬底上设置构成逻辑电路的晶体管，晶体管的栅极仅由第二导电膜构成。

这样，可实现构成逻辑电路的晶体管的栅极的细微化。

本发明的第一半导体存储装置的制造方法包括：在半导体衬底上的存储器元件形成区域形成捕获膜的工序；在捕获膜上层叠第一导电膜的工

序；使用沿位线方向延伸的第一掩膜图案对第一导电膜构图的工序；对半导体衬底以第一掩膜图案或构图的第一导电膜为掩膜，注入杂质，形成成为位线的杂质扩散层的工序；在半导体衬底上的构图的第一导电膜彼此之间形成埋入绝缘膜的工序；在构图的第一导电膜和埋入绝缘膜上层叠第二导电膜的工序；使用在字线方向延伸的第二掩膜图案对第二导电膜和构图的第一导电膜构图，形成由构图的第二导电膜和构图的第一导电膜所构成的存储器元件的栅极的工序。

根据第一半导体存储装置的制造方法，由于在成为位线的杂质扩散层的上侧设置在位线方向上延伸的埋入绝缘膜，同时构成栅极的构图的第一导电膜由埋入绝缘膜彼此分离，在栅极和捕获膜构成的存储器元件彼此之间不需要设置 LOCOS 分离区域。构图的第一导电膜由埋入绝缘膜彼此分离，而构图的第一导电膜之间由第二导电膜电连接，因此不会产生故障。

因此根据第一半导体存储装置的制造方法，可实现半导体存储装置的细微化。

本发明的第二半导体存储装置的制造方法包括：在半导体衬底上的存储器元件形成区域形成捕获膜的工序；在捕获膜上层叠第一导电膜的工序；使用沿位线方向延伸的第一掩膜图案对第一导电膜构图的工序；在构图的第一导电膜侧面形成第一侧壁绝缘膜的工序；对半导体衬底以构图的第一导电膜和第一侧壁绝缘膜为掩膜，注入杂质，形成成为位线的杂质扩散层的工序；对半导体衬底实施热处理，将杂质扩散层与构图的第一导电膜进行叠加的工序；在半导体衬底上的彼此相对的第一侧壁绝缘膜彼此之间形成埋入绝缘膜的工序；在构图的第一导电膜和埋入绝缘膜上层叠第二导电膜的工序；使用在字线方向延伸的第二掩膜图案对第二导电膜和构图的第一导电膜构图，形成由构图的第二导电膜和构图的第一导电膜所构成的存储器元件的栅极的工序。

根据第二半导体存储装置的制造方法，由于在成为位线的杂质扩散层的上侧设置在位线方向上延伸的埋入绝缘膜，同时构成栅极的构图的第一导电膜由埋入绝缘膜彼此分离，在栅极和捕获膜构成的存储器元件彼此之间不需要设置 LOCOS 分离区域。构图的第一导电膜由埋入绝缘膜彼此分离，而构图的第一导电膜之间由第二导电膜电连接，因此不会产生故障。

由于包括在构成栅极的构图的第一导电膜侧面形成第一侧壁绝缘膜的工序，可抑制向杂质扩散层注入的杂质扩散引起的短隧道效应，因此可缩小栅极长度。

因此根据第二半导体存储装置的制造方法，可实现半导体存储装置进一步的细微化。

本发明的第三半导体存储装置的制造方法包括：在半导体衬底上的存储器元件形成区域形成捕获膜的工序；在捕获膜上层叠第一导电膜的工序；使用沿位线方向延伸的第一掩膜图案对第一导电膜构图的工序；对半导体衬底以构图的第一导电膜为掩膜，注入杂质，形成低浓度杂质扩散层的工序；在构图的第一导电膜侧面形成第一侧壁绝缘膜的工序；对半导体衬底以构图的第一导电膜和第一侧壁绝缘膜为掩膜，注入杂质，形成成为位线的高浓度杂质扩散层的工序；在半导体衬底上的彼此相对的第一侧壁绝缘膜彼此之间形成埋入绝缘膜的工序；在构图的第一导电膜和埋入绝缘膜上层叠第二导电膜的工序；使用在字线方向延伸的第二掩膜图案对第二导电膜和构图的第一导电膜构图，形成由构图的第二导电膜和构图的第一导电膜所构成的存储器元件的栅极的工序。

根据第三半导体存储装置的制造方法，由于在成为位线的高浓度杂质扩散层的上侧设置在位线方向上延伸的埋入绝缘膜，同时构成栅极的构图的第一导电膜由埋入绝缘膜彼此分离，在栅极和捕获膜构成的存储器元件彼此之间不需要设置 LOCOS 分离区域。构图的第一导电膜由埋入绝缘膜彼此分离，而构图的第一导电膜之间由第二导电膜电连接，因此不会产生故障。

由于可在成为位线的高浓度杂质扩散层两侧确实形成低浓度杂质扩散层，可抑制向高浓度杂质扩散层注入的杂质扩散引起的短隧道效应，因此可缩小栅极长度。

因此根据第三半导体存储装置的制造方法，可实现半导体存储装置进一步的细微化。

第二或第三半导体存储装置的制造方法中，更好是形成埋入绝缘膜的工序包含在半导体衬底上经金属膜形成埋入绝缘膜的工序。

这样，由于在成为位线的杂质扩散层上形成金属膜，可实现位线的低

电阻化。

第一或第二半导体存储装置的制造方法中，更好是形成杂质扩散层的工序包含对半导体衬底经捕获膜注入杂质的工序。

这样，杂质注入时可由捕获膜保护半导体衬底的表面。

第一或第二半导体存储装置的制造方法中，可以是在对第一导电膜构图的工序和形成杂质扩散层的工序之间包括以第一掩膜图案或构图的第一导电膜为掩膜对捕获膜构图的工序，形成杂质扩散层的工序包含对半导体衬底不经捕获膜注入杂质的工序。

第三半导体存储装置的制造方法中，更好是形成低浓度杂质扩散层的工序包含对半导体衬底经捕获膜注入杂质的工序。

这样，形成低浓度杂质层的杂质注入时可由捕获膜保护半导体衬底的表面，从而可降低半导体衬底受到的损坏。

第三半导体存储装置的制造方法中，更好是形成低浓度杂质扩散层的工序包含去除从捕获膜的构图的第一导电膜露出的区域中的至少一部分后对半导体衬底注入杂质的工序。

这样，可降低形成低浓度杂质扩散层的离子注入工序的加速能量。

第三半导体存储装置的制造方法中，更好是形成低浓度杂质扩散层的工序包含对半导体衬底经捕获膜注入杂质的工序的情况下，形成高浓度杂质扩散层的工序包含对半导体衬底经捕获膜注入杂质的工序。

这样，形成高浓度杂质层的注入时可由捕获膜保护半导体衬底的表面。

第三半导体存储装置的制造方法中，更好是形成低浓度杂质扩散层的工序包含对半导体衬底经捕获膜注入杂质的工序的情况下，形成低浓度杂质扩散层的工序和形成高浓度杂质扩散层的工序之间包括以第一掩膜图案或构图的第一导电膜为掩膜对捕获膜构图的工序，形成高浓度杂质扩散层的工序也可包含对半导体衬底不经捕获膜注入杂质的工序。

第三半导体存储装置的制造方法在对第一导电膜构图的工序和形成低浓度杂质扩散层的工序之间包括以第一掩膜图案或构图的第一导电膜为掩膜对捕获膜构图的工序，形成低浓度杂质扩散层的工序也可包含对半导体衬底不经捕获膜注入杂质的工序。

第一到第三半导体存储装置的制造方法中，更好是形成栅极的工序包含在构图的第二导电膜表面部形成硅化物层的工序。

这样，可实现栅极电阻的低电阻化。

第一到第三半导体存储装置的制造方法中，更好是形成栅极的工序包含在构图的第二导电膜表面部形成硅化物层的工序的情况下，包含在埋入绝缘膜的侧面形成第二侧壁绝缘膜后，在构图的第二导电膜表面部形成硅化物层的工序。

这样在半导体衬底表面的杂质扩散层的外侧部分由第二侧壁绝缘膜覆盖的状态下进行自对准金属硅化物，从而可防止成为位线的杂质扩散层之间被硅化物层短路的情况。

第一到第三半导体存储装置的制造方法中，更好是形成栅极的工序包含在埋入绝缘膜的侧面形成第二侧壁绝缘膜的情况下，半导体存储装置具有在半导体衬底上设置、构成逻辑电路的晶体管，埋入绝缘膜的侧面形成第二侧壁绝缘膜的工序包含在构成逻辑电路的晶体管的栅极的侧面形成第二侧壁绝缘膜的工序。

这样，可在构成逻辑电路的晶体管的栅极侧面形成侧壁绝缘膜而不导致工序数增加。

第一到第三半导体存储装置的制造方法中，更好是形成栅极的工序包含在埋入绝缘膜彼此之间埋入绝缘膜后在构图的第二导电膜表面部形成硅化物层的工序。

这样在半导体衬底表面的杂质扩散层的外侧部分由绝缘膜完全覆盖的状态下进行自对准金属硅化物，从而可确实防止成为位线的杂质扩散层之间被硅化物层短路的情况。

第二或第三半导体存储装置的制造方法中，更好是第二导电膜是金属膜。

这样可实现栅极低电阻化。

第二或第三半导体存储装置的制造方法中第二导电膜是金属膜的情况下，更好是半导体存储装置具有在半导体衬底上设置、构成逻辑电路的晶体管，构成逻辑电路的晶体管的栅极具有构图的第一导电膜和构图的金属膜的层叠结构。

这样，可将构成逻辑电路的晶体管的栅极作成多金属构造而不导致工序数增加。

第一到第三半导体存储装置的制造方法中，更好是半导体存储装置具有在半导体衬底上设置、构成逻辑电路的晶体管，构成逻辑电路的晶体管的栅极仅由构图的具有构图的第二导电膜构成。

这样，可实现构成逻辑电路的晶体管的栅极细微化。

第一到第三半导体存储装置的制造方法中，更好是半导体存储装置具有在半导体衬底上设置、构成逻辑电路的晶体管，形成栅极的工序包含通过在半导体衬底上的逻辑电路形成区域中对第二导电膜和构图的第一导电膜构图，形成由构图的第二导电膜和构图的第一导电膜构成的构成逻辑电路的晶体管的栅极的工序。

这样，可形成构成逻辑电路的晶体管的栅极而不导致工序数增加。

本发明的第四半导体存储装置的制造方法包括：在半导体衬底上的存储器元件形成区域形成隧道绝缘膜的工序；在隧道绝缘膜上层叠第一导电膜的工序；使用沿位线方向延伸的第一掩膜图案对第一导电膜构图的工序；对半导体衬底以掩膜图案或构图的第一导电膜为掩膜，注入杂质，形成成为位线的杂质扩散层的工序；在半导体衬底上的构图的第一导电膜彼此之间形成埋入绝缘膜的工序；在构图的第一导电膜和埋入绝缘膜上层叠电极间绝缘膜的工序；在电极间绝缘膜上层叠第二导电膜的工序；使用在字线方向延伸的第二掩膜图案对第二导电膜、电极间绝缘膜和构图的第一导电膜构图，形成由构图的第二导电膜所构成的存储器元件的栅极和构图的第一导电膜所构成的浮置电极的工序。

根据第四半导体存储装置的制造方法，在成为位线的杂质扩散层的上侧设置沿着位线方向延伸的埋入绝缘膜的同时，成为浮置电极的构图的第一导电膜由埋入绝缘膜彼此分离，因此在浮置电极、电极间绝缘膜以及栅极构成的存储器元件彼此之间不需要设置 LOCOS 分离区域。构图的第一导电膜由埋入绝缘膜彼此分离，而构图的第一导电膜之间由第二导电膜电连接，因此不会产生故障。

从而，根据第四半导体存储装置的制造方法，可实现半导体存储装置的细微化。

本发明的第五半导体存储装置的制造方法包括：在半导体衬底上的存储器元件形成区域形成隧道绝缘膜的工序；在隧道绝缘膜上层叠第一导电膜的工序；使用沿位线方向延伸的第一掩膜图案对第一导电膜构图的工序；在构图的第一导电膜的侧面形成第一侧壁绝缘膜的工序；对半导体衬底以构图的第一导电膜和第一侧壁绝缘膜为掩膜，注入杂质，形成成为位线的杂质扩散层的工序；对半导体衬底实施热处理，将杂质扩散层重叠在构图的第一导电膜的工序；在半导体衬底上的彼此相对的第一侧壁绝缘膜彼此之间形成埋入绝缘膜的工序；在构图的第一导电膜和埋入绝缘膜上层叠电极间绝缘膜的工序；在电极间绝缘膜上层叠第二导电膜的工序；使用在字线方向延伸的第二掩膜图案对第二导电膜、电极间绝缘膜和构图的第一导电膜构图，形成由构图的第二导电膜所构成的存储器元件的栅极和构图的第一导电膜所构成的浮置电极的工序。

根据第五半导体存储装置的制造方法，在成为位线的杂质扩散层的上侧设置沿着位线方向延伸的埋入绝缘膜的同时，成为浮置电极的构图的第一导电膜由埋入绝缘膜彼此分离，因此在浮置电极、电极间绝缘膜以及栅极构成的存储器元件彼此之间不需要设置 LOCOS 分离区域。构图的第一导电膜由埋入绝缘膜彼此分离，而构图的第一导电膜之间由第二导电膜电连接，因此不会产生故障。

由于包括在成为浮置电极的构图的第一导电膜侧面形成第一侧壁绝缘膜的工序，可抑制向杂质扩散层注入的杂质的扩散所引起的短隧道效应，因此可缩小栅极长度。

从而，根据第五半导体存储装置的制造方法，可实现半导体存储装置的进一步细微化。

本发明的第六半导体存储装置的制造方法包括：在半导体衬底上的存储器元件形成区域形成隧道绝缘膜的工序；在隧道绝缘膜上层叠第一导电膜的工序；使用沿位线方向延伸的第一掩膜图案对第一导电膜构图的工序；对半导体衬底以构图的第一导电膜为掩膜，注入杂质，形成低浓度杂质扩散层的工序；在构图的第一导电膜侧面形成第一侧壁绝缘膜的工序；对半导体衬底以构图的第一导电膜和第一侧壁绝缘膜为掩膜，注入杂质，形成成为位线的高浓度杂质扩散层的工序；在半导体衬底上的彼此相对的

第一侧壁绝缘膜彼此之间形成埋入绝缘膜的工序；在构图的第一导电膜和埋入绝缘膜上层叠电极间绝缘膜的工序；在电极间绝缘膜上层叠第二导电膜的工序；使用在字线方向延伸的第二掩膜图案对第二导电膜、电极间绝缘膜和构图的第一导电膜构图，形成由构图的第二导电膜所构成的存储器元件的栅极和构图的第一导电膜所构成的浮置电极的工序。

根据第六半导体存储装置的制造方法，在成为位线的高浓度杂质扩散层的上侧设置沿着位线方向延伸的埋入绝缘膜的同时，成为浮置电极的构图的第一导电膜由埋入绝缘膜彼此分离，因此在浮置电极、电极间绝缘膜以及栅极构成的存储器元件彼此之间不需要设置 LOCOS 分离区域。构图的第一导电膜由埋入绝缘膜彼此分离，而构图的第一导电膜之间由第二导电膜电连接，因此不会产生故障。

由于包括在高浓度杂质扩散层两侧形成低浓度杂质扩散层的工序，可抑制向高浓度杂质扩散层注入的杂质的扩散所引起的短隧道效应，因此可缩小栅极长度。

从而，根据第六半导体存储装置的制造方法，可实现半导体存储装置的进一步细微化。

第四或第五半导体存储装置的制造方法中，更好是形成埋入绝缘膜的工序包含在半导体衬底上经金属膜形成埋入绝缘膜的工序。

这样，可在成为位线的杂质扩散层上形成金属膜，从而可实现位线的低电阻化。

第四或第五半导体存储装置的制造方法中，更好是形成杂质扩散层的工序包含对半导体衬底经隧道绝缘膜注入杂质的工序。

这样，杂质注入时可由隧道绝缘膜保护半导体衬底表面。

第四或第五半导体存储装置的制造方法中，更好是在对第一导电膜构图的工序和形成杂质扩散层的工序之间包括以第一掩膜图案或构图的第一导电膜为掩膜对隧道绝缘膜构图的工序，形成杂质扩散层的工序包含对半导体衬底不经隧道绝缘膜注入杂质的工序。

第六半导体存储装置的制造方法中，更好是形成低浓度杂质扩散层的工序包含对半导体衬底经隧道绝缘膜注入杂质的工序。

这样，形成低浓度杂质扩散层用的杂质注入时可由隧道绝缘膜保护半

导体衬底表面，从而可降低半导体衬底受到的损坏。

第六半导体存储装置的制造方法中，更好是形成低浓度杂质扩散层的工序包含去除从隧道绝缘膜的构图的第一导电膜露出的区域中的至少一部分后对半导体衬底注入杂质的工序。

这样，可降低形成低浓度杂质扩散层用的离子注入工序的加速能量。

第六半导体存储装置的制造方法中，更好是在形成低浓度杂质扩散层的工序包含对半导体衬底经隧道绝缘膜注入杂质的工序的情况下，形成高浓度杂质扩散层的工序也可包含对半导体衬底经隧道绝缘膜注入杂质的工序。

这样，形成高浓度杂质扩散层用的杂质注入时也可由隧道绝缘膜保护半导体衬底表面。

第六半导体存储装置的制造方法可在形成低浓度杂质扩散层的工序和形成高浓度杂质扩散层的工序之间包括以第一掩膜图案或构图的第一导电膜为掩膜对隧道绝缘膜构图的工序，形成高浓度杂质扩散层的工序包含对半导体衬底不经隧道绝缘膜注入杂质的工序。

第六半导体存储装置的制造方法可在对第一导电膜构图的工序和形成低浓度杂质扩散层的工序之间包括以第一掩膜图案或构图的第一导电膜为掩膜对捕获膜构图的工序，形成低浓度杂质扩散层的工序包含对半导体衬底不经捕获膜注入杂质的工序。

第四到第六半导体存储装置的制造方法中，更好是形成栅极的工序包含在构图的第二导电膜表面部形成硅化物层的工序。

这样，可实现栅极的低电阻化。

第四到第六半导体存储装置的制造方法中，更好是形成栅极的工序包含在埋入绝缘膜的侧面形成第二侧壁绝缘膜后，在构图的第二导电膜表面部形成硅化物层的工序。

这样，在半导体衬底表面的杂质扩散层的外侧部分用侧壁绝缘膜覆盖的状态下进行自对准金属硅化物，从而可防止成为位线的杂质扩散层之间由硅化物层短路。

第四到第六半导体存储装置的制造方法中，在形成栅极的工序包含在埋入绝缘膜的侧面形成第二侧壁绝缘膜的工序的情况下，半导体存储装置

具有在半导体衬底上设置、构成逻辑电路的晶体管，埋入绝缘膜的侧面形成第二侧壁绝缘膜的工序包含在构成逻辑电路的晶体管的栅极的侧面形成第二侧壁绝缘膜的工序。

这样，可在构成逻辑电路的晶体管的栅极侧面形成侧壁绝缘膜而不导致工序数增加。

第四到第六半导体存储装置的制造方法中，更好是形成栅极的工序包含在埋入绝缘膜彼此之间埋入绝缘膜后在构图的第二导电膜表面部形成硅化物层的工序。

这样，在半导体衬底表面的杂质扩散层的外侧部分用绝缘膜完全覆盖的状态下进行自对准金属硅化物，从而可确实防止成为位线的杂质扩散层之间由硅化物层短路。

第四到第六半导体存储装置的制造方法中，更好是半导体存储装置具有在半导体衬底上设置、构成逻辑电路的晶体管，构成逻辑电路的晶体管的栅极仅由构图的具有构图的第二导电膜构成。

这样，可形成构成逻辑电路的晶体管的栅极而不导致工序数增加。

附图说明

图 1 (a) ~ (c) 是表示第一实施例的半导体存储装置的制造方法的各工序的剖面图；

图 2 (a) ~ (c) 是表示第一实施例的半导体存储装置的制造方法的各工序的剖面图；

图 3 是第一实施例的半导体存储装置的剖面斜视图；

图 4 (a) 是沿着图 3 的 IVA-IVA 线的剖面图，图 4 (b) 是沿着图 3 的 IVB-IVB 线的剖面图，图 4 (c) 是沿着图 3 的 IVC-IVC 线的剖面图，图 4 (d) 是沿着图 3 的 IVD-IVD 线的剖面图；

图 5 (a) ~ (d) 是表示第二实施例的半导体存储装置的制造方法的各工序的剖面图；

图 6 (a) ~ (d) 是表示第二实施例的半导体存储装置的制造方法的各工序的剖面图；

图 7 是第二实施例的半导体存储装置的剖面斜视图；

图 8 (a) 是沿着图 7 的 VIIIA—VIIIA 线的剖面图, 图 8 (b) 是沿着图 7 的 VIIIB—VIIIB 线的剖面图, 图 8 (c) 是沿着图 7 的 VIIC—VIIC 线的剖面图, 图 8 (d) 是沿着图 7 的 VIID—VIID 线的剖面图;

图 9 (a) ~ (d) 是表示第三实施例的半导体存储装置的制造方法的各工序的剖面图;

图 10 (a) ~ (d) 是表示第三实施例的半导体存储装置的制造方法的各工序的剖面图;

图 11 是第三实施例的半导体存储装置的斜视图;

图 12 (a) 是沿着图 11 的 XIIA—XIIA 线的剖面图, 图 12 (b) 是沿着图 11 的 XIIB—XIIB 线的剖面图, 图 12 (c) 是沿着图 11 的 XIIC—XIIC 线的剖面图, 图 12 (d) 是沿着图 11 的 XIID—XIID 线的剖面图;

图 13 (a) ~ (e) 是表示第四实施例的半导体存储装置的制造方法的各工序的剖面图;

图 14 (a) ~ (d) 是表示第四实施例的半导体存储装置的制造方法的各工序的剖面图;

图 15 是第四实施例的半导体存储装置的斜视图;

图 16 (a) 是沿着图 15 的 XVIA—XVIA 线的剖面图, 图 16 (b) 是沿着图 15 的 XVIB—XVIB 线的剖面图, 图 16 (c) 是沿着图 15 的 XVIC—XVIC 线的剖面图, 图 16 (d) 是沿着图 15 的 XVID—XVID 线的剖面图;

图 17 (a) ~ (d) 是表示第五实施例的半导体存储装置的制造方法的各工序的剖面图;

图 18 (a) ~ (d) 是表示第五实施例的半导体存储装置的制造方法的各工序的剖面图;

图 19 是第五实施例的半导体存储装置的斜视图;

图 20 (a) 是沿着图 19 的 XXA—XXA 线的剖面图, 图 20 (b) 是沿着图 19 的 XXB—XXB 线的剖面图, 图 20 (c) 是沿着图 19 的 XXC—XXC 线的剖面图, 图 20 (d) 是沿着图 19 的 XXD—XXD 线的剖面图;

图 21 (a) ~ (d) 是表示第六实施例的半导体存储装置的制造方法的各工序的剖面图;

图 22 (a) ~ (d) 是表示第六实施例的半导体存储装置的制造方法的各工序的剖面图;

图 23 (a) ~ (d) 是表示第六实施例的半导体存储装置的制造方法的各工序的剖面图;

图 24 是第六实施例的半导体存储装置的斜视图;

图 25 (a) 是沿着图 24 的 XXVA—XXVA 线的剖面图, 图 25 (b) 是沿着图 24 的 XXVB—XXVB 线的剖面图, 图 25 (c) 是沿着图 24 的 XXVC—XXVC 线的剖面图, 图 25 (d) 是沿着图 24 的 XXVD—XXVD 线的剖面图;

图 26 (a) ~ (d) 是表示第七实施例的半导体存储装置的制造方法的各工序的剖面图;

图 27 (a) ~ (d) 是表示第七实施例的半导体存储装置的制造方法的各工序的剖面图;

图 28 (a) ~ (d) 是表示第七实施例的半导体存储装置的制造方法的各工序的剖面图;

图 29 是第七实施例的半导体存储装置的斜视图;

图 30 (a) 是沿着图 29 的 XXXA—XXXA 线的剖面图, 图 30 (b) 是沿着图 29 的 XXXB—XXXB 线的剖面图, 图 30 (c) 是沿着图 29 的 XXXC—XXXC 线的剖面图, 图 30 (d) 是沿着图 29 的 XXXD—XXXD 线的剖面图;

图 31 (a) ~ (d) 是表示第八实施例的半导体存储装置的制造方法的各工序的剖面图;

图 32 (a) ~ (c) 是表示第八实施例的半导体存储装置的制造方法的各工序的剖面图;

图 33 (a) ~ (d) 是表示第八实施例的半导体存储装置的制造方法的各工序的剖面图;

图 34 是第八实施例的半导体存储装置的斜视图;

图 35 (a) 是沿着图 34 的 XXXVA—XXXVA 线的剖面图, 图 35 (b) 是沿着图 34 的 XXXVB—XXXVB 线的剖面图, 图 35 (c) 是沿着图 34 的 XXXVC—XXXVC 线的剖面图, 图 35 (d) 是沿着图 34 的 XXXVD—

XXXVD 线的剖面图；

图 36 (a) ~ (d) 是表示第九实施例的半导体存储装置的制造方法的各工序的剖面图；

图 37 (a) ~ (c) 是表示第九实施例的半导体存储装置的制造方法的各工序的剖面图；

图 38 是第九实施例的半导体存储装置的斜视图；

图 39 (a) 是沿着图 38 的 XXXIXA—XXXIXA 线的剖面图，图 39 (b) 是沿着图 38 的 XXXIXB—XXXIXB 线的剖面图，图 39 (c) 是沿着图 38 的 XXXIXC—XXXIXC 线的剖面图，图 39 (d) 是沿着图 38 的 XXXIXD—XXXIXD 线的剖面图；

图 40 (a) ~ (d) 是表示第十实施例的半导体存储装置的制造方法的各工序的剖面图；

图 41 (a) ~ (c) 是表示第十实施例的半导体存储装置的制造方法的各工序的剖面图；

图 42 (a) ~ (c) 是表示第十实施例的半导体存储装置的制造方法的各工序的剖面图；

图 43 (a) ~ (c) 是表示第十实施例的半导体存储装置的制造方法的各工序的剖面图；

图 44 (a) ~ (c) 是表示第十一实施例的半导体存储装置的制造方法的各工序的剖面图；

图 45 (a) ~ (c) 是表示第十一实施例的半导体存储装置的制造方法的各工序的剖面图；

图 46 (a) ~ (c) 是表示第十一实施例的半导体存储装置的制造方法的各工序的剖面图；

图 47 (a) ~ (c) 是表示第十一实施例的半导体存储装置的制造方法的各工序的剖面图；

图 48 (a)、(b) 是表示第十一实施例的半导体存储装置的制造方法的各工序的剖面图；

图 49 (a) ~ (c) 是表示第十二实施例的半导体存储装置的制造方法的各工序的剖面图；

图 50 (a) ~ (c) 是表示第十二实施例的半导体存储装置的制造方法的各工序的剖面图;

图 51 (a) ~ (c) 是表示第十二实施例的半导体存储装置的制造方法的各工序的剖面图;

图 52 (a) ~ (c) 是表示第十二实施例的半导体存储装置的制造方法的各工序的剖面图;

图 53 (a) ~ (c) 是表示第十二实施例的半导体存储装置的制造方法的各工序的剖面图;

图 54 (a) ~ (c) 是表示第十三实施例的半导体存储装置的制造方法的各工序的剖面图;

图 55 (a) ~ (c) 是表示第十三实施例的半导体存储装置的制造方法的各工序的剖面图;

图 56 (a) ~ (c) 是表示第十三实施例的半导体存储装置的制造方法的各工序的剖面图;

图 57 (a) ~ (c) 是表示第十三实施例的半导体存储装置的制造方法的各工序的剖面图;

图 58 (a) ~ (c) 是表示第十三实施例的半导体存储装置的制造方法的各工序的剖面图;

图 53 (a) ~ (c) 是表示第十二实施例的半导体存储装置的制造方法的各工序的剖面图;

图 59 (a) ~ (d) 是表示原来的半导体存储装置的制造方法的各工序的剖面图;

图 60 是现有技术的半导体存储装置的平面图。

具体实施方式

下面说明本发明的各实施例的半导体存储装置及其制造方法,但通常逻辑电路区域中形成 n 沟道型晶体管和 p 沟道型晶体管,而这些仅仅是由于杂质种类不同,因此下面表示的各附图中,仅示出了 n 沟道型晶体管。

(第一实施例)

下面参考图 1 (a) ~ (c)、图 2 (a) ~ (c)、图 3 和图 4 (a) ~ (d) 说明本发明的第一实施例的半导体存储装置及其制造方法。图 4 (a) 表示沿着图 3 的 IVA-IVA 线的剖面结构, 图 4 (b) 表示沿着图 3 的 IVB-IVB 线的剖面结构, 图 4 (c) 表示沿着图 3 的 IVC-IVC 线的剖面结构, 图 4 (d) 表示沿着图 3 的 IVD-IVD 线的剖面结构。

首先, 如图 1 (a) 所示, 在硅衬底构成的半导体衬底 10 的存储器元件形成区域上层叠例如氧化硅膜、氮化硅膜、氧化硅膜的层叠膜所构成的具有电荷捕获位置的同时具有总共 30nm 的膜厚的捕获膜 11 后, 如图 1 (b) 所示, 在捕获膜 11 上层叠例如掺杂了 $1 \times 10^{20} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ 的磷且具有 150nm ~ 300nm 厚度的第一多晶硅膜 12。

接着如图 1 (c) 所示, 对第一多晶硅膜 12 以在位线方向延伸的第一抗蚀剂图案 13 为掩膜进行选择蚀刻, 对第一多晶硅膜 12 构图。该蚀刻工序中, 为在后面进行的杂质注入工序中保护半导体衬底 10 的表面, 最好残留下捕获膜 11。

接着如图 2 (a) 所示, 对半导体衬底 10 以第一抗蚀剂图案 13 为掩膜在例如 $1 \times 10^{15} \text{cm}^{-2} \sim 1 \times 10^{16} \text{cm}^{-2}$ 的条件下离子注入 n 型的杂质, 形成成为位线的 n 型的高浓度杂质扩散层 14。

接着如图 2 (b) 所示, 在半导体衬底 10 上跨整个面层叠氧化硅膜后, 对该氧化硅膜例如进行 CMP 或回蚀刻 (etch back), 通过去除该氧化硅膜的在构图的第一多晶硅膜 12 上存在的部分, 在构图的第一多晶硅膜 12 彼此之间并且在高浓度杂质扩散层 14 上形成埋入绝缘膜 15。此时, 构图的第一多晶硅膜 12 的高度位置和埋入绝缘膜 15 的高度位置大致相等。

接着如图 2 (c) 所示, 构图的第一多晶硅膜 12 和埋入绝缘膜 15 上层叠例如掺杂了 $1 \times 10^{20} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ 的磷且具有 50nm ~ 200nm 厚度的第二多晶硅膜 16。

接着对第二多晶硅膜 16 和构图的第一多晶硅膜 12 以在字线方向延伸的第二抗蚀剂图案 (图中省略) 为掩膜进行选择蚀刻, 如图 3 和图 4 (a) ~ (d) 所示, 形成由构图的第二多晶硅膜 16 和构图的第一多晶硅膜 12 构成的栅极。

根据第一实施例, 在成为位线的高浓度杂质扩散层 14 上侧设置在位

线方向延伸的埋入绝缘膜 15，同时构成栅极的构图的第一多晶硅膜 12 由埋入绝缘膜 15 彼此分离，从而栅极和捕获膜 11 构成的存储器元件彼此之间不需要设置 LOCOS 分离区域。

构图的第一多晶硅膜 12 由埋入绝缘膜 15 彼此分离，但构图的第一多晶硅膜 12 彼此之间由第二多晶硅膜 16 电连接，因此不会产生故障。

从而，根据第一实施例，可实现半导体存储装置的细微化。

另外，第一实施例中，作为具有电荷捕获位置的捕获膜 11，使用了氧化硅膜、氮化硅膜和氧化硅膜的层叠膜，但可替代它的是，使用硅的氧氮化膜的单层膜、氮化硅膜的单层膜、或者从半导体衬底 10 侧开始顺序层叠的氧化硅膜与氮化硅膜的层叠膜。

捕获膜 11 的膜厚为 30nm，但作为捕获膜 11 的膜厚，薄的话，晶体管特性良好，更好是在 20nm 左右。

作为栅极，使用了第一多晶硅膜 12 和第二多晶硅膜 16 的层叠膜，但可替代它的是，使用多晶硅膜、非晶硅膜、熔点在 600℃以上的高熔点金属膜或金属硅化物膜的单层膜，或者它们的层叠膜。

作为埋入绝缘膜 15，使用了氧化硅膜，但可替代它的是，使用含氟的氧化硅膜或多孔的单层膜或它们的层叠膜。埋入绝缘膜 15 包含含氟的氧化硅膜时，布线间的电容降低，可实现晶体管速度的提高。

第一实施例中，作为形成高浓度杂质扩散层 14 的掩膜，使用了第一抗蚀剂图案 13，但可替代它的是，去除第一抗蚀剂图案 13，而使用构图的第一多晶硅膜 12。这样一来，栅极中也注入 n 型杂质，因此可实现栅极的进一步低电阻化。

第一实施例中，作为第一多晶硅膜 12 和第二多晶硅膜 16，层叠掺杂杂质而构成的多晶硅膜，但可替代它的是，在层叠未掺杂杂质的多晶硅膜后再掺杂杂质。

第一实施例中，形成 n 型的存储器元件，但可替代它的是，形成 p 型的存储器元件。

（第二实施例）

下面参考图 5 (a) ~ (d)、图 6 (a) ~ (d)、图 7 和图 8 (a) ~ (d) 说明本发明的第二实施例的半导体存储装置及其制造方法。图 8 (a) 表示

沿着图 7 的 VIIA—VIIA 线的剖面结构, 图 8 (b) 表示沿着图 7 的 VIIB—VIIB 线的剖面结构, 图 8 (c) 表示沿着图 7 的 VIIC—VIIC 线的剖面结构, 图 8 (d) 表示沿着图 7 的 VIID—VIID 线的剖面结构。

首先, 如图 5 (a) 所示, 在硅衬底构成的半导体衬底 20 的存储器元件形成区域上层叠例如氧化硅膜、氮化硅膜、氧化硅膜的层叠膜所构成的具有总共 30nm 的膜厚的捕获膜 21 后, 如图 5 (b) 所示, 在捕获膜 21 上层叠例如掺杂了 $1 \times 10^{20} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ 的磷且具有 150nm~300nm 厚度的第一多晶硅膜 22。

接着如图 5 (c) 所示, 对第一多晶硅膜 22 以在位线方向延伸的第一抗蚀剂图案 (图中省略) 为掩膜进行选择蚀刻, 对第一多晶硅膜 22 构图。

接着如图 5 (d) 所示, 在半导体衬底 20 上跨整个面层叠例如具有 50nm~200nm 的膜厚的氧化硅后, 对该氧化硅膜进行回蚀刻 (etch back), 在构图的第一多晶硅膜 22 的侧面上形成侧壁绝缘膜 23。此时, 捕获膜 21 的从第一多晶硅膜 22 和侧壁绝缘膜 23 露出的部分通过普通蚀刻去除, 但可残留下捕获膜 21。残留下捕获膜 21 时, 可降低半导体衬底 20 在蚀刻工序中受到的损坏。

接着如图 6 (a) 所示, 对半导体衬底 20 以构图的第一多晶硅膜 22 和侧壁绝缘膜 23 为掩膜在例如 $1 \times 10^{15} \text{cm}^{-2} \sim 1 \times 10^{16} \text{cm}^{-2}$ 的条件下离子注入 n 型的杂质, 形成成为位线的 n 型的高浓度杂质扩散层 24。

接着如图 6 (b) 所示, 在半导体衬底 20 实施例如 850℃~950℃的热处理, 将高浓度杂质扩散层 24 与构图的第一多晶硅膜 22 重叠。该热处理可通过使用电炉的间歇式 (batch) 处理或使用灯的快速热处理 (RTA) 进行。

接着如图 6 (c) 所示, 在半导体衬底 20 上跨整个面层叠氧化硅膜后, 对该氧化硅膜例如进行 CMP 或回蚀刻 (etch back), 通过去除该氧化硅膜的在构图的第一多晶硅膜 22 上存在的部分, 在彼此相对的侧壁绝缘膜 23 彼此之间并且在高浓度杂质扩散层 24 上形成埋入绝缘膜 25。此时, 构图的第一多晶硅膜 22 的高度位置和埋入绝缘膜 25 的高度位置大致相等。

接着如图 6 (d) 所示, 构图的第一多晶硅膜 22 和埋入绝缘膜 25 上层叠例如掺杂了 $1 \times 10^{20} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ 的磷且具有 50nm~200nm 厚度的

第二多晶硅膜 26。

接着对第二多晶硅膜 26 和构图的第一多晶硅膜 22 以在字线方向延伸的第二抗蚀剂图案（图中省略）为掩膜进行选择蚀刻，如图 7 和图 8(a)～(d) 所示，形成由构图的第二多晶硅膜 26 和构图的第一多晶硅膜 22 构成的栅极。

根据第二实施例，在构成栅极的构图的第一多晶硅膜 22 侧面形成侧壁绝缘膜，除第一实施例的效果外，可抑制向高浓度杂质扩散层 24 注入的杂质扩散引起的短隧道效应，可缩小栅极长度。

从而，根据第二实施例，可实现半导体存储装置的进一步细微化。

另外，第二实施例中，作为第一多晶硅膜 22 和第二多晶硅膜 26，层叠掺杂杂质构成的多晶硅膜，但可替代它的是，在层叠未掺杂杂质的多晶硅膜后再掺杂杂质。

可替代第二实施例的第一多晶硅膜 22 和第二多晶硅膜 26，使用非晶的硅膜。

另外，第二实施例中，形成 n 型的存储器元件，但可替代它的是，形成 p 型的存储器元件。

（第三实施例）

下面参考图 9(a)～(d)、图 10(a)～(d)、图 11 和图 12(a)～(d) 说明本发明的第三实施例的半导体存储装置及其制造方法。图 12(a) 表示沿着图 11 的 XIIA—XIIA 线的剖面结构，图 12(b) 表示沿着图 11 的 XIIB—XIIB 线的剖面结构，图 12(c) 表示沿着图 11 的 XIIC—XIIC 线的剖面结构，图 12(d) 表示沿着图 11 的 XIID—XIID 线的剖面结构。

首先，如图 9(a) 所示，在硅衬底构成的半导体衬底 30 的存储器元件形成区域上层叠例如氧化硅膜、氮化硅膜、氧化硅膜的层叠膜所构成的具有总共 30nm 的膜厚的捕获膜 31 后，如图 9(b) 所示，在捕获膜 31 上层叠例如掺杂了 $1 \times 10^{20} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ 的磷且具有 150nm～300nm 厚度的第一多晶硅膜 32。

接着如图 9(c) 所示，对第一多晶硅膜 32 以在位线方向延伸的第一抗蚀剂图案（图中省略）为掩膜进行选择蚀刻，对第一多晶硅膜 32 构图。该蚀刻工序中；为在后面进行的杂质注入工序中保护半导体衬底 30 的表

面，最好残留下捕获膜 31。

接着如图 9 (d) 所示，对半导体衬底 30 以第一抗蚀剂图案为掩膜在 20keV~50keV 和 $1 \times 10^{12} \text{cm}^{-2} \sim 1 \times 10^{13} \text{cm}^{-2}$ 的条件下离子注入 p 型的杂质例如硼，形成 p 型的杂质扩散层 33 后，对半导体衬底 30 以第一抗蚀剂图案为掩膜在 20keV~50keV 和 $1 \times 10^{14} \text{cm}^{-2} \sim 1 \times 10^{15} \text{cm}^{-2}$ 的条件下离子注入 n 型的杂质例如砷，形成 n 型的低浓度杂质扩散层 34。p 型的杂质注入工序和 n 型的杂质注入工序哪个在先都可以。

接着如图 10 (a) 所示，在半导体衬底 30 上跨整个面层叠例如具有 50nm~200nm 的膜厚的氧化硅膜后，对该氧化硅膜进行回蚀刻 (etch back)，在构图的第一多晶硅膜 32 的侧面上形成侧壁绝缘膜 35。

接着如图 10 (b) 所示，对半导体衬底 30 以构图的第一多晶硅膜 32 和侧壁绝缘膜 35 为掩膜在例如 $1 \times 10^{15} \text{cm}^{-2} \sim 1 \times 10^{16} \text{cm}^{-2}$ 的条件下离子注入 n 型的杂质，形成成为位线的 n 型的高浓度杂质扩散层 36。

接着如图 10 (c) 所示，在半导体衬底 30 上跨整个面层叠氧化硅膜后，对该氧化硅膜例如进行 CMP 或回蚀刻 (etch back)，通过去除该氧化硅膜的在构图的第一多晶硅膜 32 上存在的部分，在彼此相对的侧壁绝缘膜 35 彼此之间并且在高浓度杂质扩散层 36 上形成埋入绝缘膜 37。此时，构图的第一多晶硅膜 32 的高度位置和埋入绝缘膜 37 的高度位置大致相等。

接着如图 10 (d) 所示，构图的第一多晶硅膜 32 和埋入绝缘膜 37 上层叠例如掺杂了 $1 \times 10^{20} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ 的磷且具有 50nm~200nm 厚度的第二多晶硅膜 38。

接着对第二多晶硅膜 38 和构图的第一多晶硅膜 32 以在字线方向延伸的第二抗蚀剂图案(图中省略)为掩膜进行选择蚀刻，如图 11 和图 12(a)~(d) 所示，形成由构图的第二多晶硅膜 38 和构图的第一多晶硅膜 32 构成的栅极。

根据第三实施例，在形成低浓度杂质扩散层 34 后，在栅极侧面形成侧壁绝缘膜 35，之后，以构图的第一多晶硅膜 32 和侧壁绝缘膜 35 为掩膜注入 n 型杂质，形成高浓度杂质扩散层 36，即形成 LDD 结构，因此除第一实施例的效果外，可抑制向高浓度杂质扩散层 36 注入的杂质扩散引起的短隧道效应，可缩小栅极长度。

另外,第三实施例中,作为形成p型的杂质扩散层33和n型的低浓度杂质扩散层34的掩膜,使用了未示出的第一抗蚀剂图案,但可替代它的是,使用构图的第一多晶硅膜32。

另外,第三实施例中,作为第一多晶硅膜32和第二多晶硅膜38,层叠掺杂杂质构成的多晶硅膜,但可替代它的是,在层叠未掺杂杂质的多晶硅膜后再掺杂杂质。

可替代第三实施例的第一多晶硅膜32和第二多晶硅膜38,使用非晶的硅膜。

另外,第三实施例中,形成n型的存储器元件,但可替代它的是,形成p型的存储器元件。

(第四实施例)

下面参考图13(a)~(e)、图14(a)~(d)、图15和图16(a)~(d)说明本发明的第四实施例的半导体存储装置及其制造方法。图16(a)表示沿着图15的XVIA-XVIA线的剖面结构,图16(b)表示沿着图15的XVIB-XVIB线的剖面结构,图16(c)表示沿着图15的XVIC-XVIC线的剖面结构,图16(d)表示沿着图15的XVID-XVID线的剖面结构。

首先,如图13(a)所示,在硅衬底构成的半导体衬底40的存储器元件形成区域上层叠例如氧化硅膜、氮化硅膜、氧化硅膜的层叠膜所构成的具有总共30nm的膜厚的捕获膜41后,如图13(b)所示,在捕获膜41上层叠例如掺杂了 $1 \times 10^{20} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ 的磷且具有150nm~300nm厚度的第一多晶硅膜42。

接着如图13(c)所示,对第一多晶硅膜42以在位线方向延伸的第一抗蚀剂图案(图中省略)为掩膜进行选择蚀刻,对第一多晶硅膜42构图。该蚀刻工序中,为在后面进行的杂质注入工序中保护半导体衬底40的表面,最好残留下捕获膜41。

接着如图13(d)所示,对半导体衬底40以第一抗蚀剂图案为掩膜在20keV~50keV和 $1 \times 10^{12} \text{cm}^{-2} \sim 1 \times 10^{13} \text{cm}^{-2}$ 的条件下离子注入p型的杂质例如硼,形成p型的杂质扩散层43后,对半导体衬底40以第一抗蚀剂图案为掩膜在20keV~50keV和 $1 \times 10^{14} \text{cm}^{-2} \sim 1 \times 10^{15} \text{cm}^{-2}$ 的条件下离子注入n型的杂质例如砷,形成n型的低浓度杂质扩散层44。

接着如图 13 (e) 所示, 在半导体衬底 40 上跨整个面层叠例如具有 50nm~200nm 的膜厚的氧化硅膜后, 对该氧化硅膜进行回蚀刻 (etch back), 在构图的第一多晶硅膜 42 的侧面上形成侧壁绝缘膜 45。

接着如图 14 (a) 所示, 对半导体衬底 40 以构图的第一多晶硅膜 42 和侧壁绝缘膜 45 为掩膜在例如 $1 \times 10^{15} \text{cm}^{-2} \sim 1 \times 10^{16} \text{cm}^{-2}$ 的条件下离子注入 n 型的杂质, 形成成为位线的 n 型的高浓度杂质扩散层 46。

接着如图 14 (b) 所示, 在半导体衬底 40 上跨整个面层叠钨膜后, 对个钨膜进行回蚀刻 (etch back), 在彼此相对的侧壁绝缘膜 45 彼此之间并且在高浓度杂质扩散层 46 上形成具有比构图的第一多晶硅膜 42 低的高度位置的金属膜 47。此时, 作为金属膜 47 最好使用约 400℃ 以上的熔点的膜。作为金属膜 47 的高度位置, 最好是为构图的第一多晶硅膜 42 的高度位置的大概一半左右。其原因是金属膜 47 的膜厚增大时, 恐怕产生金属膜 47 与构图的第一多晶硅膜 42 之间的短路, 另一方面, 金属膜 47 的膜厚过小时, 后面进行的蚀刻工序中恐怕金属膜 47 会消失。

接着如图 14 (c) 所示, 在半导体衬底 40 上跨整个面层叠氧化硅膜后, 对该氧化硅膜例如进行 CMP 或回蚀刻 (etch back), 通过去除该氧化硅膜的在构图的第一多晶硅膜 42 上存在的部分, 在彼此相对的侧壁绝缘膜 45 彼此之间并且在金属膜 47 上形成埋入绝缘膜 48。此时, 构图的第一多晶硅膜 42 的高度位置和埋入绝缘膜 48 的高度位置大致相等。

接着如图 14 (d) 所示, 构图的第一多晶硅膜 42 和埋入绝缘膜 48 上层叠例如掺杂了 $1 \times 10^{20} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ 的磷且具有 50nm~200nm 厚度的第二多晶硅膜 49。

接着对第二多晶硅膜 49 和构图的第一多晶硅膜 42 以在字线方向延伸的第二抗蚀剂图案(图中省略)为掩膜进行选择蚀刻, 如图 15 和图 16(a)~(d) 所示, 形成由构图的第二多晶硅膜 49 和构图的第一多晶硅膜 42 构成的栅极。

根据第四实施例, 在彼此相对的侧壁绝缘膜 45 彼此之间并且在成为位线的高浓度杂质扩散层 46 上设置金属膜 47, 可实现位线的低电阻化。

另外, 第四实施例中, 作为形成 p 型的杂质扩散层 43 和 n 型的低浓度杂质扩散层 44 的掩膜, 使用了未示出的第一抗蚀剂图案, 但可替代它

的是，使用构图的第一多晶硅膜 42。

另外，第四实施例中，作为第一多晶硅膜 42 和第二多晶硅膜 49，层叠掺杂杂质构成的多晶硅膜，但可替代它的是，在层叠未掺杂杂质的多晶硅膜后再掺杂杂质。

可替代第四实施例的第一多晶硅膜 42 和第二多晶硅膜 49，使用非晶的硅膜。

另外，第四实施例中，形成 n 型的存储器元件，但可替代它的是，形成 p 型的存储器元件。

（第五实施例）

下面参考图 17 (a) ~ (d)、图 18 (a) ~ (d)、图 19 和图 20 (a) ~ (d) 说明本发明的第五实施例的半导体存储装置及其制造方法。图 20 (a) 表示沿着图 19 的 XXA-XXA 线的剖面结构，图 20 (b) 表示沿着图 19 的 XXB-XXB 线的剖面结构，图 20 (c) 表示沿着图 19 的 XXC-XXC 线的剖面结构，图 20 (d) 表示沿着图 19 的 XXD-XXD 线的剖面结构。

首先，如图 17 (a) 所示，在硅衬底构成的半导体衬底 50 的存储器元件形成区域上层叠例如氧化硅膜、氮化硅膜、氧化硅膜的层叠膜所构成的具有总共 30nm 的膜厚的捕获膜 51 后，如图 17 (b) 所示，在捕获膜 51 上层叠例如掺杂了 $1 \times 10^{20} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ 的磷且具有 190nm ~ 300nm 厚度的第一多晶硅膜 52。

接着对第一多晶硅膜 52 和捕获膜 51 以在位线方向延伸的第一抗蚀剂图案（图中省略）为掩膜进行选择蚀刻，对第一多晶硅膜 52 和捕获膜 51 构图。

接着如图 17 (d) 所示，对半导体衬底 50 以构图的第一多晶硅膜 52 为掩膜在 20keV ~ 50keV 和 $1 \times 10^{12} \text{cm}^{-2} \sim 1 \times 10^{13} \text{cm}^{-2}$ 的条件下离子注入 p 型的杂质例如硼，形成 p 型的杂质扩散层 53 后，对半导体衬底 50 以构图的第一多晶硅膜 52 为掩膜在 20keV ~ 50keV 和 $1 \times 10^{14} \text{cm}^{-2} \sim 1 \times 10^{15} \text{cm}^{-2}$ 的条件下离子注入 n 型的杂质例如砷，形成 n 型的低浓度杂质扩散层 54。

接着如图 18 (a) 所示，在半导体衬底 50 上跨整个面层叠例如具有 50nm ~ 200nm 的膜厚的氧化硅膜后，对该氧化硅膜进行回蚀刻（etch back），在构图的第一多晶硅膜 52 的侧面上形成侧壁绝缘膜 55。

接着如图 18 (b) 所示, 对半导体衬底 50 以构图的第一多晶硅膜 52 和侧壁绝缘膜 55 为掩膜在例如 $1 \times 10^{15} \text{cm}^{-2} \sim 1 \times 10^{16} \text{cm}^{-2}$ 的条件下离子注入 n 型的杂质, 形成成为位线的 n 型的高浓度杂质扩散层 56。

接着如图 18 (c) 所示, 在半导体衬底 50 上跨整个面层叠氧化硅膜后, 对该氧化硅膜例如进行 CMP 或回蚀刻 (etch back), 通过去除该氧化硅膜的在构图的第一多晶硅膜 52 上存在的部分, 在彼此相对的侧壁绝缘膜 55 彼此之间并且在高浓度杂质扩散层 56 上形成埋入绝缘膜 57。此时, 构图的第一多晶硅膜 52 的高度位置和埋入绝缘膜 57 的高度位置大致相等。

接着如图 18 (d) 所示, 构图的第一多晶硅膜 52 和埋入绝缘膜 57 上层叠例如掺杂了 $1 \times 10^{20} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ 的磷且具有 $50 \text{nm} \sim 200 \text{nm}$ 厚度的第二多晶硅膜 58。

接着对第二多晶硅膜 58 和构图的第一多晶硅膜 52 以在字线方向延伸的第二抗蚀剂图案(图中省略)为掩膜进行选择蚀刻, 如图 19 和图 20(a)~(d) 所示, 形成由构图的第二多晶硅膜 58 和构图的第一多晶硅膜 52 构成的栅极。

根据第五实施例, 对第一多晶硅膜 52 和捕获膜 51 构图, 在成为位线的区域露出半导体衬底 50 后离子注入杂质来形成 n 型的低浓度杂质扩散层 54, 因此与残留捕获膜 51 的状态下进行离子注入的情况(参考图 9(d)) 相比, 可降低离子注入的加速能量。即, 像第三实施例那样, 在残留由氧化硅膜、氮化硅膜、氧化硅膜的层叠膜构成且具有 30nm 的膜厚的捕获膜的情况下, 需要 60keV 以上的加速能量, 而如果去除捕获膜, 则可降低加速能量降低到离子注入装置的加速能量的下限(当前是 10keV 左右)。

另外, 第五实施例中, 通过离子注入法形成 n 型的低浓度杂质扩散层 54, 但可替代它的是, 通过等离子体掺杂法或固相扩散法形成。

另外, 第五实施例中, 作为第一多晶硅膜 52 和第二多晶硅膜 58, 层叠掺杂杂质构成的多晶硅膜, 但可替代它的是, 在层叠未掺杂杂质的多晶硅膜后再掺杂杂质。

可替代第五实施例的第一多晶硅膜 52 和第二多晶硅膜 58, 使用非晶的硅膜。

另外, 第五实施例中, 形成 n 型的存储器元件, 但可替代它的是, 形

成 p 型的存储器元件。

(第六实施例)

下面参考图 21 (a) ~ (d)、图 22 (a) ~ (d)、图 23 (a) ~ (d)、图 24 图 25 (a) ~ (d) 说明本发明的第六实施例的半导体存储装置及其制造方法。图 25 (a) 表示沿着图 24 的 XXVA—XXVA 线的剖面结构, 图 25 (b) 表示沿着图 24 的 XXVB—XXVB 线的剖面结构, 图 25 (c) 表示沿着图 24 的 XXVC—XXVC 线的剖面结构, 图 25 (d) 表示沿着图 24 的 XXVD—XXVD 线的剖面结构。

首先, 如图 21 (a) 所示, 在硅衬底构成的半导体衬底 60 的存储器元件形成区域上层叠例如氧化硅膜、氮化硅膜、氧化硅膜的层叠膜所构成的具有总共 30nm 的膜厚的捕获膜 61 后, 如图 21 (b) 所示, 在捕获膜 61 上层叠例如掺杂了 $1 \times 10^{20} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ 的磷且具有 150nm~300nm 厚度的第一多晶硅膜 62。

接着如图 21 (c) 所示, 对第一多晶硅膜 62 以在位线方向延伸的第一抗蚀剂图案 63 为掩膜进行选择蚀刻, 对第一多晶硅膜 62 构图。该蚀刻工序中, 为在后面进行的杂质注入工序中保护半导体衬底 60 的表面, 最好残留下捕获膜 61。

接着如图 21 (d) 所示, 对半导体衬底 60 以第一抗蚀剂图案 63 为掩膜在例如 $1 \times 10^{15} \text{cm}^{-2} \sim 1 \times 10^{16} \text{cm}^{-2}$ 的条件下离子注入 n 型的杂质, 形成成为位线的 n 型的高浓度杂质扩散层 64。

接着如图 22 (a) 所示, 在半导体衬底 60 上跨整个面层叠氧化硅膜后, 对该氧化硅膜例如进行 CMP 或回蚀刻 (etch back), 通过去除该氧化硅膜的在构图的第一多晶硅膜 62 上存在的部分, 在构图的第一多晶硅膜 62 彼此之间并且在高浓度杂质扩散层 64 上形成埋入绝缘膜 65。此时, 构图的第一多晶硅膜 62 的高度位置和埋入绝缘膜 65 的高度位置大致相等。

接着如图 22 (b) 所示, 在构图的第一多晶硅膜 62 和埋入绝缘膜 65 上层叠例如掺杂了 $1 \times 10^{20} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ 的磷且具有 50nm~200nm 厚度的第二多晶硅膜 66。

接着如图 22 (c) 和 22 (d) 所示, 对第二多晶硅膜 66 和构图的第一多晶硅膜 62 以在字线方向延伸的第二抗蚀剂图案 (图中省略) 为掩膜进

行选择蚀刻。图 22 (c) 对应图 24 的沿着 XXVA—XXVA 线的剖面结构，图 22 (d) 对应图 24 的沿着 XXVB—XXVB 线的剖面结构。

接着如图 23 (a) 和 23 (b) 所示，在半导体衬底 60 上跨整个面层叠氧化硅膜后，对该氧化硅膜进行回蚀刻 (etch back)，在埋入绝缘膜 65 的侧面和构图的第一多晶硅膜 62 和第二多晶硅膜 66 的侧面上形成侧壁绝缘膜 67 (参考图 25 (c) 和 (d))。由此，半导体衬底 60 的在高浓度杂质扩散层 64 外侧的部分由埋入绝缘膜 65 和侧壁绝缘膜 67 覆盖。图 23 (a) 对应图 24 的沿着 XXVA—XXVA 线的剖面结构，图 23 (b) 对应图 24 的沿着 XXVB—XXVB 线的剖面结构。

接着如图 23 (c) 和 23 (d) 所示，在半导体衬底 60 上跨整个面层叠钴膜后，通过实施热处理，在构图的第二多晶硅膜 66 的表面部和半导体衬底 60 的从埋入绝缘膜 65 和侧壁绝缘膜 67 露出的表面形成氮化物层 68 后，如图 24 和图 25 (a) ~ (d) 所示，得到表面部有氮化物层 68 的由构图的第二多晶硅膜 66 和构图的第一多晶硅膜 62 构成的栅极。

根据第六实施例，在构成栅极的第二多晶硅膜 66 的表面部形成氮化物层 68，因此可实现栅极的低电阻化。

此时，在埋入绝缘膜 65 侧面形成侧壁绝缘膜 67，由埋入绝缘膜 65 和侧壁绝缘膜 67 覆盖半导体衬底 60 的在高浓度杂质扩散层 64 外侧的部分，之后形成氮化物层 68，使得能够防止高浓度杂质扩散层 64 彼此之间被半导体衬底 60 的表面部形成的氮化物层 68 短路的情况(参考图 25(b))。

第六实施例中，作为形成高浓度杂质扩散层 64 的掩膜，使用了第一抗蚀剂图案 63，但可替代它的是，去除第一抗蚀剂图案 63，使用构图的第一多晶硅膜 62。

第六实施例中，作为第一多晶硅膜 62 和第二多晶硅膜 66，层叠掺杂杂质构成的多晶硅膜，但可替代它的是，在层叠未掺杂杂质的多晶硅膜后再掺杂杂质。

可替代第六实施例的第一多晶硅膜 62 和第二多晶硅膜 66，使用非晶的硅膜。

第六实施例中，层叠钴膜来形成氮化物层 68,但可替代钴膜，使用钛膜、镍膜或铂膜的单层膜或它们的层叠膜。

另外，第六实施例中，形成n型的存储器元件，但可替代它的是，形成p型的存储器元件。

（第七实施例）

下面参考图26(a)~(d)、图27(a)~(d)、图28(a)~(d)、图29和图30(a)~(d)说明本发明的第七实施例的半导体存储装置及其制造方法。图30(a)表示沿着图29的XXXA-XXXA线的剖面结构，图30(b)表示沿着图29的XXXB-XXXB线的剖面结构，图30(c)表示沿着图29的XXXC-XXXC线的剖面结构，图30(d)表示沿着图29的XXXD-XXXD线的剖面结构。

首先，如图26(a)所示，在硅衬底构成的半导体衬底70的存储器元件形成区域上层叠例如氧化硅膜、氮化硅膜、氧化硅膜的层叠膜所构成的具有总共30nm的膜厚的捕获膜71后，如图26(b)所示，在捕获膜71上层叠例如掺杂了 $1 \times 10^{20} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ 的磷且具有150nm~300nm厚度的第一多晶硅膜72。

接着如图26(c)所示，对第一多晶硅膜72以在位线方向延伸的第一抗蚀剂图案73为掩膜进行选择蚀刻，对第一多晶硅膜72构图。

接着如图26(d)所示，对半导体衬底70以第一抗蚀剂图案73为掩膜在例如 $1 \times 10^{15} \text{cm}^{-2} \sim 1 \times 10^{16} \text{cm}^{-2}$ 的条件下离子注入n型的杂质，形成成为位线的n型的高浓度杂质扩散层74。

接着如图27(a)所示，在半导体衬底70上跨整个面层叠氧化硅膜后，对该氧化硅膜例如进行CMP或回蚀刻(etch back)，通过去除该氧化硅膜的在构图的第一多晶硅膜72上存在的部分，在构图的第一多晶硅膜72彼此之间并且在高浓度杂质扩散层74上形成第一埋入绝缘膜75。此时，构图的第一多晶硅膜72的高度位置和第一埋入绝缘膜75的高度位置大致相等。

接着如图27(b)所示，在构图的第一多晶硅膜72和第一埋入绝缘膜75上层叠例如掺杂了 $1 \times 10^{20} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ 的磷且具有50nm~200nm厚度的第二多晶硅膜76。

接着如图27(c)和27(d)所示，对第二多晶硅膜76和构图的第一多晶硅膜72以在字线方向延伸的第二抗蚀剂图案(图中省略)为掩膜进

行选择蚀刻。图 27 (c) 对应图 29 的沿着 XXXA—XXXA 线的剖面结构，图 27 (d) 对应图 29 的沿着 XXXB—XXXB 线的剖面结构。

接着如图 28 (a) 和 28 (b) 所示，在半导体衬底 70 上跨整个面层叠氧化硅膜后，对该氧化硅膜进行例如 CMP 或回蚀刻 (etch back)，通过去除该氧化硅膜的在构图的第二多晶硅膜 76 上存在的部分，形成第二埋入绝缘膜 77。第二埋入绝缘膜 77 在完全覆盖第一埋入绝缘膜 75 的同时，第二埋入绝缘膜 77 的高度位置与构图的第二多晶硅膜 76 的高度位置大致相等。图 28 (a) 对应图 29 的沿着 XXXA—XXXA 线的剖面结构，图 28 (b) 对应图 29 的沿着 XXXB—XXXB 线的剖面结构。

接着如图 28 (c) 和 28 (d) 所示，在半导体衬底 70 上跨整个面层叠钴膜后，通过实施热处理，在构图的第二多晶硅膜 76 的表面部形成氮化物层 78 后，如图 29 和图 30 (a) ~ (d) 所示，得到表面部有氮化物层 78 的由构图的第二多晶硅膜 76 和构图的第一多晶硅膜 72 构成的栅极。

第七实施例中，作为形成高浓度杂质扩散层 74 的掩膜，使用了第一抗蚀剂图案 73，但可替代它的是，去除第一抗蚀剂图案 73，使用构图的第一多晶硅膜 72。

第七实施例中，作为第一多晶硅膜 72 和第二多晶硅膜 76，层叠掺杂杂质构成的多晶硅膜，但可替代它的是，在层叠未掺杂杂质的多晶硅膜后再掺杂杂质。

可替代第七实施例的第一多晶硅膜 72 和第二多晶硅膜 76，使用非晶的硅膜。

第七实施例中，层叠钴膜来形成氮化物层 78，但可替代钴膜，可层叠钛膜、镍膜或铂膜。

另外，第七实施例中，形成 n 型的存储器元件，但可替代它的是，形成 p 型的存储器元件。

(第八实施例)

下面参考图 31 (a) ~ (c)、图 32 (a) ~ (c)、图 33 (a) ~ (d)、图 34 和图 35 (a) ~ (d) 说明本发明的第八实施例的半导体存储装置及其制造方法。图 35 (a) 表示沿着图 34 的 XXXVA—XXXVA 线的剖面结构，图 35 (b) 表示沿着图 34 的 XXXVB—XXXVB 线的剖面结构，图 35

(c) 表示沿着图 34 的 XXXVC—XXXVC 线的剖面结构, 图 35 (d) 表示沿着图 34 的 XXXVD—XXXVD 线的剖面结构。

首先, 如图 31 (a) 所示, 在硅衬底构成的半导体衬底 80 的存储器元件形成区域上层叠例如氧化硅膜、氮化硅膜、氧化硅膜的层叠膜所构成的具有总共 35nm 的膜厚的捕获膜 81 后, 如图 31 (b) 所示, 在捕获膜 81 上层叠例如掺杂了 $1 \times 10^{20} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ 的磷且具有 150nm~300nm 厚度的第一多晶硅膜 82。

接着如图 31 (c) 所示, 对第一多晶硅膜 82 以在位线方向延伸的第一抗蚀剂图案 83 为掩膜进行选择蚀刻, 对第一多晶硅膜 82 构图。

接着如图 32 (a) 所示, 对半导体衬底 80 以第一抗蚀剂图案 83 为掩膜在例如 $1 \times 10^{15} \text{cm}^{-2} \sim 1 \times 10^{16} \text{cm}^{-2}$ 的条件下离子注入 n 型的杂质, 形成成为位线的 n 型的高浓度杂质扩散层 84。

接着如图 32 (b) 所示, 在半导体衬底 80 上跨整个面层叠氧化硅膜后, 对该氧化硅膜例如进行 CMP 或回蚀刻 (etch back), 通过去除该氧化硅膜的在构图的第一多晶硅膜 82 上存在的部分, 在构图的多晶硅膜 82 彼此之间并且在高浓度杂质扩散层 84 上形成埋入绝缘膜 85。此时, 构图的多晶硅膜 82 的高度位置和埋入绝缘膜 85 的高度位置大致相等。

接着如图 32 (c) 所示, 在半导体衬底 80 上跨整个面顺序层叠例如钨膜构成且具有 150nm 膜厚的金属膜 86 以及例如氮化硅膜构成且具有 100nm 膜厚的盖层绝缘膜 87。

接着如图 33 (a) 和 (b) 所示, 对盖层绝缘膜 87、金属膜 86 和构图的多晶硅膜 82, 以在字线方向延伸的第二抗蚀剂图案 (图中省略) 为掩膜进行选择蚀刻。图 33 (a) 对应图 34 的沿着 XXXVA—XXXVA 线的剖面结构, 图 33 (b) 对应图 34 的沿着 XXXVB—XXXVB 线的剖面结构。

接着如图 33 (c) 和 33 (d) 所示, 在半导体衬底 80 上跨整个面层叠氧化硅膜后, 对该氧化硅膜进行回蚀刻 (etch back), 在埋入绝缘膜 85 的侧面和构图的盖层绝缘膜 87、金属膜 86 和多晶硅膜 82 侧面形成侧壁绝缘膜 88 (参考图 35 (c) 和 (d))。图 33 (c) 对应图 34 的沿着 XXXVA—XXXVA 线的剖面结构, 图 33 (d) 对应图 34 的沿着 XXXVB—XXXVB 线的剖面结构。

这样,如图 34 和图 35 (a) ~ (d) 所示,构图的金属膜 86 侧面由侧壁绝缘膜 88 覆盖,同时高浓度杂质扩散层 84 由埋入绝缘膜 85 和侧壁绝缘膜 88 覆盖。得到构图的多晶硅膜 82 和构图的金属膜 86 构成的栅极。

根据第八实施例,金属膜 86 上形成盖层绝缘膜 87,因此金属膜 86 难以从多晶硅膜 82 剥离。

第八实施例中,作为形成高浓度杂质扩散层 84 的掩膜,使用了第一抗蚀剂图案 83,但可替代它的是,去除第一抗蚀剂图案 83,使用构图的多晶硅膜 82。

第八实施例中,作为多晶硅膜 82,层叠掺杂杂质构成的多晶硅膜,但可替代它的是,在层叠未掺杂杂质的多晶硅膜后再掺杂杂质。

可替代第八实施例的多晶硅膜 82,使用非晶的硅膜。

第八实施例中,层叠钨膜构成的金属膜 88,但可替代钨膜,使用钛膜、或氮化物膜。

另外,第八实施例中,形成 n 型的存储器元件,但可替代它的是,形成 p 型的存储器元件。

(第九实施例)

下面参考图 36 (a) ~ (d)、图 37 (a) ~ (c)、图 38 和图 39 (a) ~ (d) 说明本发明的第九实施例的半导体存储装置及其制造方法。图 39 (a) 表示沿着图 38 的 XXXIXA-XXXIXA 线的剖面结构,图 39 (b) 表示沿着图 38 的 XXXIXB-XXXIXB 线的剖面结构,图 39 (c) 表示沿着图 38 的 XXXIXC-XXXIXC 线的剖面结构,图 39(d)表示沿着图 38 的 XXXIXD-XXXIXD 线的剖面结构。

首先,如图 36 (a) 所示,在硅衬底构成的半导体衬底 90 的存储器元件形成区域上形成例如氧化硅膜构成的具有 6~15nm 的厚度的隧道绝缘膜 91 后,如图 36 (b) 所示,在隧道绝缘膜 91 上层叠例如掺杂了 $1 \times 10^{20} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ 的磷且具有 150nm~300nm 厚度的第一多晶硅膜 92。

接着如图 36 (c) 所示,对第一多晶硅膜 92 以在位线方向延伸的第一抗蚀剂图案 93 为掩膜进行选择蚀刻,对第一多晶硅膜 92 构图。

接着如图 36 (d) 所示,对半导体衬底 90 以第一抗蚀剂图案 93 为掩膜在例如 $1 \times 10^{15} \text{cm}^{-2} \sim 1 \times 10^{16} \text{cm}^{-2}$ 的条件下离子注入 n 型的杂质,形成成

为位线的 n 型的高浓度杂质扩散层 94。

接着如图 37(a) 所示, 在半导体衬底 90 上跨整个面层叠氧化硅膜后, 对该氧化硅膜例如进行 CMP 或回蚀刻 (etch back), 通过去除该氧化硅膜的在构图的第一多晶硅膜 92 上存在的部分, 在构图的第一多晶硅膜 92 彼此之间并且在高浓度杂质扩散层 94 上形成埋入绝缘膜 95。此时, 构图的第一多晶硅膜 92 的高度位置和埋入绝缘膜 95 的高度位置大致相等。

接着如图 37(b) 所示, 在构图的第一多晶硅膜 92 和埋入绝缘膜 95 上层叠由例如氧化硅膜、氮化硅膜和氧化硅膜的层叠膜构成的电极间绝缘膜 96 后, 在该电极间绝缘膜 96 上层叠例如掺杂了 $1 \times 10^{20} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ 的磷且具有 $50 \text{nm} \sim 200 \text{nm}$ 厚度的第二多晶硅膜 97。

接着, 对第二多晶硅膜 97、电极间绝缘膜 96 和构图的第一多晶硅膜 92, 以在字线方向延伸的第二抗蚀剂图案 (图中省略) 为掩膜进行选择蚀刻, 如图 38 和图 39(a) ~ (d) 所示, 形成具有由构图的第二多晶硅膜 97 构成的栅极、构图的电极间绝缘膜 96 和构图的第一多晶硅膜 92 构成的浮置电极的存储器元件。

根据第九实施例, 在成为位线的高浓度杂质扩散层 94 上侧设置在位线方向延伸的埋入绝缘膜 95 的同时, 构成浮置电极的构图的第一多晶硅膜 92 由埋入绝缘膜 95 彼此分离, 因此在浮置电极、电极间绝缘膜和栅极构成的存储器元件彼此之间不需要设置 LOCOS 分离区域。构图的第一多晶硅膜 92 由埋入绝缘膜 95 彼此分离, 而构图的第一多晶硅膜 92 彼此之间由第二多晶硅膜 97 电连接, 不会产生故障。

因此根据第九实施例, 可实现半导体存储装置的细微化。

第九实施例中, 作为隧道绝缘膜 91, 使用氧化硅膜, 但可代替它的是, 使用氮化硅膜。

第九实施例中, 作为形成高浓度杂质扩散层 94 的掩膜, 使用了第一抗蚀剂图案 93, 但可替代它的是, 去除第一抗蚀剂图案 93, 使用构图第一的多晶硅膜 92。

第九实施例中, 作为第一多晶硅膜 82 和第二多晶硅膜 97, 层叠掺杂杂质构成的多晶硅膜, 但可替代它的是, 在层叠未掺杂杂质的多晶硅膜后再掺杂杂质。

可替代第九实施例的多第一多晶硅膜 82 和第二多晶硅膜 97 使用非晶的硅膜。

另外，第九实施例中，形成 n 型的存储器元件，但可替代它的是，形成 p 型的存储器元件。

但是第九实施例中，与第一实施例相比，仅仅栅极构成不同，成为位线的杂质扩散层的构成和埋入绝缘膜的构成与第一实施例相同。因此根据第九实施例，得到和第一实施例同样的效果。

虽然省略了详细说明，但第二到第八实施例的栅极与第九实施例的栅极可以是同样结构。这样，得到和第二到第八实施例相同的效果。

（第十实施例）

下面参考图 40 (a) ~ (d)、图 41 (a) ~ (c)、图 42 (a) ~ (c)、图 43 (a) ~ (c) 说明本发明的第十实施例的半导体存储装置及其制造方法。这些图中，左侧的图表示存储器元件形成区域的栅极部分，中央的图表示存储器元件形成区域的栅极间的部分，右侧的图表示逻辑电路区域。

首先，如图 40 (a) 所示，在硅衬底构成的半导体衬底 100 上形成沟槽元件分离 101 后，如图 40 (b) 所示，在半导体衬底 100 上跨过整个面层叠例如氧化硅膜、氮化硅膜和氧化硅膜的层叠膜构成的具有总共 30nm 膜厚的捕获膜 102。

接着如图 40 (c) 所示，对捕获膜 102 以第一抗蚀剂图案 103 为掩膜进行选择蚀刻，去除捕获膜 102 的逻辑电路区域后，如图 40 (d) 所示，氧化半导体衬底 100 的表面部，在半导体衬底 100 的逻辑电路区域的表面部形成具有例如 2nm~25nm 的厚度的栅极绝缘膜 104。

接着如图 41 (a) 所示，在半导体衬底 100 上跨过整个面层叠例如掺杂了 $1 \times 10^{20} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ 的磷且具有 150nm~300nm 厚度的第一多晶硅膜 105。

接着如图 41 (b) 所示，对第一多晶硅膜 105 以第二抗蚀剂图案（途中省略）为掩膜进行选择蚀刻，对第一多晶硅膜 105 构图后，对半导体衬底 100 以构图的第一多晶硅膜 105 为掩膜在例如 $1 \times 10^{15} \text{cm}^{-2} \sim 1 \times 10^{16} \text{cm}^{-2}$ 的条件下离子注入 n 型的杂质，在存储器元件形成区域中形成成为位线的 n 型的高浓度杂质扩散层 106。

接着如图 41 (c) 所示, 在半导体衬底 100 上跨整个面层叠氧化硅膜后, 对该氧化硅膜例如进行 CMP 或回蚀刻 (etch back), 通过去除该氧化硅膜的在构图的第一多晶硅膜 105 上存在的部分, 在构图的第一多晶硅膜 105 彼此之间并且在高浓度杂质扩散层 106 上形成埋入绝缘膜 107。此时, 构图的第一多晶硅膜 105 的高度位置和埋入绝缘膜 107 的高度位置大致相等。

接着如图 42 (a) 所示, 在构图的第一多晶硅膜 105 和埋入绝缘膜 107 上层叠例如掺杂了 $1 \times 10^{20} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ 的磷且具有 $50 \text{nm} \sim 200 \text{nm}$ 厚度的第二多晶硅膜 108。

接着, 如图 42 (b) 所示, 对第二多晶硅膜 108 和构图的第一多晶硅膜 105 以第三抗蚀剂图案 109 为掩膜进行选择蚀刻, 在存储器元件形成区域中, 形成构图的第二多晶硅膜 108 和构图的第一多晶硅膜 105 所构成的第一栅极的同时, 在逻辑电路区域中, 形成构图的第二多晶硅膜 108 和构图的第一多晶硅膜 105 所构成的第二栅极。

接着, 如图 42 (c) 所示, 在逻辑电路区域中, 对半导体衬底 100 以第二栅极为掩膜离子注入杂质, 形成低浓度杂质扩散层 110。

接着如图 43 (a) 所示, 在半导体衬底 100 上跨整个面层叠例如具有 $50 \text{nm} \sim 200 \text{nm}$ 的厚度的氧化硅膜后, 通过回蚀刻该氧化硅膜, 在存储器元件形区域中, 在埋入绝缘膜 107 两侧形成侧壁绝缘膜 111 的同时, 在逻辑电路区域中, 在第二栅极的侧面形成侧壁绝缘膜 111。接着, 在逻辑电路区域中, 对栅极绝缘膜 104 以第二栅极和侧壁绝缘膜 111 为掩膜进行选择蚀刻, 对栅极绝缘膜 104 构图。此时, 在存储器元件区域中, 捕获膜 102 被构图。

接着如图 43 (b) 所示, 在逻辑电路区域中, 对半导体衬底 100 以第二栅极和侧壁绝缘膜 111 为掩膜选择地离子注入杂质, 形成成为漏极区域或源极区域的高浓度杂质扩散层 112。

接着如图 43 (c) 所示, 在半导体衬底 100 上跨整个面层叠钴膜后, 通过实施热处理, 在存储器元件区域的第一栅极表面部形成氮化物层 113 的同时, 在逻辑电路区域的第二栅极表面部形成氮化物层 113 后, 得到第十实施例的半导体存储装置。

根据第十实施例，构成存储器元件的第一栅极和构成逻辑电路的晶体管的第二栅极可用同一工序形成，因此可实现工序数的减少。

另外，第1栅极电极的表面部的硅化物层113和第2栅极电极的表面部的硅化物层113可在同一工序中形成，因此，可实现工序数的减少。

存储器元件区域的埋入绝缘膜107的侧面的侧壁绝缘膜111和构成逻辑电路的晶体管的第二栅极的侧面的侧壁绝缘膜111可用同一工序形成，因此可实现工序数的减少。

另外，第十实施例中，作为第一多晶硅膜105和第二多晶硅膜108，层叠掺杂杂质构成的多晶硅膜，但可替代的是，在层叠未掺杂杂质的多晶硅膜后再掺杂杂质。

可使用非晶的硅膜替代第十实施例的第一多晶硅膜105和第二多晶硅膜108。

另外，第十实施例中，形成n型的存储器元件，但可替代的是，形成p型的存储器元件。

（第十一实施例）

下面参考图44(a)~(c)、图45(a)~(c)、图46(a)~(c)、图47(a)~(c)和图48(a)~(b)说明本发明的第十一实施例的半导体存储装置及其制造方法。这些图中，左侧的图表示存储器元件形成区域的栅极部分，中央的图表示存储器元件形成区域的栅极间的部分，右侧的图表示逻辑电路区域。

首先，如图44(a)所示，在硅衬底构成的半导体衬底120上形成沟槽元件分离121后，如图44(b)所示，在半导体衬底120上跨过整个面层叠例如氧化硅膜、氮化硅膜和氧化硅膜的层叠膜构成的具有总共30nm膜厚的捕获膜122。

接着如图44(c)所示，对捕获膜122以第一抗蚀剂图案123为掩膜进行选择蚀刻，去除捕获膜122的逻辑电路区域后，如图45(a)所示，氧化半导体衬底120的表面部，在半导体衬底120的逻辑电路区域的表面部形成具有例如2nm~25nm的厚度的栅极绝缘膜124。

接着如图45(b)所示，在半导体衬底120上跨过整个面层叠例如掺杂了 $1 \times 10^{20} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ 的磷且具有150nm~300nm厚度的多晶硅膜

125。

接着如图 45 (c) 所示, 对多晶硅膜 125 以第二抗蚀剂图案 (图中省略) 为掩膜进行选择蚀刻, 对多晶硅膜 125 构图后, 对半导体衬底 120 以构图的多晶硅膜 125 为掩膜在例如 $1 \times 10^{15} \text{cm}^{-2} \sim 1 \times 10^{16} \text{cm}^{-2}$ 的条件下离子注入 n 型的杂质, 在存储器元件形成区域中形成成为位线的 n 型的高浓度杂质扩散层 126。

接着如图 46 (a) 所示, 在半导体衬底 120 上跨整个面层叠氧化硅膜后, 对该氧化硅膜例如进行 CMP 或回蚀刻 (etch back), 通过去除该氧化硅膜的在构图的多晶硅膜 125 上存在的部分, 在构图的多晶硅膜 125 彼此之间并且在高浓度杂质扩散层 126 上形成埋入绝缘膜 127。此时, 构图的多晶硅膜 125 的高度位置和埋入绝缘膜 127 的高度位置大致相等。

接着如图 46 (b) 所示, 在半导体衬底 120 上跨整个面顺序层叠例如钨膜构成且具有 150nm 的膜厚的金属膜 128 和例如氮化硅膜构成且具有 100nm 的膜厚的盖层绝缘膜 129。

接着如图 46 (c) 所示, 对盖层绝缘膜 129、金属膜 128 和构图的多晶硅膜 125 以第三抗蚀剂图案 130 位掩膜进行选择蚀刻, 在存储器元件形成区域中, 形成构图的金属膜 128 和构图的多晶硅膜 125 构成的第一栅极的同时, 在逻辑电路区域形成构图的金属膜 128 和构图的多晶硅膜 125 构成的第二栅极。

接着如图 47 (b) 所示, 在逻辑电路区域中, 对半导体衬底 120 以第二栅极为掩膜离子注入杂质, 形成低浓度杂质扩散层 130。

接着如图 47 (c) 所示, 在半导体衬底 120 上跨整个面层叠例如具有 50nm~200nm 厚度的氧化硅膜后, 通过回蚀刻该氧化硅膜, 在存储器元件区域中, 在埋入绝缘膜 127 的侧面形成侧壁绝缘膜 131 的同时, 在逻辑电路区域中, 在第二栅极侧面形成侧壁绝缘膜 131。之后, 在逻辑电路区域中, 对栅极绝缘膜 124 以第二栅极和侧壁绝缘膜 131 为掩膜进行选择蚀刻, 对栅极绝缘膜 124 构图。此时, 在存储器元件区域中, 捕获膜 122 被构图。

接着如图 48 (a) 所示, 在逻辑电路区域中, 对半导体衬底 120 以第二栅极和侧壁绝缘膜 131 为掩膜选择地离子注入杂质, 形成成为漏极区域或源极区域的高浓度杂质扩散层 132。

接着如图 48 (b) 所示, 在半导体衬底 120 上跨整个面层叠钴膜后, 通过实施热处理, 在高浓度杂质扩散层 132 表面部形成氮化物层 133 后, 得到第十一实施例的半导体存储装置。此时, 存储器元件区域的栅极电极间部分中也形成氮化物层 133。

根据第十一实施例, 构成存储器元件的多金属构造的第一栅极和构成逻辑电路的晶体管的多金属构造的栅极可用同一工序形成, 因此可实现工序数的减少。

另外, 第十一实施例中, 作为多晶硅膜 125, 层叠掺杂杂质构成的多晶硅膜, 但可替代的是, 在层叠未掺杂杂质的多晶硅膜后再掺杂杂质。

可使用非晶的硅膜替代第十一实施例的多晶硅膜 125。

另外, 第十一实施例中, 形成 n 型的存储器元件, 但可替代的是, 形成 p 型的存储器元件。

(第十二实施例)

下面参考图 49 (a) ~ (c)、图 50 (a) ~ (c)、图 51 (a) ~ (c)、图 52 (a) ~ (c) 和图 53 (a) ~ (b) 说明本发明的第十二实施例的半导体存储装置及其制造方法。这些图中, 左侧的图表示存储器元件形成区域的栅极部分, 中央的图表示存储器元件形成区域的栅极间的部分, 右侧的图表示逻辑电路区域。

首先, 如图 49 (a) 所示, 在硅衬底构成的半导体衬底 140 上形成沟槽元件分离 141 后, 如图 49 (b) 所示, 在半导体衬底 140 上跨过整个面层叠例如氧化硅膜、氮化硅膜和氧化硅膜的层叠膜构成的具有总共 30nm 膜厚的捕获膜 142。

接着如图 49 (c) 所示, 在半导体衬底 140 上跨整个面层叠例如掺杂了 $1 \times 10^{20} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ 的磷且具有 150nm ~ 300nm 厚度的第一多晶硅膜 143。

接着如图 50 (a) 所示, 对第一多晶硅膜 143 用掩膜 (图中省略) 进行选择蚀刻, 对第一多晶硅膜 143 构图后, 对半导体衬底 140 以构图的第一多晶硅膜 143 为掩膜在例如 $1 \times 10^{15} \text{cm}^{-2} \sim 1 \times 10^{16} \text{cm}^{-2}$ 的条件下离子注入 n 型的杂质, 在存储器元件形成区域中形成成为位线的 n 型的高浓度杂质扩散层 144。

接着如图 50 (c) 所示, 在半导体衬底 140 上跨整个面层叠氧化硅膜后, 对该氧化硅膜例如进行 CMP 或回蚀刻 (etch back), 通过去除该氧化硅膜的在构图的第一多晶硅膜 143 上存在的部分, 在构图的第一多晶硅膜 143 彼此之间并且在高浓度杂质扩散层 144 上形成埋入绝缘膜 145。此时, 构图的第一多晶硅膜 143 的高度位置和埋入绝缘膜 145 的高度位置大致相等。

接着如图 50 (c) 所示, 在构图的第一多晶硅膜 143 和埋入绝缘膜 145 上层叠例如氮化硅膜构成、具有 100nm 厚度的保护膜 146。

接着如图 51 (a) 所示, 在逻辑电路区域中, 顺序去除保护膜 146、构图的第一多晶硅膜 143 和捕获膜 142 后, 如图 51 (b) 所示, 氧化半导体衬底 140 的表面部, 形成具有例如 2nm~25nm 的厚度的栅极绝缘膜 147。

接着如图 51 (c) 所示, 在半导体衬底 140 上跨整个面层叠例如掺杂了 $1 \times 10^{20} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ 的磷且具有 50nm~200nm 厚度的第二多晶硅膜 148。

接着如图 52 (a) 所示, 对第二多晶硅膜 148 和构图的第一多晶硅膜 143 以第一抗蚀剂图案 149 为掩膜进行选择蚀刻, 在存储器元件区域中, 形成构图的第二多晶硅膜 148 和构图的第一多晶硅膜 143 所构成的第一栅极。

接着如图 52 (b) 所示, 对第二多晶硅膜 147 以第二抗蚀剂图案 150 为掩膜进行选择蚀刻, 在逻辑电路区域中, 形成由构图的第二多晶硅膜 148 所构成的第二栅极。

接着如图 52 (c) 所示, 去除第二抗蚀剂图案 150 后, 在逻辑电路区域中, 对半导体衬底 140 以第二栅极为掩膜离子注入杂质, 形成低浓度杂质扩散层 151。

接着如图 53 (a) 所示, 在半导体衬底 140 上跨整个面层叠例如具有 50nm~200nm 厚度的氧化硅膜后, 通过回蚀刻该氧化硅膜, 在存储器元件区域中, 在埋入绝缘膜 145 的侧面形成侧壁绝缘膜 152 的同时, 在逻辑电路区域中, 在第二栅极侧面形成侧壁绝缘膜 152。接着, 在逻辑电路区域中, 对栅极绝缘膜 147 以第二栅极和侧壁绝缘膜 152 为掩膜进行选择蚀刻, 对栅极绝缘膜 147 构图。此时, 在存储器元件区域中, 捕获膜 142 被构图。

接着如图 53 (b) 所示, 在逻辑电路区域中, 对半导体衬底 140 以第二栅极和侧壁绝缘膜 152 为掩膜选择地离子注入杂质, 形成成为漏极区域或源极区域的高浓度杂质扩散层 153。

接着如图 53 (c) 所示, 在半导体衬底 140 上跨整个面层叠钴膜后, 通过实施热处理, 在存储器元件区域的第一栅极的表面部形成氮化物层 154 的同时, 在逻辑电路区域的第二栅极的表面部形成氮化物层 154 后, 得到第十二实施例的半导体存储装置。

根据第十二实施例, 构成逻辑电路的晶体管的第二栅极仅由构图的第二多晶硅膜 147 构成, 因此可实现第二栅极的细微化。

另外, 第十二实施例中, 作为第一多晶硅膜 143 和第二多晶硅膜 147, 层叠掺杂杂质构成的多晶硅膜, 但可替代的是, 在层叠未掺杂杂质的多晶硅膜后再掺杂杂质。

可使用非晶的硅膜替代第十二实施例的第一多晶硅膜 143 和第二多晶硅膜 147。

另外, 第十二实施例中, 形成 n 型的存储器元件, 但可替代的是, 形成 p 型的存储器元件。

(第十三实施例)

下面参考图 54 (a) ~ (c)、图 55 (a) ~ (c)、图 56 (a) ~ (c)、图 57 (a) ~ (c) 和图 58 (a) ~ (c) 说明本发明的第十三实施例的半导体存储装置及其制造方法。这些图中, 左侧的图表示存储器元件形成区域的栅极部分, 中央的图表示存储器元件形成区域的栅极间的部分, 右侧的图表示逻辑电路区域。

首先, 如图 54 (a) 所示, 在硅衬底构成的半导体衬底 160 上形成沟槽元件分离 161 后, 如图 54 (b) 所示, 在半导体衬底 160 上跨过整个面层叠例如氧化硅膜构成的具有 6nm~15nm 厚度的隧道绝缘膜 162。

接着在半导体衬底 160 上跨整个面层叠例如掺杂了 $1 \times 10^{20} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ 的磷且具有 150nm~300nm 厚度的第一多晶硅膜 163。

接着如图 55 (a) 所示, 对第一多晶硅膜 163 构图后, 对半导体衬底 160 以构图的第一多晶硅膜 163 为掩膜在例如 $1 \times 10^{15} \text{cm}^{-2} \sim 1 \times 10^{16} \text{cm}^{-2}$ 的条件下离子注入 n 型的杂质, 在存储器元件形成区域中形成成为位线的 n

型的高浓度杂质扩散层 164。

接着如图 55 (b) 所示, 在半导体衬底 160 上跨整个面层叠氧化硅膜后, 对该氧化硅膜例如进行 CMP 或回蚀刻 (etch back), 通过去除该氧化硅膜的在构图的第一多晶硅膜 163 上存在的部分, 在构图的第一多晶硅膜 163 彼此之间并且在高浓度杂质扩散层 164 上形成埋入绝缘膜 165。此时, 构图的第一多晶硅膜 163 的高度位置和埋入绝缘膜 165 的高度位置大致相等。

接着如图 55 (c) 所示, 层叠例如氮化硅膜、氮化硅膜、氧化硅膜的层叠膜构成的电极间绝缘膜 166。

接着如图 56 (a) 所示, 在逻辑电路区域中, 顺序去除电极间绝缘膜 166、构图的第一多晶硅膜 163 和隧道绝缘膜 162 后, 如图 56 (b) 所示, 氧化半导体衬底 160 的表面部, 形成具有例如 2nm~25nm 的厚度的栅极绝缘膜 167。

接着如图 56 (c) 所示, 在半导体衬底 160 上跨整个面层叠例如掺杂了 $1 \times 10^{20} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ 的磷且具有 50nm~200nm 厚度的第二多晶硅膜 168。

接着如图 57 (a) 所示, 对第二多晶硅膜 168 和构图的第一多晶硅膜 163 以第一抗蚀剂图案 169 为掩膜进行选择蚀刻, 在存储器元件区域中, 形成具有构图的第二多晶硅膜 168 所构成的第一栅极、构图的电极间绝缘膜 166 和构图的第一多晶硅膜 163 所构成的浮置电极的存储器元件。

接着如图 57 (b) 所示, 对第二多晶硅膜 168 以第二抗蚀剂图案 170 为掩膜进行选择蚀刻, 在逻辑电路区域中, 形成由构图的第二多晶硅膜 168 所构成的第二栅极。

接着如图 57 (c) 所示, 去除第二抗蚀剂图案 170 后, 在逻辑电路区域中, 对半导体衬底 160 以第二栅极为掩膜离子注入杂质, 形成低浓度杂质扩散层 171。

接着如图 58 (a) 所示, 在半导体衬底 170 上跨整个面层叠例如具有 50nm~200nm 厚度的氧化硅膜后, 通过回蚀刻该氧化硅膜, 在存储器元件区域中, 在埋入绝缘膜 165 的侧面形成侧壁绝缘膜 172 的同时, 在逻辑电路区域中, 在第二栅极侧面形成侧壁绝缘膜 172。接着, 在逻辑电路区域

中,对栅极绝缘膜 167 以第二栅极和侧壁绝缘膜 172 为掩膜进行选择蚀刻,对栅极绝缘膜 167 构图。此时,在存储器元件区域中,隧道绝缘膜 162 被构图。

接着如图 58 (b) 所示,在逻辑电路区域中,对半导体衬底 160 以第二栅极和侧壁绝缘膜 172 为掩膜选择地离子注入杂质,形成成为漏极区域或源极区域的高浓度杂质扩散层 173。

接着如图 58 (c) 所示,在半导体衬底 160 上跨整个面层叠钴膜后,通过实施热处理,在存储器元件区域的第一栅极的表面部形成氮化物层 174 的同时,在逻辑电路区域的第二栅极的表面部形成氮化物层 157 后,得到第十三实施例的半导体存储装置。

另外,第十三实施例中,作为第一多晶硅膜 163 和第二多晶硅膜 167,层叠掺杂杂质构成的多晶硅膜,但可替代的是,在层叠未掺杂杂质的多晶硅膜后再掺杂杂质。

可使用非晶的硅膜替代第十三实施例的第一多晶硅膜 163 和第二多晶硅膜 167。

另外,第十三实施例中,形成 n 型的存储器元件,但可替代的是,形成 p 型的存储器元件。

根据第十三实施例,由于构成存储器元件的第一栅极和构成逻辑电路的晶体管的第二栅极实质上可用同一工序形成,因此可实现工序数减少。此时,第二栅极仅由构图的第二多晶硅膜 167 形成,从而可实现第二栅极的细微化。

第一栅极表面部的氮化物层 174 和第二栅极表面部的氮化物层 174 可用同一工序形成,因此可实现工序数减少。

存储器元件区域的埋入绝缘膜 165 的侧面的侧壁绝缘膜 172 和构成逻辑电路的晶体管的第二栅极的侧面的侧壁绝缘膜 172 可用同一工序形成,因此可实现工序数减少。

但是,作为具有由浮置电极、电极间绝缘膜和栅极构成的存储器元件的实施例,仅表示出了与第一实施例对应的第九实施例和与第十二实施例对应的第十三实施例,但除此之外,当然也可实施与第二、第四、第四、第五、第六和第七实施例对应的实施例。

使第二实施例对应具有由浮置电极、电极间绝缘膜和栅极构成的存储器元件的实施例的情况下，形成隧道绝缘膜来替代捕获膜 21，同时，可在第二多晶硅膜 26 的下侧层叠电极间绝缘膜。

使第三实施例对应具有由浮置电极、电极间绝缘膜和栅极构成的存储器元件的实施例的情况下，形成隧道绝缘膜来替代捕获膜 31，同时，可在第二多晶硅膜 38 的下侧层叠电极间绝缘膜。

使第四实施例对应具有由浮置电极、电极间绝缘膜和栅极构成的存储器元件的实施例的情况下，形成隧道绝缘膜来替代捕获膜 41，同时，可在第二多晶硅膜 49 的下侧层叠电极间绝缘膜。

使第五实施例对应具有由浮置电极、电极间绝缘膜和栅极构成的存储器元件的实施例的情况下，形成隧道绝缘膜来替代捕获膜 51，同时，可在第二多晶硅膜 58 的下侧层叠电极间绝缘膜。

使第六实施例对应具有由浮置电极、电极间绝缘膜和栅极构成的存储器元件的实施例的情况下，形成隧道绝缘膜来替代捕获膜 61，同时，可在第二多晶硅膜 66 的下侧层叠电极间绝缘膜。

使第七实施例对应具有由浮置电极、电极间绝缘膜和栅极构成的存储器元件的实施例的情况下，形成隧道绝缘膜来替代捕获膜 71，同时，可在第二多晶硅膜 76 的下侧层叠电极间绝缘膜。

产业上的可利用性

根据本发明的第一～第三半导体存储装置以及第一～第六半导体存储装置的制造方法，可实现半导体存储装置的细微化和位线的低电阻化，同时可对栅极进行自对准金属硅化物。

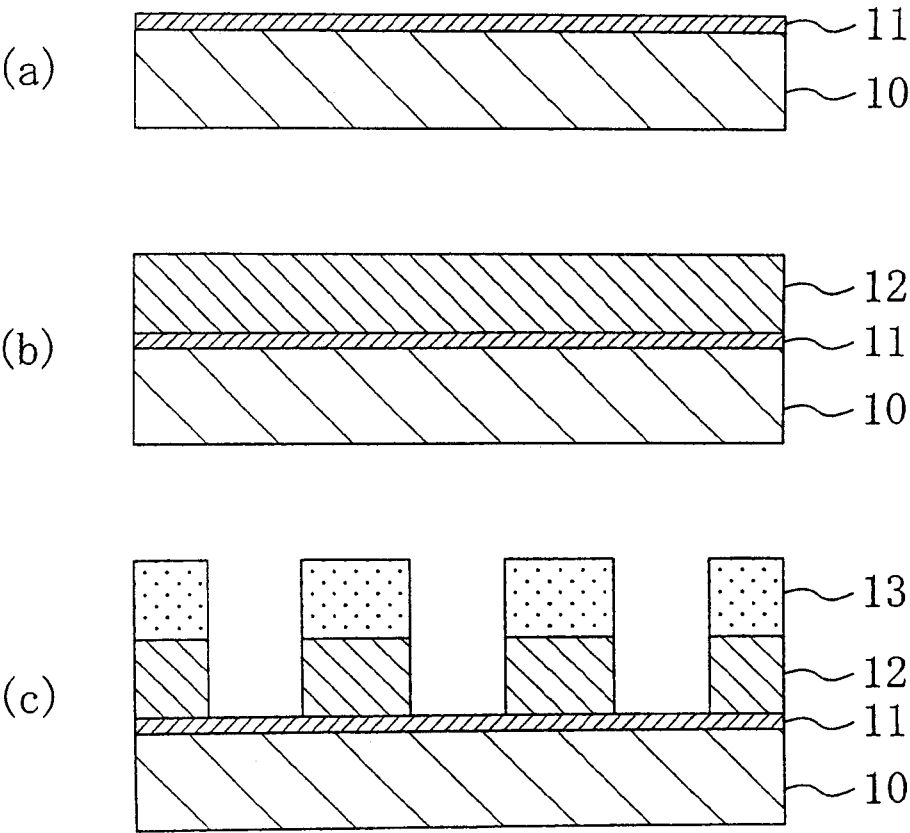


图 1

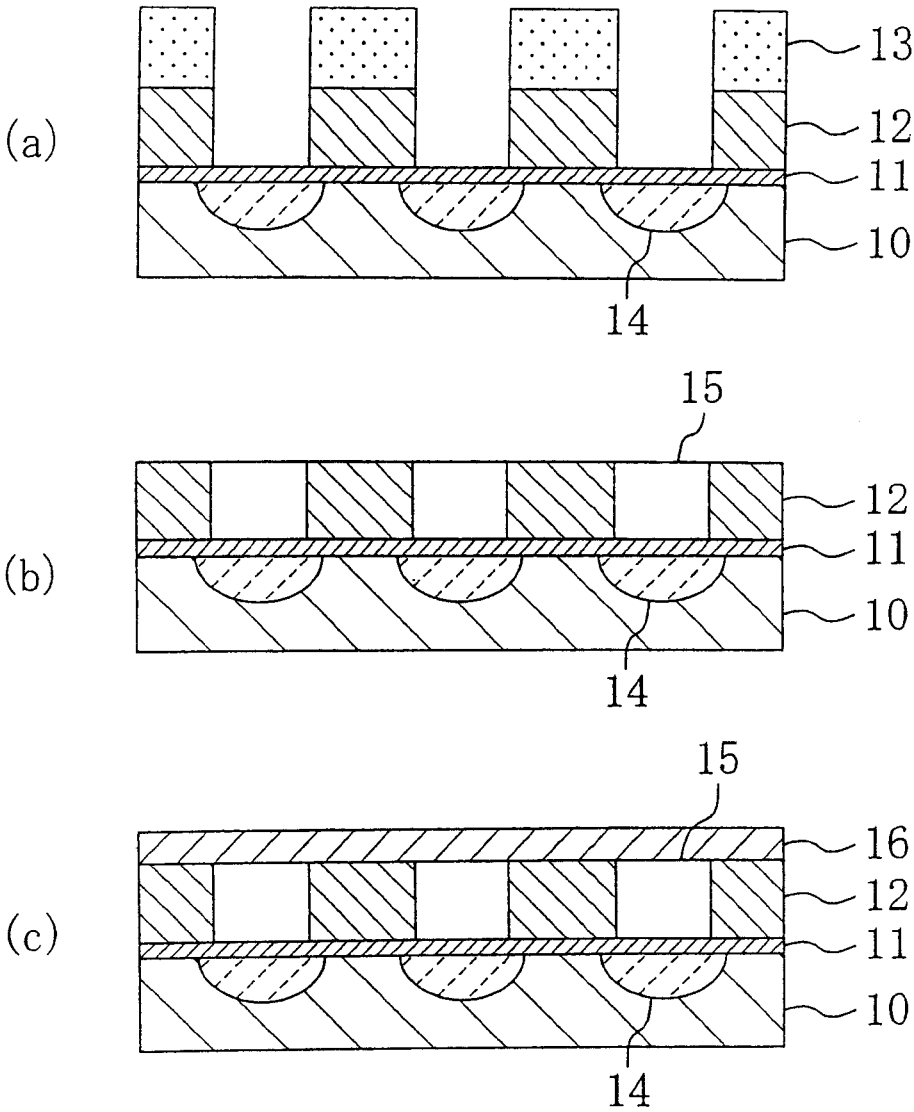


图 2

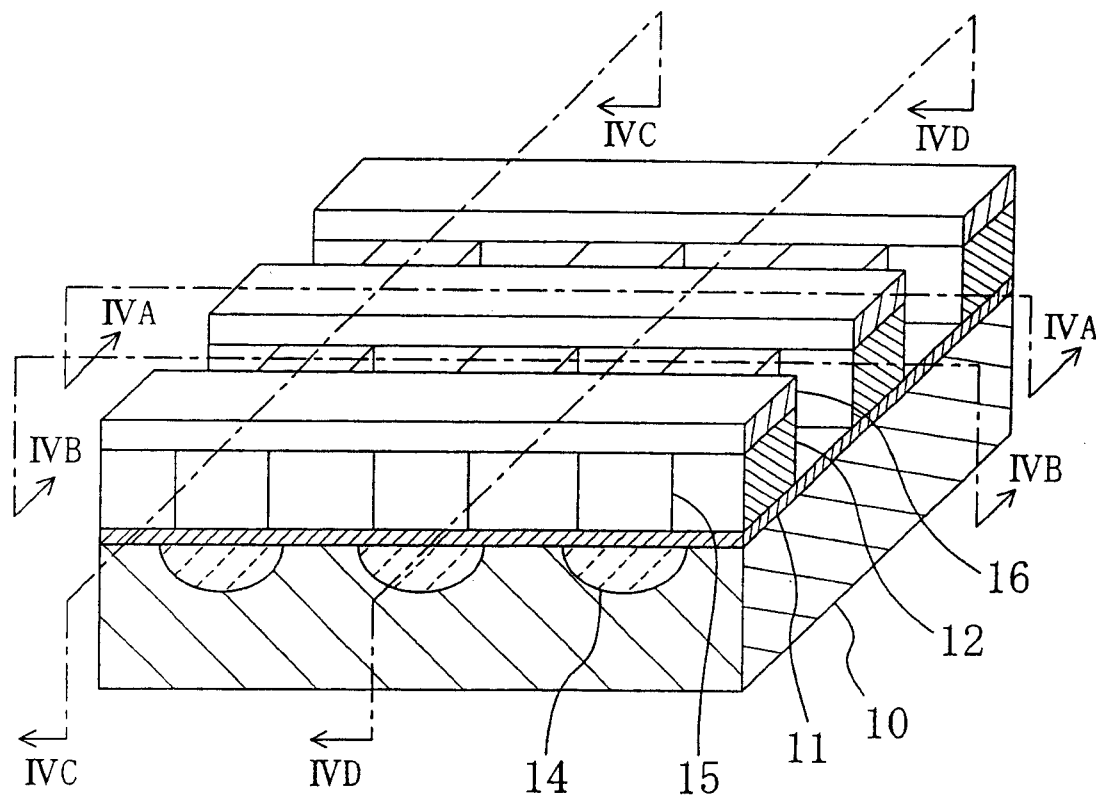


图 3

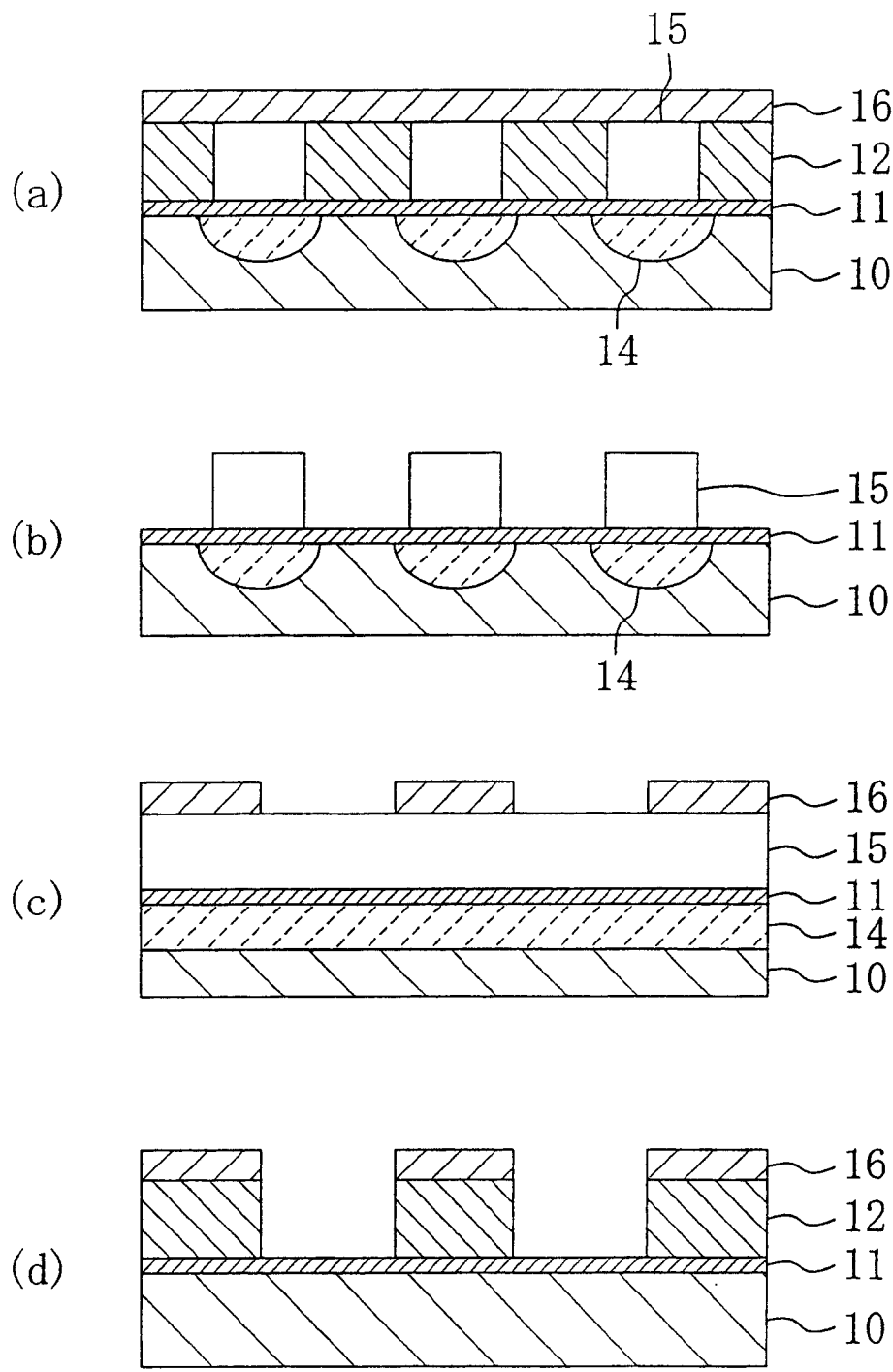


图 4

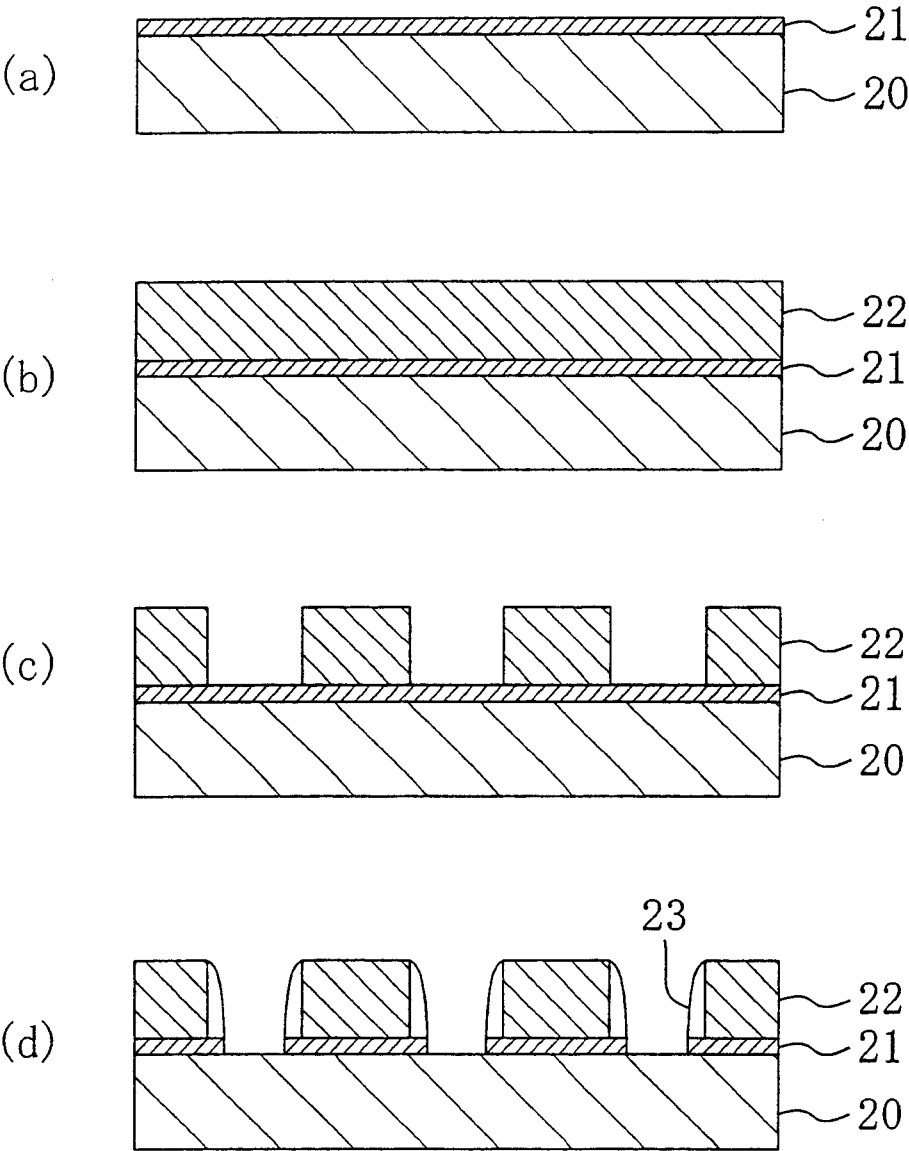


图 5

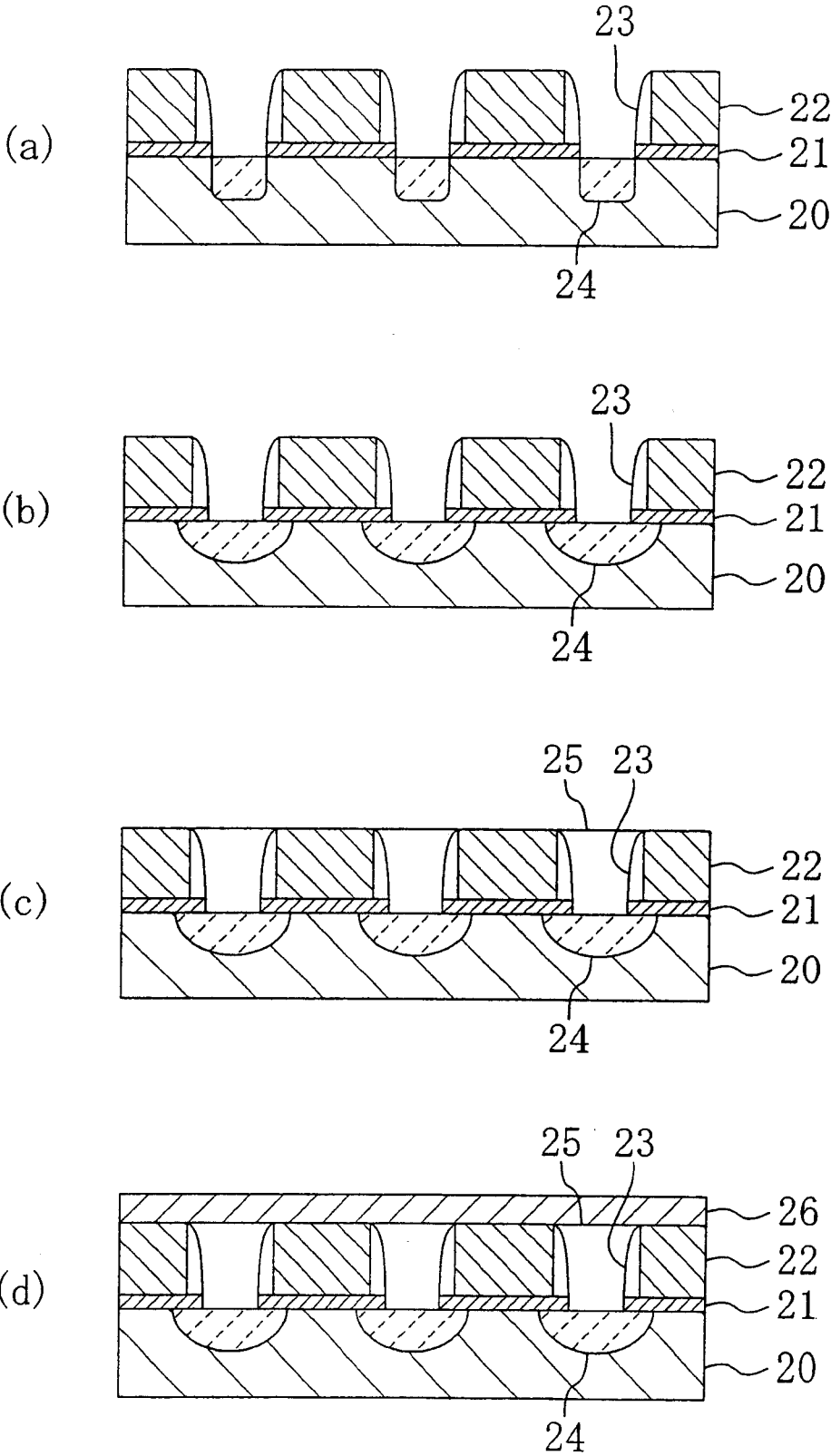


图 6

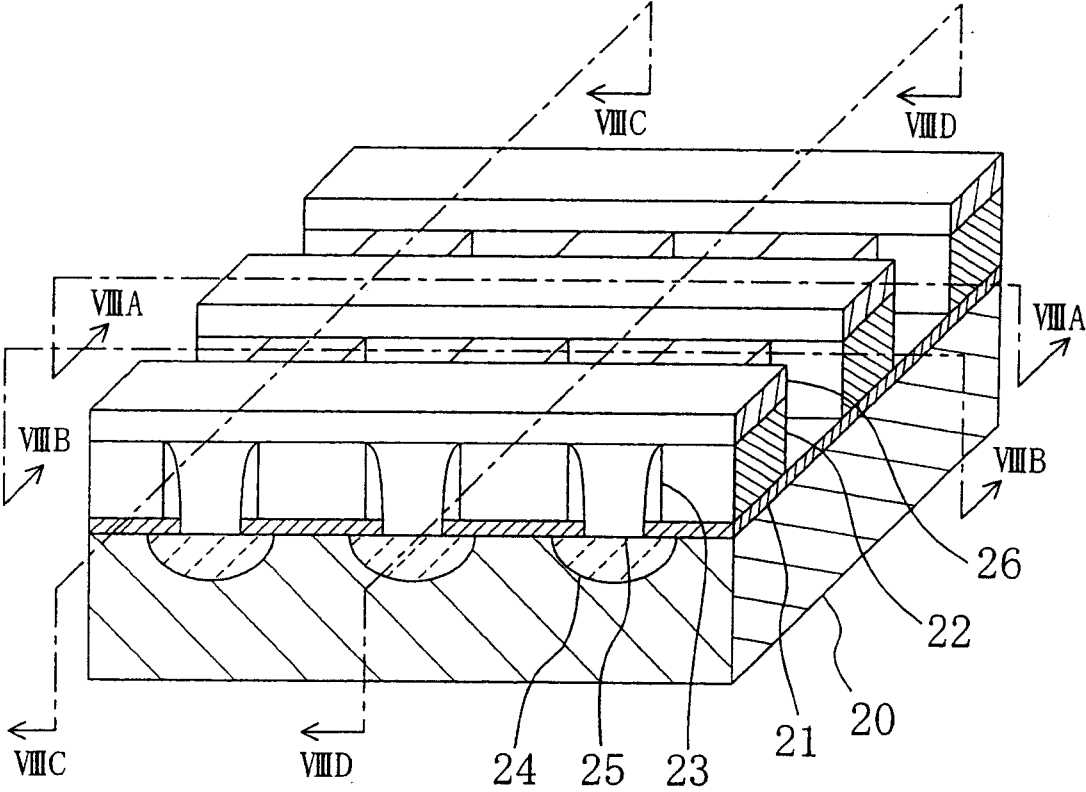


图 7

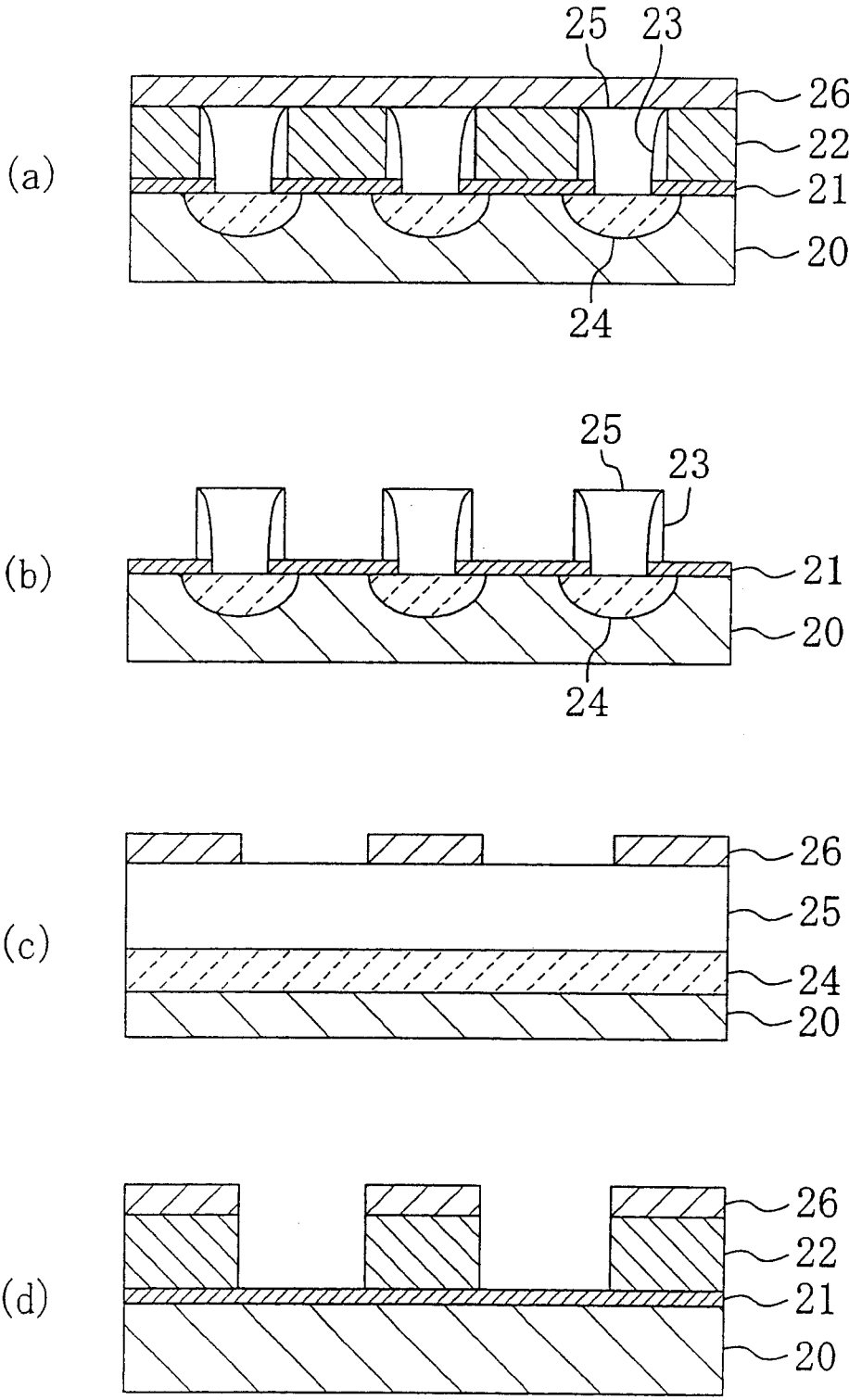


图 8

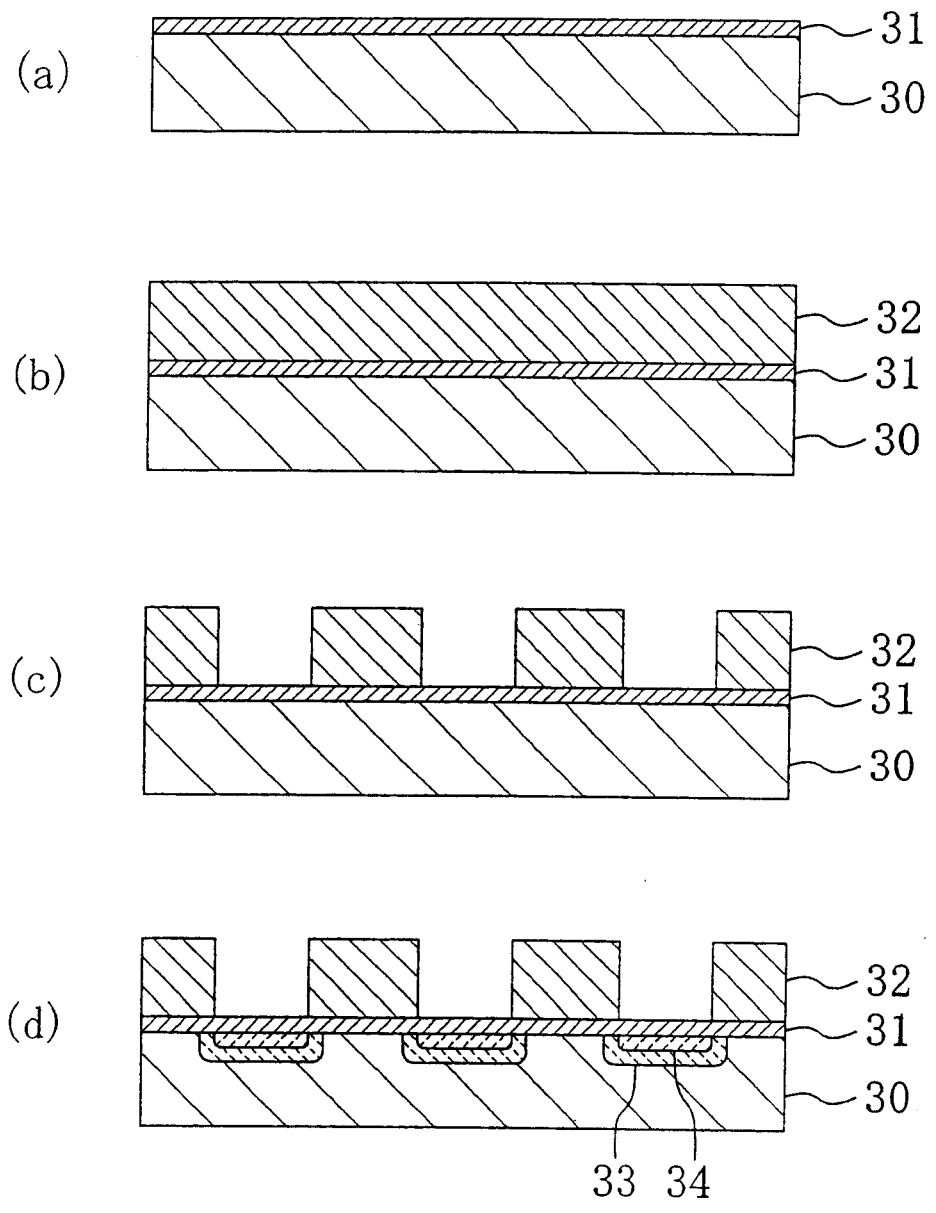


图 9

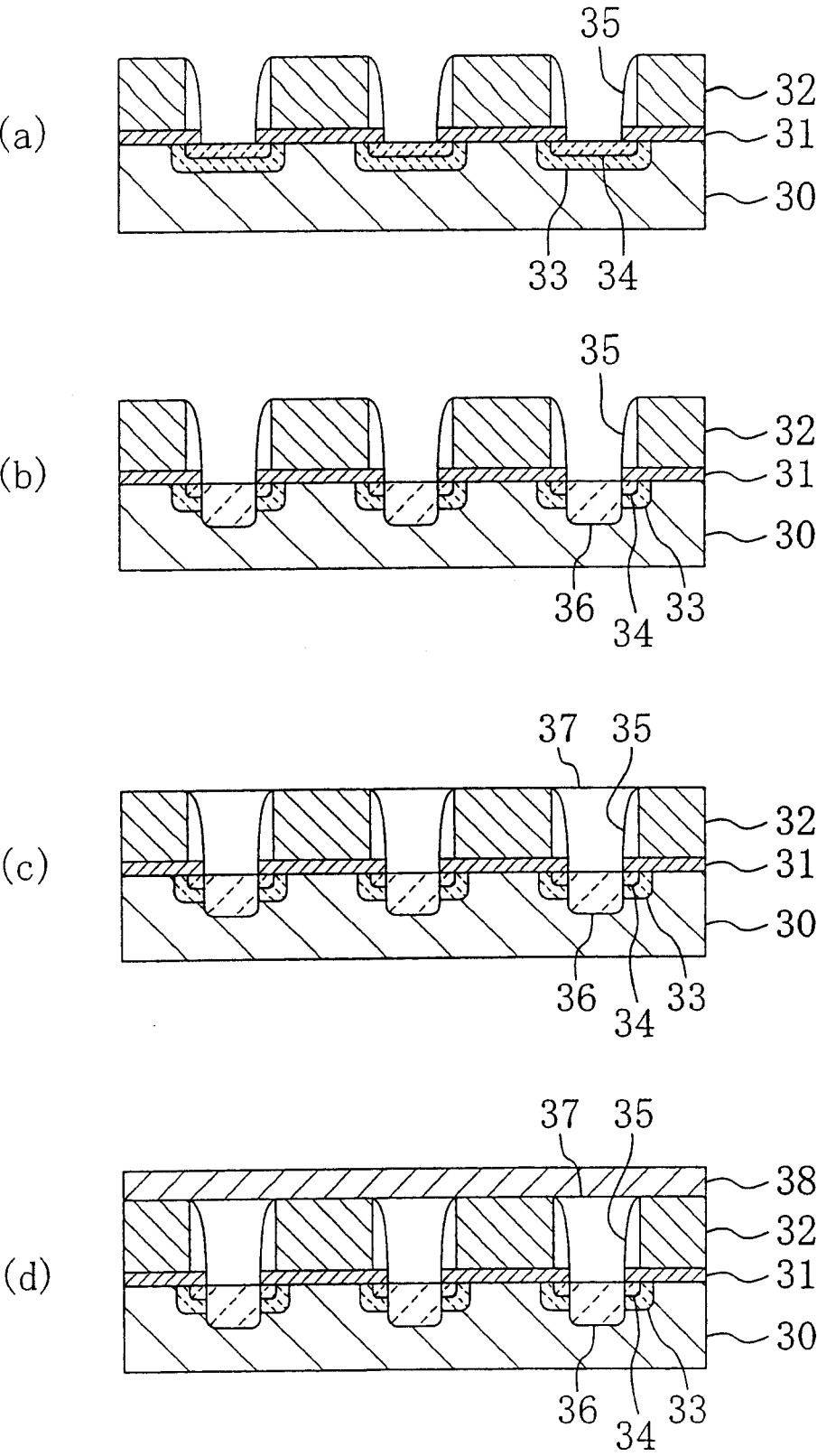


图 10

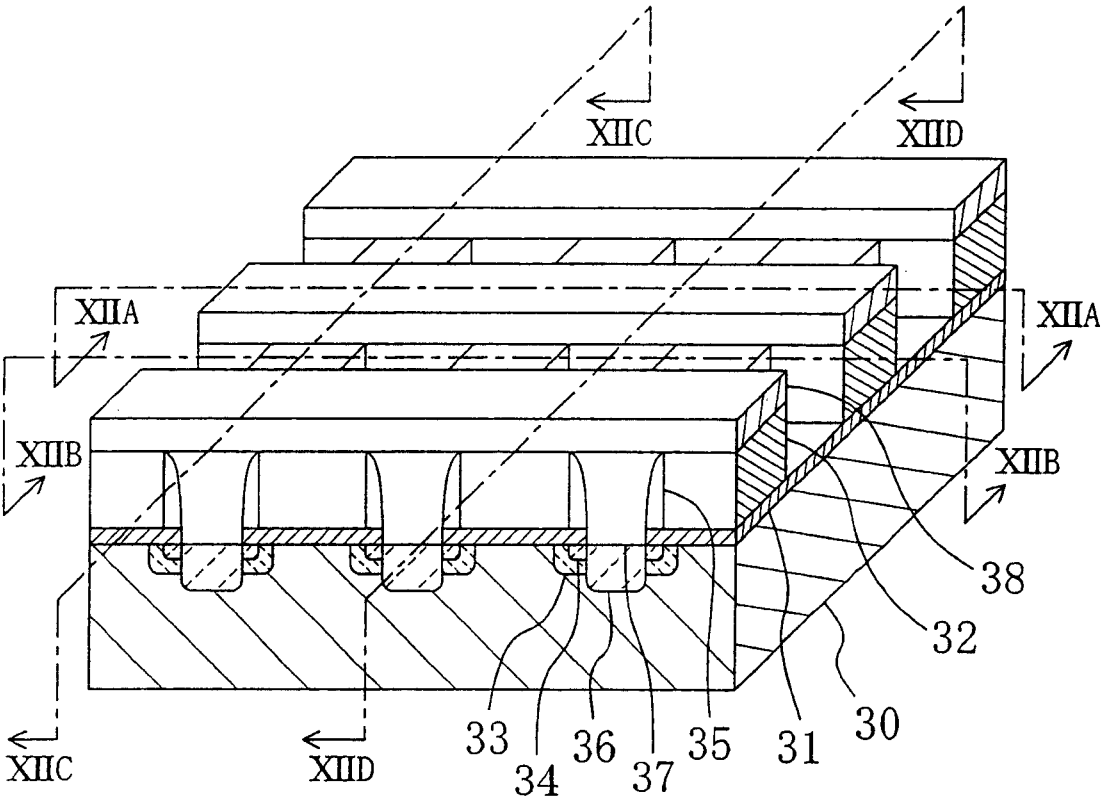


图 11

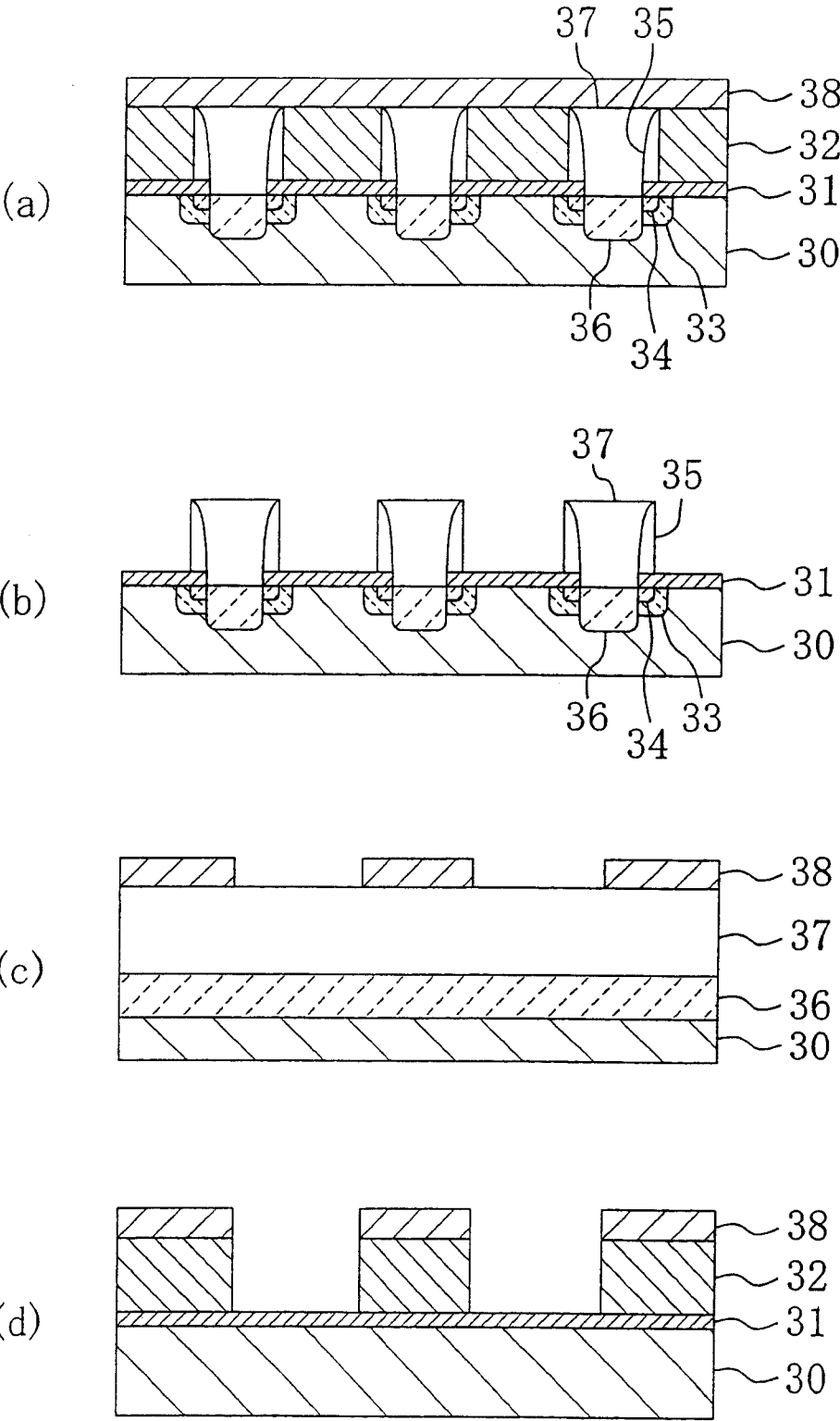


图 12

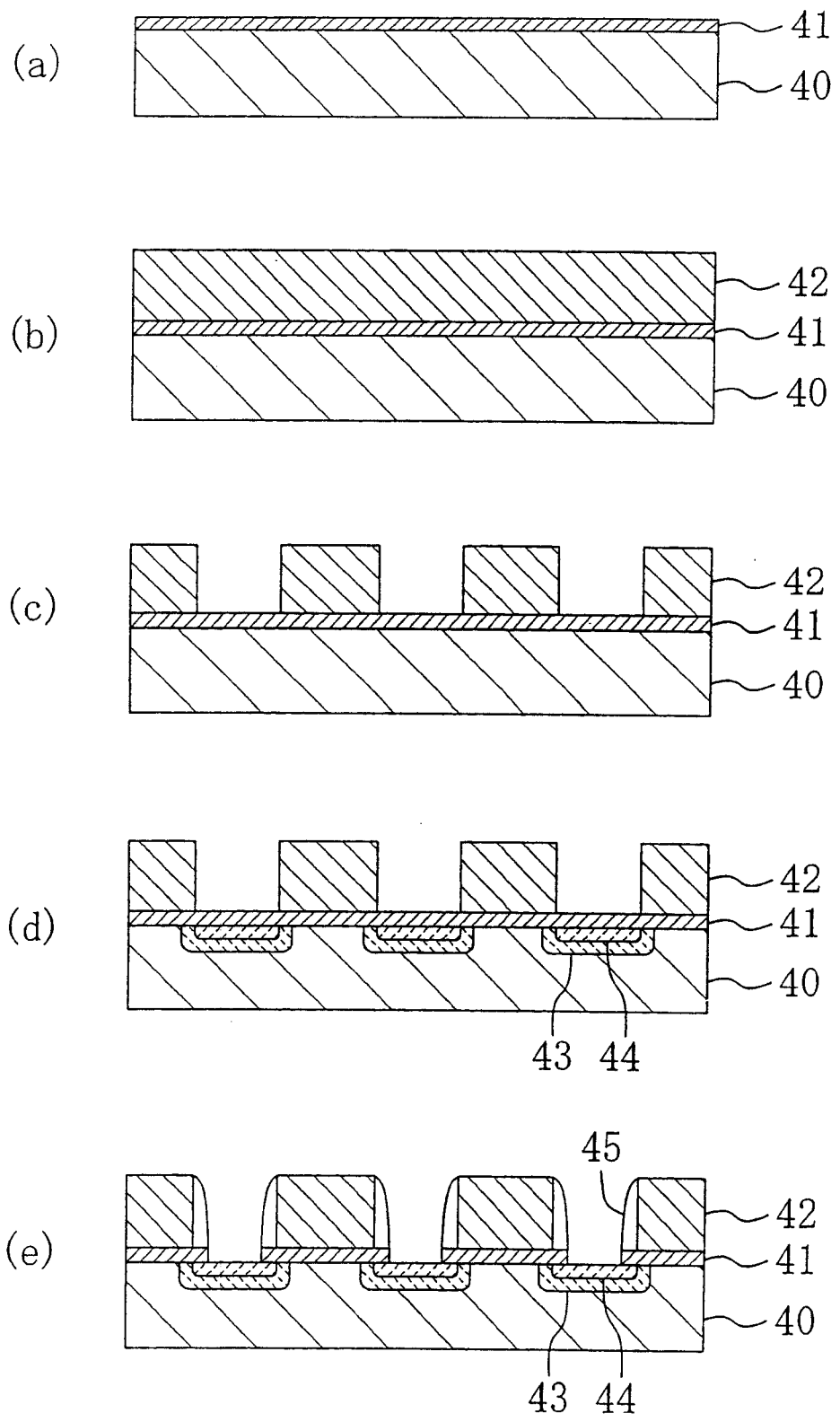


图 13

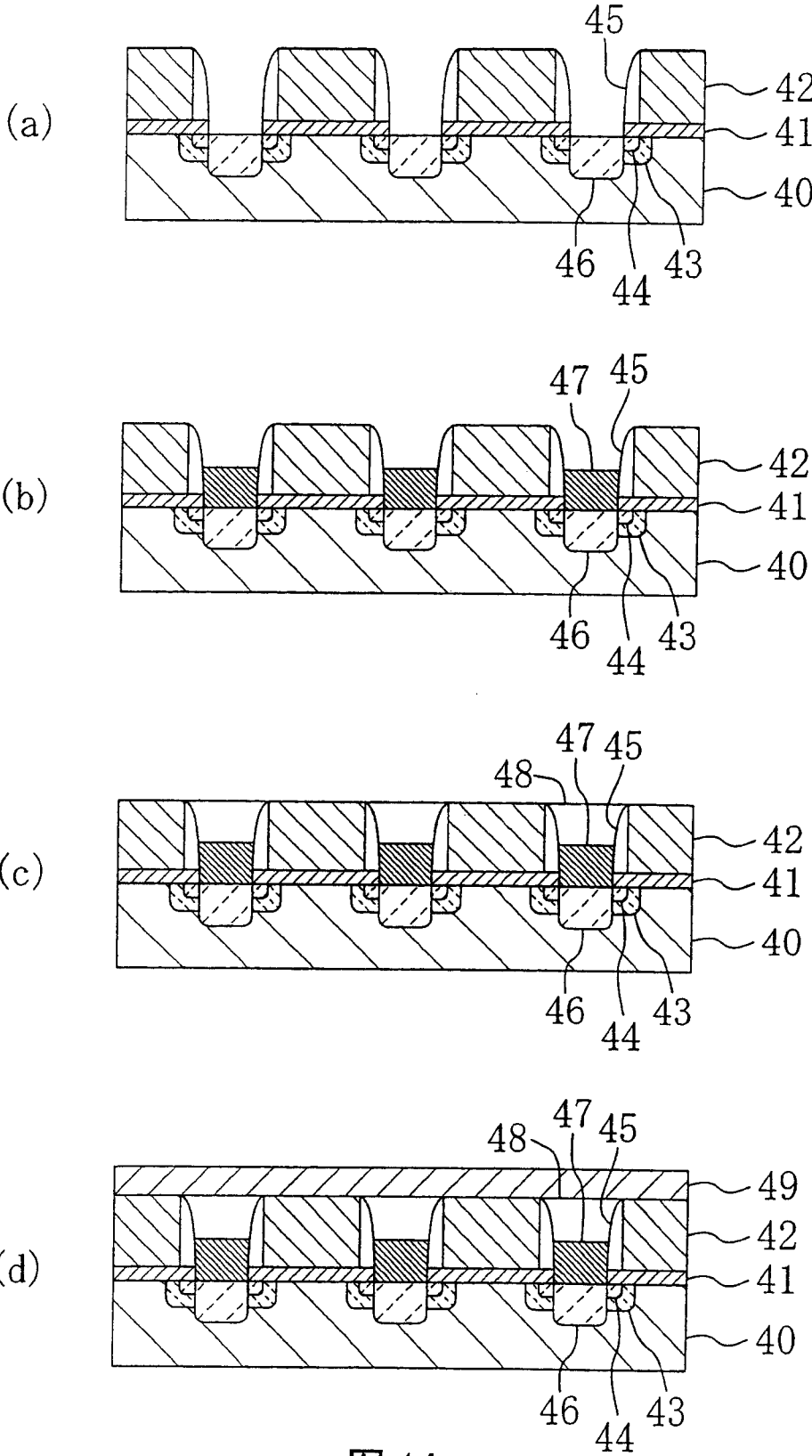


图 14

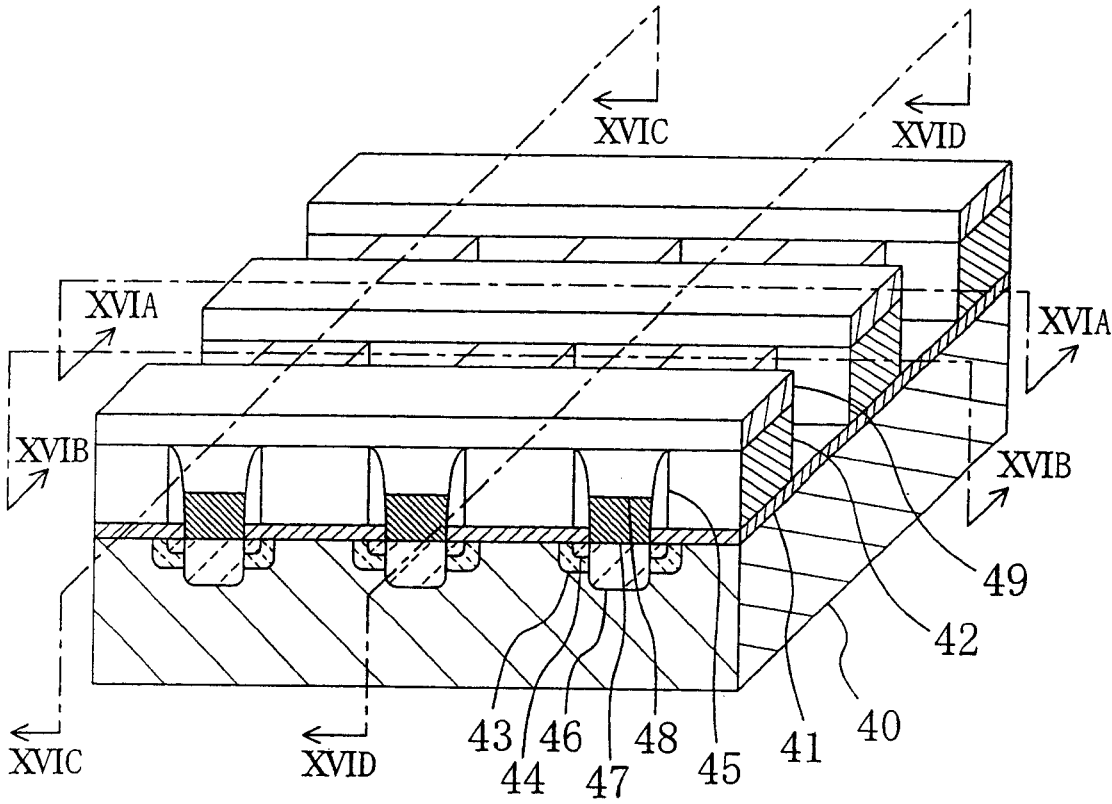


图 15

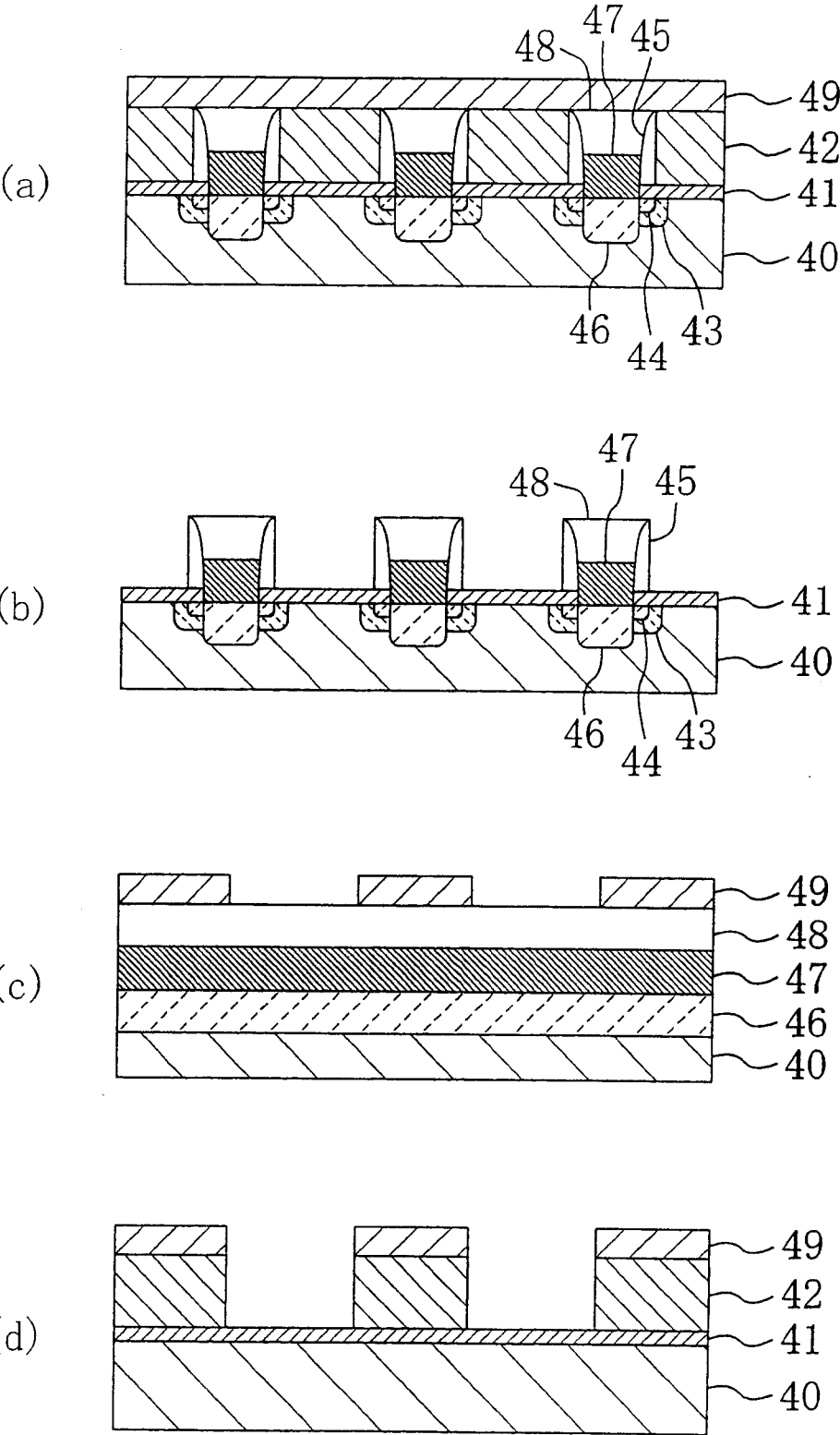


图 16

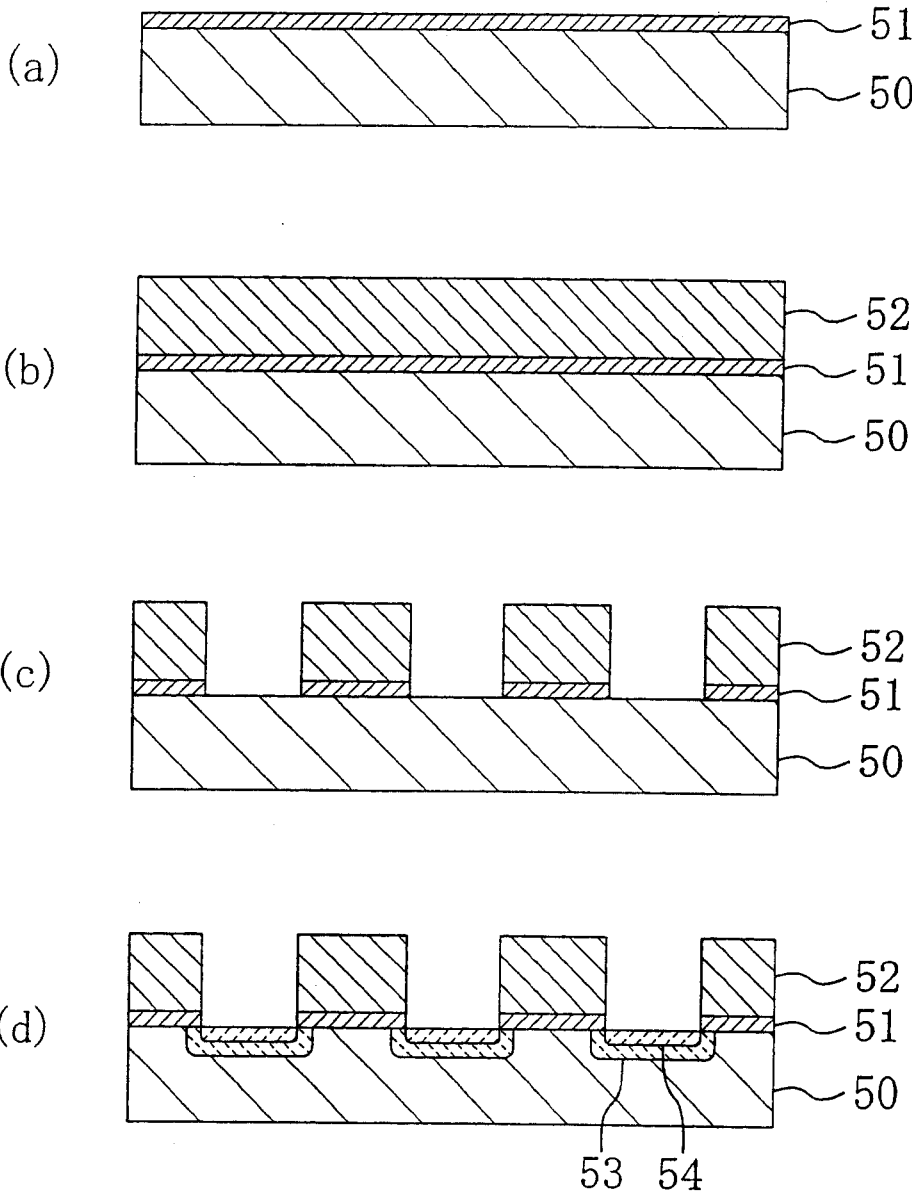


图 17

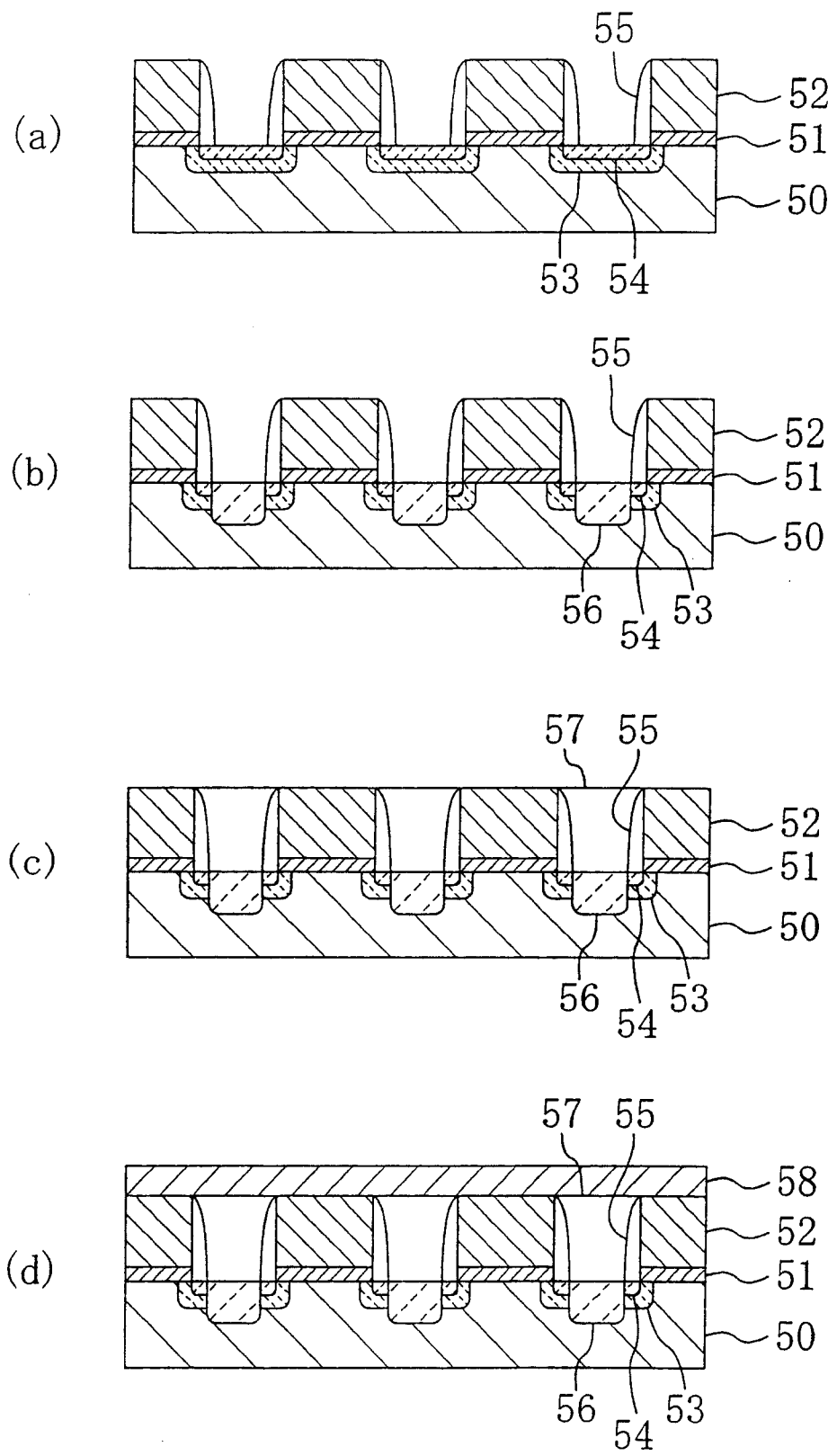


图 18

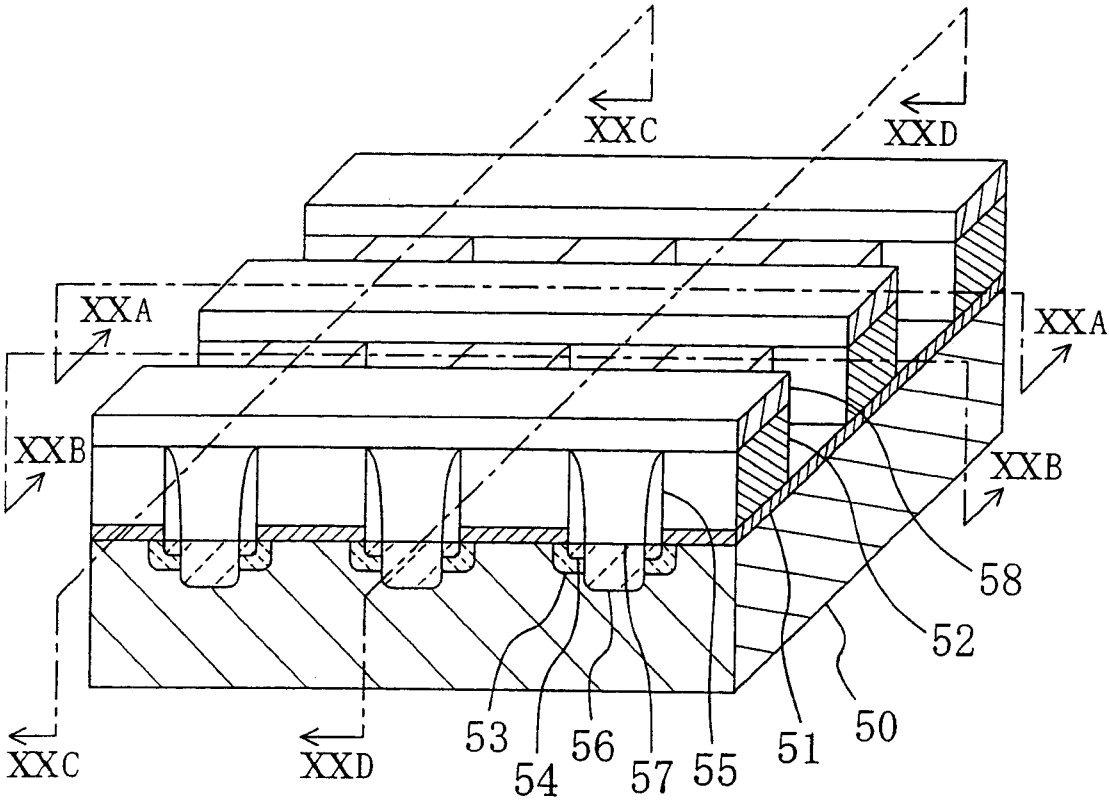


图 19

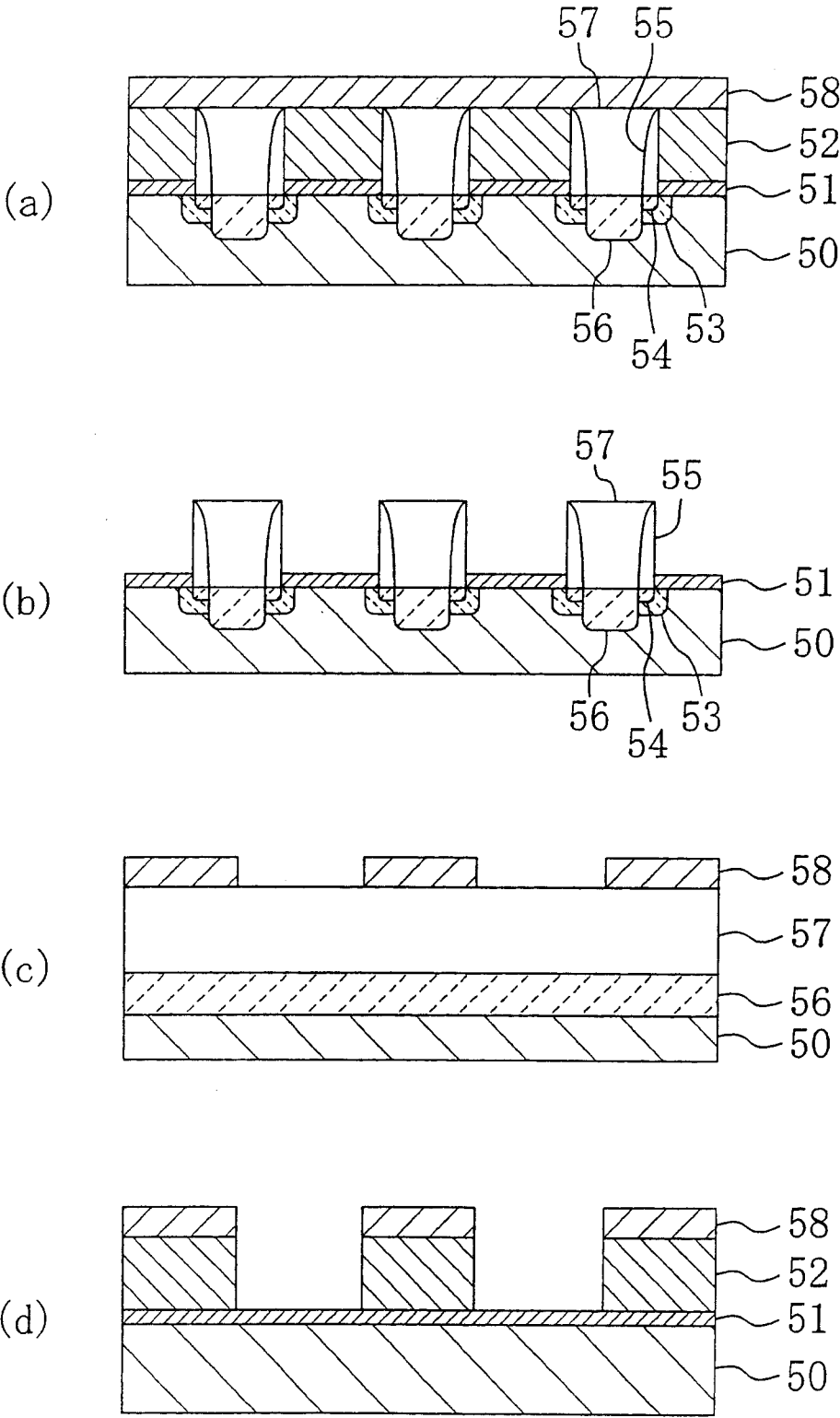


图 20

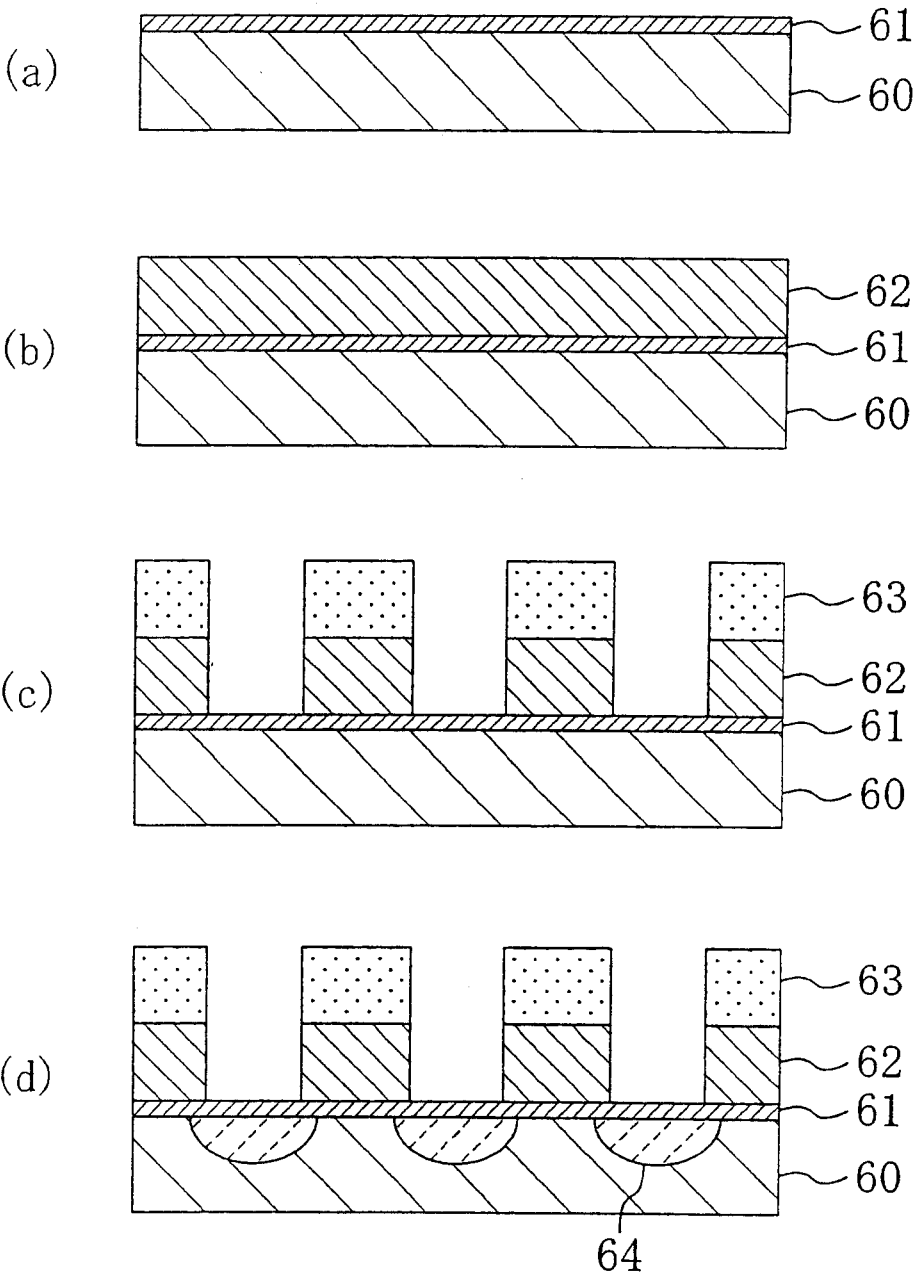


图 21

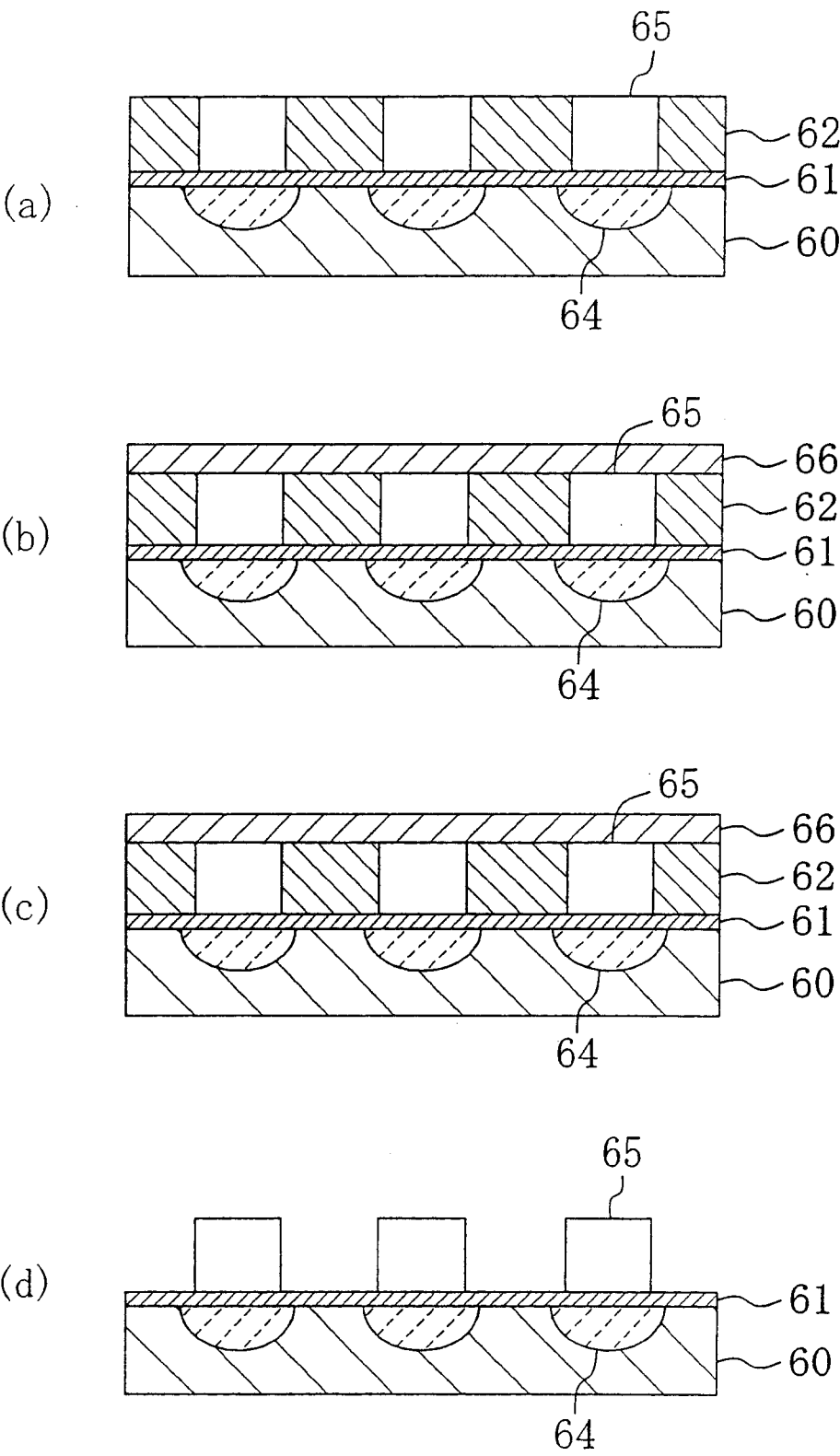


图 22

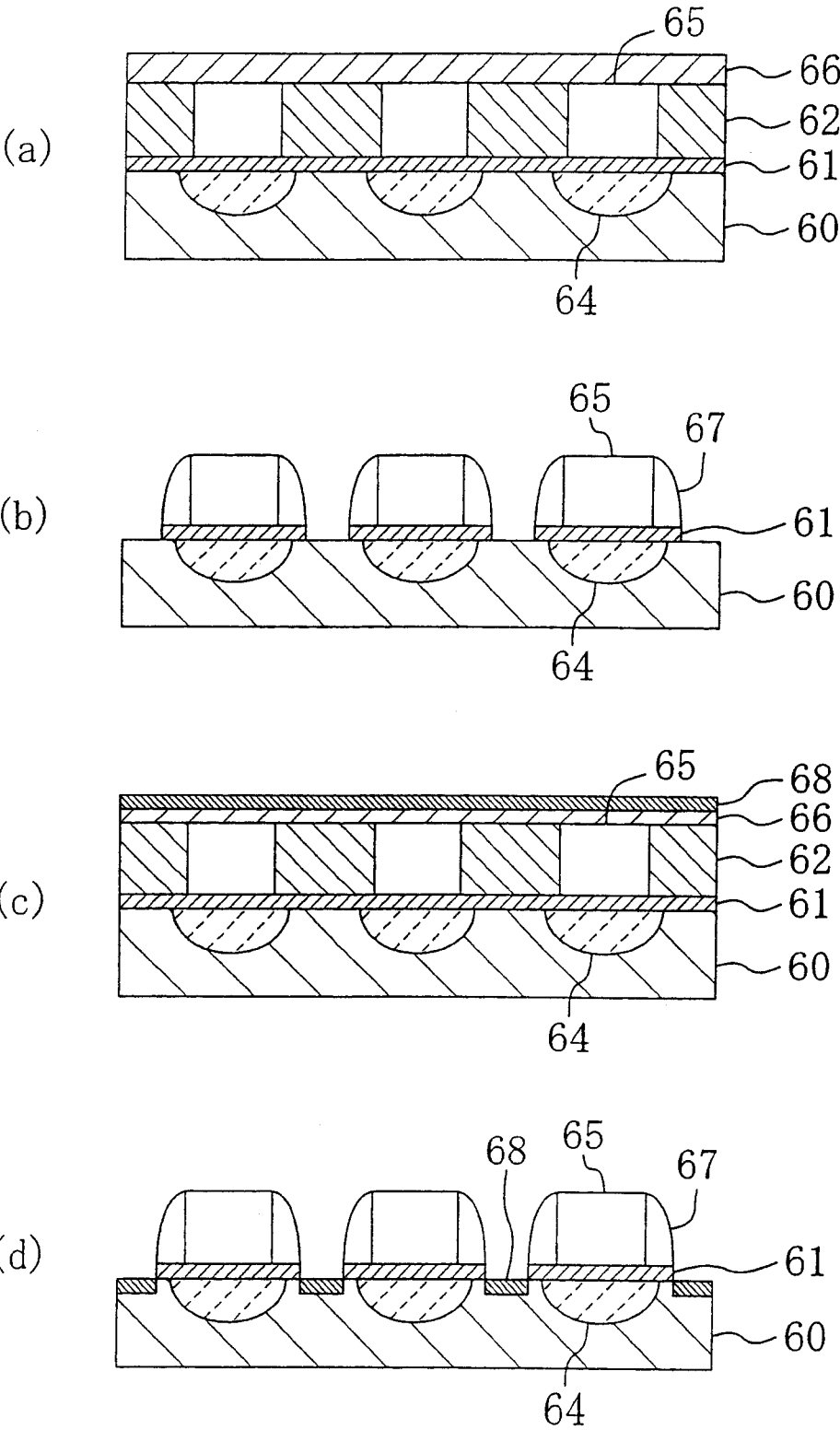


图 23

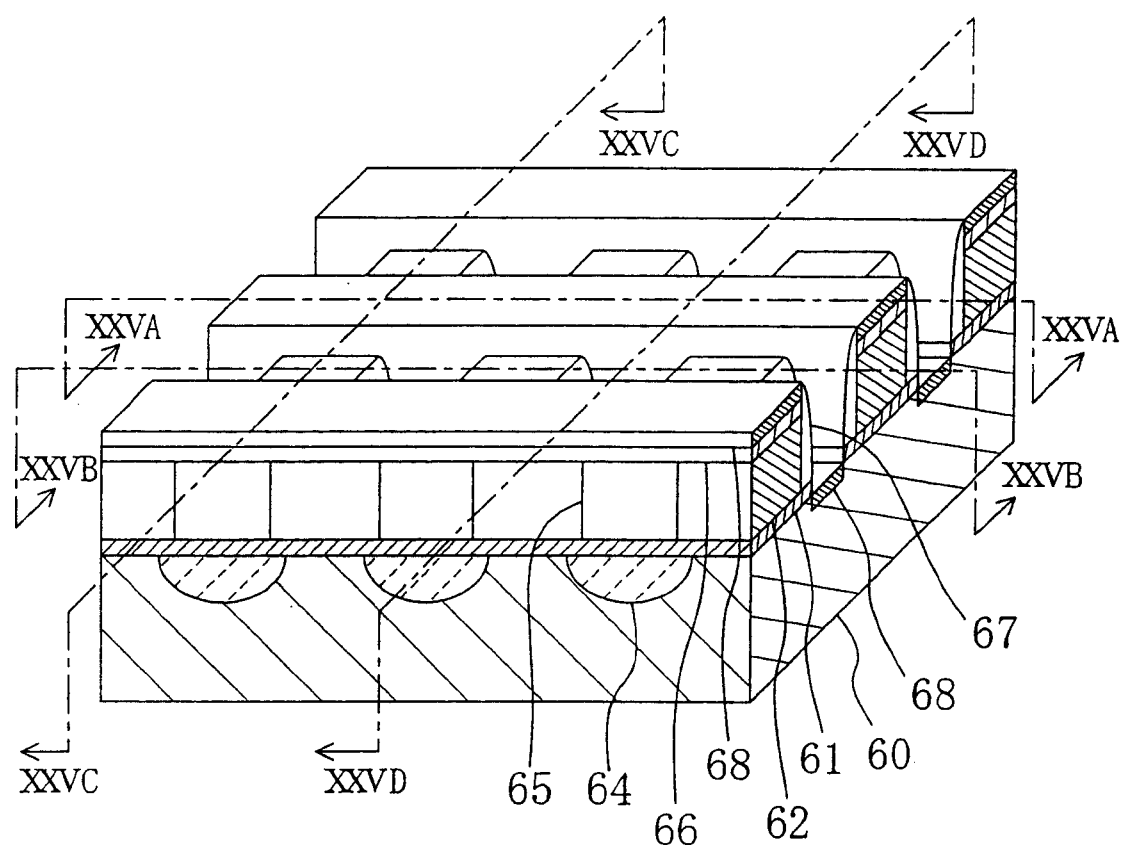


图 24

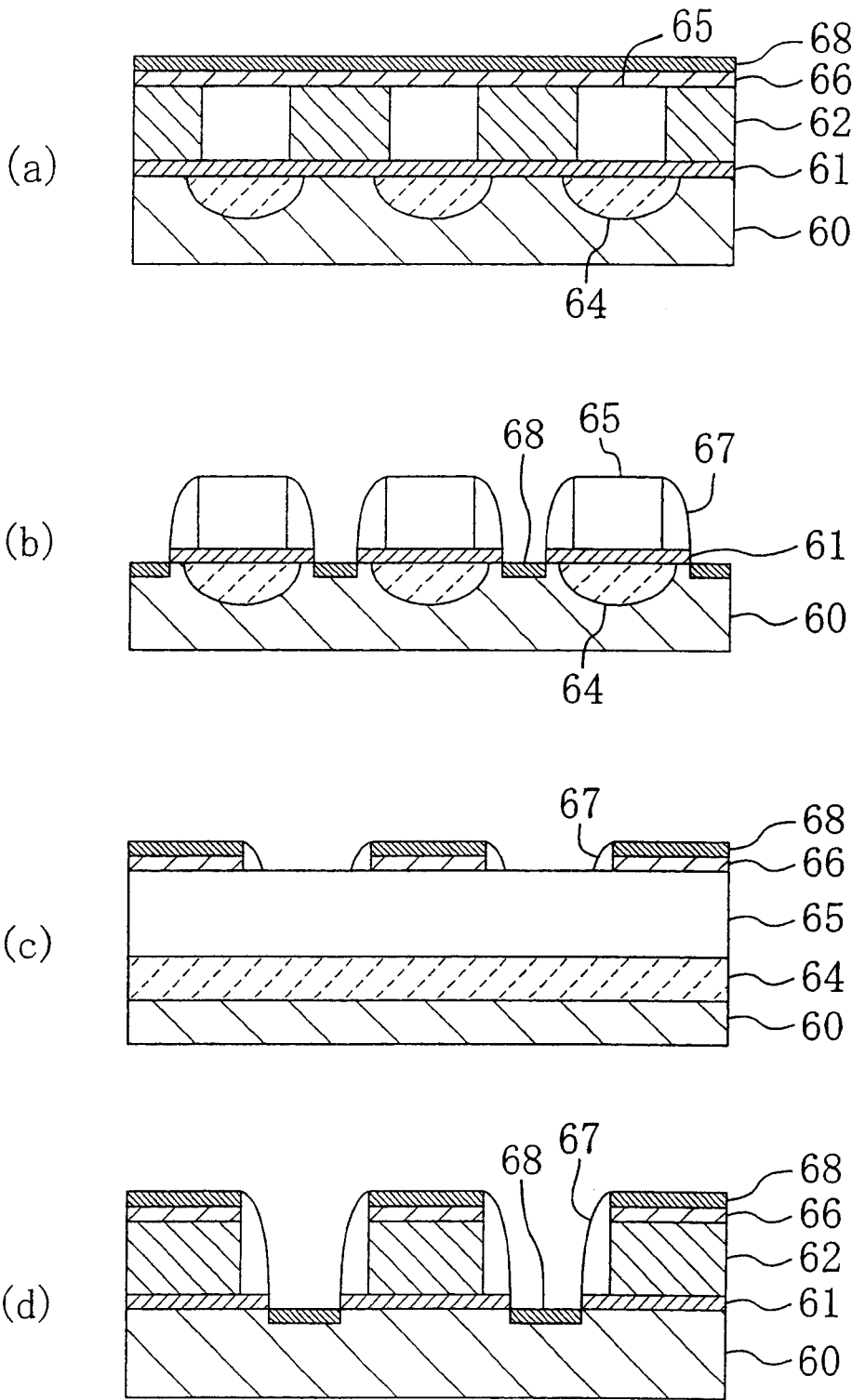


图 25

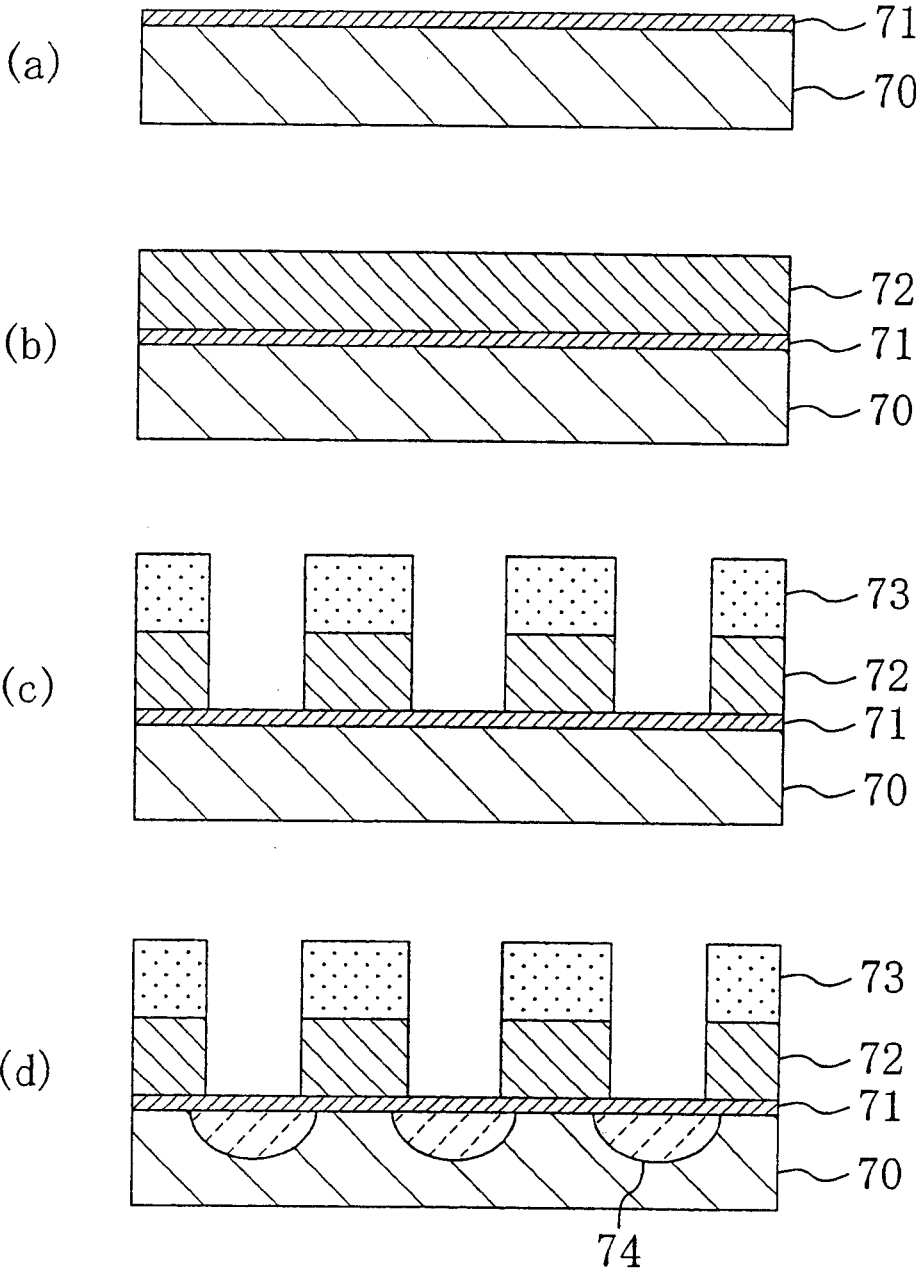


图 26

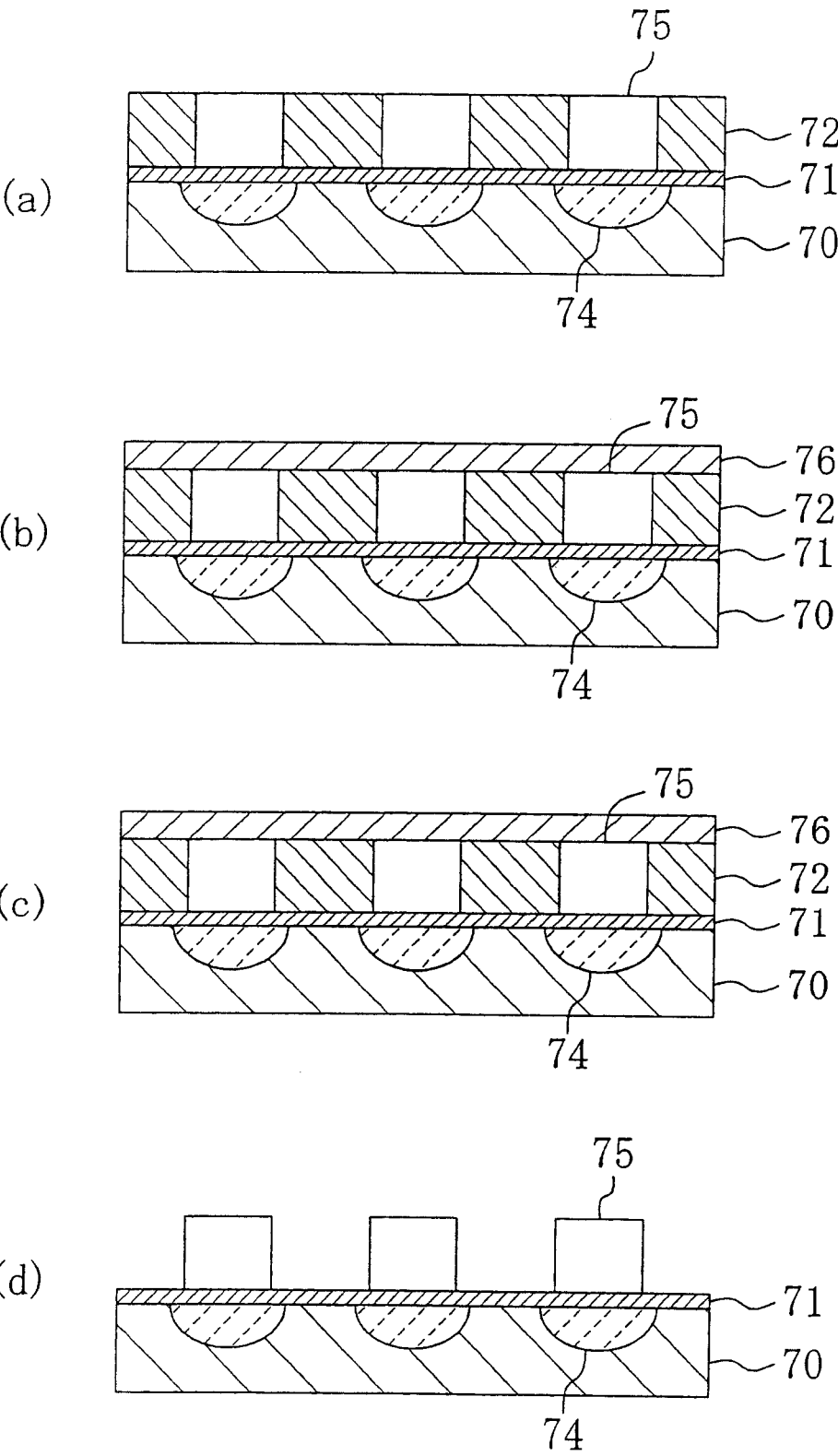


图 27

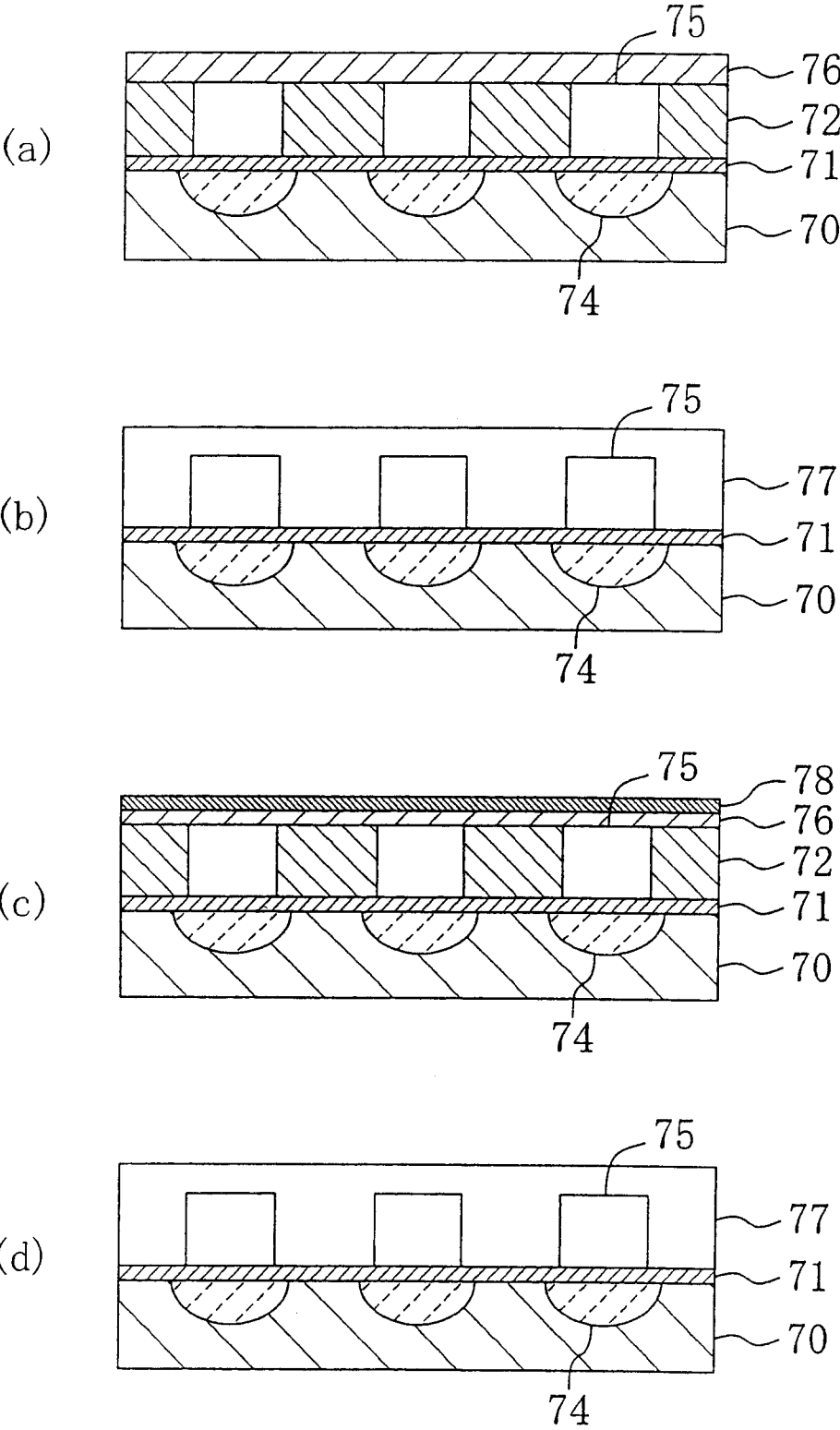


图 28

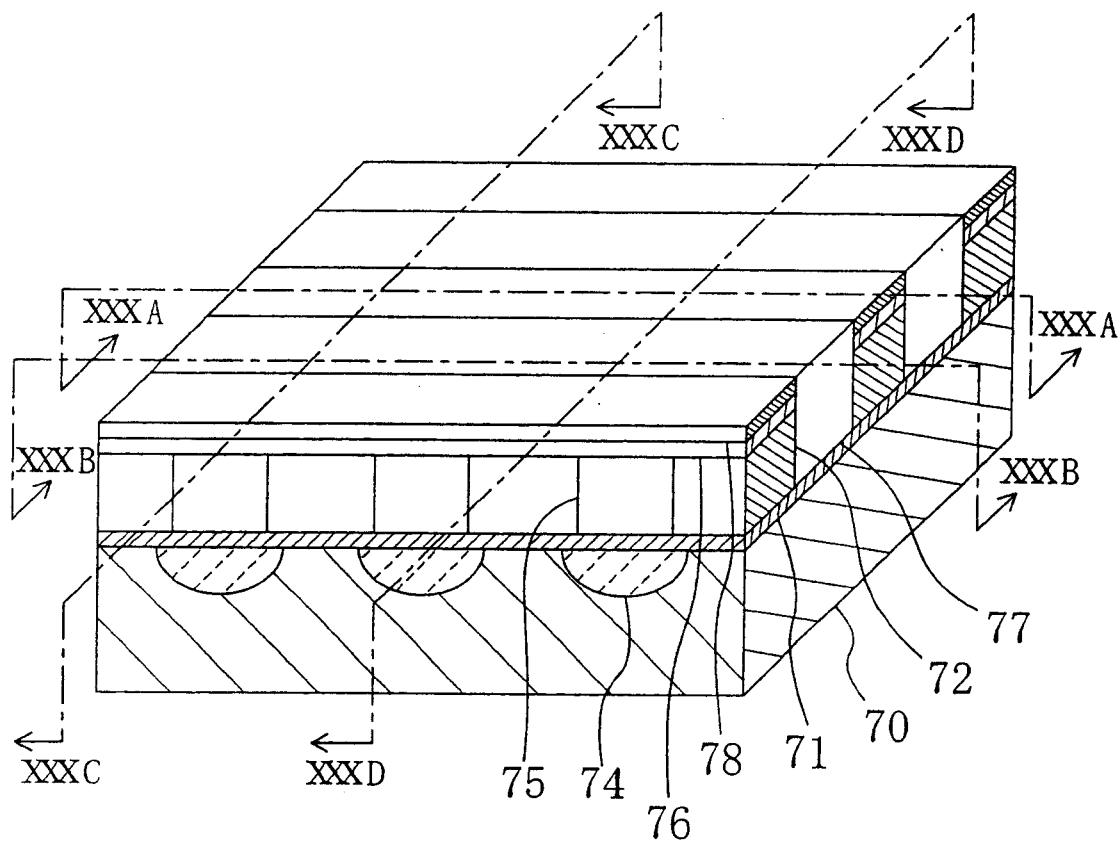


图 29

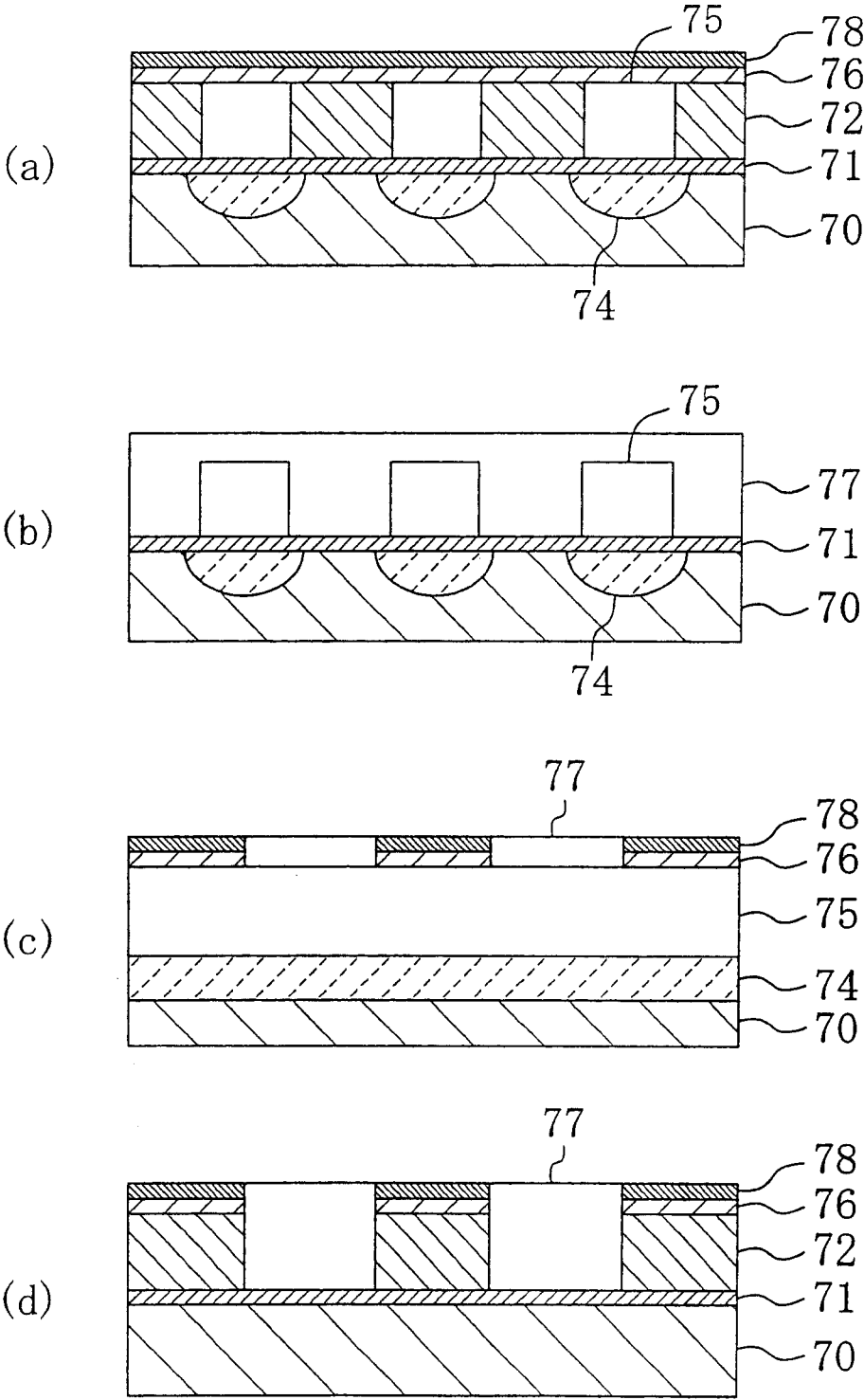


图 30

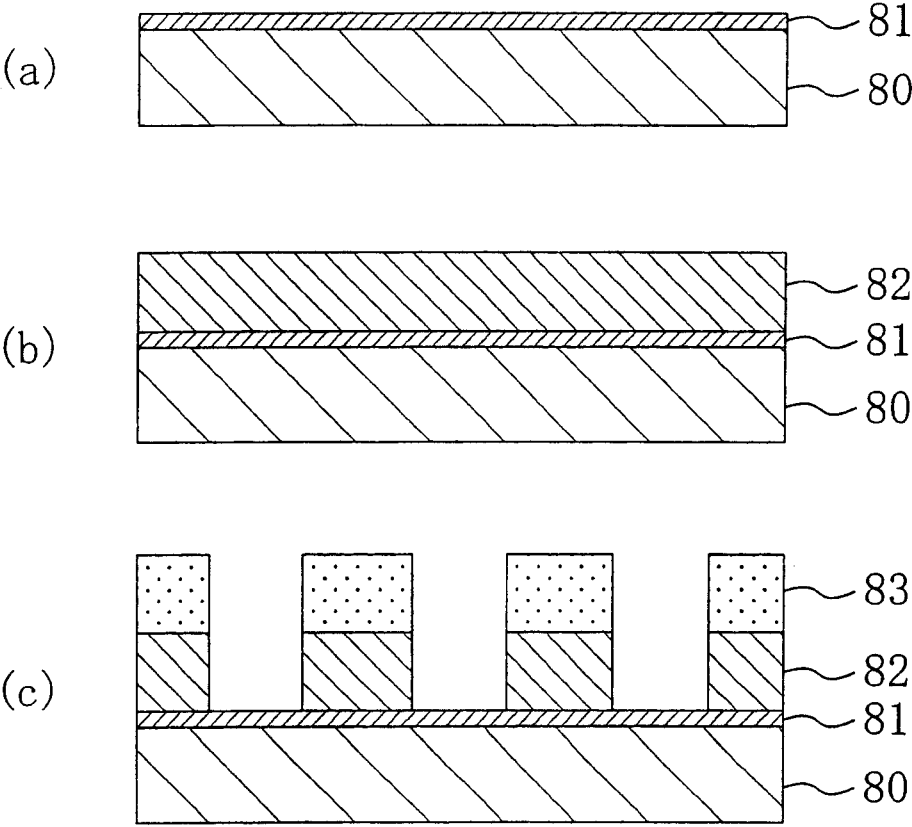


图 31

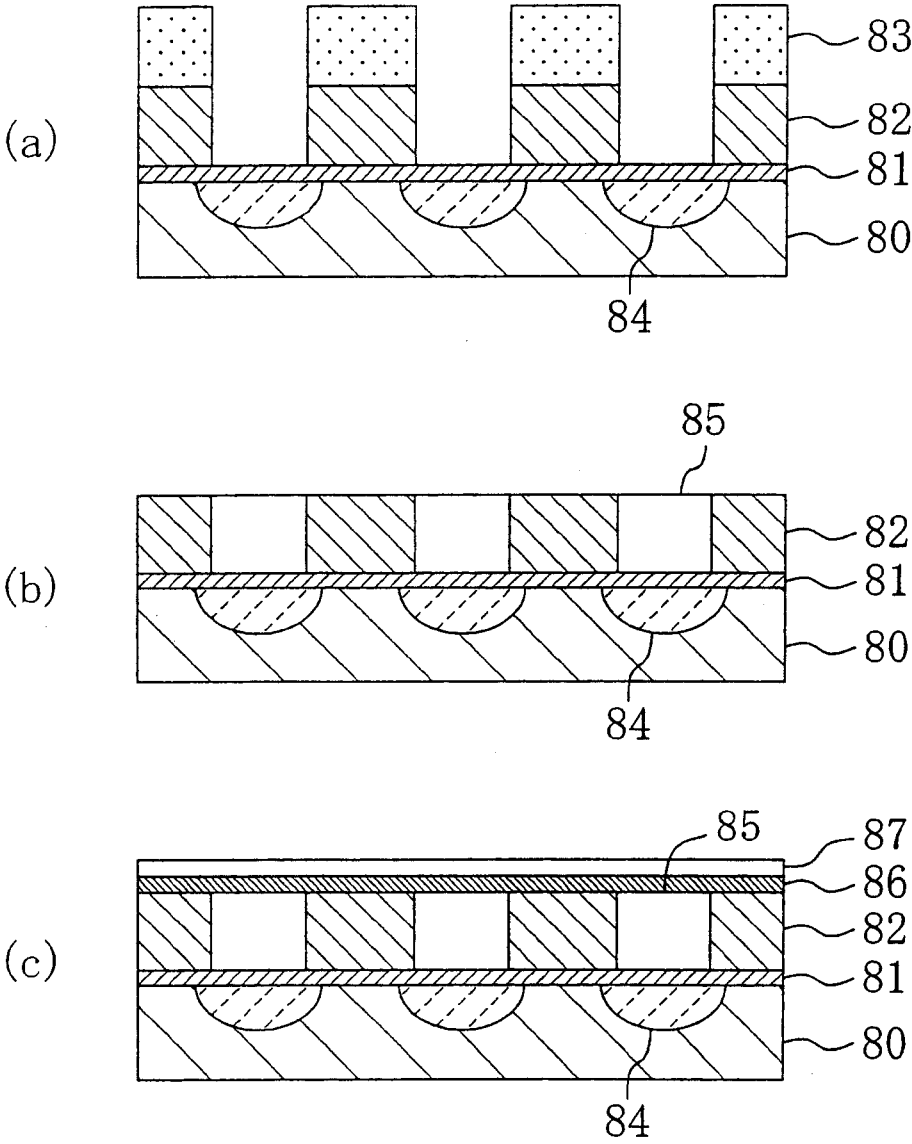


图 32

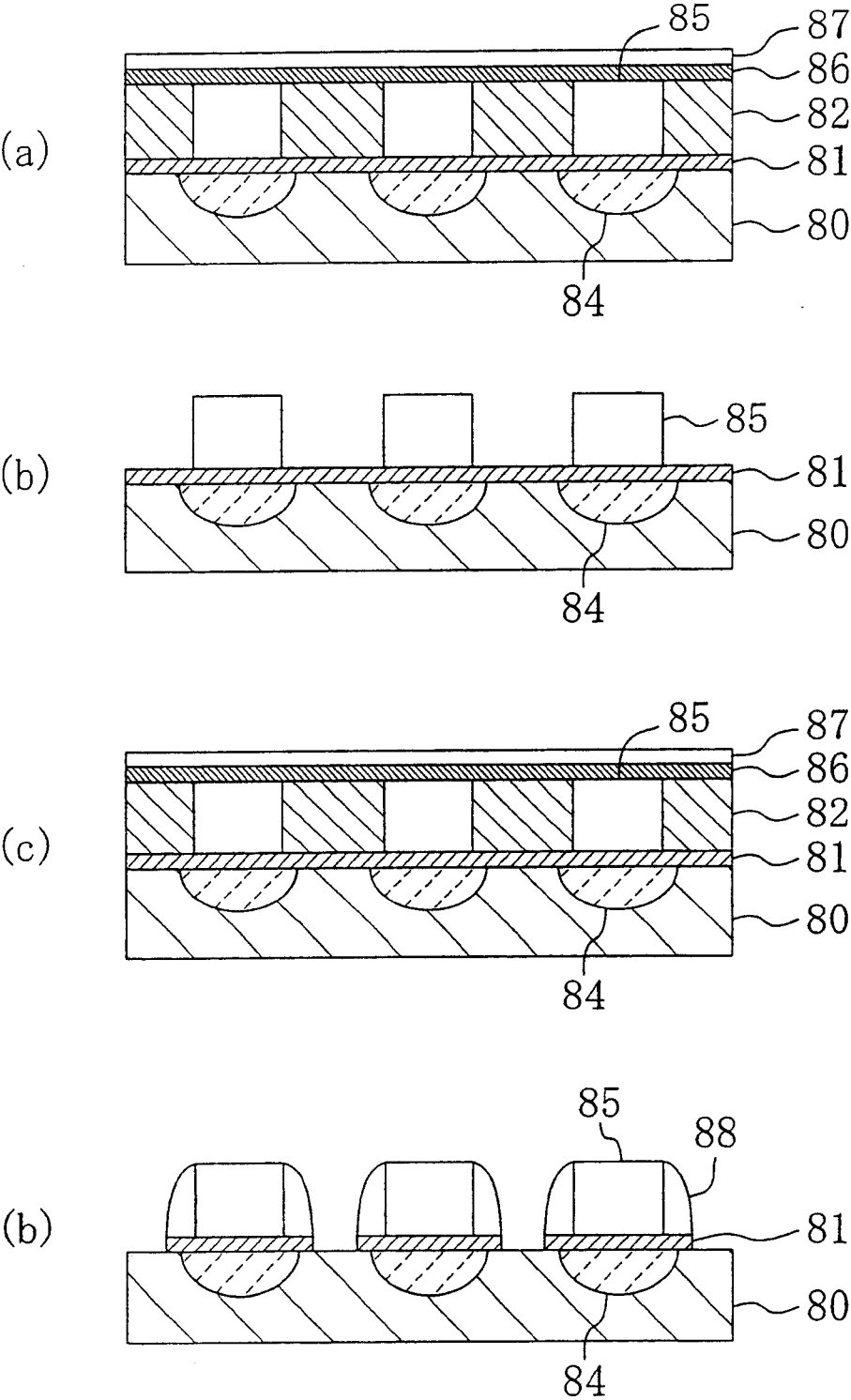


图 33

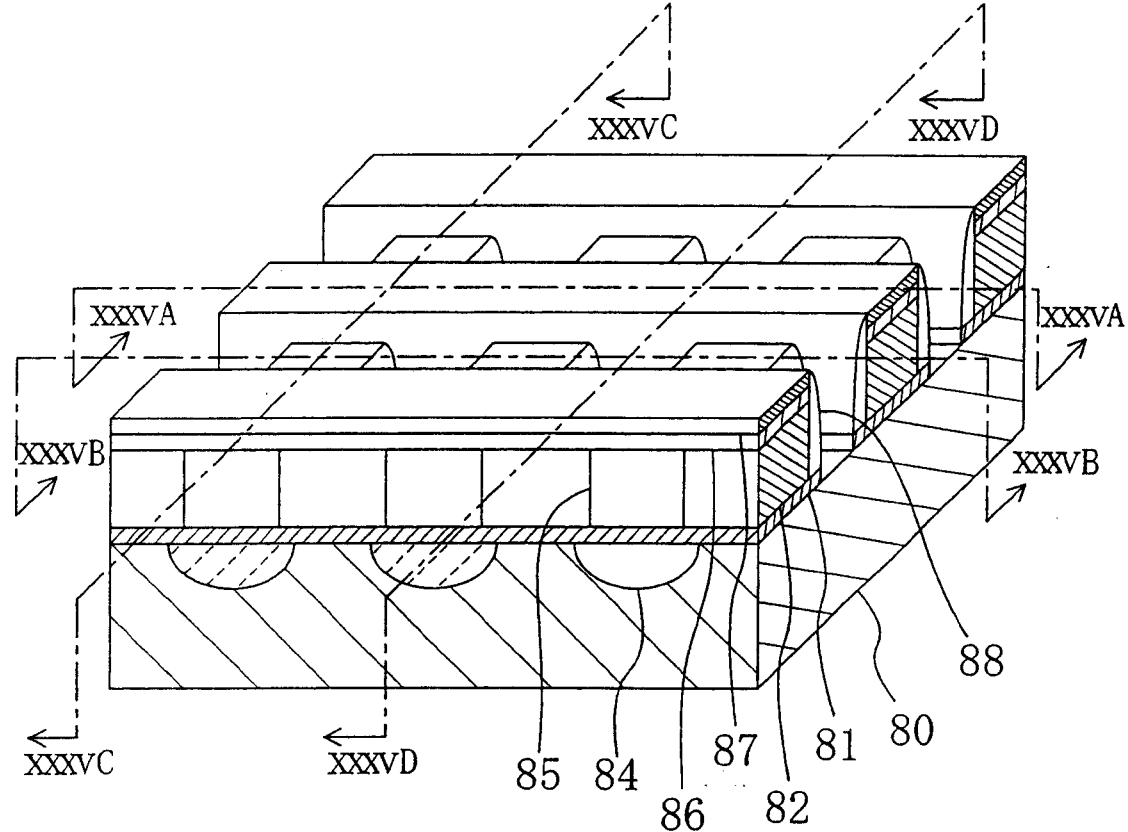


图 34

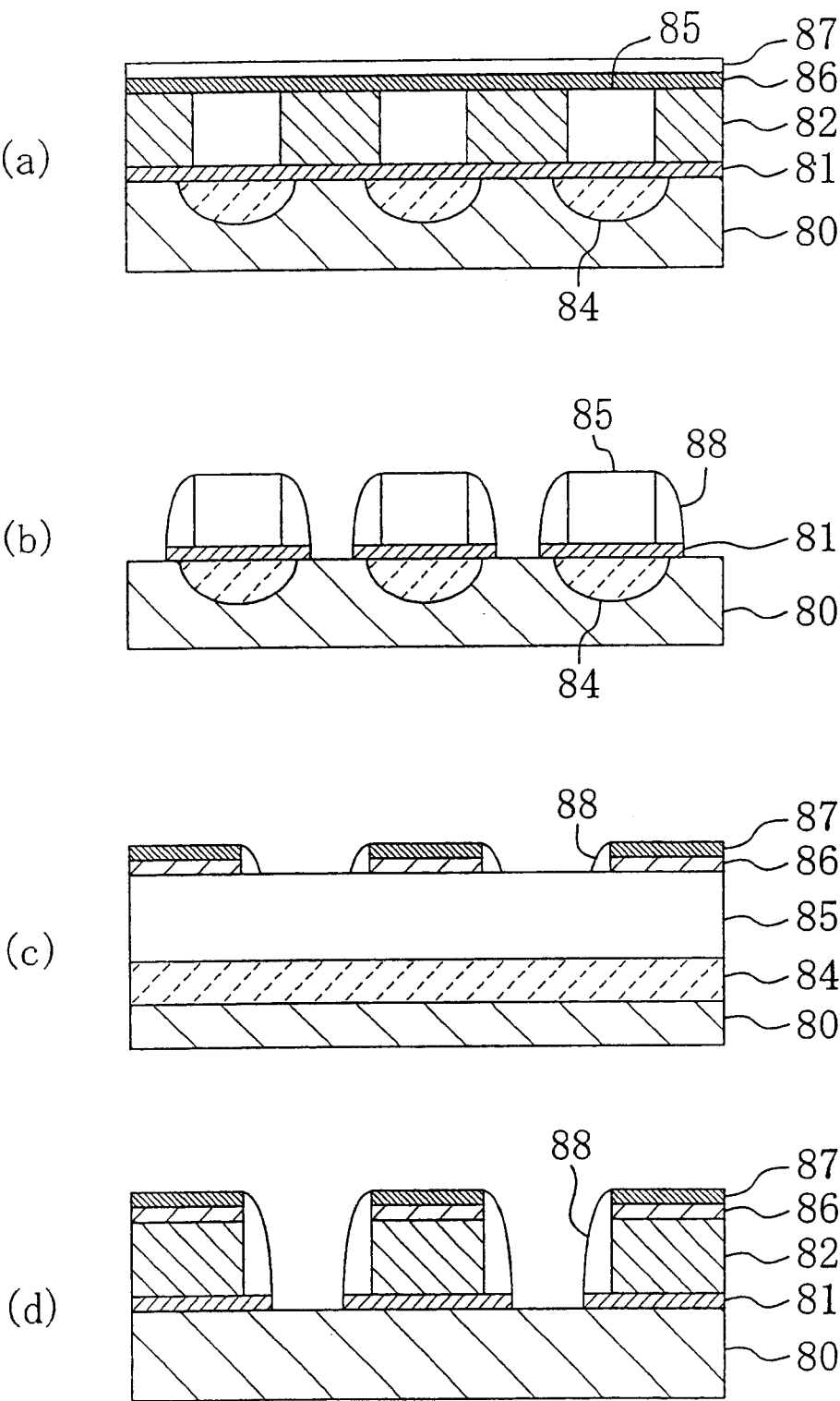


图 35

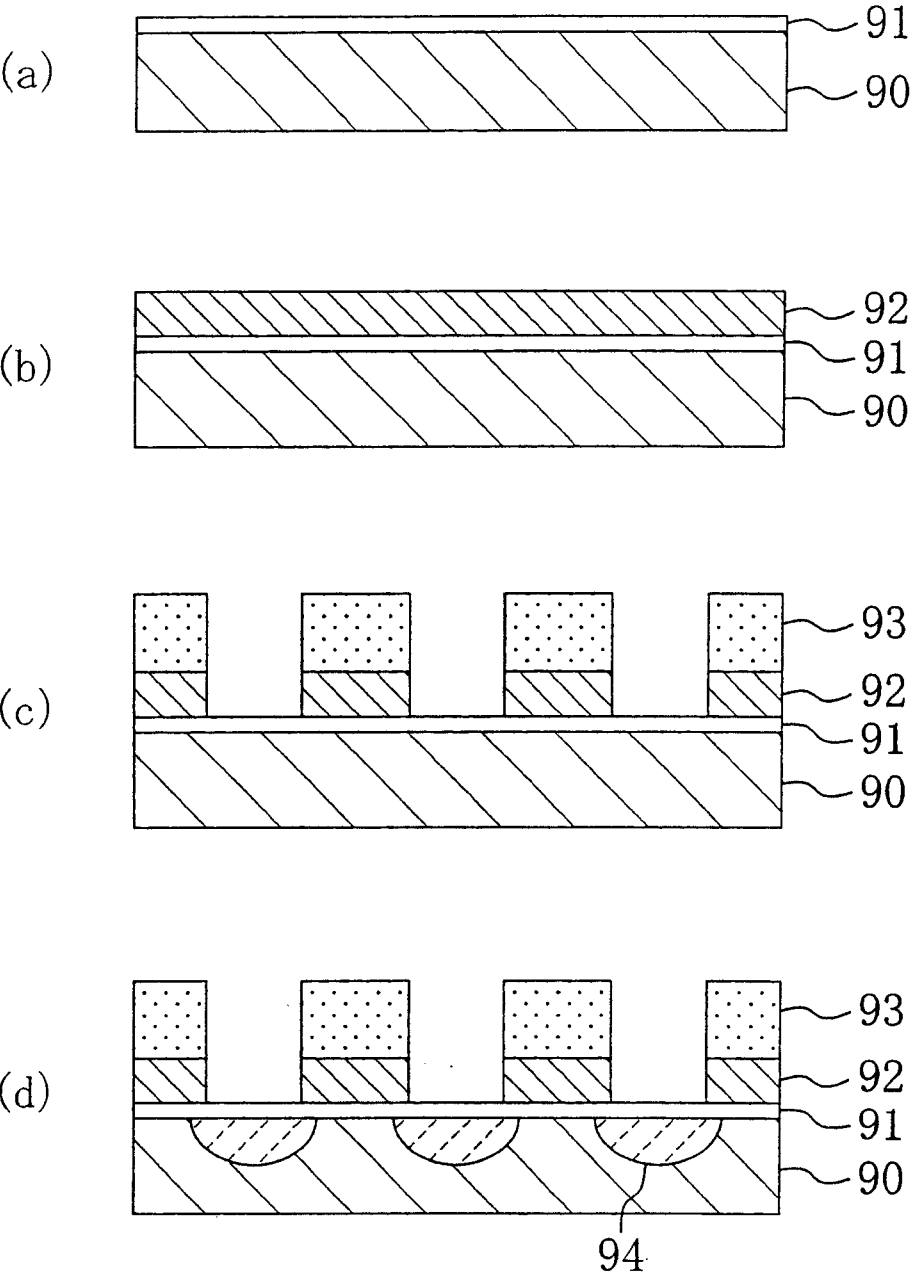


图 36

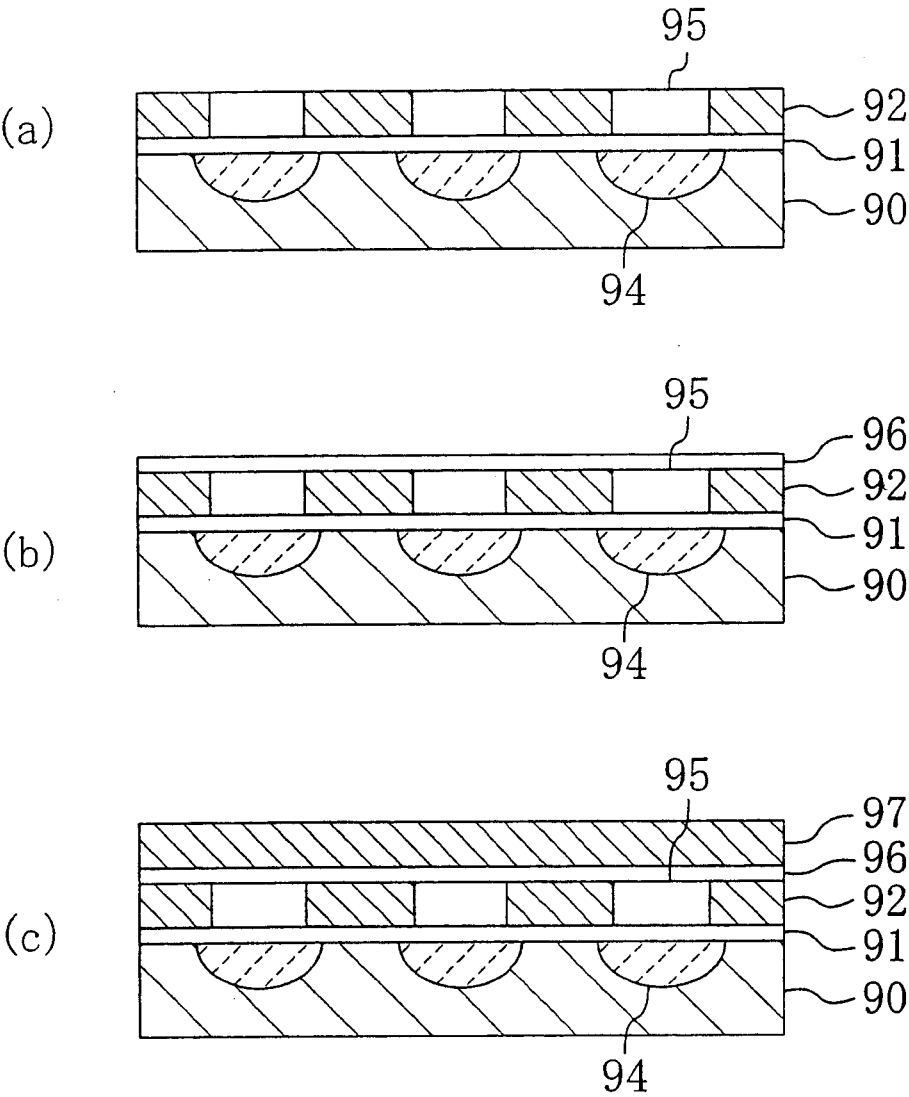


图 37

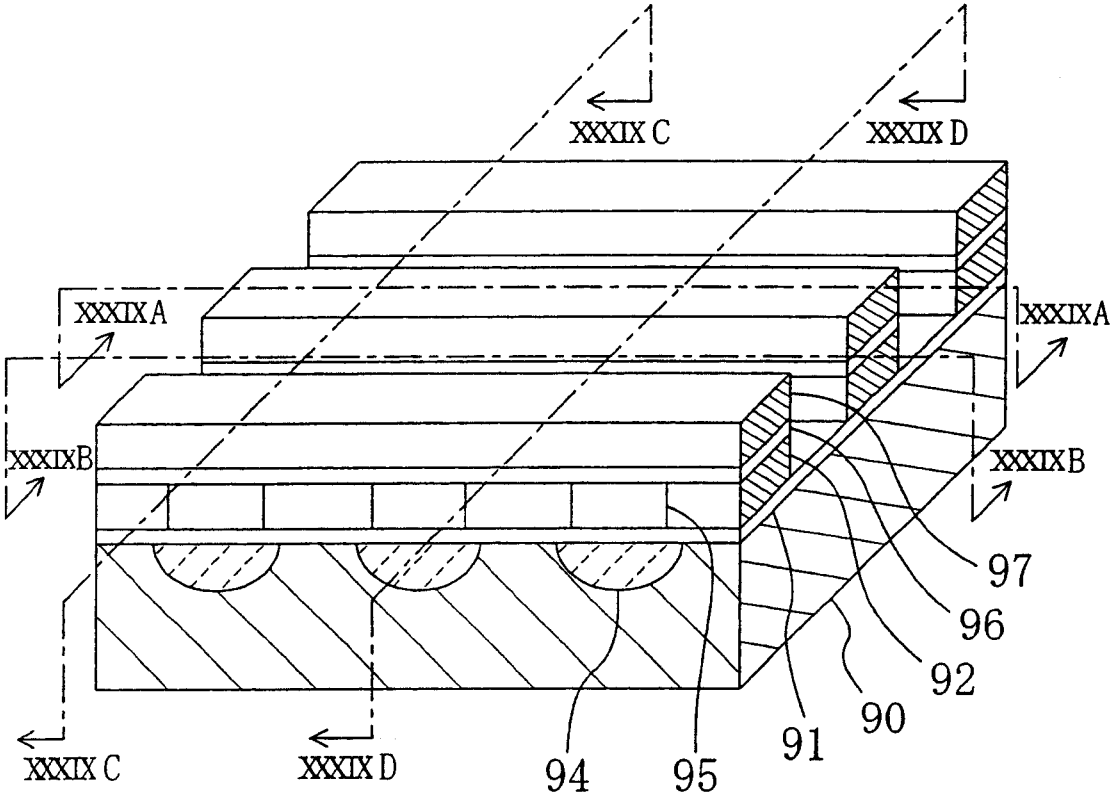


图 38

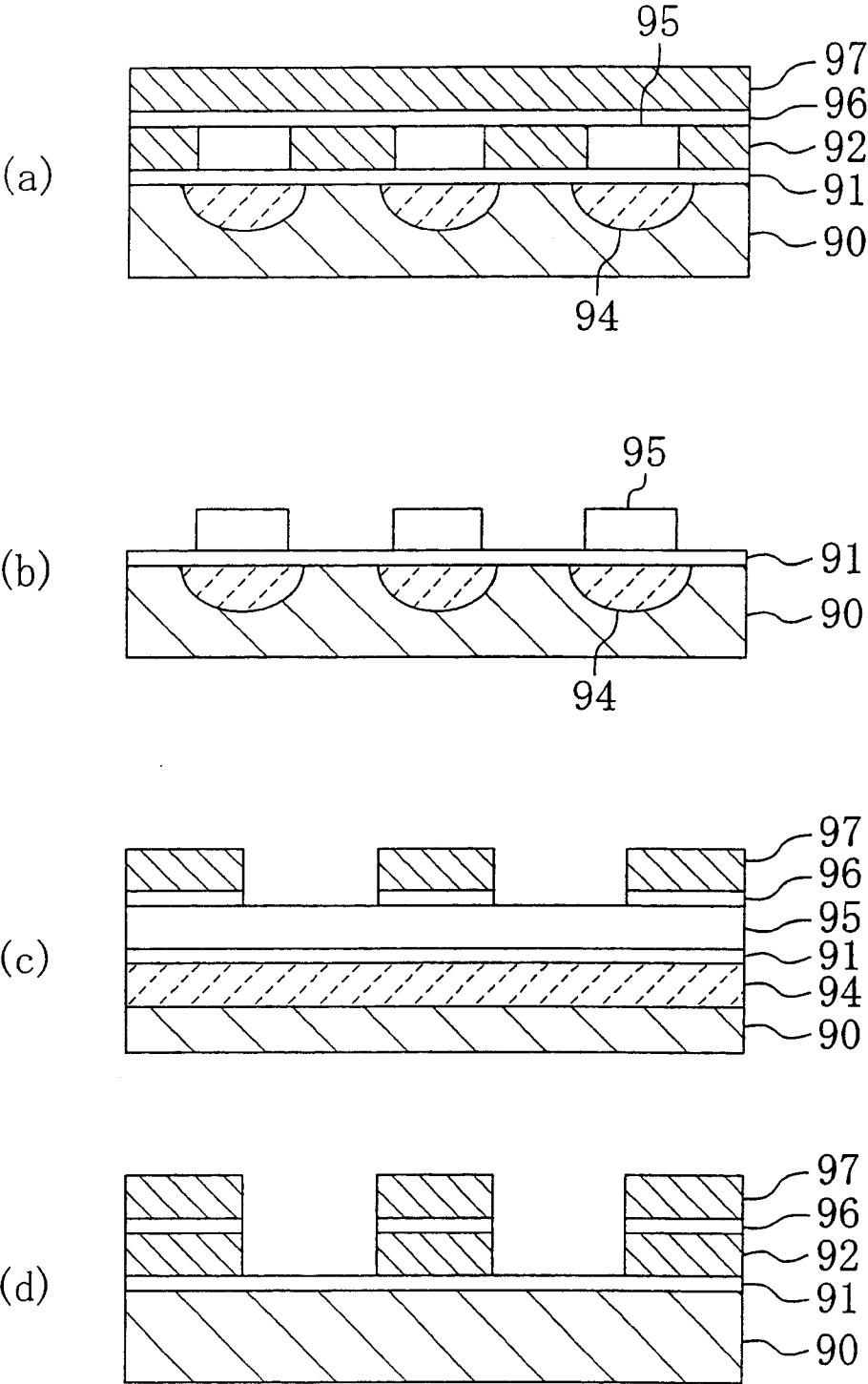


图 39

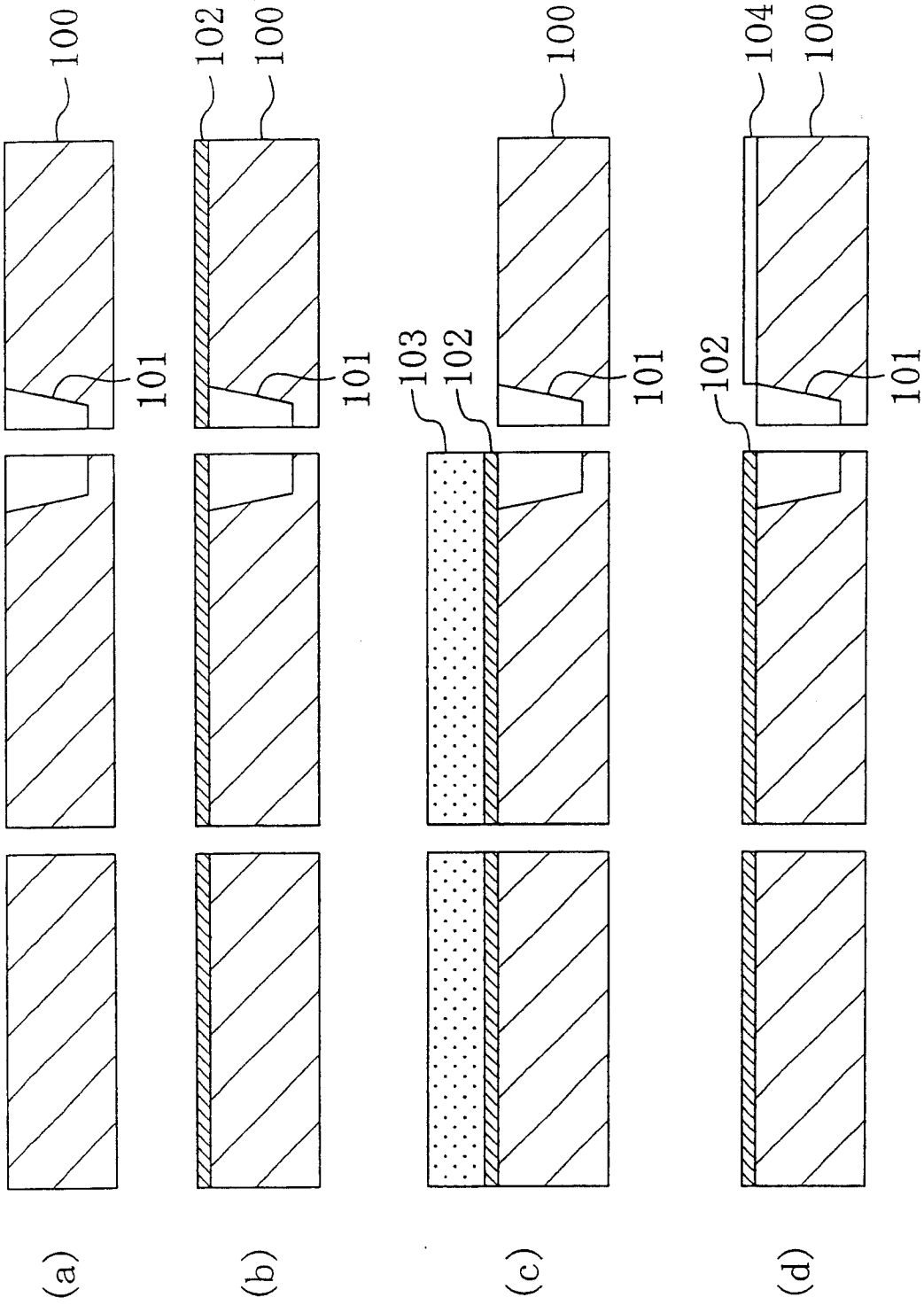


图 40

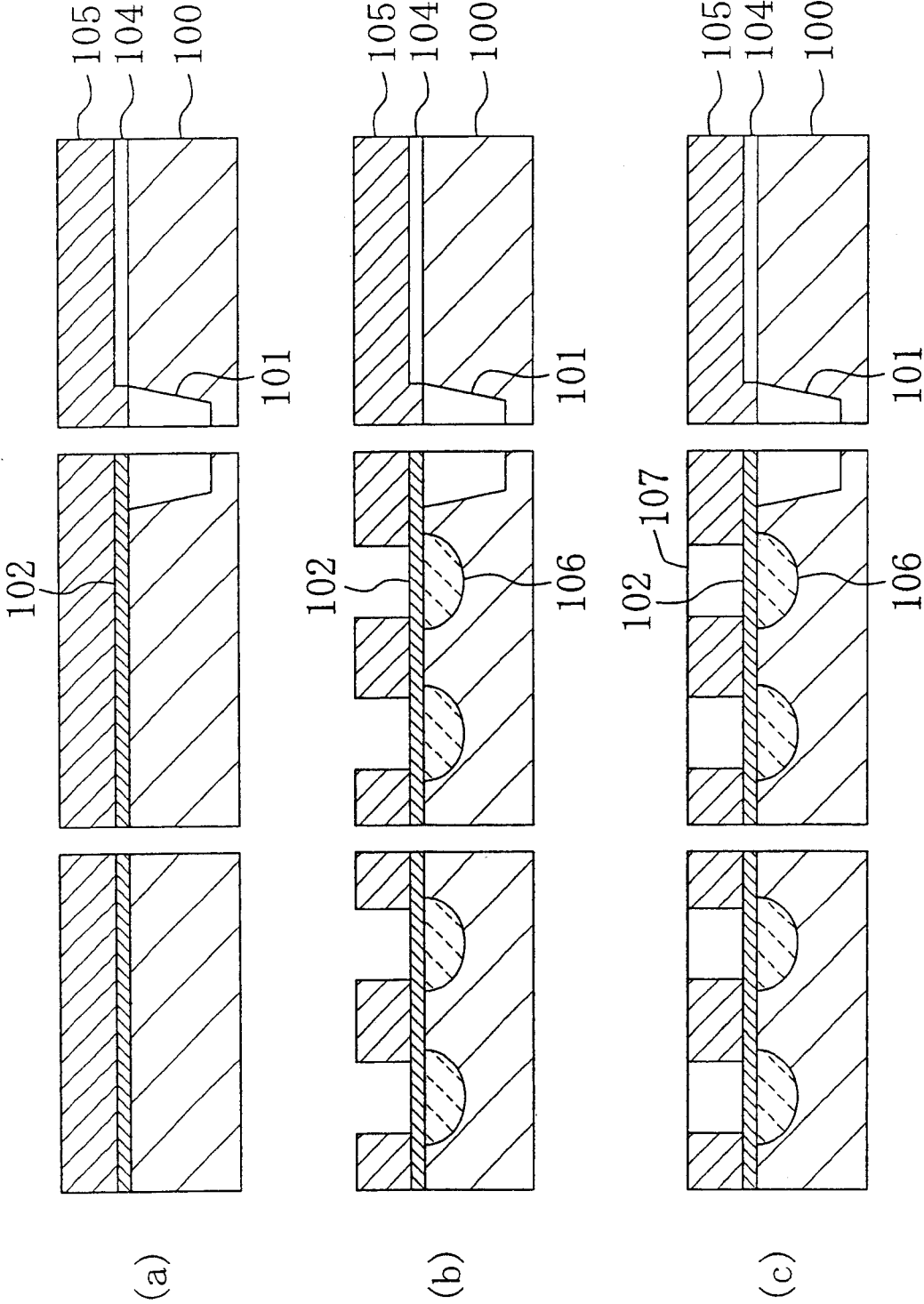


图 41

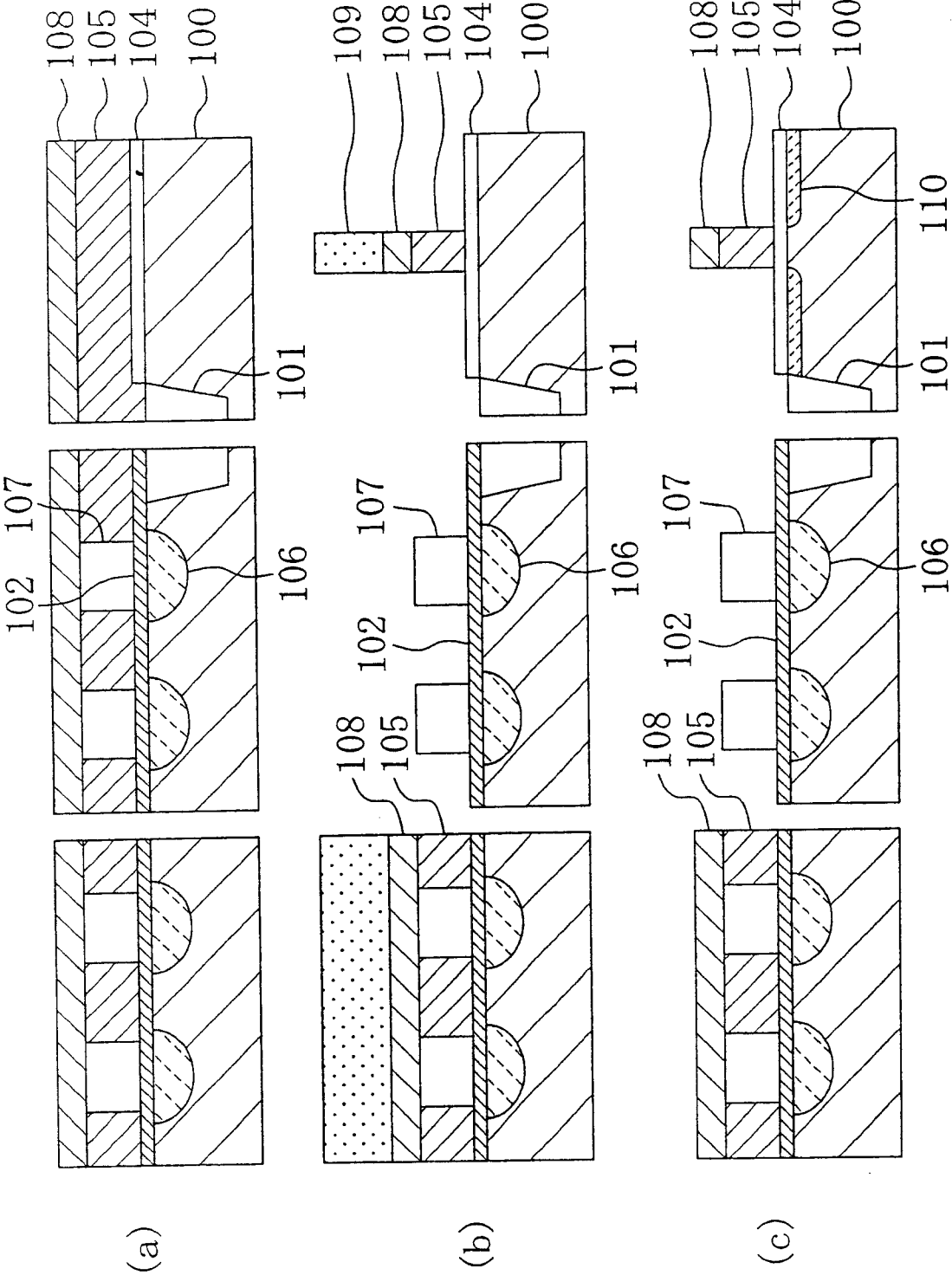


图 42

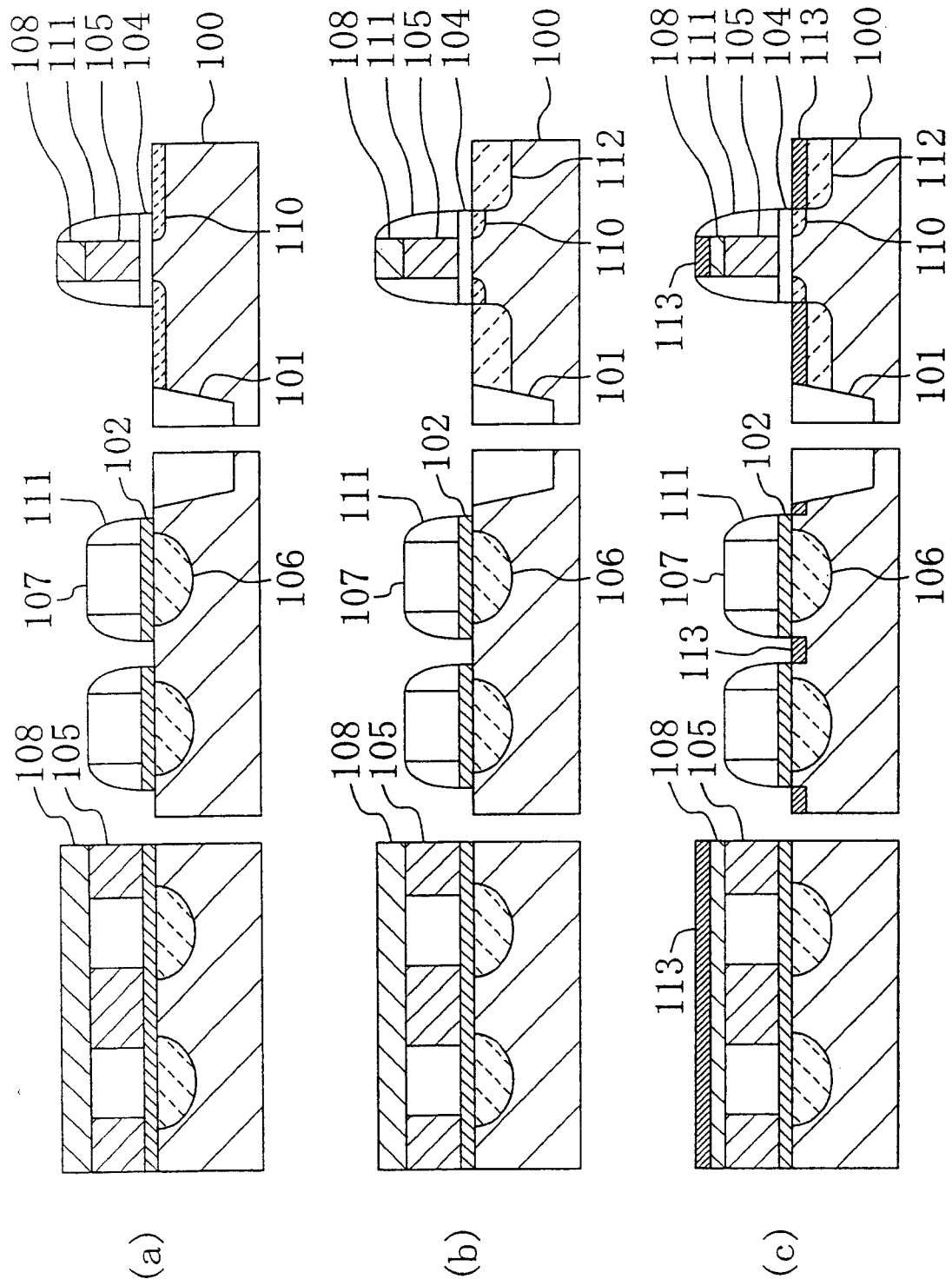


图 43

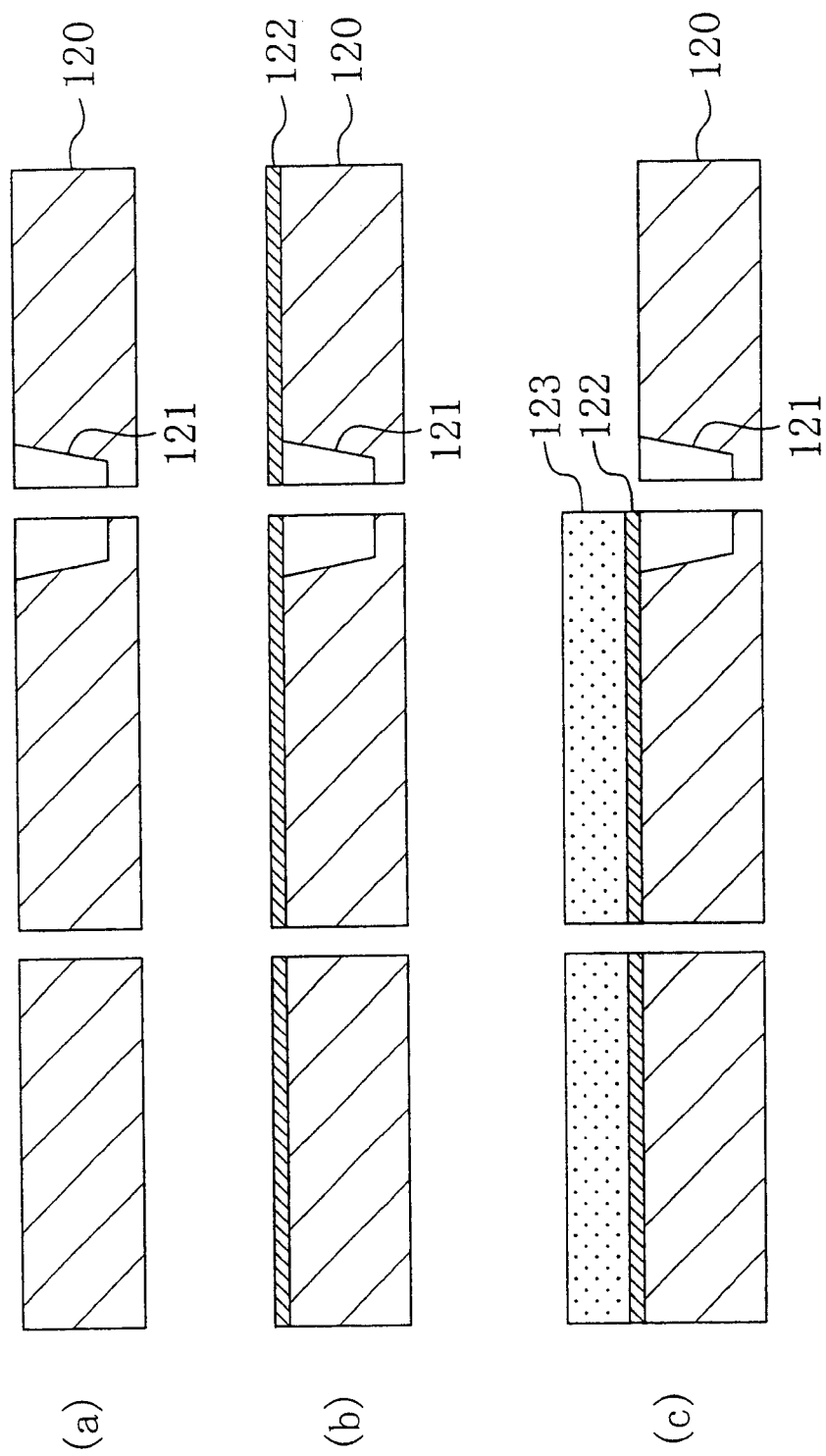


图 44

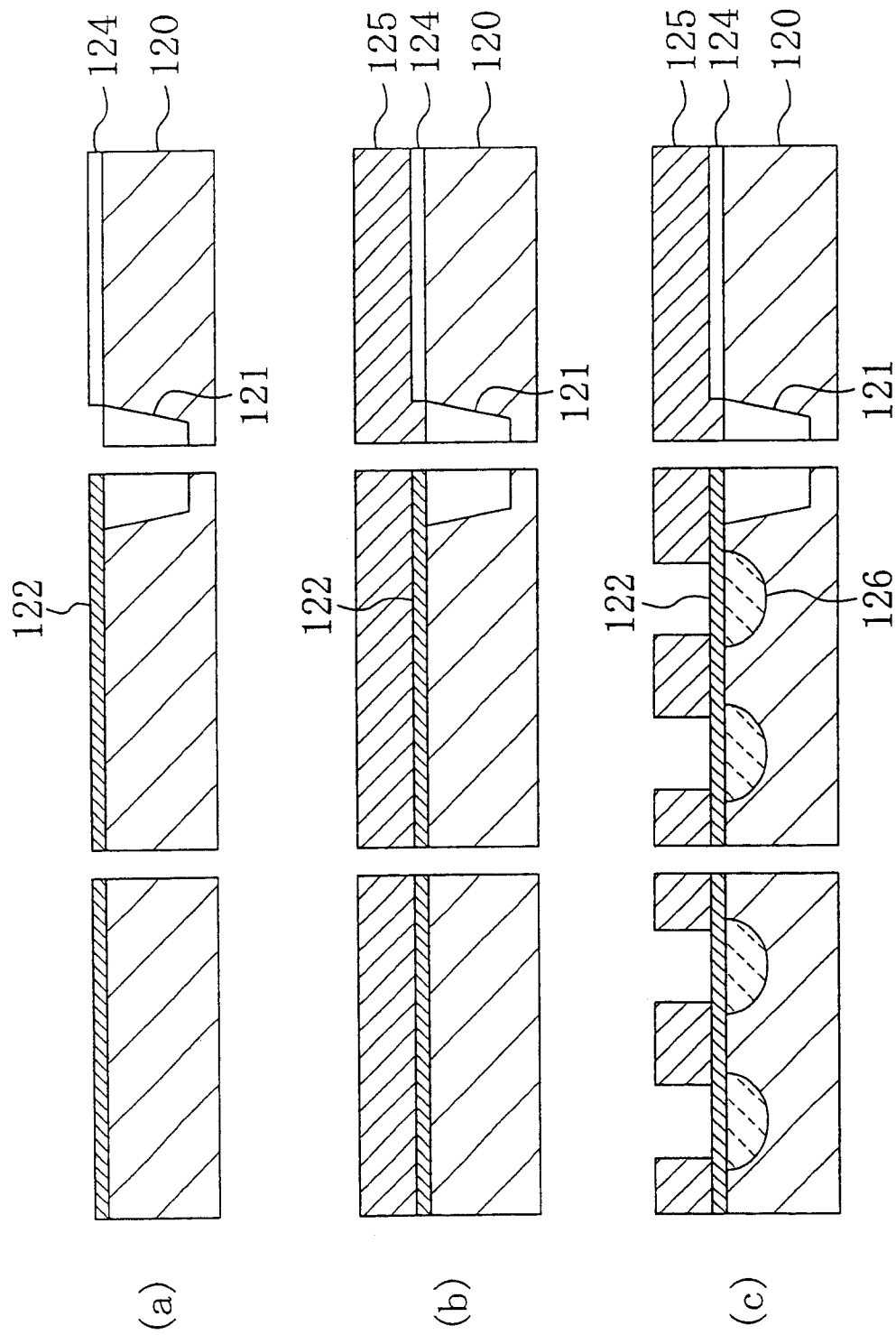


图 45

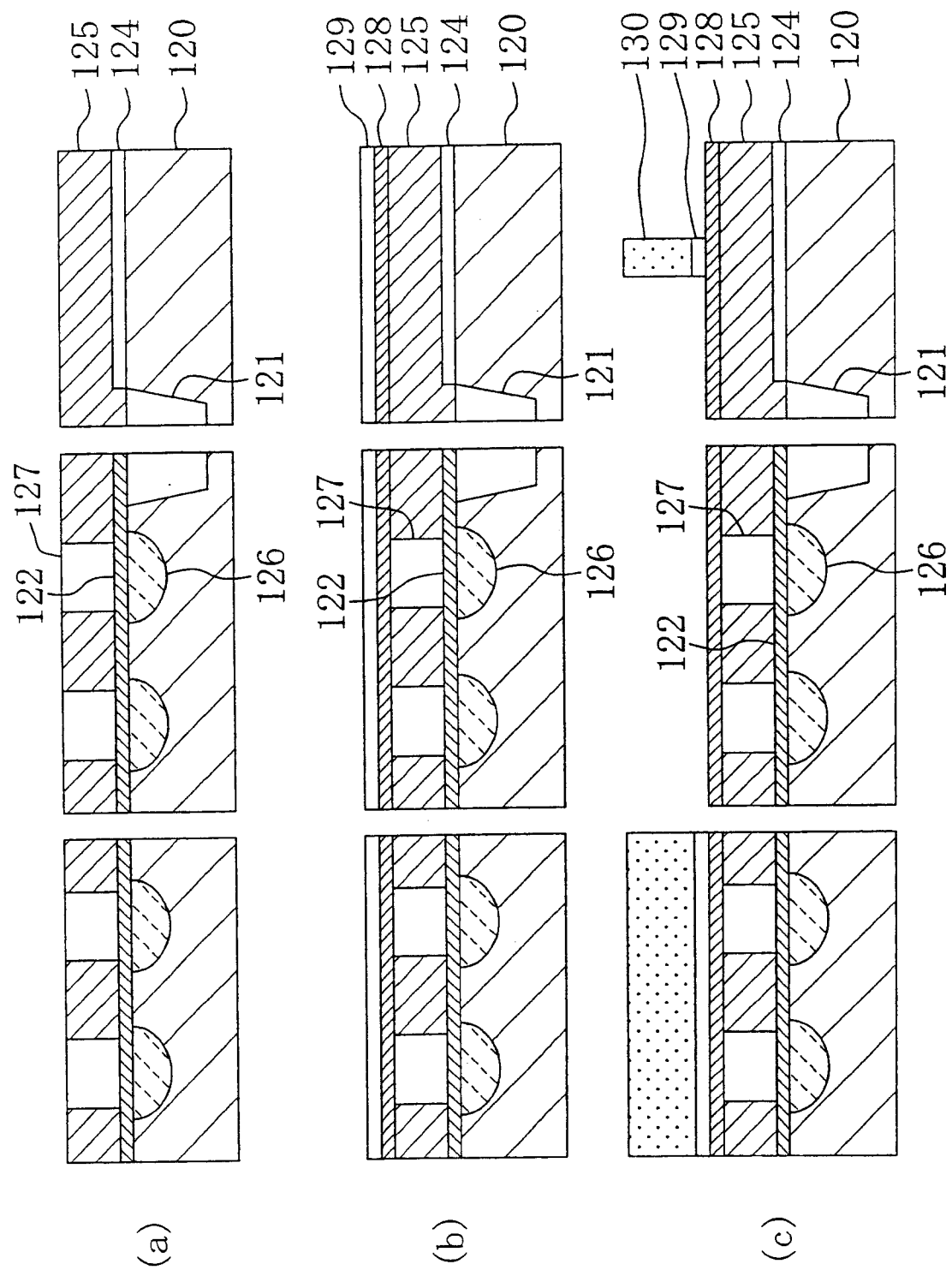


图 46

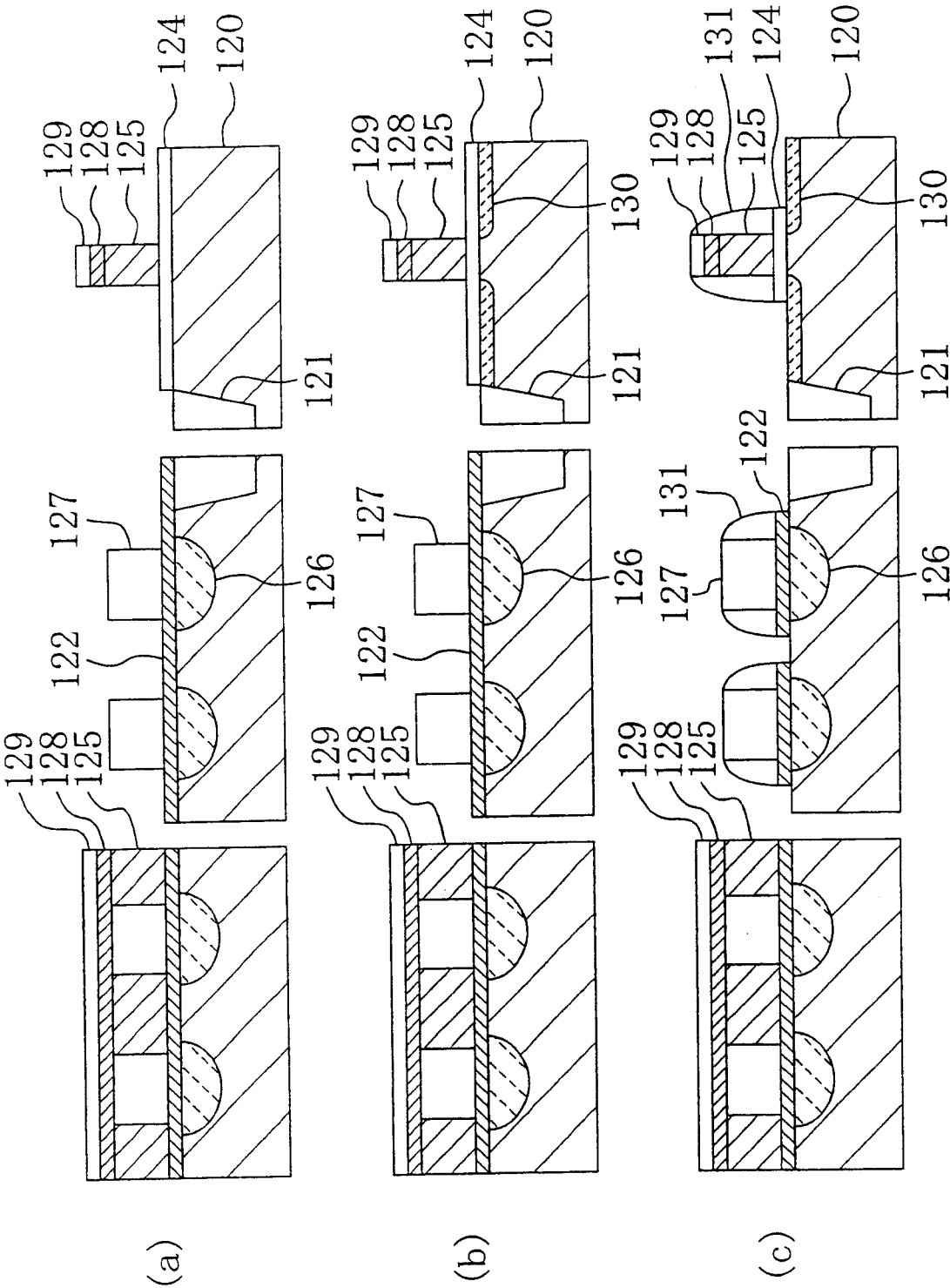


图 47

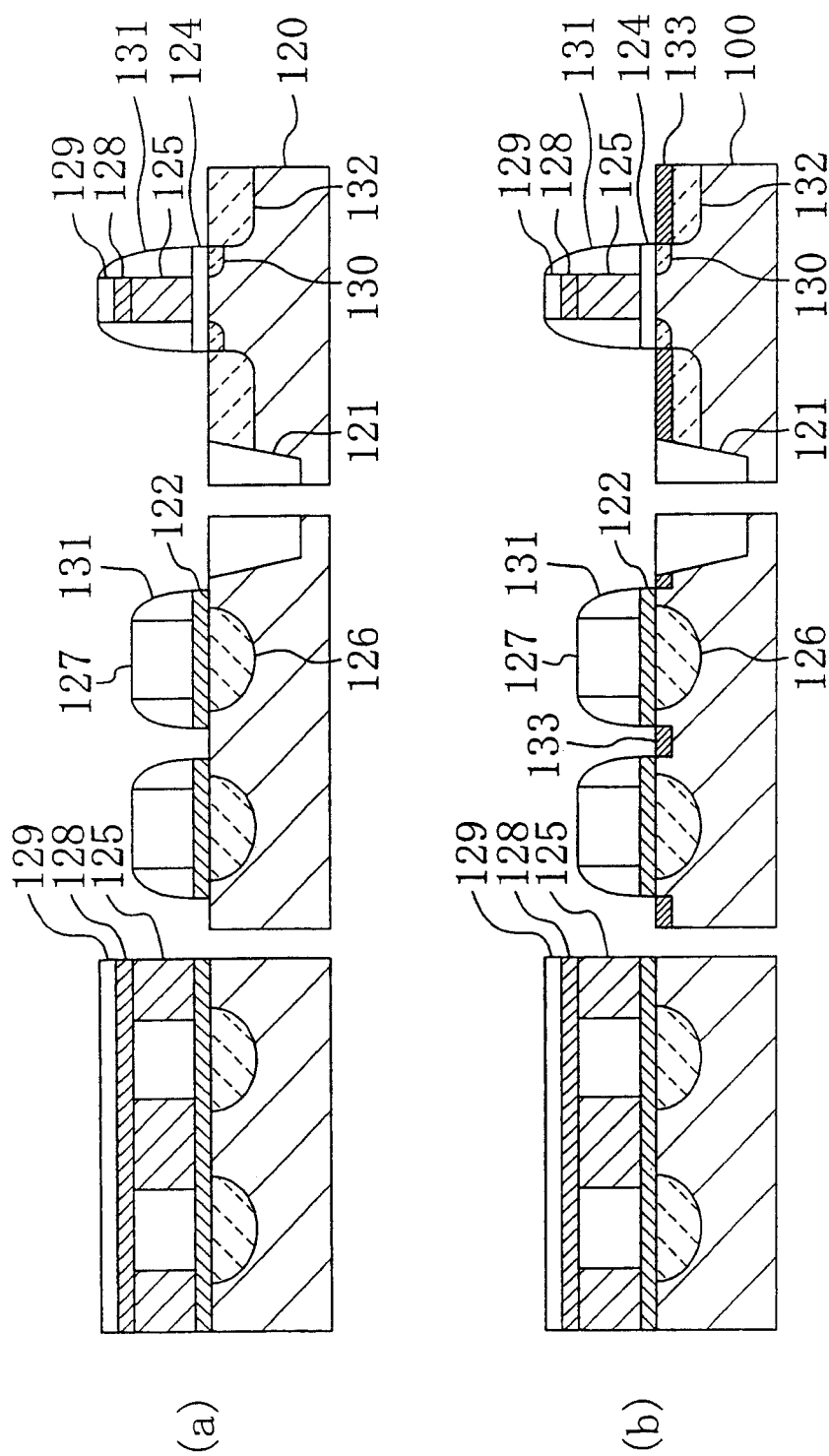


图 48

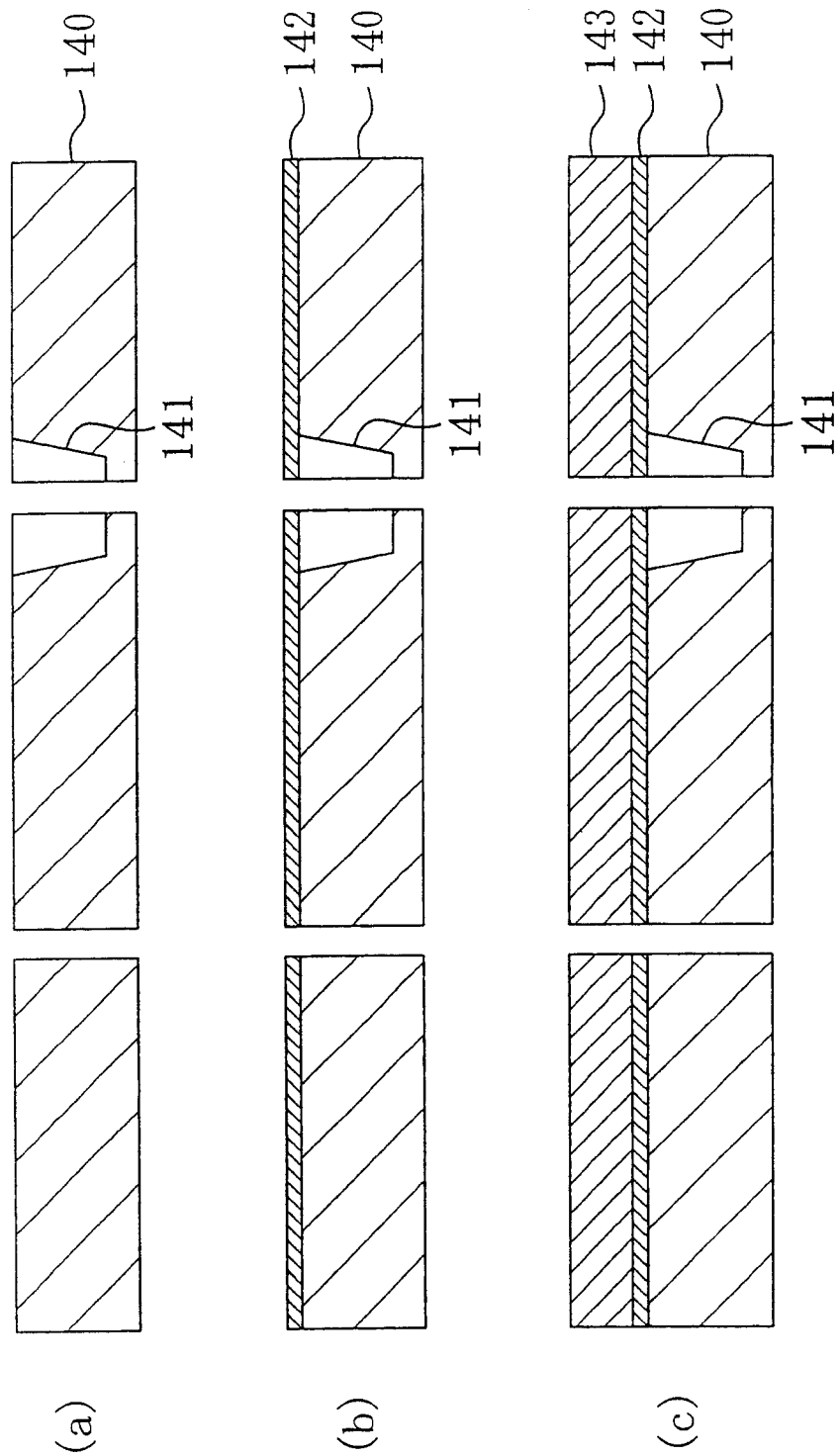


图 49

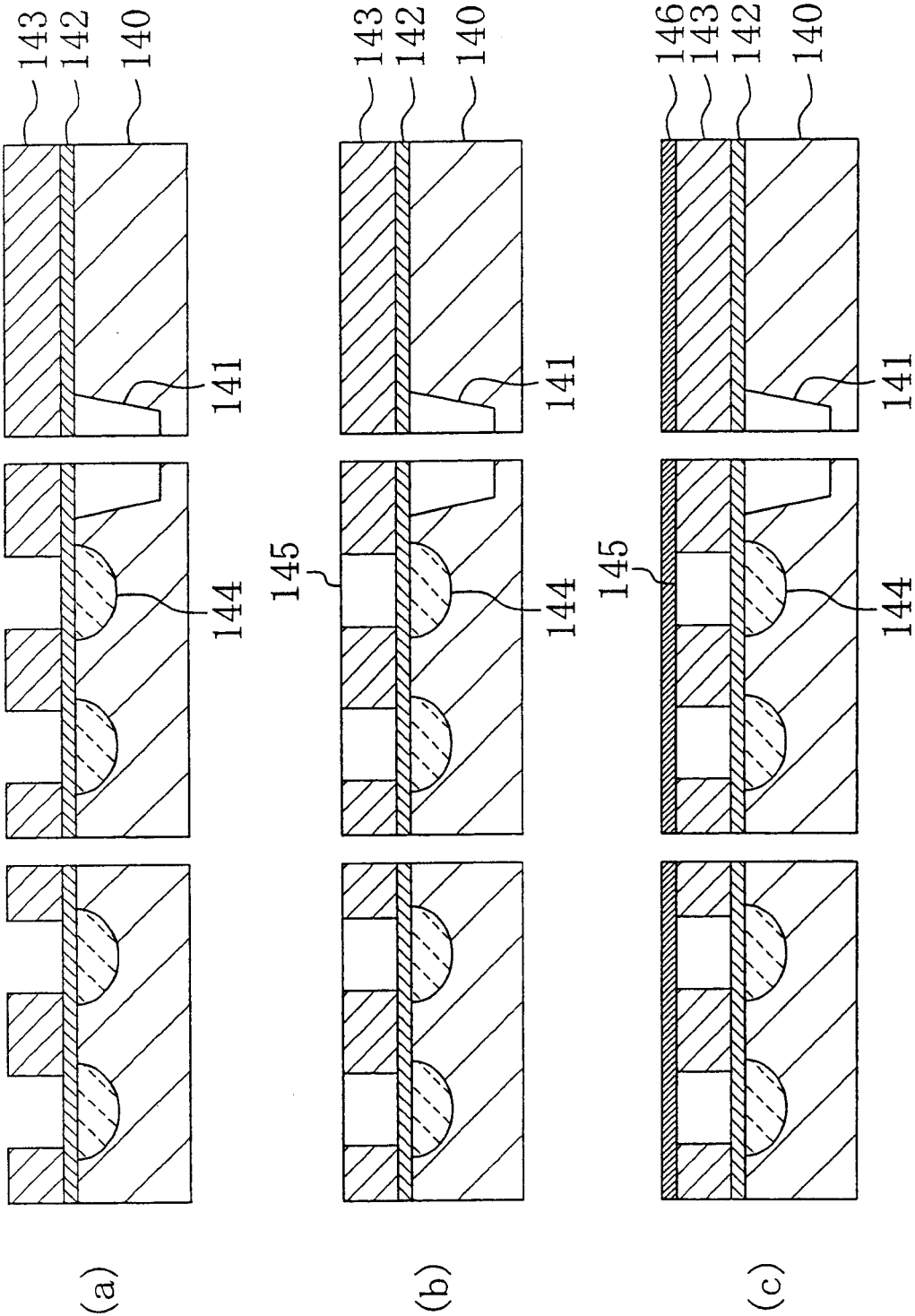


图 50

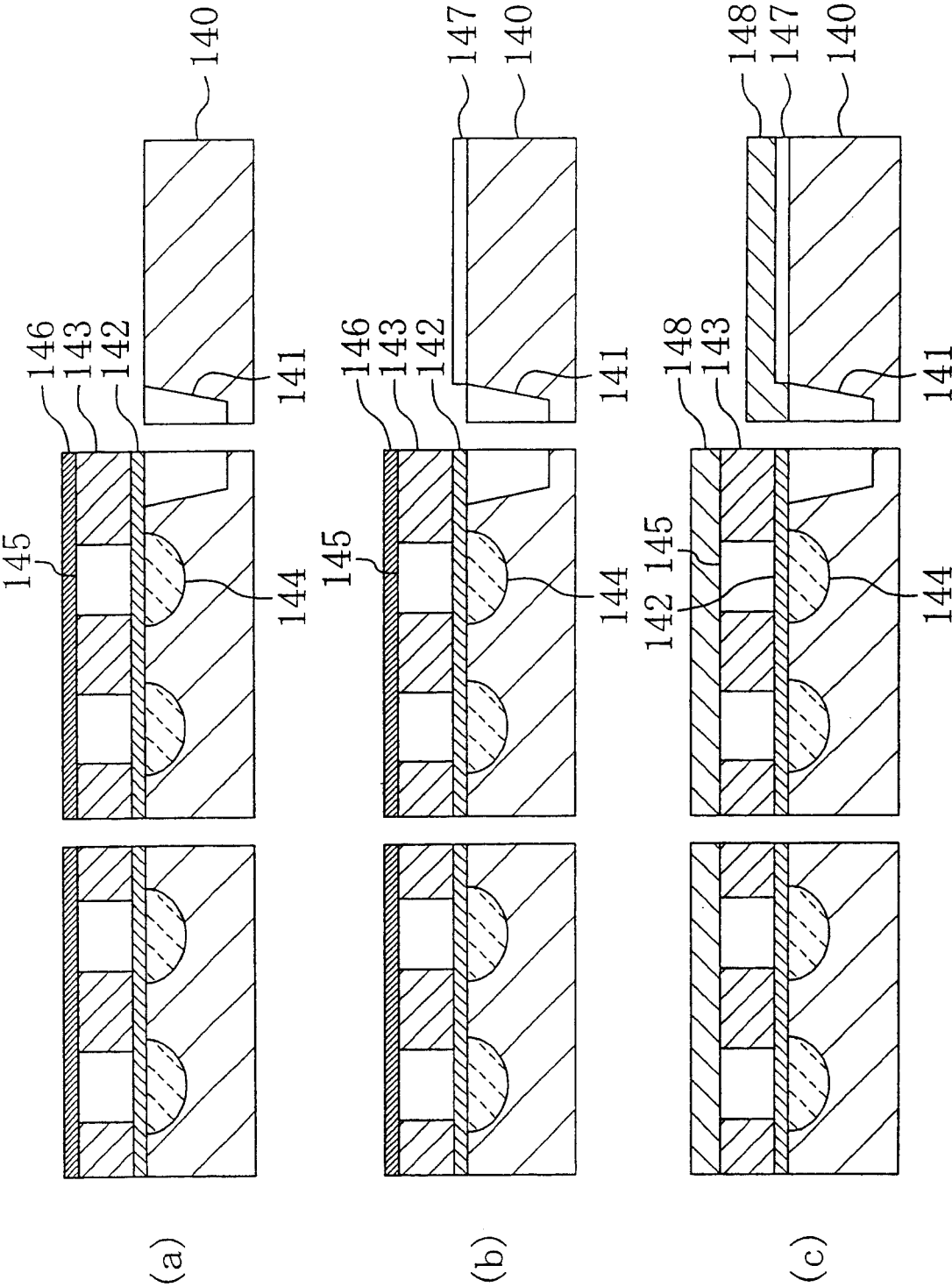


图 51

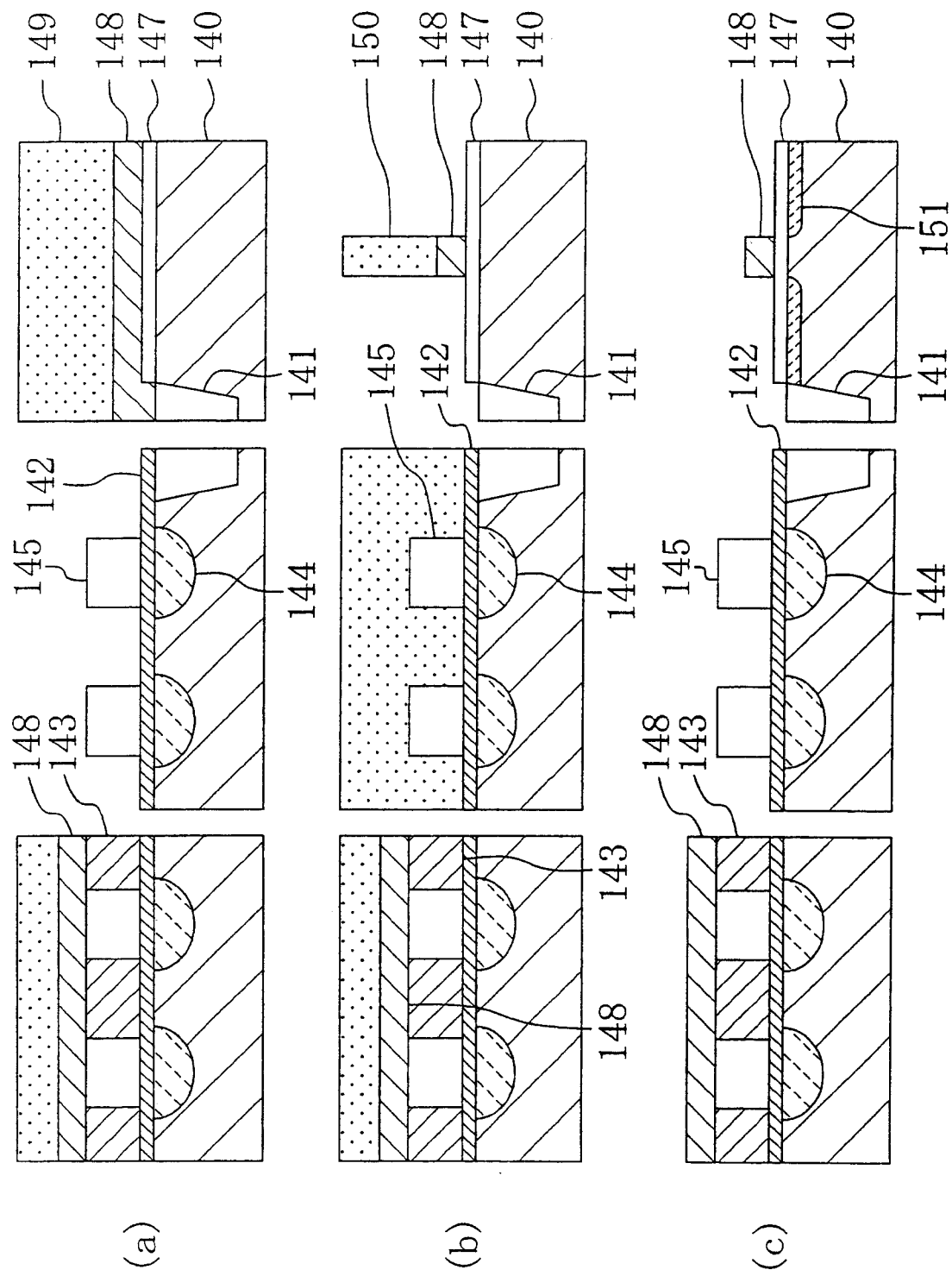


图 52

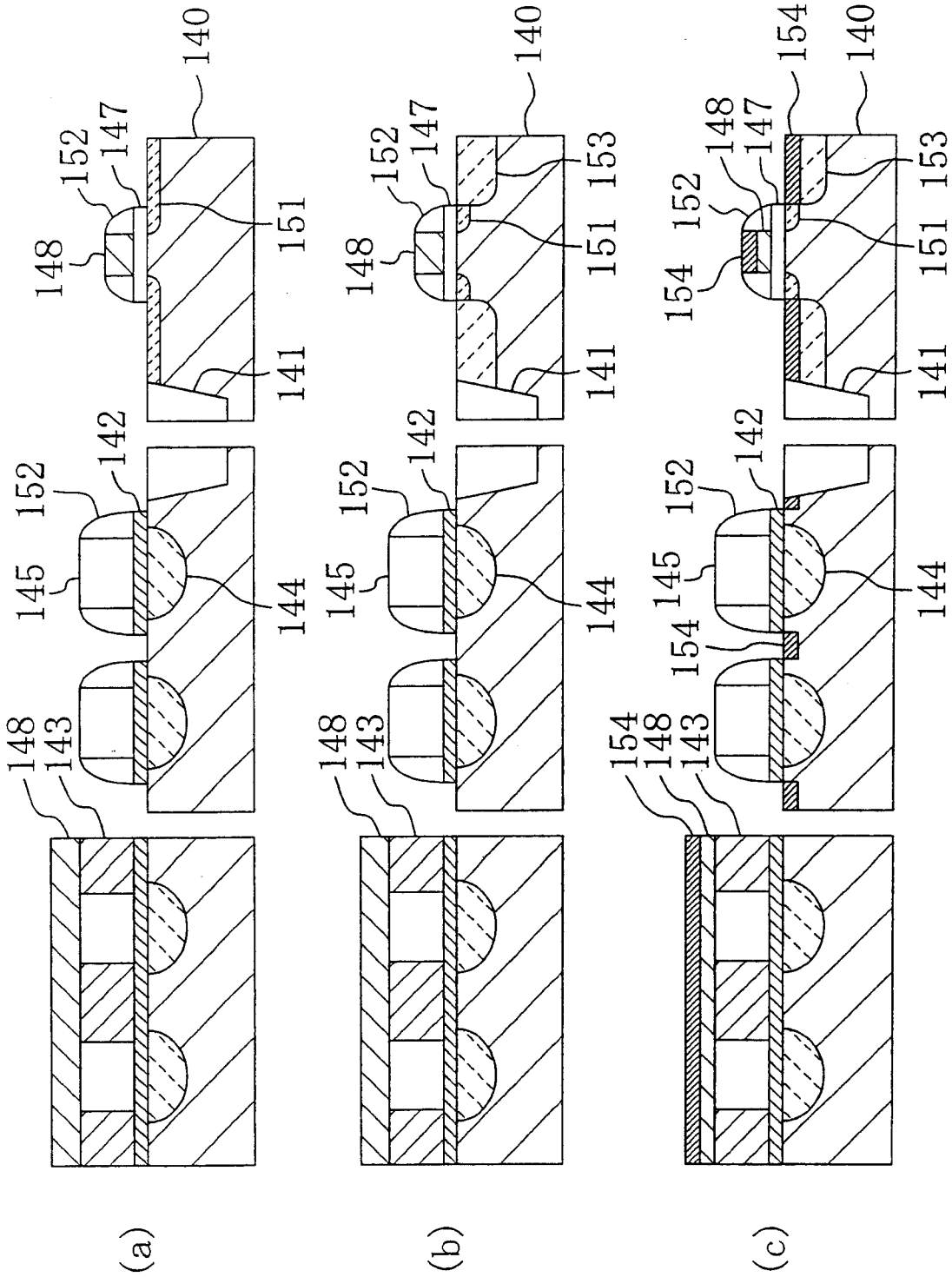


图 53

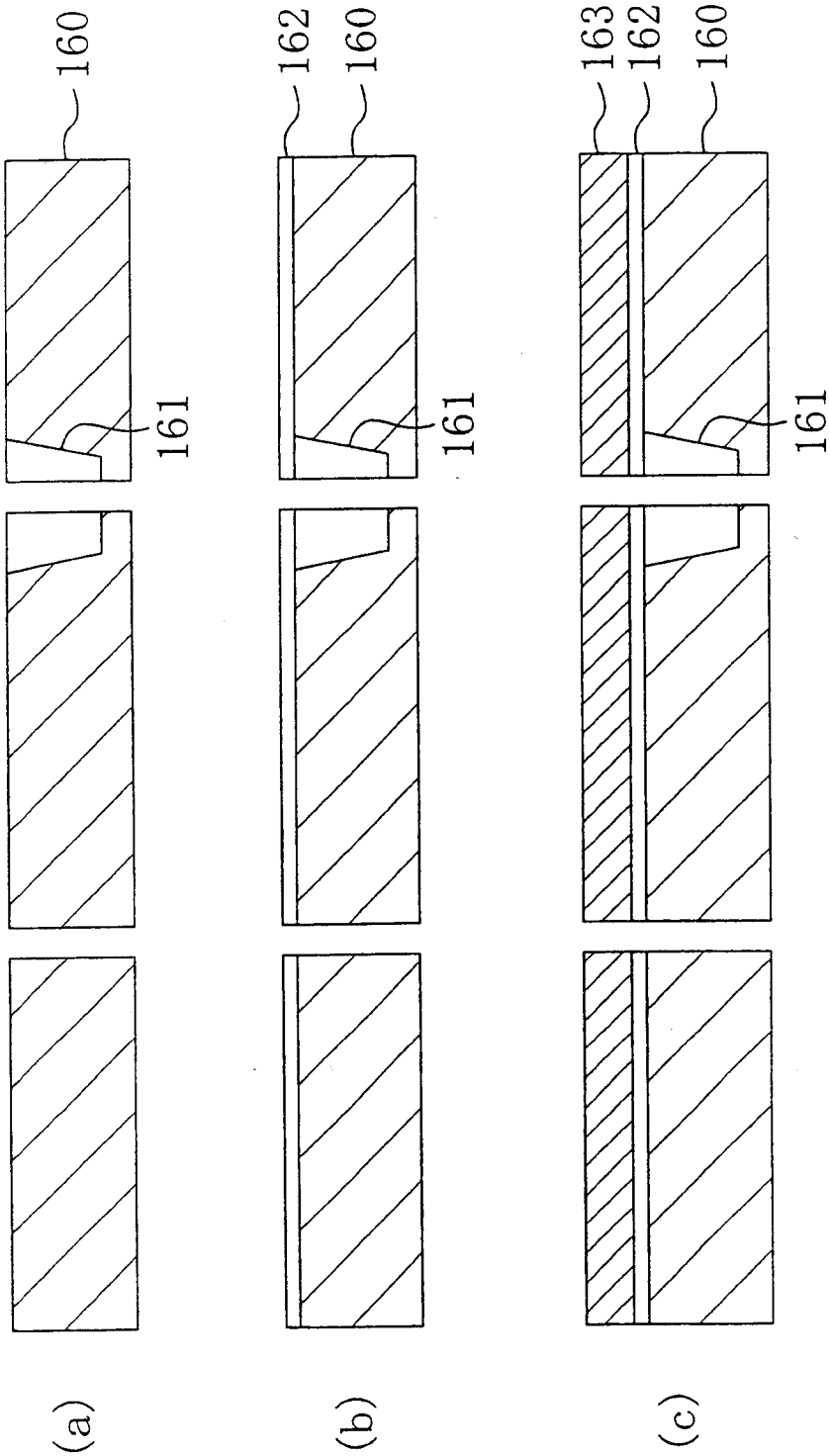


图 54

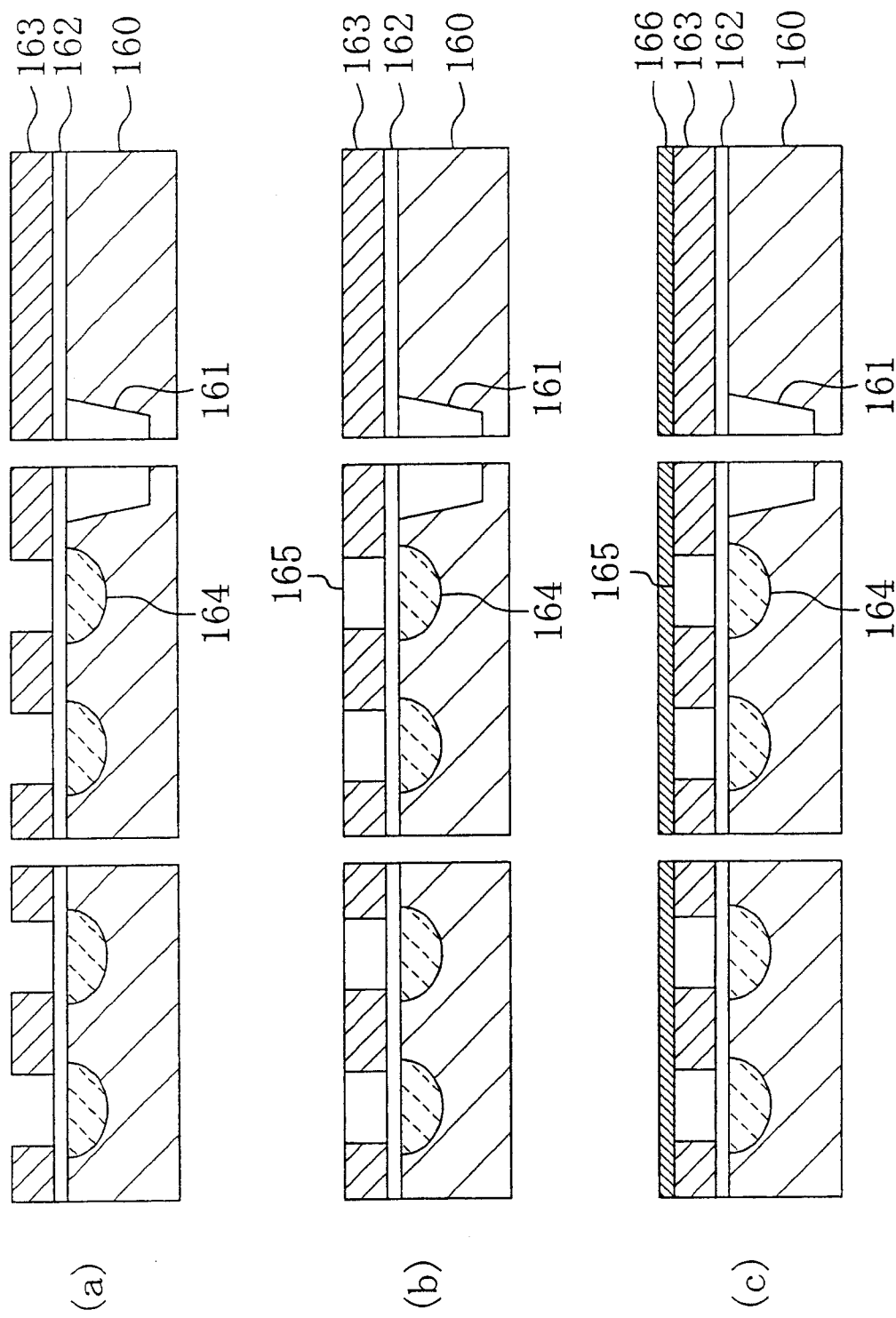


图 55

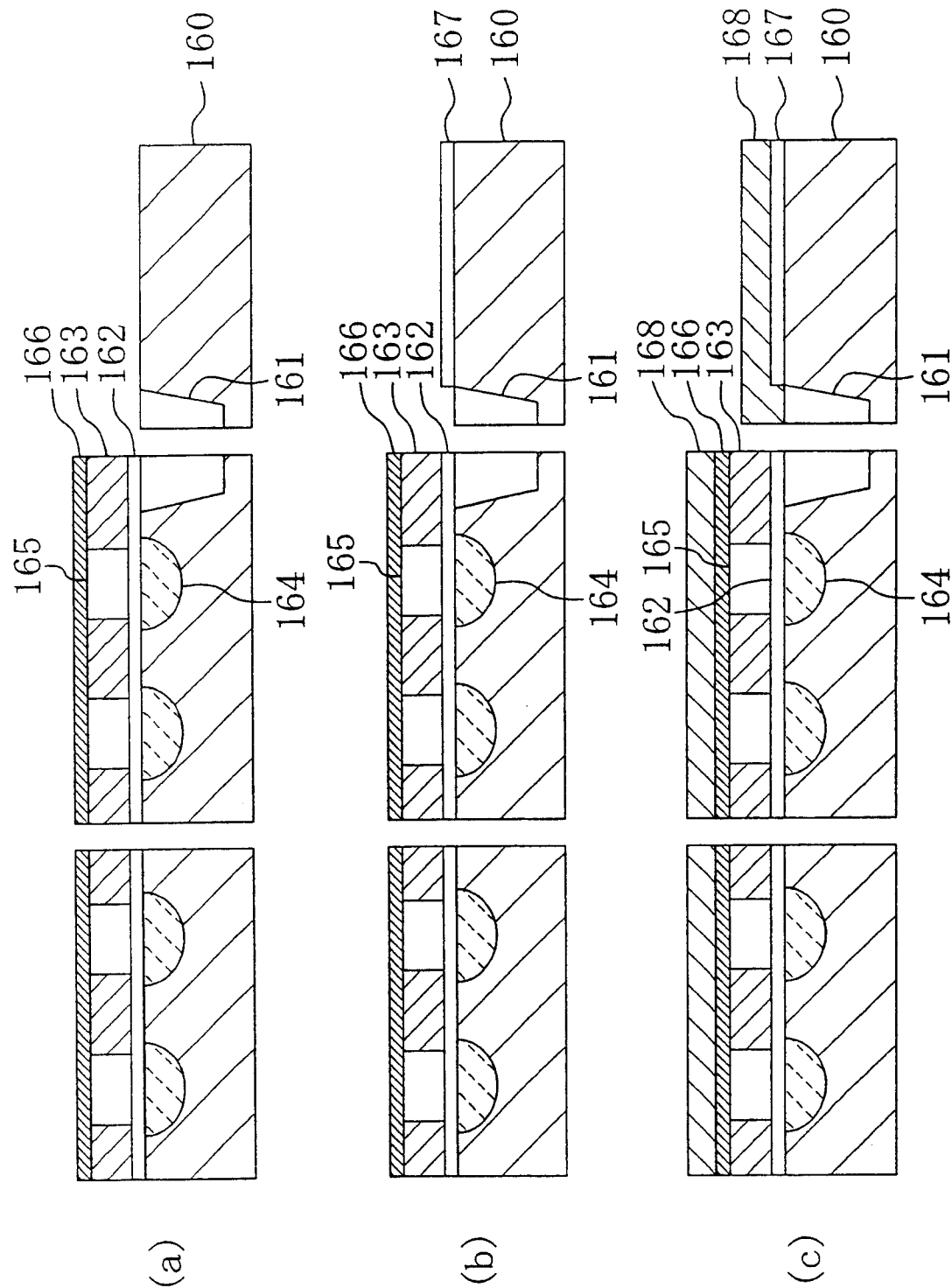


图 56

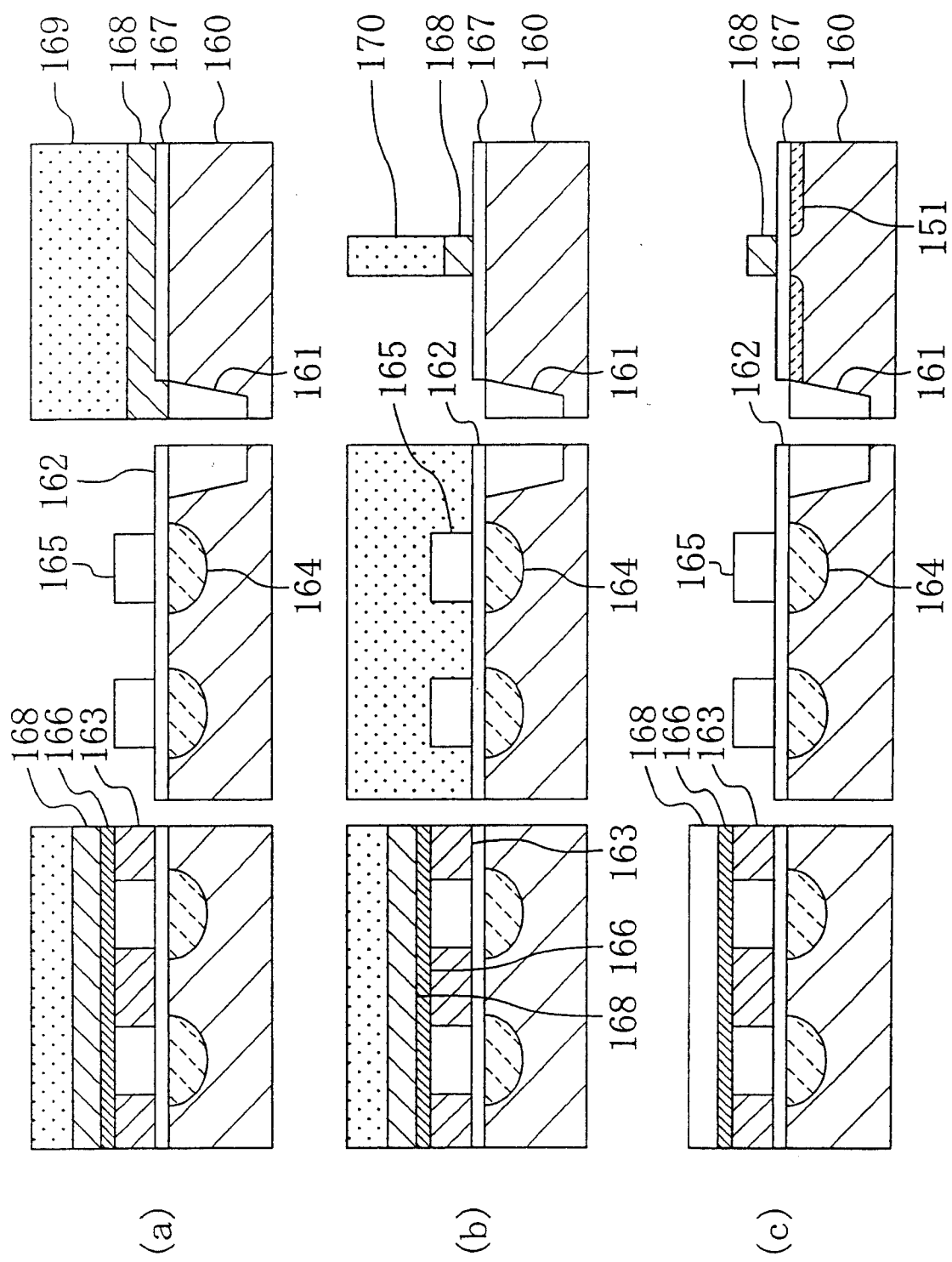


图 57

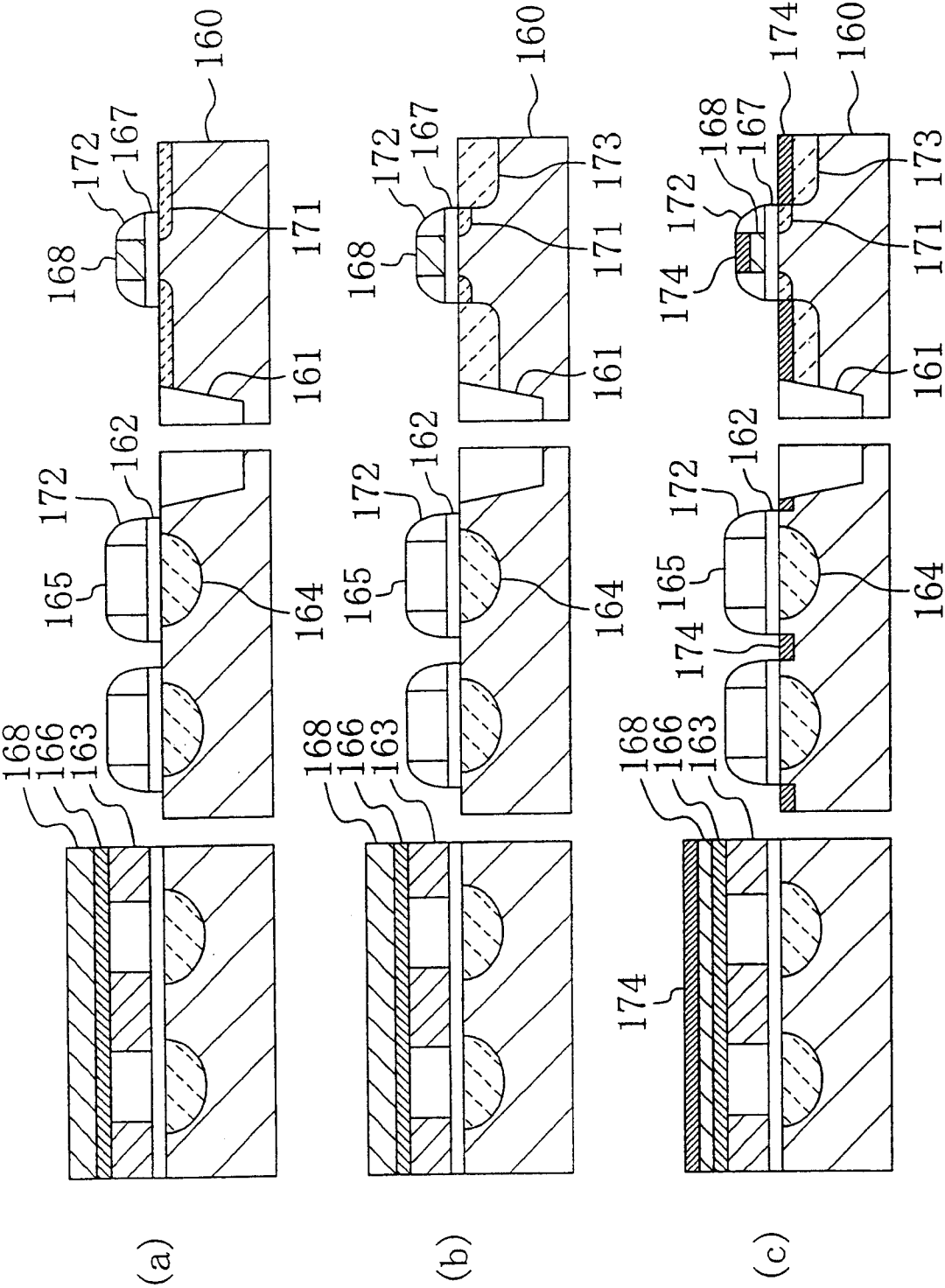


图 58

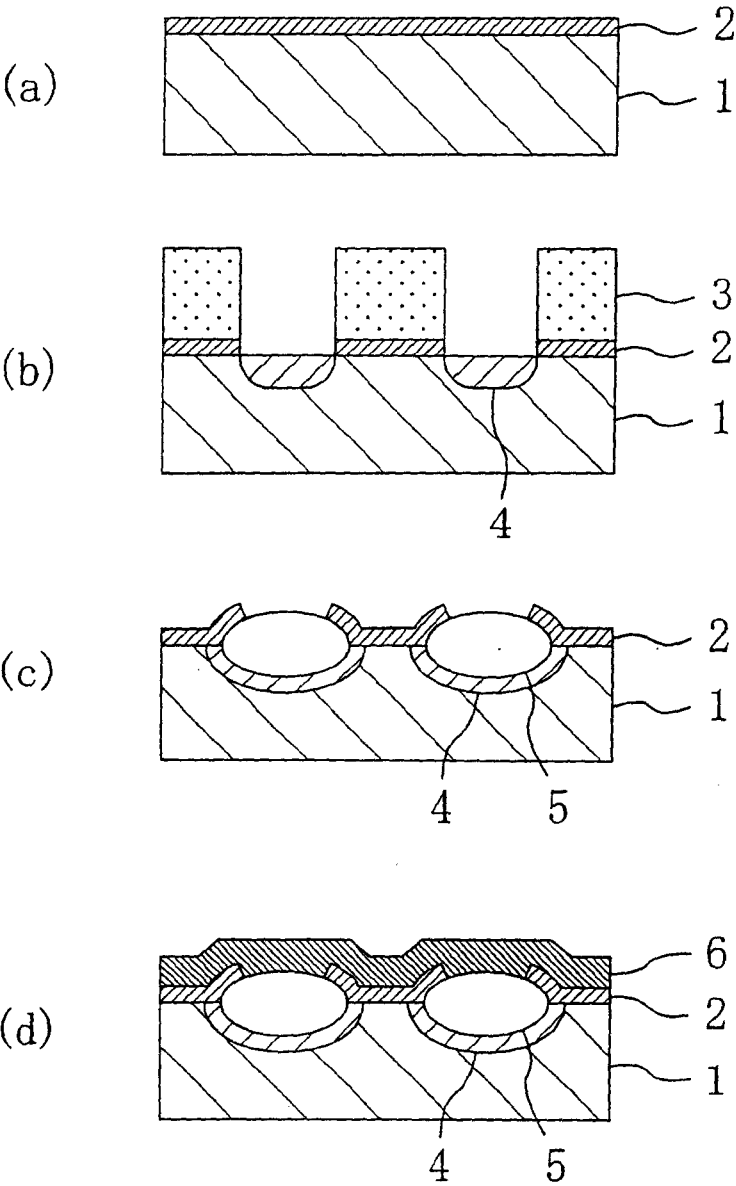


图 59

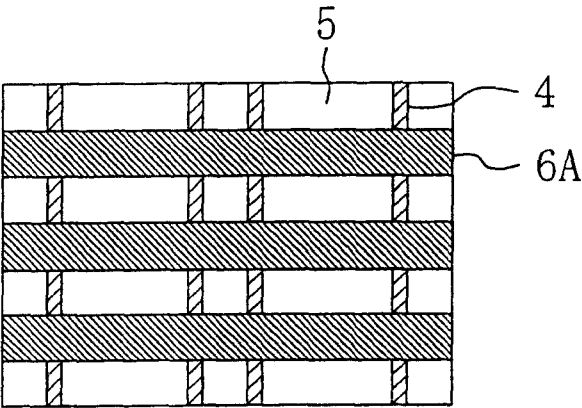


图 60