

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-237272

(P2009-237272A)

(43) 公開日 平成21年10月15日(2009.10.15)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/34 (2006.01)	G09G 3/34 C	5C080
G02F 1/167 (2006.01)	G02F 1/167	
G02F 1/17 (2006.01)	G02F 1/17	
G09G 3/20 (2006.01)	G09G 3/20 624B	
	G09G 3/20 621F	

審査請求 未請求 請求項の数 5 O L (全 16 頁)

(21) 出願番号 特願2008-83236 (P2008-83236)
 (22) 出願日 平成20年3月27日 (2008.3.27)

(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100104765
 弁理士 江上 達夫
 (74) 代理人 100107331
 弁理士 中村 聡延
 (72) 発明者 山田 利道
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 Fターム(参考) 5C080 AA13 BB05 DD08 EE28 FF11
 JJ01 JJ02 JJ03 JJ04 JJ06

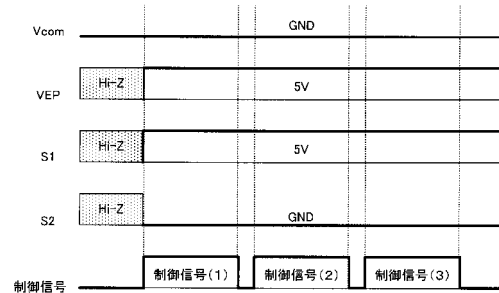
(54) 【発明の名称】 電気泳動表示装置及びその駆動方法、並びに電子機器

(57) 【要約】

【課題】ペン入力等の外部入力に対して俊敏な応答表示を行う。

【解決手段】画素スイッチング素子24を介してメモリ回路25に画像信号を書き込む第1工程と、メモリ回路25の画像信号に基づく出力に応じてスイッチ回路110によりスイッチング制御を行い、所定の電位を画素電極21に供給することで表示部3に所定の画像を表示する第2工程とを含み、少なくとも電気泳動表示装置1外からの外部入力に応じて電気泳動素子23を駆動する際に、第1工程と同時並行的に第2工程を行う。

【選択図】図5



【特許請求の範囲】

【請求項 1】

一対の画素電極及び共通電極と、前記画素電極及び前記共通電極間の電位差に基づいて駆動される電気泳動素子と、画素スイッチング素子と、メモリ回路と、スイッチ回路とが夫々設けられた複数の画素を含む表示部を備えた電気泳動表示装置を駆動する電気泳動表示装置の駆動方法であって、

前記画素スイッチング素子を介して前記メモリ回路に画像信号を書き込む第 1 工程と、前記メモリ回路の前記画像信号に基づく出力に応じて前記スイッチ回路によりスイッチング制御を行い、所定の電位を前記画素電極に供給することで前記表示部に所定の画像を表示する第 2 工程と

10

を含み、

少なくとも前記電気泳動表示装置外からの外部入力に応じて前記電気泳動素子を駆動する際に、前記第 1 工程と同時並行的に前記第 2 工程を行う

ことを特徴とする電気泳動表示装置の駆動方法。

【請求項 2】

前記第 1 工程及び前記第 2 工程間において、前記メモリ回路に対して電源電圧を昇圧させて供給する第 3 工程を含み、

少なくとも前記外部入力の際には、前記第 3 工程を行わない

ことを特徴とする請求項 1 に記載の電気泳動表示装置の駆動方法。

20

【請求項 3】

前記第 2 工程において、前記スイッチング制御により第 1 及び第 2 の電位のいずれか一方を前記スイッチ回路により前記画素電極に供給すると共に、

少なくとも前記外部入力の際には、前記共通電極に共通電位を前記第 1 及び第 2 の電位のうちいずれか一方のみとの間で電位差が生じるように供給する

ことを特徴とする請求項 1 又は 2 に記載の電気泳動表示装置の駆動方法。

【請求項 4】

請求項 1 から 3 のいずれか一項に記載の電気泳動表示装置の駆動方法によって駆動されることを特徴とする電気泳動表示装置。

【請求項 5】

請求項 4 に記載の電気泳動表示装置を備えることを特徴とする電子機器。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気泳動表示装置及びその駆動方法、並びに電子機器の技術分野に関する。

【背景技術】

【0002】

この種の電気泳動表示装置は、複数の画素によって次のように表示を行う表示部を有する。各画素では、画素スイッチング素子を介してメモリ回路に画像信号を書き込んだ後、書き込まれた画像信号に応じた電位により画素電極が駆動され、共通電極との間に電位差が生じる。これによって画素電極及び共通電極間の電気泳動素子を駆動することにより表示を行う。特許文献 1 には、このような画素について、メモリ回路に D R A M (Dynamic Random Access Memory) や S R A M (Static Random Access Memory) を含む構成が開示されている。

40

【0003】

或いは、本願発明者らの研究によれば、電気泳動素子を駆動するために、各画素において画素スイッチング素子及び S R A M を含むメモリ回路に加えてスイッチ回路を有する画素回路を構築し、このような画素回路により表示部において表示を行う。この画素回路は、(i)メモリ回路における画像信号の書き込みと分離して(ii)画素電極への電位の供給を行うことが可能なように構成されている。このような画素回路によれば、特許文献 1 による上述の画素回路と比較して、低消費電力で各画素を駆動することが可能となると共

50

に、互いに画素電極が異なる電位となる隣接画素間でリーク電流が発生するのをより有効に防止することができる。

【0004】

【特許文献1】特開2003-84314号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、上述したように上記(i)と上記(ii)とを分離して行う表示動作によれば、ペンタブレットやタッチセンサなどを電気泳動表示装置に搭載して、装置外からペン入力等の外部入力を行う場合に俊敏な応答表示を行うことが困難となる。即ち、外部入力に応答して電気泳動素子を駆動する際には、上記(i)及び上記(ii)を行うのに要する時間的長さが長くなり、その結果フレームレートが遅くなってしまう。よって、外部入力に応じた内容が、入力動作に対して遅延して表示されてしまう。

10

【0006】

本発明は、例えば上記問題点に鑑みなされたものであり、ペン入力等の外部入力に対して俊敏な応答表示を行うことが可能な電気泳動表示装置及びその駆動方法、並びに電子機器を提供することを課題とする。

【課題を解決するための手段】

【0007】

本発明の電気泳動表示装置の駆動方法は上記課題を解決するために、一对の画素電極及び共通電極と、前記画素電極及び前記共通電極間の電位差に基づいて駆動される電気泳動素子と、画素スイッチング素子と、メモリ回路と、スイッチ回路とが夫々設けられた複数の画素を含む表示部を備えた電気泳動表示装置を駆動する電気泳動表示装置の駆動方法であって、前記画素スイッチング素子を介して前記メモリ回路に画像信号を書き込む第1工程と、前記メモリ回路の前記画像信号に基づく出力に応じて前記スイッチ回路によりスイッチング制御を行い、所定の電位を前記画素電極に供給することで前記表示部に所定の画像を表示する第2工程とを含み、少なくとも前記電気泳動表示装置外からの外部入力に応じて前記電気泳動素子を駆動する際に、前記第1工程と同時並行的に前記第2工程を行う。

20

【0008】

本発明の電気泳動表示装置の駆動方法では、第1及び第2工程を行って、表示部に含まれる複数の画素の各々における画素電極及び共通電極の電位差に基づく電圧を電気泳動素子に印加する。これにより、電気泳動素子に含まれる電気泳動粒子を画素電極及び共通電極間で移動させることで、表示部に画像を表示させる。

30

【0009】

第1工程では、各画素において画素スイッチング素子を介してメモリ回路に画像信号を書き込み、続いて第2工程では、各画素において、保持された画像信号に基づくメモリ回路からの出力に応じて、スイッチ回路により画素電極をスイッチング制御し、画素電極に所定の電位を供給する。

【0010】

本発明では、少なくとも電気泳動表示装置にペンタブレットやタッチセンサを搭載して、ペン入力等の外部入力を行う際に、第1及び第2工程を同時並行的に行い、外部入力を行う以外の場合に第1及び第2工程を互いに分離して行う。第1及び第2工程を互いに分離して行う場合には、各々でメモリ回路を異なる電圧で駆動することにより、低消費電力で表示を行うことができると共に、第2工程では表示部に含まれる全画素に一括して画素電極に所定の電位を供給し、表示切替を行うことが可能となる等の利点を得ることができる。

40

【0011】

一方、外部入力の際には、第1工程で、外部入力に応じて供給された画像信号をメモリ回路に書き込むのと同時並行的に、第2工程で、メモリ回路からは画像信号に基づく出力

50

がなされて、スイッチ回路によるスイッチング制御が行われる。その結果、メモリ回路に対する画像信号の書き込みと同時並行的に画素電極には所定の電位が供給され、外部入力に応じた内容を表示することが可能となる。

【0012】

従って、第1及び第2工程を分離して行う場合と比較して、外部入力の際には第1及び第2工程を行う時間的な長さを短くすることができ、入力に応じた内容を俊敏に表示することが可能となる。その結果、外部入力に同期して入力内容に応じた応答表示を行うことができる。

【0013】

本発明の電気泳動表示装置の駆動方法の一態様では、前記第1工程及び前記第2工程間において、前記メモリ回路に対して電源電圧を昇圧させて供給する第3工程を含み、少なくとも前記外部入力の際には、前記第3工程を行わない。

10

【0014】

この態様によれば、第1工程では、典型的には、メモリ回路を駆動するために要する最低限の電源電圧を供給し、画素電極及び共通電極間を所定の電位差とするために第3工程で電源電圧を昇圧させた後に第2工程を行う。従って、画素電極及び共通電極間を所定の電位差とするために要する電圧でメモリ回路を常時駆動する場合と比較して、より低消費電力で表示動作を行うことができる。

【0015】

更に、少なくとも外部入力の際には、第3工程は行われず、第1及び第2工程では所定の電源電圧（例えば、駆動に要する最低限の電源電圧）でメモリ回路を駆動する。従って、第1及び第2工程を同時並行的に且つ低消費電力で行うことが可能となる。

20

【0016】

本発明の電気泳動表示装置の駆動方法の他の態様では、前記第2工程において、前記スイッチング制御により第1及び第2の電位のいずれか一方を前記スイッチ回路により前記画素電極に供給すると共に、少なくとも前記外部入力の際には、前記共通電極に共通電位を前記第1及び第2の電位のうちいずれか一方のみとの間で電位差が生じるように供給する。

【0017】

この態様によれば、第2工程では、スイッチング制御により第1及び第2の電位のいずれか一方を選択し、スイッチ回路を介して画素電極に供給する。ここに、第1及び第2の電位は互いに異なる電位であり、例えば第1の電位が第2の電位（ローレベル）より高電位のハイレベルとされる。従って、各画素において画素電極が互いに異なる第1及び第2の電位により駆動されることで、共通電極との間の電位差に基づき各々の電位で異なる色の表示、例えば白色表示及び黒色表示を行うことが可能となる。

30

【0018】

更に、少なくとも外部入力の際には、第1及び第2の電位の一方と電位差が生じるように共通電位を供給する。これにより、画素においては、第1及び第2の電位のうち共通電位との電位差が生じる一方をスイッチ回路を介して画素電極に供給することで、例えば白色表示及び黒色表示のうちのみを行う。この際には、第1工程では、複数の画素のうち部分的に、外部入力に応じ表示内容に変更を要する箇所の画素に対してのみ、第1及び第2の電位のうち共通電位との電位差が生じる一方が画素電極に供給されるように、画像信号の書き込みを行うようにするとよい。これにより、外部入力にตอบสนองして、表示部において部分的に必要な箇所のみ黒色表示及び白色表示の一方により表示内容を変更することができる。従って、外部入力の際に表示部を全体的に例えば白色表示及び黒色表示の両方で、入力内容に応じて表示切替を行う場合と比較して、より俊敏に応答表示を行うことが可能となる。

40

【0019】

本発明の電気泳動表示装置は上記課題を解決するために、上述した本発明の電気泳動表示装置の駆動方法（但し、その各種態様を含む）によって駆動される。

50

【 0 0 2 0 】

本発明の電気泳動表示装置によれば、上述した本発明の駆動方法によって表示部において画像表示を行うため、外部入力に対して俊敏に応答表示することができる。

【 0 0 2 1 】

本発明の電子機器は上記課題を解決するために、上述した本発明の電気泳動表示装置を備える。

【 0 0 2 2 】

本発明の電子機器によれば、上述した本発明の電気泳動表示装置を備えるので、外部入力に対して俊敏な応答表示を行うことが可能な、例えば、腕時計、電子ペーパー、電子ノート、携帯電話、携帯用オーディオ機器などの各種電子機器を実現できる。

10

【 0 0 2 3 】

本発明の作用及び他の利得は次に説明する実施するための最良の形態から明らかにされる。

【 発明を実施するための最良の形態 】

【 0 0 2 4 】

以下では、本発明の実施形態について図を参照しつつ説明する。

【 0 0 2 5 】

先ず、本実施形態に係る電気泳動表示装置の全体構成について、図 1 及び図 2 を参照して説明する。

【 0 0 2 6 】

図 1 は、本実施形態に係る電気泳動表示装置の全体構成を示すブロック図である。

20

【 0 0 2 7 】

図 1 において、本実施形態に係る電気泳動表示装置 1 は、表示部 3 と、コントローラ 10 と、走査線駆動回路 60 と、データ線駆動回路 70 と、電源回路 210 と、共通電位供給回路 220 とを備えている。

【 0 0 2 8 】

表示部 3 には、 m 行 \times n 列分の画素 20 がマトリクス状（二次元平面的）に配列されている。また、表示部 3 には、 m 本の走査線 40（即ち、走査線 Y_1 、 Y_2 、...、 Y_m ）と、 n 本のデータ線 50（即ち、データ線 X_1 、 X_2 、...、 X_n ）とが互いに交差するように設けられている。具体的には、 m 本の走査線 40 は、行方向（即ち、 X 方向）に延在し、 n 本のデータ線 50 は、列方向（即ち、 Y 方向）に延在している。 m 本の走査線 40 と n 本のデータ線 50 との交差に対応して画素 20 が配置されている。

30

【 0 0 2 9 】

コントローラ 10 は、走査線駆動回路 60、データ線駆動回路 70、電源回路 210 及び共通電位供給回路 220 の動作を制御する。コントローラ 10 は、例えば、クロック信号、スタートパルス等のタイミング信号を各回路に供給する。

【 0 0 3 0 】

走査線駆動回路 60 は、コントローラ 10 から供給されるタイミング信号に基づいて、走査線 Y_1 、 Y_2 、...、 Y_m の各々に走査信号をパルスの順次供給する。

【 0 0 3 1 】

データ線駆動回路 70 は、コントローラ 10 から供給されるタイミング信号に基づいて、データ線 X_1 、 X_2 、...、 X_n に画像信号を供給する。画像信号は、高電位レベル（以下「ハイレベル」という。例えば 5V）又は低電位レベル（以下「ローレベル」という。例えば 0V）の 2 値的なレベルをとる。

40

【 0 0 3 2 】

電源回路 210 は、高電位電源線 91 に高電位電源電位 V_{EP} を供給し、低電位電源線 92 に低電位電源電位 V_{SS} を供給し、第 1 の制御線 94 に第 1 の電位 S_1 を供給し、第 2 の制御線 95 に第 2 の電位 S_2 を供給する。尚、ここでは図示を省略するが、高電位電源線 91、低電位電源線 92、第 1 の制御線 94 及び第 2 の制御線 95 の各々は、電気的なスイッチを介して電源回路 210 に電氣的に接続されている。

50

【 0 0 3 3 】

共通電位供給回路 2 2 0 は、共通電位線 9 3 に共通電位 V c o m を供給する。尚、ここでは図示を省略するが、共通電位線 9 3 は、電気的なスイッチを介して共通電位供給回路 2 2 0 に電氣的に接続されている。

【 0 0 3 4 】

尚、コントローラ 1 0、走査線駆動回路 6 0、データ線駆動回路 7 0、電源回路 2 1 0 及び共通電位供給回路 2 2 0 には、各種の信号が入出力されるが、本実施形態と特に関係のないものについては説明を省略する。

【 0 0 3 5 】

図 2 は、画素の電気的な構成を示す等価回路図である。

10

【 0 0 3 6 】

図 2 において、画素 2 0 は、本発明に係る「画素スイッチング素子」の一例である画素スイッチング用トランジスタ 2 4 と、メモリ回路 2 5 と、スイッチ回路 1 1 0 と、画素電極 2 1 と、共通電極 2 2 と、電気泳動素子 2 3 とを備えている。

【 0 0 3 7 】

画素スイッチング用トランジスタ 2 4 は、例えば N 型トランジスタで構成されている。画素スイッチング用トランジスタ 2 4 は、そのゲートが走査線 4 0 に電氣的に接続されており、そのソースがデータ線 5 0 に電氣的に接続されており、そのドレインがメモリ回路 2 5 の入力端子 N 1 に電氣的に接続されている。画素スイッチング用トランジスタ 2 4 は、データ線駆動回路 7 0 (図 1 参照) からデータ線 5 0 を介して供給される画像信号を、走査線駆動回路 6 0 (図 1 参照) から走査線 4 0 を介してパルスの供給される走査信号に応じたタイミングで、メモリ回路 2 5 の入力端子 N 1 に出力する。

20

【 0 0 3 8 】

メモリ回路 2 5 は、インバータ回路 2 5 a 及び 2 5 b を有しており、S R A M として構成されている。

【 0 0 3 9 】

インバータ回路 2 5 a 及び 2 5 b は、互いの入力端子に他方の出力端子が電氣的に接続されたループ構造を有している。即ち、インバータ回路 2 5 a の入力端子とインバータ回路 2 5 b の出力端子とが互いに電氣的に接続され、インバータ回路 2 5 b の入力端子とインバータ回路 2 5 a の出力端子とが互いに電氣的に接続されている。インバータ回路 2 5 a の入力端子が、メモリ回路 2 5 の入力端子 N 1 として構成されており、インバータ回路 2 5 a の出力端子が、メモリ回路 2 5 の出力端子 N 2 として構成されている。

30

【 0 0 4 0 】

インバータ回路 2 5 a は、N 型トランジスタ 2 5 a 1 及び P 型トランジスタ 2 5 a 2 を有している。N 型トランジスタ 2 5 a 1 及び P 型トランジスタ 2 5 a 2 のゲートは、メモリ回路 2 5 の入力端子 N 1 に電氣的に接続されている。N 型トランジスタ 2 5 a 1 のソースは、低電位電源電位 V s s が供給される低電位電源線 9 2 に電氣的に接続されている。P 型トランジスタ 2 5 a 2 のソースは、高電位電源電位 V E P が供給される高電位電源線 9 1 に電氣的に接続されている。N 型トランジスタ 2 5 a 1 及び P 型トランジスタ 2 5 a 2 のドレインは、メモリ回路 2 5 の出力端子 N 2 に電氣的に接続されている。

40

【 0 0 4 1 】

インバータ回路 2 5 b は、N 型トランジスタ 2 5 b 1 及び P 型トランジスタ 2 5 b 2 を有している。N 型トランジスタ 2 5 b 1 及び P 型トランジスタ 2 5 b 2 のゲートは、メモリ回路 2 5 の出力端子 N 2 に電氣的に接続されている。N 型トランジスタ 2 5 b 1 のソースは、低電位電源電位 V s s が供給される低電位電源線 9 2 に電氣的に接続されている。P 型トランジスタ 2 5 b 2 のソースは、高電位電源電位 V E P が供給される高電位電源線 9 1 に電氣的に接続されている。N 型トランジスタ 2 5 b 1 及び P 型トランジスタ 2 5 b 2 のドレインは、メモリ回路 2 5 の入力端子 N 1 に電氣的に接続されている。

【 0 0 4 2 】

メモリ回路 2 5 は、その入力端子 N 1 にハイレベルの画像信号が入力されると、その出

50

力端子 N 2 から低電位電源電位 V_{SS} を出力し、その入力端子 N 1 にローレベルの画像信号が入力されると、その出力端子 N 2 から高電位電源電位 V_{EP} を出力する。即ち、メモリ回路 2 5 は、入力された画像信号がハイレベルであるかローレベルであるかに応じて、低電位電源電位 V_{SS} 又は高電位電源電位 V_{EP} を出力する。言い換えれば、メモリ回路 2 5 は、入力された画像信号を、低電位電源電位 V_{SS} 又は高電位電源電位 V_{EP} として記憶可能に構成されている。

【 0 0 4 3 】

高電位電源線 9 1 及び低電位電源線 9 2 は、電源回路 2 1 0 からそれぞれ高電位電源電位 V_{EP} 及び低電位電源電位 V_{SS} が供給可能に構成されている。高電位電源線 9 1 は、スイッチ 9 1 s を介して電源回路 2 1 0 に電氣的に接続されており、低電位電源線 9 2 は、スイッチ 9 2 s を介して電源回路 2 1 0 に電氣的に接続されている。スイッチ 9 1 s 及び 9 2 s は、コントローラ 1 0 によってオン状態とオフ状態とが切り替えられるように構成されている。スイッチ 9 1 s がオン状態とされることで、高電位電源線 9 1 と電源回路 2 1 0 とが電氣的に接続され、スイッチ 9 1 s がオフ状態とされることで、高電位電源線 9 1 は電氣的に切断されたハイインピーダンス状態とされる。スイッチ 9 2 s がオン状態とされることで、低電位電源線 9 2 と電源回路 2 1 0 とが電氣的に接続され、スイッチ 9 2 s がオフ状態とされることで、低電位電源線 9 2 は電氣的に切断されたハイインピーダンス状態とされる。

10

【 0 0 4 4 】

スイッチ回路 1 1 0 は、第 1 のトランスマッションゲート 1 1 1 及び第 2 のトランスマッションゲート 1 1 2 を備えている。

20

【 0 0 4 5 】

第 1 のトランスマッションゲート 1 1 1 は、P 型トランジスタ 1 1 1 p 及び N 型トランジスタ 1 1 1 n を備えている。P 型トランジスタ 1 1 1 p 及び N 型トランジスタ 1 1 1 n のソースは、第 1 の制御線 9 4 に電氣的に接続されている。P 型トランジスタ 1 1 1 p 及び N 型トランジスタ 1 1 1 n のドレインは、画素電極 2 1 に電氣的に接続されている。P 型トランジスタ 1 1 1 p のゲートは、メモリ回路 2 5 の入力端子 N 1 に電氣的に接続されており、N 型トランジスタ 1 1 1 n のゲートは、メモリ回路 2 5 の出力端子 N 2 に電氣的に接続されている。

30

【 0 0 4 6 】

第 2 のトランスマッションゲート 1 1 2 は、P 型トランジスタ 1 1 2 p 及び N 型トランジスタ 1 1 2 n を備えている。P 型トランジスタ 1 1 2 p 及び N 型トランジスタ 1 1 2 n のソースは、第 2 の制御線 9 5 に電氣的に接続されている。P 型トランジスタ 1 1 2 p 及び N 型トランジスタ 1 1 2 n のドレインは、画素電極 2 1 に電氣的に接続されている。P 型トランジスタ 1 1 2 p のゲートは、メモリ回路 2 5 の出力端子 N 2 に電氣的に接続されており、N 型トランジスタ 1 1 2 n のゲートは、メモリ回路 2 5 の入力端子 N 1 に電氣的に接続されている。

【 0 0 4 7 】

スイッチ回路 1 1 0 は、メモリ回路 2 5 に入力される画像信号に応じて、第 1 の制御線 9 4 及び第 2 の制御線 9 5 のいずれか一方の制御線を択一的に選択して、その一方の制御線を画素電極 2 1 に電氣的に接続する。

40

【 0 0 4 8 】

具体的には、メモリ回路 2 5 の入力端子 N 1 にハイレベルの画像信号が入力されると、メモリ回路 2 5 から N 型トランジスタ 1 1 1 n 及び P 型トランジスタ 1 1 2 p のゲートに低電位電源電位 V_{SS} が出力されると共に、P 型トランジスタ 1 1 1 p 及び N 型トランジスタ 1 1 2 n のゲートに高電位電源電位 V_{EP} が出力されることにより、第 2 のトランスマッションゲート 1 1 2 を構成する P 型トランジスタ 1 1 2 p 及び N 型トランジスタ 1 1 2 n のみがオン状態となり、第 1 のトランスマッションゲート 1 1 1 を構成する P 型トランジスタ 1 1 1 p 及び N 型トランジスタ 1 1 1 n はオフ状態となる。一方、メモリ回路 2 5 の入力端子 N 1 にローレベルの画像信号が入力されると、メモリ回路 2 5 から N 型トラン

50

ンジスタ 1 1 1 n 及び P 型トランジスタ 1 1 2 p のゲートに高電位電源電位 V_{EP} が出力されると共に、P 型トランジスタ 1 1 1 p 及び N 型トランジスタ 1 1 2 n のゲートに低電位電源電位 V_{SS} が出力されることにより、第 1 のトランスマッションゲート 1 1 1 を構成する P 型トランジスタ 1 1 1 p 及び N 型トランジスタ 1 1 1 n のみがオン状態となり、第 2 のトランスマッションゲート 1 1 2 を構成する P 型トランジスタ 1 1 2 p 及び N 型トランジスタ 1 1 2 n はオフ状態となる。つまり、メモリ回路 2 5 の入力端子 N 1 にハイレベルの画像信号が入力された場合には、第 2 のトランスマッションゲート 1 1 2 のみがオン状態となり、一方、メモリ回路 2 5 の入力端子 N 1 にローレベルの画像信号が入力された場合には、第 1 のトランスマッションゲート 1 1 1 のみがオン状態となる。

【0049】

第 1 の制御線 9 4 及び第 2 の制御線 9 5 は、電源回路 2 1 0 からそれぞれ第 1 の電位 S_1 及び第 2 の電位 S_2 が供給可能に構成されている。第 1 の制御線 9 4 は、スイッチ 9 4 s を介して電源回路 2 1 0 に電氣的に接続されており、第 2 の制御線 9 5 は、スイッチ 9 5 s を介して電源回路 2 1 0 に電氣的に接続されている。スイッチ 9 4 s 及び 9 5 s は、コントローラ 1 0 によってオン状態とオフ状態とが切り替えられるように構成されている。スイッチ 9 4 s がオン状態とされることで、第 1 の制御線 9 4 と電源回路 2 1 0 とが電氣的に接続され、スイッチ 9 4 s がオフ状態とされることで、第 1 の制御線 9 4 は電氣的に切断されたハイインピーダンス状態とされる。スイッチ 9 5 s がオン状態とされることで、第 2 の制御線 9 5 と電源回路 2 1 0 とが電氣的に接続され、スイッチ 9 5 s がオフ状態とされることで、第 2 の制御線 9 5 は電氣的に切断されたハイインピーダンス状態とされる。

【0050】

複数の画素 2 0 の各々の画素電極 2 1 は、スイッチ回路 1 1 0 によって画像信号に応じて択一的に選択された制御線 9 4 又は 9 5 に電氣的に接続される。その際、複数の画素 2 0 の各々の画素電極 2 1 は、スイッチ 9 4 s 又は 9 5 s のオンオフ状態に応じて、電源回路 2 1 0 から第 1 の電位 S_1 又は第 2 の電位 S_2 が供給される、或いはハイインピーダンス状態とされる。

【0051】

より具体的には、ローレベルの画像信号が供給される画素 2 0 については、第 1 のトランスマッションゲート 1 1 1 のみがオン状態となり、その画素 2 0 の画素電極 2 1 は、第 1 の制御線 9 4 に電氣的に接続され、スイッチ 9 4 s のオンオフ状態に応じて電源回路 2 1 0 から第 1 の電位 S_1 が供給され、又は、ハイインピーダンス状態とされる。一方、ハイレベルの画像信号が供給される画素 2 0 については、第 2 のトランスマッションゲート 1 1 2 のみがオン状態となり、その画素 2 0 の画素電極 2 1 は、第 2 の制御線 9 5 に電氣的に接続され、スイッチ 9 5 s のオンオフ状態に応じて電源回路 2 1 0 から第 2 の電位 S_2 が供給され、又は、ハイインピーダンス状態とされる。

【0052】

画素電極 2 1 は、電気泳動素子 2 3 を介して共通電極 2 2 と互いに対向するように配置されている。

【0053】

共通電極 2 2 は、共通電位 V_{com} が供給される共通電位線 9 3 に電氣的に接続されている。共通電位線 9 3 は、共通電位供給回路 2 2 0 から共通電位 V_{com} が供給可能に構成されている。共通電位線 9 3 は、スイッチ 9 3 s を介して共通電位供給回路 2 2 0 に電氣的に接続されている。スイッチ 9 3 s は、コントローラ 1 0 によってオン状態とオフ状態とが切り替えられるように構成されている。スイッチ 9 3 s がオン状態とされることで、共通電位線 9 3 と共通電位供給回路 2 2 0 とが電氣的に接続され、スイッチ 9 3 s がオフ状態とされることで、共通電位線 9 3 は電氣的に切断されたハイインピーダンス状態とされる。

【0054】

電気泳動素子 2 3 は、電気泳動粒子をそれぞれ含んでなる複数のマイクロカプセルから

10

20

30

40

50

構成されている。

【0055】

次に、本実施形態に係る電気泳動表示装置の表示部の具体的な構成について、図3及び図4を参照して説明する。

【0056】

図3は、本実施形態に係る電気泳動表示装置の表示部の部分断面図である。

【0057】

図3において、表示部3は、素子基板28と対向基板29との間に電気泳動素子23が挟持される構成となっている。尚、本実施形態では、対向基板29側に画像を表示することを前提として説明する。

【0058】

素子基板28は、例えばガラスやプラスチック等からなる基板である。素子基板28上には、ここでは図示を省略するが、図2を参照して上述した画素スイッチング用トランジスタ24、メモリ回路25、スイッチ回路110、走査線40、データ線50、高電位電源線91、低電位電源線92、共通電位線93、第1の制御線94、第2の制御線95等が作り込まれた積層構造が形成されている。この積層構造の上層側に複数の画素電極21がマトリクス状に設けられている。

【0059】

対向基板29は、例えばガラスやプラスチック等からなる透明な基板である。対向基板29における素子基板28との対向面上には、共通電極22が複数の画素電極9aと対向してベタ状に形成されている。共通電極22は、例えばマグネシウム銀(MgAg)、インジウム・スズ酸化物(ITO)、インジウム・亜鉛酸化物(IZO)等の透明導電材料から形成されている。

【0060】

電気泳動素子23は、電気泳動粒子をそれぞれ含んでなる複数のマイクロカプセル80から構成されており、例えば樹脂等からなるバインダー30及び接着層31によって素子基板28及び対向基板29間で固定されている。尚、本実施形態に係る電気泳動表示装置1は、製造プロセスにおいて、電気泳動素子23が予め対向基板29側にバインダー30によって固定されてなる電気泳動シートが、別途製造された、画素電極21等が形成された素子基板28側に接着層31によって接着されている。

【0061】

マイクロカプセル80は、画素電極21及び共通電極22間に挟持され、1つの画素20内に(言い換えれば、1つの画素電極21に対して)1つ又は複数配置されている。

【0062】

図4は、マイクロカプセルの構成を示す模式図である。尚、図4では、マイクロカプセルの断面を模式的に示している。

【0063】

図4において、マイクロカプセル80は、被膜85の内部に分散媒81と、複数の白色粒子82と、複数の黒色粒子83とが封入されてなる。マイクロカプセル80は、例えば、50µm程度の粒径を有する球状に形成されている。尚、白色粒子82及び黒色粒子83は、電気泳動粒子の一例である。

【0064】

被膜85は、マイクロカプセル80の外殻として機能し、ポリメタクリル酸メチル、ポリメタクリル酸エチル等のアクリル樹脂、ユリア樹脂、アラビアガム等の透光性を有する高分子樹脂から形成されている。

【0065】

分散媒81は、白色粒子82及び黒色粒子83をマイクロカプセル80内(言い換えれば、被膜85内)に分散させる媒質である。分散媒81としては、水や、メタノール、エタノール、イソプロパノール、ブタノール、オクタノール、メチルセルソルブ等のアルコール系溶媒、酢酸エチル、酢酸ブチル等の各種エステル類、アセトン、メチルエチルケト

10

20

30

40

50

ン、メチルイソブチルケトン等のケトン類、ペンタン、ヘキサン、オクタン等の脂肪族炭化水素、シクロヘキサン、メチルシクロヘキサン等の脂環式炭化水素、ベンゼン、トルエンや、キシレン、ヘキシルベンゼン、ヘプチルベンゼン、オクチルベンゼン、ノニルベンゼン、デシルベンゼン、ウンデシルベンゼン、ドデシルベンゼン、トリデシルベンゼン、テトラデシルベンゼン等の長鎖アルキル基を有するベンゼン類等の芳香族炭化水素、塩化メチレン、クロロホルム、四塩化炭素、1、2-ジクロロエタン等のハロゲン化炭化水素、カルボン酸塩やその他の油類を単独で又は混合して用いることができる。また、分散媒 8 1 には、界面活性剤が配合されてもよい。

【0066】

白色粒子 8 2 は、例えば、二酸化チタン、亜鉛華（酸化亜鉛）、三酸化アンチモン等の白色顔料からなる粒子（高分子或いはコロイド）であり、例えば負に帯電されている。

10

【0067】

黒色粒子 8 3 は、例えば、アニリンブラック、カーボンブラック等の黒色顔料からなる粒子（高分子或いはコロイド）であり、例えば正に帯電されている。

【0068】

このため、白色粒子 8 2 及び黒色粒子 8 3 は、画素電極 2 1 と共通電極 2 2 との間の電位差によって発生する電場によって、分散媒 8 1 中を移動することができる。

【0069】

これらの顔料には、必要に応じ、電解質、界面活性剤、金属石鹼、樹脂、ゴム、油、ワニス、コンパウンド等の粒子からなる荷電制御剤、チタン系カップリング剤、アルミニウム系カップリング剤、シラン系カップリング剤等の分散剤、潤滑剤、安定化剤等を添加することができる。

20

【0070】

図 3 及び図 4 において、画素電極 2 1 と共通電極 2 2 との間に、相対的に共通電極 2 2 の電位が高くなるように電圧が印加された場合には、正に帯電された黒色粒子 8 3 はクーロン力によってマイクロカプセル 8 0 内で画素電極 2 1 側に引き寄せられると共に、負に帯電された白色粒子 8 2 はクーロン力によってマイクロカプセル 8 0 内で共通電極 2 2 側に引き寄せられる。この結果、マイクロカプセル 8 0 内の表示面側（即ち、共通電極 2 2 側）に白色粒子 8 2 が集まることで、表示部 3 の表示面にこの白色粒子 8 2 の色（即ち、白色）を表示することができる。逆に、画素電極 2 1 と共通電極 2 2 との間に、相対的に画素電極 2 1 の電位が高くなるように電圧が印加された場合には、負に帯電された白色粒子 8 2 がクーロン力によって画素電極 2 1 側に引き寄せられると共に、正に帯電された黒色粒子 8 3 はクーロン力によって共通電極 2 2 側に引き寄せられる。この結果、マイクロカプセル 8 0 の表示面側に黒色粒子 8 3 が集まることで、表示部 3 の表示面にこの黒色粒子 8 3 の色（即ち、黒色）を表示することができる。

30

【0071】

更に、画素電極 2 1 及び共通電極 2 2 間における白色粒子 8 2 及び黒色粒子 8 3 の分布状態によって、白色と黒色との中間階調である、ライトグレー、グレー、ダークグレー等の灰色を表示することができる。また、白色粒子 8 2、黒色粒子 8 3 に用いる顔料を、例えば赤色、緑色、青色等の顔料に代えることによって、赤色、緑色、青色等のカラー表示を行うことができる。

40

【0072】

以下では、本実施形態の電気泳動表示装置の駆動方法について説明する。

【0073】

先ず、通常の、即ち後述するペン入力等の外部入力以外における、本実施形態の駆動方法による表示動作について、主に図 1 及び図 2 を参照して説明する。

【0074】

図 1 及び図 2 において、通常の表示動作では、各画素 2 0 に対して画像信号の書き込みを行った後、画像信号に応じた表示を行う。

【0075】

50

まず、画像信号の書き込みの際には、走査線駆動回路60は、走査線Y1、Y2、...、Ymに順次に走査信号を供給すると共に、走査信号に基づいて一の走査線が選択される期間において、データ線駆動回路70はデータ線X1、X2、...、Xnに画像信号を供給する。

【0076】

これにより、各画素20では、走査信号に応じて画素スイッチング用トランジスタ24から画像信号がメモリ回路25の入力端子N1に入力される。

【0077】

この際、電源回路210は、画像信号の電位レベル（例えば5Vのハイレベル、又は例えば0Vのローレベル）に応じた、ハイレベル（例えば5V）の高電位電源電位VEP及びローレベルの低電位電源電位Vss（例えば0V）を供給する。高電位電源電位VEP及び低電位電源電位Vssは夫々、オン状態とされたスイッチ91s及び92sを介して高電位電源線91及び低電位電源線92に供給される。一方で、このように画像信号の書き込みを行う期間では、電源回路210及び共通電位供給回路220は夫々、共通電位Vcom、第1の電位S1及び第2の電位S2の各々の供給を行わず、スイッチ93s、94s及び95sはオフ状態となっている。よって、共通電位線93、第1の制御線94及び第2の制御線95はハイインピーダンス状態にある。

10

【0078】

続いて、各画素20で、上述した画像信号の書き込みとは分離された工程として、画像信号に応じた表示を行う。

20

【0079】

この際、電源回路210は、高電位電源電位VEPを例えば5Vから15Vに昇圧させたハイレベルで供給する（つまり、画像信号のメモリ回路25への書き込み時における高電位電源電位VEPを例えば5Vから15Vに昇圧させる）と共に、ローレベルの低電位電源電位Vss（例えば0V）を供給する。また、電源回路210は、第1の電位S1をハイレベル（例えば15V）として供給し、第2の電位S2をローレベル（例えば0V）として供給する。この場合、第1の電位S1が供給される期間において第2の電位S2は供給されず、第2の電位S2が供給される期間において第1の電位S1は供給されない。

【0080】

更に、電源回路210は、好ましくは共通電位Vcomをローレベル（例えば0V）及びハイレベル（例えば15V）のいずれかに周期的に変動させて供給する。これにより、所謂コモン振り駆動が行われる。

30

【0081】

このように供給された高電位電源電位VEP、低電位電源電位Vss、第1の電位S1、第2の電位S2及び共通電位Vcomは、スイッチ91s、92s、93s、94s及び95sを介して図2に示す各種の配線91、92、93、94及び95に供給される。但し、第1の電位S1が供給される期間においては、第1の制御線94がスイッチ94sを介して電源回路210に電氣的に接続され、第2の制御線95は対応するスイッチ95sがオフ状態とされるため、ハイインピーダンス状態にある。一方で、第2の電位S2が供給される期間においては、第2の制御線95がスイッチ95sを介して電源回路210に電氣的に接続され、第1の制御線94は対応するスイッチ94sがオフ状態とされるため、ハイインピーダンス状態にある。

40

【0082】

表示部3において、各画素20では、メモリ回路25にはローレベル或いはハイレベルの画像信号が保持された状態にある。よって、各画素20では、メモリ回路25からの出力（高電位電源電位VEP及び低電位電源電位Vss）に応じて、スイッチ回路110の第1のトランスマッションゲート111及び第2のトランスマッションゲート112の一方がオン状態にある。

【0083】

具体的には、ローレベルの画像信号が入力された画素20では、第1のトランスマッシ

50

オンゲート 111 のみがオン状態にあり、画素電極 21 は第 1 の制御線 94 に電氣的に接続されている。また、ハイレベルの画像信号が入力された画素 20 では、第 2 のトランスミッションゲート 112 のみがオン状態にあり、画素電極 21 は第 2 の制御線 95 に電氣的に接続されている。

【0084】

よって、ローレベルの画像信号が入力された画素 20 では、第 1 の制御線 94 から第 1 の電位 S1 (ハイレベル、例えば 15V) が画素電極 21 に供給され、共通電位線 93 から供給される共通電位 Vcom がローレベル (例えば 0V) のときに生じる共通電極 22 との間の電位差に基づいて、黒色表示が行われる。一方で、ハイレベルの画像信号が入力された画素 20 では、第 2 の制御線 95 から第 2 の電位 S2 (ローレベル、例えば 0V) が画素電極 21 に供給され、共通電位線 93 から供給される共通電位 Vcom がハイレベル (例えば 15V) のときに生じる共通電極 22 との間の電位差に基づいて、白色表示が行われる。

10

【0085】

これにより、図 1 における表示部 3 では全画素 20 で一括して第 1 の電位 S1 又は第 2 の電位 S2 に基づいて画像表示が行われる。また、上述したように各画素 20 に画像信号を書き込んだ後に、電源回路 210 は高電位電源電位 VEP を例えば 15V に昇圧させて、高電位電源電位 VEP 及び低電位電源電位 Vss の電位差に基づく、メモリ回路 25 の電源電圧を昇圧させた状態で、且つ画素電極 21 及び共通電極 22 の電位差を例えば 15V として表示を行う。従って、メモリ回路 25 を画素電極 21 及び共通電極 22 間を所定の電位差とするために要する電圧で常時駆動する場合と比較して、より低消費電力で表示動作を行うことができる。

20

【0086】

次に、電気泳動表示装置 1 にペンタブレットやタッチセンサを搭載して、ペン入力等の外部入力を行う際の電気泳動表示装置の駆動方法について、図 5 を参照して説明する。

【0087】

図 5 は、外部入力を行う際の各種信号の波形を概略的に示すタイミングチャートである。

【0088】

図 1 において、電気泳動表示装置 1 では、上述したような一連の表示動作によるシーケンスに基づいて所定の画像を表示部 3 において表示させる。尚、この際、表示部 3 において表示された画像において、既に行われた外部入力に応じた内容が併せて表示される場合もある。

30

【0089】

図 5 において、このように所定の画像表示がなされ、外部入力を待機している状態で、電源回路 210 からの各種の電位 VEP、Vss 等の供給は好ましくは停止され、図 2 に示す各種配線 91、92 等はハイインピーダンス状態 (Hi-Z) にある。また、外部入力の際には共通電位供給回路 220 は、好ましくは共通電位 Vcom を所定の電位、例えばローレベル (グラウンドレベル (GND)、0V) として供給する。

【0090】

ペンタブレット等によりペン入力等の外部入力となされると、各入力毎にコントローラ 10 は制御信号 (図 5 中、制御信号 (1)、制御信号 (2)、制御信号 (3)) を生成し、制御信号に基づいて、走査線駆動回路 60、データ線駆動回路 70、電源回路 210 及び共通電位供給回路 220 が駆動されることにより、以下のように各入力に応じた内容が表示部 3 において表示される。

40

【0091】

この際、コントローラ 10 からの制御信号に基づいて、各画素 20 では画像信号の書き込み及び画像信号に応じた表示を同時並行的に行う。具体的には、図 5 において、外部入力の待機状態に入った後、1 回目の外部入力に応じてコントローラ 10 から制御信号 (1) が出力される。図 5 において、制御信号 (1) に応じて、電源回路 210 は、ハイレベ

50

ル（例えば5V）の高電位電源電位 V_{EP} 及びローレベルの低電位電源電位 V_{SS} （例えば0V）を供給すると共に、第1の電位 S_1 をハイレベル（例えば5V）として供給し、第2の電位 S_2 をローレベル（例えばGND、0V）として供給する。或いは、電源回路210は、後述するように黒色表示による部分的な表示変更を行うために、第2の電位 S_2 を供給せず、第2の制御線95をハイインピーダンス状態（Hi-Z）に維持するようにしてもよい。

【0092】

図5に示すように、高電位電源電位 V_{EP} （及び低電位電源電位 V_{SS} ）、第1の電位 S_1 及び第2の電位 S_2 は、制御信号（1）の出力後は、同時並行的に電源回路210から供給される。従って、このように供給された高電位電源電位 V_{EP} （及び低電位電源電位 V_{SS} ）、第1の電位 S_1 、第2の電位 S_2 及び共通電位 V_{COM} は、スイッチ91s、92s、93s、94s及び95sを介して図2に示す各種の配線91、92、93、94及び95に同時並行的に供給されることとなる。

10

【0093】

また、制御信号（1）に応じて、走査線駆動回路60及びデータ線駆動回路70が駆動され、図2における画素20では、メモリ回路25に画像信号が書き込まれる。

【0094】

ここに図5に示すように各種の電位を供給した場合、既に説明したように画像信号に基づいて、第1の電位 S_1 （例えば5V）が画素電極21に供給された場合、共通電極22の共通電位 V_{COM} （例えば0V）との電位差に基づき、画素20において黒色表示が可能であるが、第2の電位 S_2 （例えば0V）が画素電極21に供給された場合、共通電極22の共通電位 V_{COM} （例えば0V）との電位差は生じない。即ち本実施形態では外部入力に応じて黒色表示による表示変更のみが可能となっており、好ましくは制御信号（1）に応じて走査線駆動回路60及びデータ線駆動回路70が駆動され、表示部3において外部入力に応じて表示内容に変更を要する箇所画素20に対してのみローレベルの画像信号を供給する。

20

【0095】

この場合、ローレベルの画像信号が入力された画素20では、画像信号に基づくメモリ回路25からの出力に応じて、スイッチ回路110の第1のトランスマッションゲート111がオン状態となり、画素電極21は第1の制御線94に電氣的に接続される。

30

【0096】

メモリ回路25に画像信号が書き込まれるのと同時並行的に、上述したように第1の制御線94及び第2の制御線95には第1の電位 S_1 及び第2の電位 S_2 が供給されている。従って、メモリ回路25に画像信号が書き込まれるのと同時並行的に、ローレベルの画像信号が入力された画素20では、第1の制御線94から第1の電位 S_1 （ハイレベル、例えば5V）が画素電極21に供給され、共通電極22との間の電位差に基づいて、黒色表示が行われる。

【0097】

図5において、2回目の外部入力以降の、コントローラ10から出力される制御信号（2）、（3）についても、各々に応じて、制御信号（1）と同様の表示動作が行われて、各入力に応じた内容について表示部3において必要箇所のみ黒色表示による表示変更が行われる。

40

【0098】

よって、本実施形態では、外部入力の際に画像信号の書き込みから表示に至るまでに要する時間的な長さを、既に説明したように画像信号の書き込みとは分離された工程として表示を行う場合と比較して短くすることができ、俊敏に外部入力に応じた内容を表示部3に表示することが可能となる。従って、外部入力に同期して入力内容に応じた応答表示を行うことができる。

【0099】

ここに、上述したように外部入力に応じて必要箇所のみ変更を行う場合は、表示部3の

50

全体を入力内容に応じて表示切替を行う場合と比較して、より俊敏に応答表示を行うことが可能となる。

【0100】

また、図5を参照して説明したように、外部入力の際には、通常の表示動作と異なり、高電位電源電位VEPは例えば5Vに維持され、メモリ回路25の電源電圧は昇圧されない。従って、画素20において画像信号の書き込みと同時並行的に表示を低消費電力で行うことが可能となる。

【0101】

尚、このように昇圧を行わない場合は、図5を参照して説明したように画素電極21及び共通電極22の電位差は例えば5Vとなっている。このように、画素電極21及び共通電極22の電位差が小さくなると(通常の表示動作では例えば15V)、図4を参照して説明したような白色粒子82及び黒色粒子83の移動が円滑に行われず、コントラストの低下等を招き、表示品位が劣化するおそれがある。しかしながら、上述したような必要箇所のみを変更する場合には、表示部3に表示された画像全体の表示品位の劣化を防止することが可能である。

10

【0102】

或いは、このような表示品位の劣化を防止するために、データ線駆動回路70、走査線駆動回路60等の駆動電圧を調整し、高電位電源電位VEP及び第1の電位S1を夫々例えば15Vに維持して、外部入力に応じた表示を行うようにしてもよい。

【0103】

以上では、図5を参照して外部入力に応じて黒色表示により部分的な表示変更を行う場合について説明したが、白色表示により部分的な表示変更が行われるようにしてもよい。この場合、例えば制御信号に応じて、共通電位供給回路220からは第2の電位S2(例えばGND、0V)と電位差が生じるように、共通電位Vcom(例えば5V)が供給される。

20

【0104】

次に、上述した電気泳動表示装置を適用した電子機器について、図6及び図7を参照して説明する。以下では、上述した電気泳動表示装置を電子ペーパー及び電子ノートに適用した場合を例にとる。

【0105】

図6は、電子ペーパー1400の構成を示す斜視図である。

30

【0106】

図6に示すように、電子ペーパー1400は、上述した実施形態に係る電気泳動表示装置を表示部1401として備えている。電子ペーパー1400は可撓性を有し、従来の紙と同様の質感及び柔軟性を有する書き換え可能なシートからなる本体1402を備えて構成されている。

【0107】

図7は、電子ノート1500の構成を示す斜視図である。

【0108】

図7に示すように、電子ノート1500は、図6で示した電子ペーパー1400が複数枚束ねられ、カバー1501に挟まれているものである。カバー1501は、例えば外部の装置から送られる表示データを入力するための表示データ入力手段(図示せず)を備える。これにより、その表示データに応じて、電子ペーパーが束ねられた状態のまま、表示内容の変更や更新を行うことができる。

40

【0109】

上述した電子ペーパー1400及び電子ノート1500は、上述した実施形態に係る電気泳動表示装置を備えるので、消費電力が小さく、高品質な画像表示を行うことが可能である。

【0110】

尚、これらの他に、腕時計、携帯電話、携帯用オーディオ機器などの電子機器の表示部

50

に、上述した本実施形態に係る電気泳動表示装置を適用することができる。

【0111】

本発明は、上述した実施形態に限られるものではなく、特許請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う電気泳動表示装置及びその駆動方法、及び該電気泳動表示装置を備えてなる電子機器もまた本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【0112】

【図1】本実施形態に係る電気泳動表示装置の全体構成を示すブロック図である。

【図2】画素の電氣的な構成を示す等価回路図である。

10

【図3】本実施形態に係る電気泳動表示装置の表示部の部分断面図である。

【図4】マイクロカプセルの構成を示す模式図である。

【図5】外部入力を行う際の各種信号の波形を概略的に示すタイミングチャートである。

【図6】電気泳動表示装置を適用した電子機器の一例たる電子ペーパーの構成を示す斜視図である。

【図7】電気泳動表示装置を適用した電子機器の一例たる電子ノートの構成を示す斜視図である。

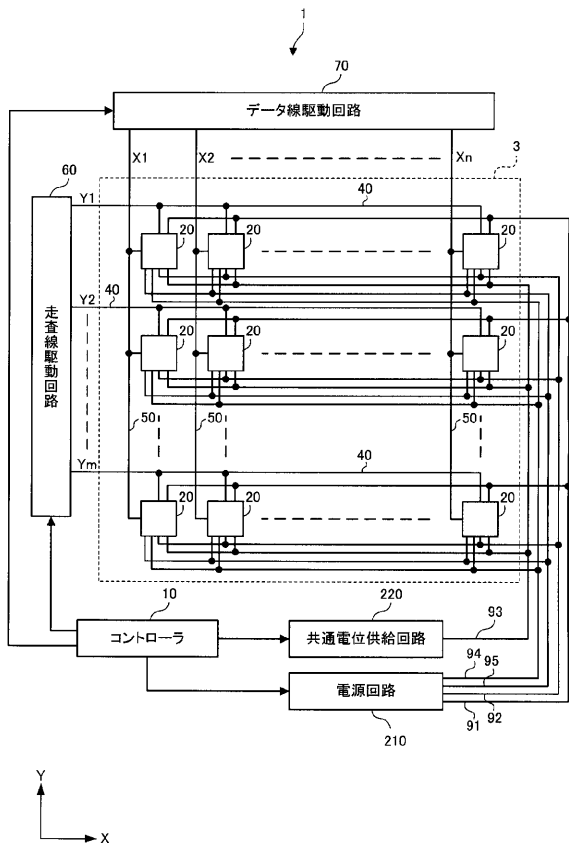
【符号の説明】

【0113】

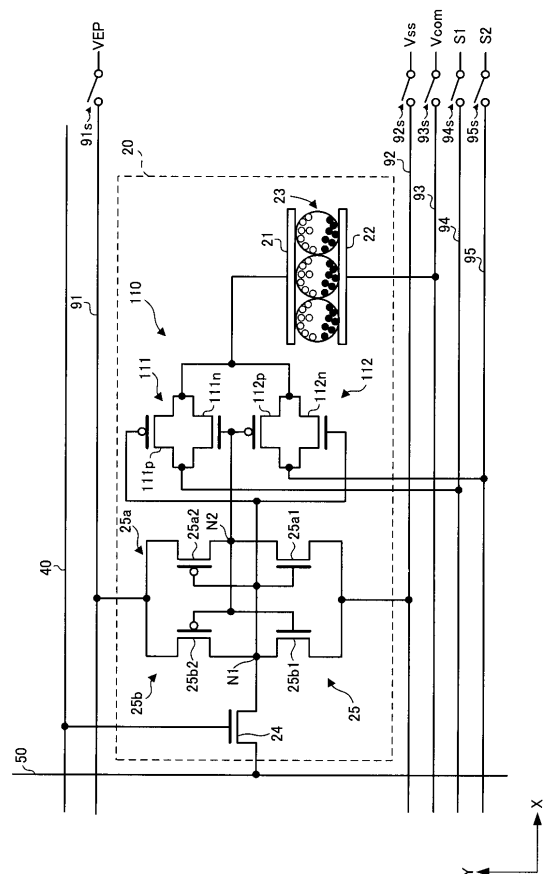
1 ... 電気泳動表示装置、3 ... 表示部、20 ... 画素、21 ... 画素電極、22 ... 共通電極、23 ... 電気泳動素子、24 ... 画素スイッチング用トランジスタ、25 ... メモリ回路、28 ... 素子基板、29 ... 対向基板、80 ... マイクロカプセル、82 ... 白色粒子、83 ... 黒色粒子、110 ... スイッチ回路

20

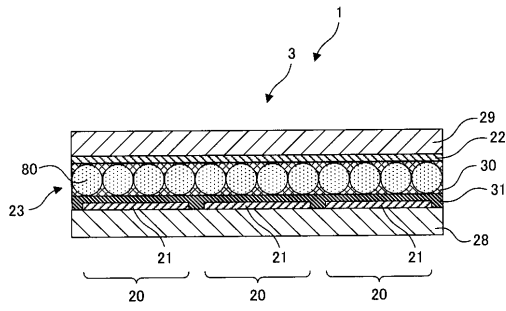
【図1】



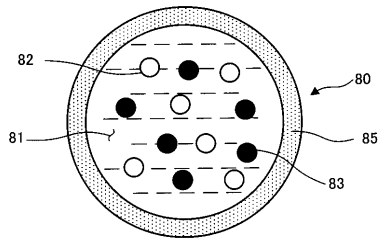
【図2】



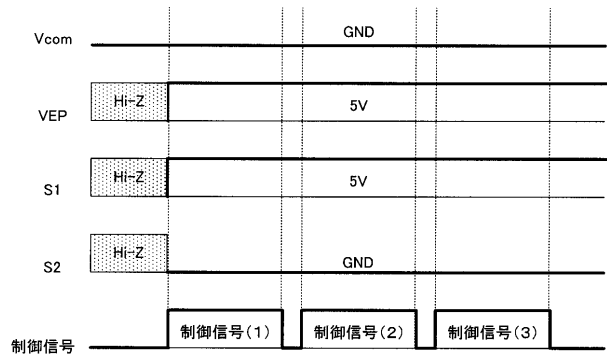
【 図 3 】



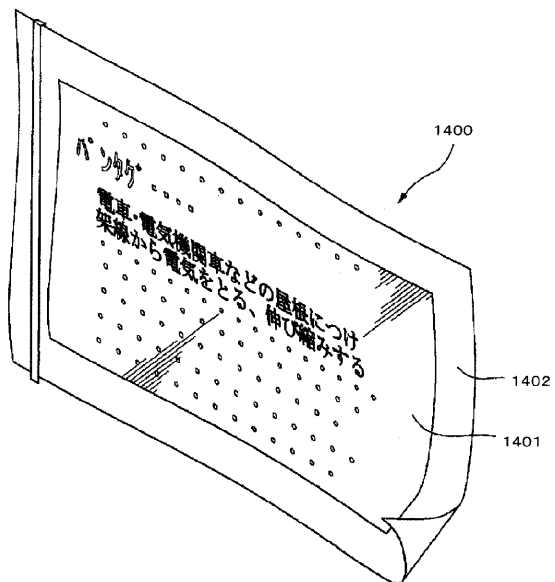
【 図 4 】



【 図 5 】



【 図 6 】



【 図 7 】

