

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 92128279

※ 申請日期： 92-10-13

※IPC 分類： G06F 7/52

壹、發明名稱：(中文/英文)

具有捨入及偏移之單一指令複數資料整數乘法高階運算

SIMD INTEGER MULTIPLY HIGH WITH ROUND AND SHIFT

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商英特爾公司

INTEL CORPORATION

代表人：(中文/英文)

大衛 賽門

DAVID SIMON

住居所或營業所地址：(中文/英文)

美國加州聖塔卡拉瓦市米遜大學路2200號

2200 MISSION COLLEGE BLVD., SANTA CLARA, CA 95052, U. S. A.

國 籍：(中文/英文)

美國 U.S.A.

參、發明人：(共 1 人)

姓 名：(中文/英文)

亞羅 艾玻依

YARON ELBOIM

住居所地址：(中文/英文)

以色列哈夫市斯莫倫斯其路30號

30 SMOLENSKIN STREET, HAIFA 34366, ISRAEL

國 籍：(中文/英文)

以色列 ISRAEL

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家（地區）申請專利：

1.美國；2003年06月30日；10/610,833

2.

3.

4.

5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1.美國；2003年06月30日；10/610,833

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本揭示內容係關於處理裝置及相關的軟體，以及執行該等數學運算之軟體程序的領域。

【先前技術】

電腦系統在我們的社會中已日益普遍。電腦的處理能力在廣大的職業應用領域中已經增加了工作者的效率及生產力。因為購買及擁有一部電腦之成本持續地降低，有更多的消費者能夠運用到更新及更快的機器所帶來的好處。再者，許多人可享受到使用筆記型電腦所帶來的方便性。行動電腦允許使用者來簡易地傳送其資料，並在他們離開辦公室或旅行當中可以一同工作。此情景對於行銷人員、企業主管，甚至學生都相當熟悉。

因為處理器科技的進步，亦產生了更新的軟體碼來在具有這些處理器之機器上來運作。使用者通常會期待並要求他們的電腦具有較高的效能，而不論是使用何種軟體。一種狀況會來自於實際上在該處理器內所在執行之指令及運算的種類而定。某些類型的運算基於運算的複雜性及/或所需要電路的類型而需要更多的時間來完成。這會提供了一個機會來最佳化在該處理器中某些複雜運算的執行方式。

媒體上的應用驅動著微處理器的發展已超過十年。事實上，近年來更多的運算升級皆係由媒體應用所驅動。這些升級主要是發生在消費者市場，雖然在增加了娛樂性的教育及通訊應用之企業市場內亦可看到顯著的進步。然而，

其它的媒體應用亦將需要甚至更高的運算需求。因此，明日的個人運算經驗將會在聲光效果上更加地豐富，以及更便於使用，更重要地是，運算將與通訊整合。

因此，影像的顯示，以及音頻及視訊資料的播放，其共同稱之為內容，對於目前的運算元件而言皆已經成為更加普遍的應用。濾波及捲積運算是對於內容資料上所執行的一些最常見的操作，例如影像音頻及視訊資料。這些操作皆需要大量的運算，但提供了高度的資料平行度，故可透過使用不同的資料儲存元件之有效率的實施來進行，例如像是單一指令複數資料(SIMD)暫存器。類似地，視訊編碼或轉碼為這些類型的指令中最需要大量處理之應用目標。一些目前的架構亦需要一些不必要的資料型態改變，其可最小化指令的輸送量，並顯著地增加算術運算時排序資料所需要的時脈循環數目。

【發明內容】

本發明係揭示一種用於執行一具有捨入及偏移運算之封包乘法高階運算的方法、裝置及程式構件。該方法的一具體實施例包含接收具有第一組L資料元素的第一運算元。接收具有第二組L資料元素的第二運算元。L個配對的資料元素即相乘在一起來產生一組L乘積。每個該L配對皆包括來自該第一組L資料元素的第一資料元素，及來自該第二組L資料元素的一相對應資料元素位置的一第二資料元素。每個該等L乘積皆被捨入，以產生L個捨入的數值。每個該等L捨入的數值皆被調整來產生L個調整值。每個該等L個

調整值皆被截去來儲存在一目的地中。每個截去的數值即要儲存在對應於其資料元素配對之一資料元素位置中。

【實施方式】

以下的說明表示一具有捨入及偏移之單一指令複數資料SIMD整數乘法的具體實施例。在以下的說明中提出許多特定細節，例如處理器種類、微型架構條件、事件、致能機制及類似者，藉以提供對於本發明之更為完整的瞭解。不過，熟習此項技藝者應清楚知道，在不運用這些特定細節的情況下，仍然可實施本發明。此外，一些熟知的結構、電路及類似者，並未詳細顯示，以避免對於本發明造成不必要的混淆。

雖然以下的具體實施例係參考一處理器來說明，其它的具體實施例可應用到其它種類的積體電路及邏輯元件。本發明之相同技術及原理可輕易地應用到其它類型的電路或半導體元件，其好處在於較高的管線流量，並可改善效能。本發明之原理可應用到執行資料操縱之任何的處理器或機器。但是，本發明並不限於執行256位元、128位元、64位元、32位元或16位元之資料運算的處理器或機器，且可應用到需要操縱封包資料之任何處理器及機器。

基於解說的目的，在以下的說明中列出許多的特定細節，以便充分了解本發明。但是本技藝之專業人士將可瞭解到這些特定細節並非實施本發明所必要。在其它狀況中，並未提出已熟知的電子結構及電路之特定細節，藉以不必要地混淆本發明。此外，以下的說明可提供範例，而

附圖為了說明的目的而顯示出不同的範例。但是，這些範例不應視為限制的意義，因為其僅是要提供本發明的範例，而非提供本發明之可能的實施之完整的表列。

雖然以下的範例中說明了執行單元及邏輯電路之內文中指令處理及分佈，本發明的其它具體實施例可藉由軟體來完成。在一具體實施例中，本發明之方法係實施在一機器可執行的指令中。該等指令可用來使得一利用該指令程式化的通用或特定用途處理器來執行本發明之步驟。本發明可提供做為一電腦程式產品，其可包含一機器可讀取媒體，其上儲存有指令，用於程式化一電腦(或其它電子裝置)來根據本發明執行一處理。另外，本發明之步驟可由包含執行該步驟之硬體邏輯之特定硬體組件來執行，或藉由程式化的電腦組件及客戶硬體組件的任何組合。這種軟體可儲存在該系統中的一記憶體內。類似地，該程式碼可藉由一網路來傳佈，或藉由其它電腦可讀取的媒體。

因此，一機器可讀取媒體可以任何一機器(如電腦)可讀取之形式中儲存或傳送資訊之機制，包括但其並不限於軟碟片、光碟片、光碟、唯讀光碟(CD-ROM)，及磁性光碟片、唯讀記憶體(ROM)、隨機存取記憶體(RAM)、可抹除可程式唯讀記憶體(EPROM)、電性可抹除可程式唯讀記憶體(EEPROM)、磁性或光學卡、快閃記憶體、在網際網路上的傳送、電性、光學、聲學或其它形式的傳遞信號(如載波、紅外線信號、數位信號等)、或類似者。因此，該電腦可讀取媒體包括任何類型的媒體/機器可讀取媒體，其可適合於

以一由機器(如電腦)可讀取形式中儲存或傳送電子指令或資訊。再者，本發明亦可下載成為一電腦程式產品。因此，該程式可由一遠端電腦(如一伺服器)傳送到一請求的電腦(如一客戶端)。該程式的傳送可藉由在一載波中實施的電子、光學、聲學或其它類型的資料信號、或透過一通信鏈結之其它的傳遞媒體(如一數據機、網路連接或類似者)。

一種設計可經由許多階段，由產生或模擬到製造。代表一設計的資料可代表數種方式的設計。首先，如同在模擬中非常有用者，該硬體可使用一硬體描述語言或其它功能性描述語言來代表。此外，具有邏輯及/或電晶體閘極之電路等級模型可在某些設計過程的階段中來產生。再者，在某個階段中，大多數的設計可達到在該硬體模型中代表不同元件之實體配置的一資料等級。在使用到習用的半導體製造技術的例子中，代表一硬體模型之資料可為指定用來生產該積體電路之光罩的不同光罩層上不同特徵的存在或不存在之資料。在該設計的任何表示中，該資料可用任何機器可讀取媒體的形式來儲存。經過調變的光波或電波、或另外產生來傳送這種資訊，一記憶體、或一磁性或光學儲存元件、例如一碟片，其可為該機器可讀取媒體。任何這些媒體可「承載」或「代表」該設計或軟體資訊。當正在傳送代表或承載該碼或設計之電子載波時，對於要進行複製的程度、緩衝化、或電信號的重新傳輸，即構成一新的複製。因此，一通信提供者或一網路提供者可進行實施了本發明技術之物體(一載波)的複製。

在現今的處理器中，使用許多不同執行單元來處理及執行不同的碼及指令。並非所有的指令皆同等地產生，其中一些會較快完成，而其它則可佔用大量的時脈循環。該等指令的流量愈快，該處理器之整體效能愈佳。因此，其較佳地是儘可能愈快地執行愈多的指令。但是，有一些具有更高複雜性的指令需要更多的執行時間及處理器資源。舉例而言，有浮點指令、載入/儲存操作、資料移動等。

因為有愈來愈多的電腦系統用於網際網路及多媒體應用，隨著時間會引入額外的處理器支援。舉例而言，單一指令複數資料(SIMD)整數/浮點指令及串流單一指令複數資料擴充(SSE)為可以降低執行一特殊程式工作所需要的整體指令數目之指令。這些指令可藉由平行地對多個資料元素運算來加速軟體效能。因此，可對於廣大範圍的應用來達到效能增益，其中包括視訊、語音及影像/相片處理。在微處理器及類似類型的邏輯電路中實施的單一指令複數資料指令通常牽涉到一些問題。另外，單一指令複數資料SIMD運算的複雜度通常會需要額外的電路，藉以正確地處理及操縱該資料。

2的補數記號為代表有正負號數字的有效方法。一個2的補數之最高有效位元即代表其符號，剩餘的位元則代表其大小。固定小數點算數提供了一種更為有效的方法來檢視及處理資料，用於在一整數處理器上進行數字的乘法。分數算數對於數位信號處理非常有用，因為不會存在有乘法時關於溢位的問題。因此兩個16位元數值的乘法對於其結

果將需要32位元，由相乘兩個16位元固定小數點數目所產生的32位元之結果可在引入最小誤差之下被捨入到16位元。一16位元整數的轉換為將該整數的小數部份除以32768。在一具體實施例中，由相乘兩個小數值所得到乘積之前16個位元為有興趣的值。但是，該結果的前16個位元為所預期之分數結果的一半。該乘積必須向左偏移一個位元來將其結果乘2，以得到正確的最終乘積。分數算術亦需要被乘數及乘數的符號延伸。

該向左偏移需求亦可解釋成在該小數邊緣中小數點位置的對準。舉例而言，當相乘小數時，即忽略其小數點，並放回到末端。該小數點之放置使得在該被乘數與乘數中的小數點右方之數目字的總數等於在其乘積中該小數點右方之數目字的數目。類似地，對於分數算術之「小數點」或二進制點位置係在最左方(符號)位元之右側，且在此點的右方有15個位元(數字)。但在該來源中共有30個位元在該二進制點的右方。若沒有偏移，在該32位元結果中該二進制點的右方將有31個位元。向左偏移該數目一個位元可有效地降低該二進制點右方之位元數到30。

本發明的具體實施例可以增加定點整數單一指令複數資料指令之精度。該定點整數格式係類似於該定點分數算術之格式。一具體實施例中的'1.15'定點格式代表具有一有符號數值之數目，其中該二進制點係位在位元14及15之間。對於此處及以下的討論中，位元位置係由最右方位元開始計算，並由0開始。因此，最右方或最低有效位元係位在位

置0。在其左方下一個位元位置即為位元1。此1.N數目格式通常用於數位信號處理(DSP)的應用中。根據本發明之具體實施例亦可由捨入及偏移技巧來提供額外的精度及準確度。由本發明之具體實施例可得到的額外準確度可以使得許多應用可以更為容易地撰寫程式。再者，額外的準確度亦可使得演算法更快地執行，例如離散餘弦轉換(DCT)，其常用於視訊及影像處理應用中。

具有捨入及偏移指令的單一指令複數資料SIMD整數乘法高階運算之範例應用係在高品質視訊中。一16位元乘16位元(16×16)相乘得到一16位元結果在視訊編碼器及解碼器中非常常見，特別是對於反向DCT、DCT、量化Q及反向Q區塊。該等乘法運算之準確度對於整體視訊品質有顯著的影響。藉由本發明之具體實施例可達到的效能改良及加速不僅對於反向DCT計算而已，其具有更大的影響。Q及反向Q計算基本上為16位元的乘法，係除了DCT計算之外，亦可受惠。

運算產業通常熟悉IEEE標準規格1180-1990，用於實施 8×8 反向離散餘弦轉換。雖然該標準出現在視訊會議的規格中，部份該規格亦被應用到編碼器及解碼器，例如具有多種MPGE格式。但是，一面符合IEEE 1180-1190標準，又要維持高效能，是非常困難的。該交換通常是無相容性而有快速效能，或相容但效能較慢。再者，編碼成標準為一疊代程序，其非常耗時，特別是如果選擇了錯誤的演算法。

要符合IEEE 1180-1990標準可藉由具有捨入及偏移指令

之乘法高階運算的具體實施例來達到。根據本發明之具有捨入及偏移指令的單一指令複數資料整數乘法高階運算之具體實施例可提供相同的1.15資料格式，用於在一封包資料環境中輸入及輸出資料元素。因此，撰寫程式碼，及利用包含此具有捨入及偏移之乘法高階運算之具體實施例的指令集來寫程式，皆可大為降低其複雜性。類似地，亦有可能達到對於高階語言及相關的編譯器之存取性。開發者能夠享受到由於定點單一指令複數資料指令的一具體實施例所產生的語言及編譯器之好處，例如該具有捨入及偏移之整數乘法高階運算，以改進視訊、音頻及影像編碼器/解碼器(codecs)之效能及準確性。具有單一指令複數資料能力的指令集可有助於避免冗長的演算法，其係在先前處理類似資料的重覆運算時所需要。

在一種實施中每個對於該乘法之輸入係在1.15格式。對於一具有捨入及偏移指令的乘法高階運算之具體實施例，具有一2.16格式之暫時性18位元數值會由相乘該兩個16位元資料值所產生的一32位元乘積之上部位元產生。此暫時性18位元數值即為了準確性來加入'1'到該最低有效位元來捨入。藉此，一些技術可簡單地截去所有低階的位元，在本發明的此具體實施例中之捨入運算對於反向DCT編碼可允許該誤差落在某個可接受的臨界值之內。此捨入的值即為了額外的準確度而向左偏移一個位元，並得到所想要的輸出格式。一具有1.15格式之16位元數值係由該捨入及偏移的18位元數值中提取出來。對於該暫時性數值所執行的

捨入及偏移可提供兩位元的額外準確性，而優於僅採用一32位元乘積的高階16位元。舉例而言，在此處所述的通用具體實施例中，該捨入提供了比由該32位元乘積提取高階16位元要有一個位元的額外準確度。類似地，該偏移提供了比一捨入乘積要有另一個額外位元的準確度。雖然這些討論以16位元長整數值的方式來說明具體實施例，亦可應用其它的具體實施例到任何位元長度的資料值。

圖1A所示為包含有執行單元之一處理器所形成的一範例性電腦系統之方塊圖，其用於執行根據本發明一具體實施例之具有捨入及偏移運算之乘法高階運算的指令。根據本發明，系統100包括一組件，例如一處理器102，以使用包含邏輯之執行單元來執行用於處理資料的演算法，例如在此處所述的具體實施例中。系統100代表基於PENTIUM®III、PENTIUM® 4、Xeon™、Itanium®、及/或XScale™微處理器之處理系統，其係由美國加州 Santa Clara的Intel公司生產，雖然亦可使用其它的系統(包括具有其它微處理器之PC、工程用工作站、視訊盒及類似者)。在一具體實施例中，樣本系統100可執行由美國華盛頓州 Redmond之微軟公司所提供的WINDOW®作業系統，雖然亦可使用其它的作業系統(例如UNIX及Linux)、嵌入式軟體、及/或圖形使用者介面。即，本發明不限定於硬體電路及軟體的任何特定組合。

本發明其它的具體實施例可用於其它元件中，例如手持型元件及嵌入式應用。手持型元件的一些範例包括行動電話、網際網路協定元件、數位相機、個人數位助理(PDA)、

及手持型PC。嵌入式應用可包括一微控制器、數位信號處理器(DSP)、晶片上系統、網路電腦(NetPC)、視訊盒、網路集線器、廣域網路(WAN)交換器、或任何其它可執行未對準的記憶體複製或移動之系統。再者，已經實施一些架構來使得指令可同時運作在一些資料上，以改進多媒體應用之效率。因為資料的類型及數量增加，電腦及其處理器必須增進以更有效率的方法來操縱資料。

圖1A所示為以一處理器102所形成之電腦系統100之方塊圖，其中包括一或多個執行單元108來處理一演算法，其根據本發明包含具有捨入及偏移指令的一單一指令複數資料整數乘法高階運算。舉例而言，該處理器102可接收對於封包資料運算元來請求單一指令複數資料乘法高階運算之程式指令。本具體實施例係以一單一處理器桌上型或伺服器系統的內容來描述，但其它的具體實施例可包含在一多處理器系統中。系統100為一集線器架構的範例。該電腦系統100包括一處理器102來處理資料信號。該處理器102可為一複雜指令集電腦(CISC)微處理器、一精簡指令集運算(RISC)微處理器、一非常長指令字集(VLIW)微處理器、一實施指令集組合的處理器、或任何其它處理器元件，例如一數位信號處理器。該處理器102係耦合於一處理器匯流排110，其可在系統100中該處理器102及其它組件中之間傳送資料信號。該系統100之元件可執行其習用的功能。

在一具體實施例中，該處理器102包括第一階(L1)內部快取記憶體104。根據其架構，該處理器102可具有一單一內部

快取或多階的內部快取。另外，在其它具體實施例中，快取記憶體可存在於該處理器102之外。其它的具體實施例亦可根據該實施例來同時包含內部及外部快取之組合。暫存器檔案106可儲存不同類型的資料在許多暫存器中，包括整數暫存器、浮點暫存器、狀態暫存器、及指令指標暫存器。

執行單元108，其包括邏輯來執行整數及浮點運算，亦存在於處理器102中。該處理器102亦包括一微碼(ucode) ROM，其儲存了某些巨集指令的微碼。對於此具體實施例，執行單元108包括邏輯來處理一封包指令集109。在一具體實施例中，該封包指令集109包括一封包乘法高階指令，用於得到其結果乘積的相關高階部份。藉由在一通用處理器102之指令集中包含該封包指令集109，以及相關的電路來執行該等指令，由許多多媒體應用所使用的該等操作可使用在一通用處理器102中的封包資料來執行。因此，許多多媒體應用可藉由使用對於封包資料執行運算之一處理器的資料匯流排之整個寬度而可加速，並更有效率地執行。此可消除了跨過該處理器的資料匯流排來傳送較小單位的資料之需求，以一次執行一個資料元素之一或多個運算。一執行單元108之其它的具體實施例亦可用於微控制器、嵌入式處理器、繪圖元件、DSP、及其它類型的邏輯電路。系統100包括一記憶體120。記憶體120可為一動態隨機存取記憶體(DRAM)元件、一靜態隨機存取記憶體(SRAM)元件、快閃記憶體元件、或其它記憶體元件。記憶體120可儲存由處理器102所執行之資料信號所代表的指令及/或資料。

一系統邏輯晶片116係耦合於該處理器匯流排110及記憶體120。在所示的具體實施例中之系統邏輯晶片116為一記憶體控制器集線器(MCH)。該處理器102可透過一處理器匯流排110通信到該MCH 116。該MCH 116提供了一高頻寬記憶體路徑118到記憶體120，用於指令及資料儲存，以及用於儲存繪圖命令、資料及紋理。該MCH 116係導引資料信號在該處理器102、記憶體120及系統100中的其它組件之間，並在處理器匯流排110、記憶體120及系統I/O 122之間橋接該等資料信號。在一些具體實施例中，該系統邏輯晶片116可提供一繪圖埠來耦合到一繪圖控制器112。該MCH 116係透過一記憶體介面118耦合到記憶體120。該繪圖卡112係透過一加速繪圖埠(AGP)互連114來耦合到該MCH 116。

系統100使用一專屬的集線器介面匯流排122來耦合該MCH 116到該I/O控制器集線器(ICH) 130。該 ICH 130透過一局部I/O匯流排來提供直接連接到一些I/O元件。該局部I/O匯流排為一高速I/O匯流排，用於連接周邊設備到該記憶體120、晶片集、及處理器102。一些範例為音頻控制器、韌體集線器(快閃BISO)128，無線收發器126、資料儲存124、包含使用者輸入及鍵盤介面之繼承I/O控制器、一串列擴充埠(如通用串列匯流排USB)、及一網路控制器134。該資料儲存元件124可包含一硬碟機、一軟碟機、一CD-ROM元件、一快閃記憶體元件、或其它大量儲存元件。

對於一系統之另一具體實施例，用於執行一封包乘法高

階運算指令的一執行單元可用於一晶片上系統。在一晶片上系統的具體實施例包含一處理器及一記憶體。這樣的系統之記憶體為一快閃記憶體。該快閃記憶體可位在與該處理器及其它系統組件相同的晶粒上。此外，像是一記憶體控制器或繪圖控制器之其它邏輯區塊亦可位在一晶片上系統中。

圖1B所示為一資料處理系統140之另一具體實施例，其實施了本發明之原理。一資料處理系統140之具體實施例為一Intel® Personal Internet Client Architecture (Intel® PCA) 應用處理器，其具有Intel XScale™ 技術(請參考全球資訊網站developer.intel.com)。本技藝專業人士可立即瞭解到，此處所述的具體實施例可用於其它的處理系統，而並不背離本發明的範圍。

電腦系統140包含一處理器核心159，其能夠執行包括具有捨入及偏移之乘法高階運算之單一指令複數資料運算。在一具體實施例中，處理核心159代表任何類型架構之處理單元，其包括但不限於CISC、RISC或VLIW類型的架構。處理器核心159亦可適用於以一或多種製程技術來製造，並由具有充份細節之機器可讀取媒體上所代表，其亦適合來實施該製造作業。

處理器核心159包含一執行單元142、一組暫存器檔案145、及一解碼器144。處理核心159亦包括額外的電路(未示出)，為瞭解本發明其並非所必須。執行單元142係用於執行由處理核心159所接收到的指令。除了辨識典型的處理

器指令之外，執行單元142可辨識在封包指令集143中的指令，用以執行封包資料格式之操作。封包指令集143包括用於支援資料乘法運算之指令，亦可包括其它封包指令。執行單元142係由一內部匯流排耦合到暫存器檔案145。暫存器檔案145代表在處理核心159上的一儲存區域，用於儲存資訊、其中包括資料。如前所述，其可瞭解到用於儲存該封包資料的儲存區域並非關鍵。執行單元142耦合於解碼器144。解碼器144係用於解碼由處理核心159所接收的指令成為控制信號及/或微碼進入點。執行單元142回應於這些控制信號及/或微碼進入點即執行適當的操作。

處理核心159係耦合於匯流排141，用於與多種其它系統元件來通信，其中可包括但不限於例如同步動態隨機存取記憶體(SDRAM)控制146、靜態隨機存取記憶體(SRAM)控制147、叢發快閃記憶體介面148、個人電腦記憶卡國際協會(PCMCIA)/小型快閃(CF)卡控制149、液晶顯示器(LCD)控制150、直接記憶體存取(DMA)控制器151、及其它的匯流排主控介面152。在一具體實施例中，資料處理系統140亦可包含一I/O橋接器154，用於透過一I/O匯流排153與多種I/O元件通訊。這些I/O元件可包含但不限於例如通用非同步接收器/發射器(UART)155、通用串列匯流排(USB)156、藍芽無線UART 157、及I/O擴充介面158。

資料處理系統140之一具體實施例提供了行動式、網路及/或無線通信，及能夠執行包括具有捨入及偏移運算之乘法高階運算之單一指令複數資料運算的處理核心159。處理核

心159可利用不同的音頻、視訊、影像及通信演算法來程式化，其中包括離散轉換，像是Walsh-Hadamard轉換、快速傅立葉轉換(FFT)、離散餘弦轉換(DCT)、及其個別的反向轉換；壓縮及解壓縮技術，例如色彩空間轉換、視訊編碼動畫估計、或視訊解碼動畫補償；及調變/解調變(MODEM)功能，例如脈衝編碼調變(PCM)。

圖1C所示為能夠執行單一指令複數資料乘法高階運算之資料處理系統的又另一個具體實施例。根據另一具體實施例，資料處理系統160可包括一主處理器166，一單一指令複數資料共同處理器161、一快取記憶體167、及一輸入/輸出系統168。該輸入/輸出系統168可視需要來耦合到一無線介面169。單一指令複數資料共同處理器161能夠執行包括一乘法高階運算之單一指令複數資料操作。處理核心170可適用於以一或多種製程技術來製造，並可由具有充份細節之機器可讀取媒體上所代表，其可適用於製造包括處理核心170之全部或部份的資料處理系統160。

在一具體實施例中，單一指令複數資料共同處理器161包含一執行單元162及一組暫存器檔案164。主處理器165之一具體實施例包含一解碼器165，用於辨識包含由執行單元162所執行的一單一指令複數資料封包乘法高階運算指令之指令集163中的指令。對於其它的具體實施例，單一指令複數資料共同處理器161亦包含至少解碼器165B的一部份來解碼指令集163中的指令。處理核心170亦包括額外的電路(未示出)，其並非瞭解本發明所必須。

在作業上，該主處理器166執行一串流的資料處理指令，其可控制一泛用類型的資料處理操作，其中包括與該快取記憶體167及該輸入/輸出系統168之互動。嵌入在該串流的資料處理指令中的為單一指令複數資料共同處理器指令。該主處理器166之解碼器165可辨識這些單一指令複數資料共同處理器指令成為一種必須由一附加的單一指令複數資料共同處理器161所執行的類型。因此，該主處理器166在該共同處理器匯流排166上發出這些單一指令複數資料共同處理器指令(或代表單一指令複數資料共同處理器指令之控制信號)，其中係由任何附加的單一指令複數資料共同處理器來接收。在此例中，該單一指令複數資料共同處理器161將接受及執行任何要給它而所接收到的單一指令複數資料共同處理器指令。

資料可透過無線介面169接收，用於被該單一指令複數資料共同處理器指令來處理。舉例而言，語音通訊可用數位信號的形式來接收，其可由該單一指令複數資料共同處理器指令來處理，以產生代表該語音通信之數位音頻樣本。對於另一個例子，壓縮的音頻及/或視訊可用一數位位元流的形式來接收，其可由該單一指令複數資料共同處理器指令處理，以再生數位音頻樣本及/或動畫視訊訊框。對於處理核心170的一具體實施例，主處理器166及一單一指令複數資料共同處理器161係整合到一單一處理核心170，其包含一執行單元162、一組暫存器檔案164、及一解碼器165，用於辨識包含單一指令複數資料乘法高階運算指令之指令

集163之指令。

圖2所示為一處理器200之具體實施例的微型架構的方塊圖，其中包括邏輯電路來執行根據本發明之具有捨入及偏移運算之封包整數乘法高階運算。該具有捨入及偏移之單一指令複數資料整數乘法高階運算亦可稱之為具有捨入及偏移運算之封包乘法高階運算(PMUL高階運算)、或一乘法高階運算。對於一封包乘法高階運算指令的具體實施例，該指令可使得資料由該兩個記憶體區塊來取得、將來自該兩個個別區塊的相對應資料元素相乘在一起，以得到一組臨時的結果，捨入及偏移那些臨時的結果，並截去那些中間的結果成為所要的該個別乘積之高階部份來儲存在一所得到的資料區塊。該單一指令複數資料乘法高階運算指令亦可稱之為PMULHRSW或具有捨入及偏移之封包乘法高階運算。在此具體實施例中，該具有捨入及偏移指令的整數乘法亦可被實施來運算在具有位元組、字元、雙字元、四字元等大小之資料元素。雖然此處的討論係以整數數值及整數運算來說明，本發明的其它具體實施例可用於浮點值及浮點運算。

該中順序前端201為該處理器200之一部份，其取回要執行的巨集指令，並將其預備好來在稍後用於處理器管線中。此具體實施例的前端201包括數個單元。該指令預取器226由記憶體取出巨集指令，並將它們送入到一指令解碼器228，其依此將它們解碼成原件，其稱之為微指令或微運算(亦稱之為micro op或uops)，其為該機器知道如何來執行。

該追蹤快取230採用解碼的uops，並將其組合成該uop佇列234中程式化排序的序列或追蹤來執行。當該追蹤快取230遇到一複雜巨集指令時，微碼ROM 232提供完成該操作所需要的uops。

許多微指令係轉換到一單一micro-op，而其它則需要數個微ops來完成該完整的運算。對於一具體實施例，如果需要超過四個micro-ops來完成一巨集指令，該解碼器228存取該微碼ROM 232來進行該巨集指令。在一具體實施例中，一具有捨入及偏移指令的乘法高階運算可解碼成少數的micro ops，用於在該指令解碼器228中處理。在另一具體實施例中，如果完成該運算需要一些micro-ops時，一具有捨入及偏移演算法之封包乘法高階運算之指令可儲存在該微碼ROM 232內。該追蹤快取230稱之為一進入點可程式邏輯陣列(PLA)，以決定一正確的微指令指標來讀取在該微碼ROM 232中用於具有捨入及偏移演算法之整數乘法的微碼序列。在該微碼ROM 232完成目前巨集指令之序列化的micro-ops之後，該機器的前端201恢復由該追蹤快取230來取出micro-ops。

一些單一指令複數資料及其它多媒體類型之指令即視為複雜指令。大多數浮點相關的指令亦為複雜指令。因此，當該指令解碼器228遇到一複雜巨集指令時，該微碼ROM 232即在該適當的位置處存取，以取得該巨集指令之微碼序列。執行該巨集指令所需要的不同micro-ops係通信到該失序的執行引擎203，用於在該適當的整數及浮點執行單元處

執行。

該失序的執行引擎203為該微指令預備要執行的地方。該失序執行邏輯具有一些緩衝器來平滑化，並重新排序微指令之流程，用以在當其往下通過該管線並取得執行的時程表時來最佳化效能。該配置器邏輯配置了該機器緩衝器及資源，其為每個uop所需要來執行。該暫存器重命名邏輯重新命名邏輯暫存器到一暫存器檔案中的登入項。該配置器亦在該兩個uop佇列中的一個來配置每個uop之登入項，一個給記憶體操作而一個給非記憶體操作，其係位在該等指令排程器之前：記憶體排程器、快速排程器202、慢速/通用浮點排程器204、及簡單浮點排程器206。該uop排程器202、204、206基於它們的相關輸入暫存器運算元資源之就緒性及該等uops需要來完成其運算之執行資源的可用性來決定何時可預備好執行。此具體實施例的快速排程器202可對該主要時脈循環之每半個來排程，而其它的排程器僅可在每個主要處理器時脈循環來排程一次。該等排程器仲裁此發送埠來排程uops來執行。

暫存器檔案208、210，位在該等排程器202、204、206，及在該執行區塊211中該等執行單元212、214、216、218、220、222、224之間。有一獨立的暫存器檔案208、210來分別用於整數及浮點運算。此具體實施例的每個暫存器檔案208、210亦包括一旁通網路，其可旁通或轉送剛完成的結果，其尚未寫入到該暫存器檔案中到新的相關uops。該整數暫存器檔案208及該浮點暫存器檔案210亦能夠與其它來

傳送資料。一具體實施例的浮點暫存器檔案210具有128位元寬的登入項，因為浮點指令通長具有寬度在64到128位元之運算元。

該執行區塊211包含該等執行單元212、214、216、218、220、222、224，其中實際執行該等指令。此區段包括該等暫存器檔案208、210，其儲存了該等微指令需要來執行的該整數及浮點資料運算元數值。此具體實施例的處理器200包含一些執行單元：位址產生單元(AGU) 212、AGU 214、快速ALU 216、快速ALU 218、慢速ALU 220、浮點ALU 222、浮點移動單元224。對於此具體實施例，該等浮點執行區塊222、224執行了浮點、MMX、單一指令複數資料及SSE運算。此具體實施例的浮點ALU 222包括一64位元乘64位元之浮點除法器，以執行除法、平方根及餘數的micro-ops。對於本發明之具體實施例，任何牽涉到一浮點的動作係隨該浮點硬體發生。舉例而言，在整數格式與浮點格式之間的轉換牽涉到一浮點暫存器檔案。類似地，一浮點除法運算發生在一浮點除法器。

另一方面，非浮點目及整數類型係利用整數硬體資源來處理。該簡單、非常頻繁的ALU運算即進到該高速ALU執行單元216、218。此具體實施例的快速ALU 216、218可在半個時脈循環之有效遲滯中來執行快速的運算。對於一具體實施例，更為複雜的整數運算係進到該慢速ALU 220，因為該慢速ALU 220包括整數執行硬體來用於長遲滯類型的運算，例如一乘法、偏移、旗標邏輯及分支處理。記憶體

載入/儲存運算係由AGU 212、214執行。對於此具體實施例，該等整數ALU 216、218、220係描述在執行64位元資料運算元之整數運算的說明中。在其它的具體實施例中，該等ALU 216、218、220可被實施來支援多種資料位元，包括16、32、128、256等。類似地，該浮點單元222、224可被實施來支援具有多種寬度之位元的一個範圍之運算元。對於一具體實施例，該等浮點單元222、224可配合單一指令複數資料及多媒體指令來對128位元寬的封包資料運算元來操作。

該術語「暫存器」在此處係用於代表在板上處理器儲存位置，其係做為巨集指令的一部份來辨識運算元。換言之，此處所稱的暫存器為那些可由處理器外部(由一程式設計師的角度)看得到的暫存器。但是，一具體實施例之暫存器必須不限於代表一特定類型之電路。而是，一具體實施例之暫存器僅需要能夠儲存及提供資料，並執行此處所述的功能。此處所述的暫存器可使用任何數目之不同技術來由一處理器內的電路來實施，例如專用的實體暫存器，使用暫存器重新命名之動態配置的實體暫存器，專屬及動態配置的實體暫存器等之組合。在一具體實施例中，整數暫存器儲存32位元的整數資料。一具體實施例的暫存器檔案亦包含8個封包資料的多媒體單一指令複數資料暫存器。如下述，該等暫存器可瞭解為設計來保存封包資料之資料暫存器，例如64位元寬的MMXTM暫存器(在某些狀況下亦稱之為'mm'暫存器)，其係在來自Intel公司之MMX技術所致能的微

處理器中。這些MMX暫存器，其同時可在整數及浮點形式，即可在具有單一指令複數資料及SSE指令之封包資料元素來操作。類似地，關於SSE2技術之128位元寬的XMM暫存器亦可用來保存這些封包資料運算元。在此具體實施例中，於儲存封包資料及整數資料時，該等暫存器不需要再該兩種資料類型之間有所差異。

圖3A所示為根據本發明一具體實施例之128位元寬的多媒體暫存器中多種有符號及無符號之封包資料型態代表。此範例的封包類型格式包含16個封包位元組資料元素。一位元組在此處定義成8位元的資料。無符號的封包位元組代表302表示在一單一指令複數資料暫存器中一無符號封包位元組之儲存。每個位元組資料元素之資訊係對於位元組0儲存在位元7到位元0、對於位元組1為位元15到位元8、對於位元組2為位元23到位元16，而最後對於位元組15為位元128到位元120。因此，所有可用的位元皆用於該暫存器中。此儲存配置亦可增加該處理器之儲存效率。當存取16個資料元素時，一個操作現在係以一平行方式來對16個資料元素來進行。

有符號的封包位元組代表304說明了一有符號的封包位元組之儲存。請注意每個位元組資料元素之第八個位元為該符號代表。此範例的封包字元格式包含8個封包字元資料元件。每個封包字元包含16個位元的資訊。無符號的封包字元表示306說明了字元7到字元9如何被儲存在一單一指令複數資料暫存器中。有符號的封包字元表示308係類似於

該無符號之封包字元在暫存器之代表306。請注意，每個字元資料元素之第16個位元為該符號代表。此處之封包雙字元格式為128位元長，並包含四個封包雙字元資料元素。每個封包雙字元元素包含32個位元的資訊。無符號的封包雙字元代表310顯示出如何儲存雙字元資料元素。有符號的封包雙字元代表312係類似於無符號封包雙字元在暫存器中的代表310。請注意該必須的符號位元為每個雙字元資料元素之32個位元。一封包四字元為128位元長，並包含兩個封包四字元資料元素。

概言之，一資料元素為與其它相同長度之資料元素除存在一單一暫存器或記憶體位置之個別片段的資料。在關於SSE2技術之封包資料序列中，儲存在XMM暫存器中的資料元素數目為128位元除以一个個別資料元素之位元長度。類似地，在關於MMX及SSE技術之封包資料序列中，儲存在一MMX暫存器中的資料元素數目為64位元除以一个個別資料元素之位元長度。雖然圖3A中所示的資料類型為128位元長，本發明的具體實施例可用64位元寬或其它尺寸的運算元來操作。

圖3B所示為另一個暫存器中的資料儲存格式。每個封包資料可包括超過一個獨立的資料元素。其顯示有三個封包資料格式：半封包341、單一封包342、及雙封包343。半封包341、單一封包342、及雙封包343之具體實施例包含定點的資料元素。對於另一具體實施例，一或多個半封包341、單一封包342、及雙封包343可包含浮點資料元素。半封包

341之另一具體實施例為包含8個16位元資料元素之128位元長。單一封包342之一具體實施例為128位元長，並包含四個32位元的資料元素。雙封包343之一具體實施例為128位元長，並包含兩個64位元的資料元素。其可瞭解到這種封包資料格式另可延伸為其它的暫存器長度，例如延長到96位元、160位元、192位元、224位元、256位元或更長。

圖3C所示為為一運算編碼(opcode)格式360之具體實施例，其具有32或更多的位元，而對應於在該「IA-32 Intel 架構軟體開發者手冊第2冊：指令集參考」中所描述的一種opcode格式的類型，其可由美國加州Santa Clara的Intel公司取得，其網站(www)為inter.com/design/litcentr。該種具有捨入及偏移運算之乘法高階運算可由一或多個欄位361及362來編碼。每個指令最多有兩個運算元位置可以辨識，其中包括最多到兩個來源運算元識別項364及365。對於該具有捨入及偏移指令的乘法之具體實施例，目的地運算元識別項366係相同於來源運算元識別項364。對於另一具體實施例，目的地運算元識別項366係相同於來源運算元識別項365。因此，對於一具有捨入及偏移運算之具體實施例，由來源運算元識別項364及365所辨識的該來源運算元之一係由該具有捨入及偏移運算之乘法高階運算之結果所覆寫。對於該具有捨入及偏移指令的乘法之一具體實施例，運算元識別項364及365可用來辨識64位元的來源及目的地運算元。

圖3D所示為具有40或更多位元之另一個其它運算編碼

(opcode)格式370。Opcode格式370對應於opcode格式360，並包含一選擇性的字首位元組378。該種具有捨入及偏移運算之乘法高階運算可由一或多個欄位378、371及372所編碼。每個指令最多到兩個運算元位置可由來源運算元識別項374及375、及由字首位元組378所識別。對於該具有捨入及偏移之封包乘法高階運算指令之具體實施例，字首位元組378可用來辨識128位元來源及目的地運算元。對於該乘法高階運算指令之一具體實施例，目的地運算元識別項376係相同於來源運算元識別項374。對於另一具體實施例，目的地運算元識別項376係相同於來源運算元識別項375。因此，對於該乘法高階運算之具體實施例，由來源運算元識別項374及375所辨識的該來源運算元之一係由該乘法高階運算之結果所覆寫。Opcode格式360及370允許暫存器來暫存、記憶體來暫存、由記憶體暫存、由暫存器暫存、由中間所暫存、部份由MOD欄位363及373所指定的暫存器到記憶體定址、及藉由選擇性的比例-索引-基礎及位移位元組。

接下來參考圖3E，在一些其它的具體實施例中，64位元單一指令複數資料(SIMD)算術運算可透過一共同處理器資料處理(CDP)指令來執行。運算編碼(opcode)格式380描述一個這樣具有CDP opcode欄位382及389之CDP指令。對於具有捨入及偏移運算之乘法高階運算之其它具體實施例，該種CDP指令可由一或多個欄位383、384、387及388來編碼。每個指令最多可辨識到三個運算元位置，其包括最多兩個來源運算元識別項385及390，及一個目的地運算元識別項

386。該共同處理器之一具體實施例可對於8、16、32及64位元數值來運算。對於一具體實施例，該乘法高階運算係對於定點或整數資料元素來執行。在一些具體實施例中，一具有捨入及偏移指令之乘法可使用條件欄位381來有條件地執行。對於一些乘法高階運算指令，來源資料大小可由欄位383編碼。在一具有捨入及偏移指令的一些具體實施例中，零(Z)、負(N)、進位(C)及溢位(V)偵測可在單一指令複數資料欄位上完成。對於一些指令，該種飽和可由欄位384編碼。

在本發明的一種實施中，該具有捨入及偏移之封包乘法高階運算可利用此指令格式來表示：PMULHRW mm1、mm2/m64。在此例中PMULHRW為具有捨入及偏移字元的封包乘法高階運算之助記符號。結合該指定為兩個來源運算元，在此例中為mm1及mm2/m64。此實施的指令係以包含複數個較小的資料元素之64位元封包資料區塊來運算。在此例中，個別的資料元素為16位元或長度為一字元。因此形成總共64位元之四個字元可存在於每個封包資料區塊中。該第一來源運算元'mm1'為此處的一64位元的MMX暫存器。在此具體實施例中，來自該第一來源運算元之64位元MMX暫存器'mm1'亦為該具有捨入及偏移運算之封包乘法高階運算的結果之目的地。在此範例中的第二來源運算元'mm2/m64'可為一64位元MMX暫存器(mm2)或一64位元記憶體位置(m64)。

雖然以下所述的範例通常為64位元長的運算元及資料區

塊的型式，該具有捨入及偏移指令的乘法高階運算之具體實施例亦可利用128位元封包資料區塊來運算。舉例而言，一具體實施例的指令格式可表示成：PMULHRSW xmm1、xmm2/m128。在此例中的兩個來源運算元每個長度為128位元，其每個包含8個16位元字元大小的資料元素。此處該第一來源運算元'xmm1'為一128位元的XMM暫存器。對於此具體實施例，該XMM暫存器'xmm1'亦為其結果之目的地。在此範例中的第二來源運算元'xmm2/m128'可為一128位元XMM暫存器(xmm2)或一128位元記憶體位置(m128)。對於此具體實施例，該等資料區塊的每一個可包含一有符號的整數值。在一種實施中，該有符號的整數值為一2的補數格式。

再者，雖然此處所述的具體實施例係牽涉到封包資料區塊，其包含字元大小的資料元素，其亦可考慮到多種其它大小的資料元素。舉例而言，一具有捨入及偏移指令的封包乘法高階運算之其它具體實施例可對於長度為一位元組、雙字元或四字元之個別的資料元素來運算。類似地，該等資料運算元之長度並不限於64及128。舉例而言，該指令的其它具體實施例可對於256位元長的封包運算元來運算。

圖4B所示為一個邏輯之具體實施例的方塊圖，用以根據本發明對於資料運算元來執行具有捨入及偏移運算之單一指令複數資料整數乘法高階運算。此具體實施例之具有捨入及偏移運算之乘法偏移高階運算的PMULHRSW指令(為了簡化亦為一乘法高階運算)，其係以兩段資訊開始：一第一資料運算元DATA A 410及一第二資料運算元DATA B

420。在一具體實施例中，該PMULHSW乘法高階運算指令係解碼成一個微運算。在另一具體實施例中，該指令可解碼成可變化數目之micro-ops，以對於該等資料運算元來執行該乘法高階運算。

對於這些討論，DATA A 410、DATA B 420、及RESULTANT 440通常稱之為運算元或資料區塊，但並沒有那麼多限制，且亦包括暫存器、暫存器檔案及記憶體位置。在一具體實施例中，DATA A 410及DATA B 420為64位元寬的MMX暫存器(在某些案例中稱之為'mm')。根據該特定的實施，該等資料運算元可為其它的寬度，例如128或256位元。該第一410及第二420運算元為資料區塊，其包括x資料區段，並當如果每個資料區段為一位元組(8位元)時，其每個具有總寬度為8x位元。因此，每個這些資料區段為' $x * 8$ '位元寬。所以如果x為8，每個運算元為8位元組或64位元寬。對於其它的具體實施例，一資料元素為一半字節(4位元)、字元(16位元)、雙字元(32位元)、四字元(64位元)等。在其它具體實施例中，x可為16、32、64等資料元素寬。

在此範例中的第一封包運算元410係包含四個資料元素：A3、A2、A1、及A0。該第二封包運算元420亦包含四個資料元素：B3、B2、B1、及B0。此處的資料元素為相同長度，且每個包含一單一字元(16位元)的資料。但是，本發明的其它具體實施例係以較長的128位元運算元來運算，其中該資料區段其每個係包含一單一位元組(8位元)，且該128位元寬的運算元可具有16位元組寬的資料區段。類似地，

如果每個資料區段為一雙字元(32位元)或一四字元(64位元)，該128位元運算元將分別具有四個雙字元寬或兩個四字元寬資料區段。因此，本發明之具體實施例並不限於特殊長度的資料運算元或資料區段，且對於每個實施來做適當的大小。

該等運算元410、420可存在於一暫存器、或一記憶體位置、或一暫存器檔案或一混合體。該等資料運算元410、420以及具有捨入及偏移指令之乘法高階運算係傳送到在該處理器中一執行單元之具有捨入及偏移運算邏輯430之乘法高階運算。在該PMULHRSW指令到達該執行單元時，該指令必須稍早已經在該處理器管線中進行解碼。因此，該乘法高階運算指令可為一微運算(uop)的形式或某個其它解碼的格式。對於此具體實施例，該兩個資料運算元410、420係在具有捨入及偏移運算邏輯430之乘法高階運算處接收。因為此範例係以64位元寬的運算元來工作，該臨時空間431需要來保持為128位元寬的一中間結果乘積。對於128位元寬的資料運算元，需要一256位元寬的臨時空間。

此具體實施例的邏輯430首先將在每個元素位置處相對應的資料值相乘在一起，以得到一乘積 $A \times B$ 。該四個位置之' $A \times B$ '之每個中間32位元值，其每個即截去剩下18位元。在此具體實施例中，該截去係將每個32位元數值向右偏移14位元來捨去那些位元。此可留下具有18位元的每個臨時值。在此具體實施例中加入一個'1'到該最小有效位元來達到捨入目的。每個捨入數值的最高有效位元右方的16位元

即輸入到該結果440中個別的資料元素位置。所以對於此範例中最左方的資料元素位置，該結果值係等於[16:1] of '((A3×B3)» 14) + 1'的[16:1]位元。該捨入結果的位元[16:1]之選擇可適當地調整該數值，如同在分數算術中。

本發明另一具體實施例可利用其它長度的運算元及資料區段來運算，例如128/256/512位元寬的運算元，及位元/位元組/字元/雙字元/四字元大小的資料區段，及8/16/32位元寬的偏移計數。因此，本發明之具體實施例並不限於特殊長度的資料運算元、資料區段或偏移計數，且對於每個實施來做適當的大小。

當執行時，一具體實施例之具有捨入及偏移指令的封包整數乘法高階運算即構成在該第一來源運算元及一第二來源運算元中該封包有符號整數字元之單一指令複數資料有符號的16位元乘16位元乘法，以產生一精確的32位元中間乘積。在一種實施中此中間乘積係首先截去到最高有效的18個位元。此18位元數值的選擇提供中間精度的18位元。捨入係藉由加入'1'到該18位元數值之最低有效位元來對此截去的數值來進行。換言之，該捨入包含加入'1'到該原始32位元中間乘積的位元14處的位元值。該最後得到的數值係由選擇該18位元值之最高有效位元正右方的16位元來得到。在此具體實施例中，每個得到的數值包括一單一符號位元。在此範例中每個得到的資料元素可具有定點整數格式'1.15'。藉由捨棄2.14格式，其中最上方2個位元為符號位元，利用該1.15格式可達到一額外位元的精度。此具體實

施例之具有捨入及偏移指令的乘法高階運算儲存了每個捨入的及偏移的中間32位元數值之選擇的16位元在該目的地運算元之適當的位置。

對於此具體實施例，對於此及其它資料元素位置之結果即封包在一起成為具有與該等來源資料運算元之相同大小的結果資料區塊。舉例而言，如果該來源封包資料運算元為64或128位元寬，該結果封包資料區塊亦分別為64或128位元寬。再者，一符號運算之來源資料運算元可來自於一暫存器或一記憶體位置。對於此具體實施例，該結果封包資料區塊對於該等來源資料運算元之一來覆寫在該單一指令複數資料暫存器中的資料。

圖4B所示為對於一選擇的資料元素位置之具有捨入及偏移運算之整數乘法高階運算的操作方塊圖。DATA ELEMENT A 450係來自一第一來源運算元。DATA ELEMENT B 452係來自一第二來源運算元。此具體實施例的具有捨入及偏移運算之乘法高階運算454藉由將該等資料元素相乘在一起來開始，以產生該乘積為一中間數值TEMP 456。對於兩個16位元寬的來源資料元素，該乘積為一32位元寬的中間數值。對於此具體實施例，該TEMP 456之最高有效的18位元係用於捨入及調整。藉由維護18位元，在該等計算中可達到額外的準確度及精度。該具有捨入及偏移運算之乘法高階運算454由捨入及調整該中間值456持續來得到一更新的中間值458。在本發明的此具體實施例中，該捨入係由加入'1'到該32位元之中間值TEMP 456

的位元14來進行。附帶地，該32位元值的位元14亦為該18位元寬之有興趣的部份之最低有效位元。偏移係對該32位元捨入的數值進行，以調整該中間值。一個一位元向左偏移係對該捨入值執行，以達到更新的中間值458。該更新的中間值458係被截去來達到RESULT 460。對於此範例，該有興趣的位元為該32位元之更新的中間值458之上方16位元，並儲存成RESULT 460。該下方16位元在該截去期間被去掉。

圖5所示為根據本發明用於執行具有捨入及偏移運算之乘法高階運算的電路500具體實施例之方塊圖。此具體實施例的電路500係位在一向量複雜整數單元內。此整數單元對於一128位元運算元實施來分離該PMULHRSW指令成為8個部份，其每個進行16位元乘16位元的乘法。對於一64位元運算元實施，即需要4個部份。在圖5中，SRC Y ELEMENT 502即傳送到該根為4區記錄區塊504。SRC Y ELEMENT 502係在區多工器508處接收。該區多工器產生一組9個部份乘積向量509。

在手動乘法期間，該處理係由採取一個運算元(A)之最低有效位元開始，並將其乘以另一個運算元(B)之數位位元。因此，對於需要相乘的A之每個位元即產生一系列的結果。這些列中每一個即已知的一部份乘積。舉例而言，

```

      1001 (9)
x   0110 (6)
-----
      0000
      1001
      1001
+   0000
-----
    0110110 (54)

```

因為其需要大量的硬體來處理大數目之乘法的所有部份乘積，在一具體實施例中實施一區記錄技術來簡化該計算。利用區記錄，會略微超過一半 $((N \text{位元} / 2) + 1)$ 之許多部份乘積係如同利用該手算方法所產生。舉例而言，除了上述之具有四個部份乘積，區記錄產生3個部份乘積。因此對於一 16×16 乘法器，有 $'16/2 + 1'$ 或9個部份乘積來加在一起。此方法在此處亦稱之為根為4之區記錄。每個16位元乘法陣列為一根為4之區編碼的陣列。該根為4之區編碼產生9個部份乘積，其係透過一進位總和加法器(CSA)樹狀結構及一加法器來降低。在一具體實施例中，該CSA樹的整體16位元陣列結構看起來如下：

```

      4      4      33      2      1      10      0 bit
      76543210987654321098765432109876543210
                                pp      rowI_p1
      1s=-----pp0000000000000000      I 8
      1s=-----pp0000000000000000      H 7
      1s=-----pp0000000000000000      G 6
      1s=-----pp0000000000000000      F 5
      1s=-----pp0000000000000000      E 4
      1s=-----pp0000000000000000      D 3
      1s=-----pp0000000000000000      C 2
      1s=-----pp0000000000000000      B 1
      sSS=-----pp0000000000000000      A 0

```

|-----|

本具體實施例即用來處理負的乘法。該'S'代表符號、而'P'係用來說明先前部份乘積之最低兩個位元。舉例而言，在部份乘積1中的"pp"為部份乘積0之最低兩個位元。在最上方之符號延伸的本質係要繞轉該符號位元。此係類似於

在2的補數中的位元倒反來在乘法之前使得負數成為正。類似地，該'P'位元的本質為提供該負到正轉換之2的補數倒反的+1。

位元[31:16]可視為該乘法之上方順序結果位元。但是利用具有捨入及偏移之乘法高階運算，該捨入及偏移係在該最後結果之前處理。在一具體實施例中，該捨入包含加入一'1'到該陣列中某處的位元位置14。但是，在該部份乘積樹中的位元14處沒有自由的位置來輕易地加入一'1'。在列8處，在位元13、位元12及位元11處有空出的位置。類似地，在列7之位元11處亦有一自由位置。加入'1'到所有四個這些位置，如以下之R位元所示，其將向上傳遞一'1'到位元位置14。利用此具體實施例之捨入技術，該CSA壓縮樹510看起來如下：

4	4	33	2	1	10	0	
765432109876543210987654321098765432109876543210							
				pp			rowI_pl
1s=	-----	ppRRR	000000000000				I 8
1s=	-----	ppR	000000000000				H 7
1s=	-----	pp	000000000000				G 6
1s=	-----	pp	00000000				F 5
1s=	-----	pp	000000				E 4
1s=	-----	pp	0000				D 3
1s=	-----	pp	00				C 2
1s=	-----	pp					B 1
sSS=	-----						A 0

|---pmulhrsw---|

本發明的具體實施例使用CSA來協助降低該部份乘積項次由9到2在該32位元加法器514之前。在一具體實施例中，該CSA壓縮樹降低該部份乘積數目先由9到6，再由6到4，最後由4到2(使用一4:2 CSA)。此技術迴避了需要9個32位元加法器。在此具體實施例中該CSA樹510之輸出為兩個降低的部份乘積項次。一個為最後CSA之加總項次，另一個為

一進位帶出項次。為了邏輯地將這兩項加在以起來得到完整的結果，該進位帶出項次必須向左偏移一個位元，以適當地匹配於該加總項次。舉例而言，該進位帶出項次的最低有效位元，位元0，即需要對準於該加總項次的位元1。

一32位元加法器514相加SUM 512及CARRY 511來產生FULL RESULT 515。在此具體實施例中SUM 512為SUM[31:0]。CARRY 511 為CARRY [30:0]向左偏移一個位元位置。此具體實施例之相關的位元為位元[30:15]。這16位元係由上述之乘法的乘積來偏移一個位元。對於此具體實施例之電路500，該偏移係以該結果多工器518及結果多工器解碼516來實施。因此一具有捨入及偏移運算之有符號的整數乘法高階運算之RESULTANT 520為該FULL RESULT 515之最高有效位元之正右方的16位元，或換言之FULL RESULT[30:16]。對於此具體實施例，來自每個該8陣列結構之結果，其對於每個配對的資料元素之一個係接合在以起來得到該最終的128位元結果。

圖6A所示為根據本發明第一具體實施例之一具有捨入及偏移指令之封包乘法高階運算的操作。該64位元寬的來源運算元DATA A 601包含四個資料元素602、603、604、605，其分別填入16進位數值 $479C_{16}$ 、 $1AF7_{16}$ 、 $C000_{16}$ 、及 0200_{16} 。類似地，64位元寬的來源運算元DATA B 611係包含四個資料元素612、613、614、615，其分別具有16進位數值 $D76E_{16}$ 、 $2BC5_{16}$ 、 $C0FF_{16}$ 、及 0220_{16} 。根據本發明一具體實施例的一具有捨入及調整指令的封包乘法高階運算，配合有DATA A

601 及 DATA B 611 做為來源運算元，其將產生一 RESULTANT 運算元 621。此具體實施例之具有捨入及調整運算 620 之封包乘法高階運算對於來源資料元素的每個相對應配對產生一結果。在此範例中，在 RESULTANT 621 中的四個資料元素具有 16 進位數值 $E94E_{16}$ 622、 0938_{16} 623、 $1F81_{16}$ 624、及 0009_{16} 625。

圖 6B 所示為進一步詳細說明圖 6A 之特定資料元素位置處的該封包乘法高階運算指令的操作。繼續探討圖 6A 之範例，來自左方的第二資料元素位置在現在進行詳細說明。DATA A 601 之第二個最左方資料元素 603 之數值為 $1AF7_{16}$ (或二進制 0001 1010 1111 0111)。DATA B 611 之第二個最左方資料元素 613 之數值為 $2BC5_{16}$ (或二進制 0010 1011 1100 0101)。在具有捨入及調整運算之封包乘法高階運算期間，該兩個數值係先相乘在一起來得到乘積 631 為 $049C\ 3D13_{16}$ ($0000\ 0100\ 1001\ 1100\ 0011\ 1101\ 0001\ 0011_2$)。此乘積 631 係處理為臨時中間值 TEMP 630 之第一版本。

該運算的捨入 633 部份係對乘積 631 來執行。在此具體實施例中，捨入 633 牽涉到加入一數值 '1' 到該乘積 631 之位元 14 632。該捨入 633 之結果 634 產生一較新版本的 TEMP 630。該捨入結果 634 之數值為 $049C\ 7D13_{16}$ ($0000\ 0100\ 1001\ 1100\ 0111\ 1101\ 0001\ 0011_2$)。該捨入的結果 634 亦被調整來得到在此具體實施例中所要的結果值。此處的調整 636 係執行為將在 TEMP 630 中捨入結果 634 向左偏移一個位元。因此位元 30 到 15 被偏移向上成為位元 31 到 16。TEMP 630 被截

去為16位元數值，其中該捨入及偏移結果的最高有效的16位元(高部份)即輸出成為RESULTANT 623。RESULTANT 623為來自封包RESULTANT 621中左方的第二資料元素位置。在此範例中，RESULTANT 623之數值為 0938_{16} ($0000\ 1001\ 0011\ 1000_2$)。

具有捨入調整(PMULHRSW)運算之此封包乘法高階運算在一對64位元運算元之第二資料元素位置之範例亦可顯示如下：

```

0x1AF7 x 0x2BC5 = 0x0938

temp = 0x1AF7 x 0x2BC5 = 0x049C3D13
                        = 0000 0100 1001 1100 0011 1101 0001 0011
      ROUND          + 0000 0000 0000 0000 0100 0000 0000 0000
                        -----
temp (rounded result) = 0000 0100 1001 1100 0111 1101 0001 0011
      SHIFT << 1 BIT
temp (shifted result) = 0000 1001 0011 1000 1111 1010 0010 0110
      TRUNCATE      ---- ---- ---- ----
                        RESULT = 0000 1001 0011 1000 = 0x0938
  
```

在上述範例中，一或兩個來源資料運算元可為在由MMX/SSE技術或具有SSE2技術之128位元資料暫存器所致能的一處理器中的64位元資料暫存器。根據該實施，這些暫存器可為64/128/256位元寬。類似地，該來源運算元之一或兩個可為除了一暫存器之外的記憶體位置。對於一具體實施例，該結果之目的地亦為一MMX或XMM資料暫存器。另外，該結果目的地可為與該等來源運算元之一相同的暫存器。舉例而言，在一種架構中，一具有捨入及偏移指令之乘法高階運算具有一第一來源運算元MM1及一第二來源運算元MM2。該結果之預先定義的目的地可為該第一來源

運算元之暫存器，在此例中為MM1。

圖7A所示為用於對於封包資料運算元執行具有捨入及偏移之整數乘法的方法之具體實施例的流程圖700，用以得到該乘積的高部份。L的長度值通常在此處用來代表該等運算元及資料區塊的寬度。根據特定的具體實施例，L可用來指定由資料區段、位元、位元組及字元等數目所代表的寬度。在方塊710中，一第一長度L資料運算元A係接收來用於執行一具有捨入及偏移運算之封包整數乘法高階運算。該PMULHRWS運算之第二長度L資料運算元B亦在方塊720處接收。在方塊730中，進行一指令來執行具有捨入及偏移之乘法高階運算。

此具體實施例之方塊730處具有捨入及偏移運算之乘法高階運算的細節現在將以對於每個資料元素位置所發生的結果來進一步說明。對於一具體實施例，對於所有封包結果資料元素位置之具有捨入及偏移運算之乘法高階運算皆平行地處理。在另一具體實施例中，該等資料元素的某部份可以一次處理。在方塊731中，一臨時值TEMP係藉由將來自運算元A之元素的值及來自運算元B之元素的值相乘在一起來計算。該臨時值係在方塊732中捨入。對於一具體實施例，該臨時值的高18位元可用於需要較佳精度的計算。在另一具體實施例中，可考慮不同數目的位元。在方塊732中的捨入之後，該臨時值係在方塊733中調整。對於此具體實施例，該調整牽涉到將該臨時值向左偏移一個位元。在方塊734中，該臨時值係被截去到所需要的位元數，

並儲存到該目的地做為該結果值。每個不同配對之來源資料元素的結果值係配置到對應於在該結果的封包運算元中該等來源元素配對之適當的資料元素位置中。

圖 7B 所示為用於取得一具有捨入及偏移之封包整數乘法運算所得到之乘積的相關高階部份之另一個具體實施例的流程圖。在此具體實施例中，該等運算元係包含字元大小的資料元素。但是，其它具體實施例可利用其它大小的資料元素來實施，其中包含例如位元組、雙字元、或四字元。在方塊 742 中，係解碼一具有捨入及調整運算之乘法高階運算之控制信號。在方塊 744 中進行檢查來決定在該運算中所牽涉到的運算元大小。對於一具體實施例，該運算元大小可利用方塊 742 之控制信號解碼來決定。舉例而言，該運算元大小可利用該指令來編碼。如果該運算元大小決定其長度為 64 位元，在方塊 746 中存取一暫存器檔案及/或記憶體來根據該資料所在的位置得到該運算元資料。在一具體實施例中，該等來源運算元可位在單一指令複數資料暫存器及/或一記憶體位置。利用此具體實施例之 64 位元長的運算元，每個運算元具有四個字元大小的資料元素。

這四個配對之來源資料元素的計算係在方塊 747 中顯示為四組公式。第一個公式 ' $TEMP[31:0] = A[15:0] \times B[15:0]$ ' 代表該等來源資料元素的乘法。該第二公式 ' $INT(TEMP[31:0] \gg 14) + 1$ ' 代表該中間結果的捨入。對於此具體實施例，該臨時值係向右偏移 14 位元，且加入一個 '1' 到該最低有效位元。換言之，該中間值的上方 18 位元被維持，

且加入一個'1'到原先的位元14。該第三公式' $DEST[15:0] = TEMP[16:1]$ '代表該捨入的結果之偏移及截去。每個結果資料元素在此例中亦為一字元，因此需要16位元。請注意，剩餘18位元的位元[16:1]在此處被提取。在此具體實施例中，該向左偏移係藉由採取該最低有效位元的正左方之16位元來得到。該截去的數值係儲存成該資料元素位置的結果值。這三個公式係在方塊747中對於每個資料元素位置來重覆，除了該等位元範圍填入有該位置的正確數值(即[15:0]、[31:15]、[47:32]、及[63:48])。

如果該運算元大小係在方塊744中決定其長度為128位元，在方塊748中存取一暫存器檔案及/或記憶體，以得到所需要的運算元資料。對於此具體實施例之128位元長的運算元，每個運算元具有8個字元大小的資料元素。因為利用該64位元路徑，每個該8對的來源資料元素係在方塊749中利用上述的該組三個公式來處理。在此128位元路徑中的8組公式之正確位元範圍為[15:0]、[31:15]、[47:32]、[63:48]、[79:64]、[95:80]、[111:96]、及[127:112]。雖然在此範例中描述兩個路徑牽涉到64及128位元運算元，不同的其它長度之運算元亦可利用其它具體實施例來運算。該等8個16位元數值，每個資料元素位置一個，其係儲存在DEST中其個別的資料元素位置中。

因此，此處已揭示一具有捨入及偏移之單一指令複數資料整數乘法之技術。雖然附圖中已描述及呈現特定示範性具體實施例，但是應明白，這些具體實施例僅僅是解說本

發明而不是限制本發明，並且應明白，由於熟知技藝人士可進行各種其他修改，所以本發明不限定於呈現及描述的組態及排列。在像是這種技術的領域中，其成長快速，且很難預見進一步的發展，所揭示的具體實施例可對其配置及細節來立即地修正，並由最新的技術發展來實施，但其皆不背離本揭示內容及所附申請專利範圍之原理。

【圖式簡單說明】

本發明將藉由實例及附圖來進行解說，但本發明並未限定在這些實例及附圖內，其中相似的參照代表相似的元件。

圖1A所示為利用一處理器所形成之電腦系統的方塊圖，根據本發明一具體實施例，其中包括一執行單元來對於具有捨入及偏移之整數乘法高階運算執行一單一指令複數資料指令；

圖1B所示為根據本發明另一具體實施例之另一個範例性電腦系統之方塊圖；

圖1C所示為根據本發明另一具體實施例之又另一個範例性電腦系統之方塊圖；

圖2所示為一處理器之具體實施例的微型架構的方塊圖，其中包括邏輯電路來執行根據本發明之具有捨入及偏移運算之封包整數乘法高階運算；

圖3A所示為根據本發明一具體實施例之多媒體暫存器中多種封包資料型態代表；

圖3B所示為根據另一具體實施例之封包資料型態；

圖3C所示為具有捨入及偏移指令的一封包乘法高階運算

之一運算編碼(opcode)格式的具體實施例；

圖3D所示為另一個替代的運算編碼格式；

圖3E所示為又另一個替代的運算編碼格式；

圖4A所示為一個邏輯之具體實施例的方塊圖，用以根據本發明對於資料運算元來執行具有捨入及偏移運算之單一指令複數資料整數乘法高階運算；

圖4B所示為對於一選擇的資料元素位置之具有捨入及偏移運算之整數乘法高階運算的操作方塊圖；

圖5所示為根據本發明用於執行具有捨入及偏移運算之乘法高階運算的電路具體實施例之方塊圖；

圖6A所示為根據本發明第一具體實施例之一具有捨入及偏移指令之封包乘法高階運算的操作；

圖6B所示為進一步詳細說明圖6A之特定資料元素位置處的該封包乘法高階運算指令的操作；

圖7A所示為用於對於封包資料運算元執行具有捨入及偏移之整數乘法的方法之具體實施例的流程圖，用以得到該乘積的高部份；及

圖7B所示為用於取得一具有捨入及偏移之封包整數乘法運算所得之乘積的相關高階部份之另一個具體實施例的流程圖。

【圖式代表符號說明】

100	系統
102	處理器
104	內部快取記憶體

106	暫存器檔案
108	執行單元
109	封包指令集
110	處理器匯流排
112	繪圖控制器
114	加速繪圖埠互連
116	系統邏輯晶片
118	記憶體介面
120	記憶體
122	集線器介面匯流排
124	資料儲存
126	無線收發器
128	韌體集線器(快閃BIOS)
130	輸入輸出控制器集線器
134	網路控制器
140	資料處理系統
141	匯流排
142	執行單元
143	封包指令集
144	解碼器
145	暫存器檔案
146	同步動態隨機存取記憶體控制
147	靜態隨機存取記憶體控制
148	叢發快閃記憶體介面

149	小型快閃卡控制
150	液晶顯示器控制
151	直接記憶體存取控制
152	匯流排主控介面
153	輸入輸出匯流排
154	輸入輸出橋接器
155	通用非同步接收器/發射器
156	通用串列匯流排
157	藍芽無線UART
158	輸入輸出擴充介面
160	資料處理系統
161	單一指令複數資料共同處理器
162	執行單元
163	指令集
164	暫存器檔案
165	主處理器
165B	解碼器
166	主處理器
167	快取記憶體
168	輸入/輸出系統
169	無線介面
200	處理器
201	前端
202、204、206	快速排程器

203	執行引擎
208、210	暫存器檔案
211	執行區塊
212、214、216	執行單元
218、220、222、224	執行單元
226	預取器
228	指令解碼器
230	追蹤快取
232	微碼唯讀記憶體
234	佇列
302	無符號的封包位元組代表
304	有符號的封包位元組代表
306	無符號的封包字元代表
308	有符號的封包字元代表
310	無符號的封包雙字元代表
312	有符號的封包雙字元表示
341	半封包
342	單一封包
343	雙封包
360	op碼格式
364、365	來源運算元識別項
366	目的地運算元識別項
370	op碼格式
374、375	來源運算元識別項
376	目的地運算元識別項

378	字首位元組
380	運算編碼格式
385、390	來源運算元識別項
386	目的地運算元識別項
410、420	資料運算元
430	運算邏輯
431	臨時空間
440	結果值

伍、中文發明摘要：

本發明係揭示一種用於執行一具有捨入及偏移運算之封包乘法高階運算的方法、裝置及程式構件。該方法的一具體實施例包含接收具有第一組L資料元素的第一運算元。接收具有第二組L資料元素的第二運算元。L個配對的資料元素即相乘在一起來產生一組L乘積。每個該L配對皆包括來自該第一組L資料元素的第一資料元素，及來自該第二組L資料元素的一相對應資料元素位置的一第二資料元素。每個該等L乘積皆被捨入，以產生L個捨入的數值。每個該等L捨入的數值皆被調整來產生L個調整值。每個該等L個調整值皆被截去來儲存在一目的地中。每個截去的數值即要儲存在對應於其資料元素配對之一資料元素位置中。

陸、英文發明摘要：

Method, apparatus, and program means for performing a packed multiply high with round and shift operation. The method of one embodiment comprises receiving a first operand having a first set of L data elements. A second operand having a second set of L data elements is received. L pairs of data elements are multiplied together to generate a set of L products. Each of the L pairs includes a first data element from the first set of L data element and a second data element from a corresponding data element position of the second set of L data elements. Each of the L products are rounded to generate L rounded values. Each of said L rounded values are scaled to generate L scaled values. Each of the L scaled values are truncated for storage at a destination. Each truncated value is to be stored at a data element position corresponding to its pair of data elements.

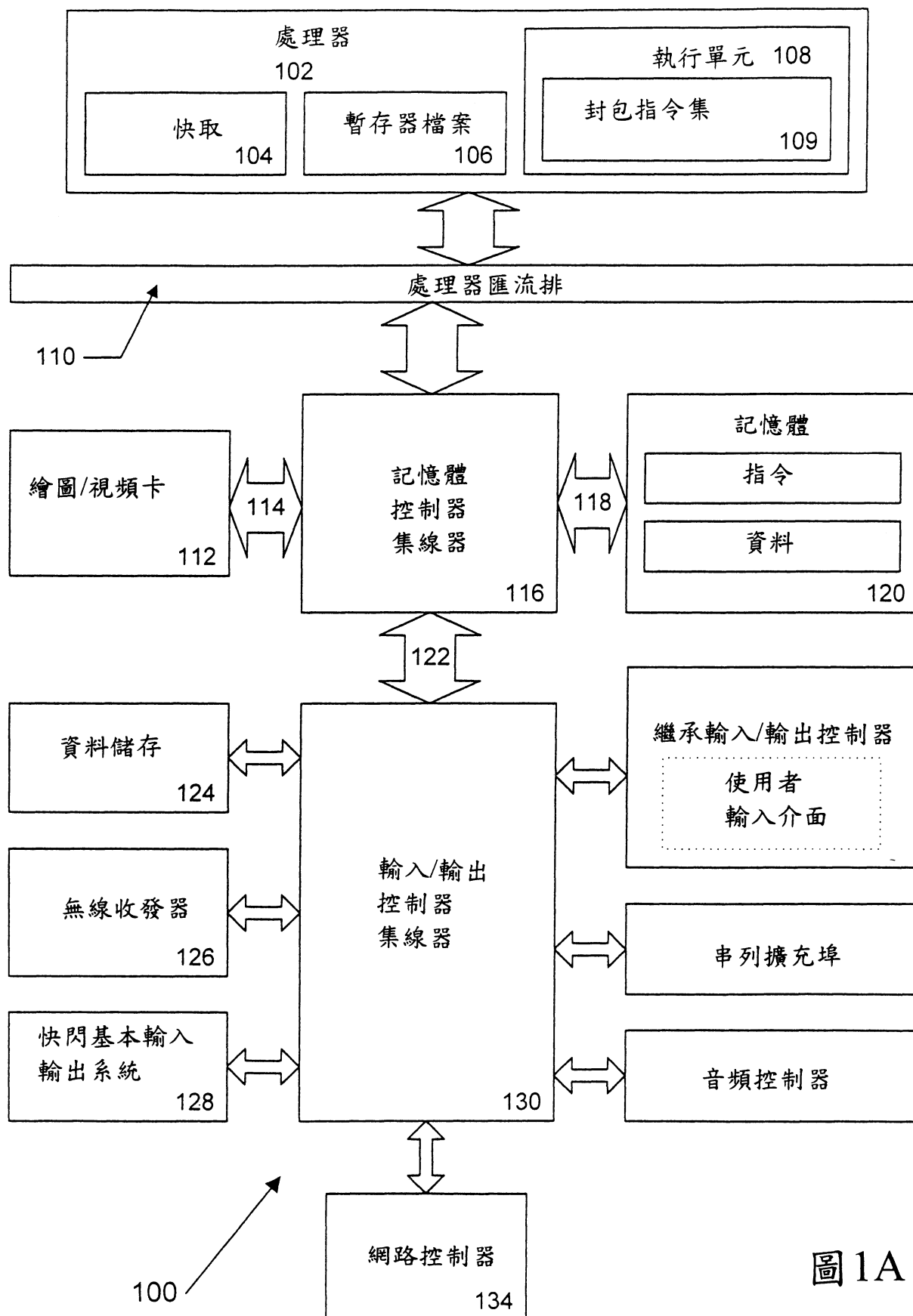


圖 1A

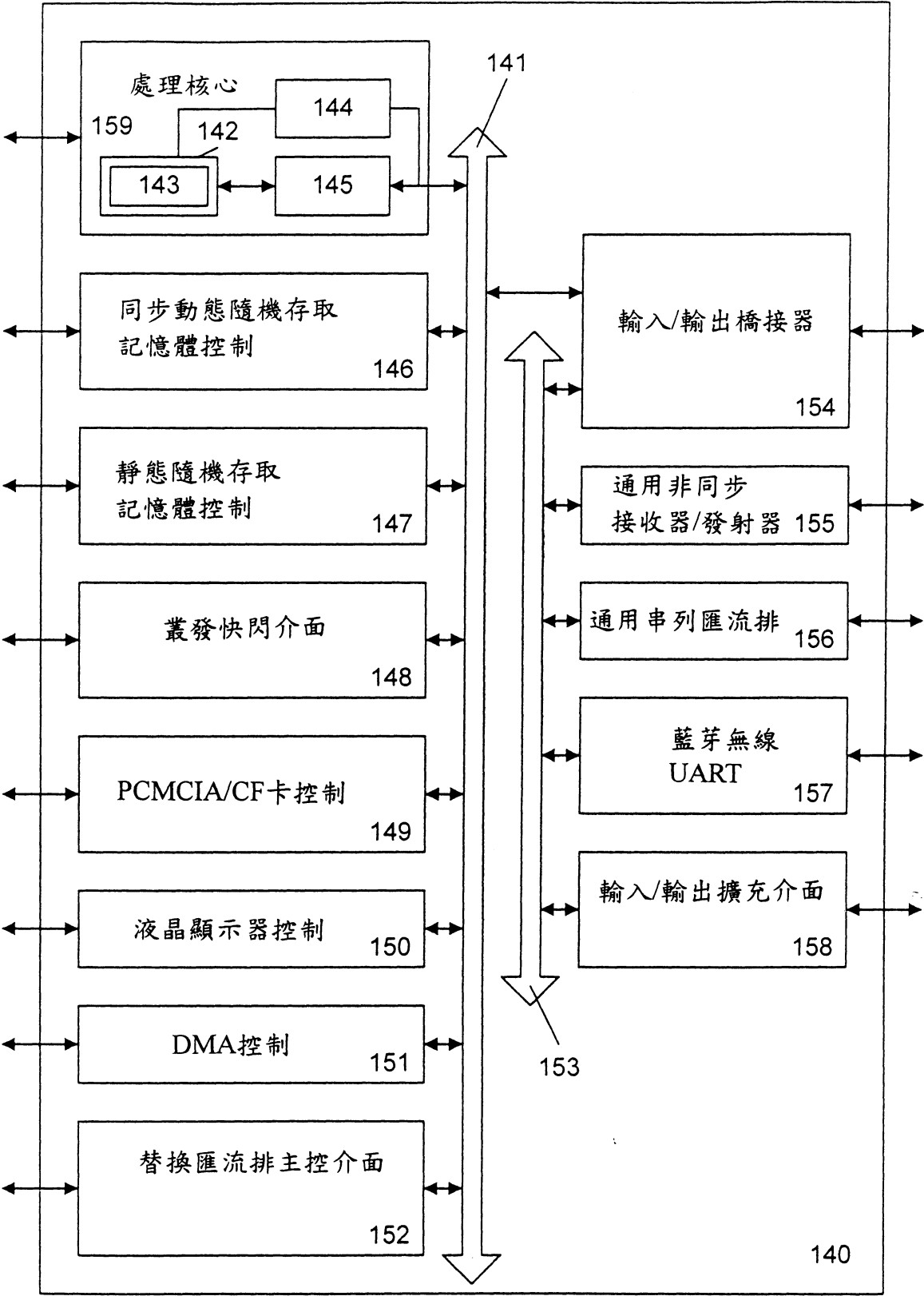


圖 1B

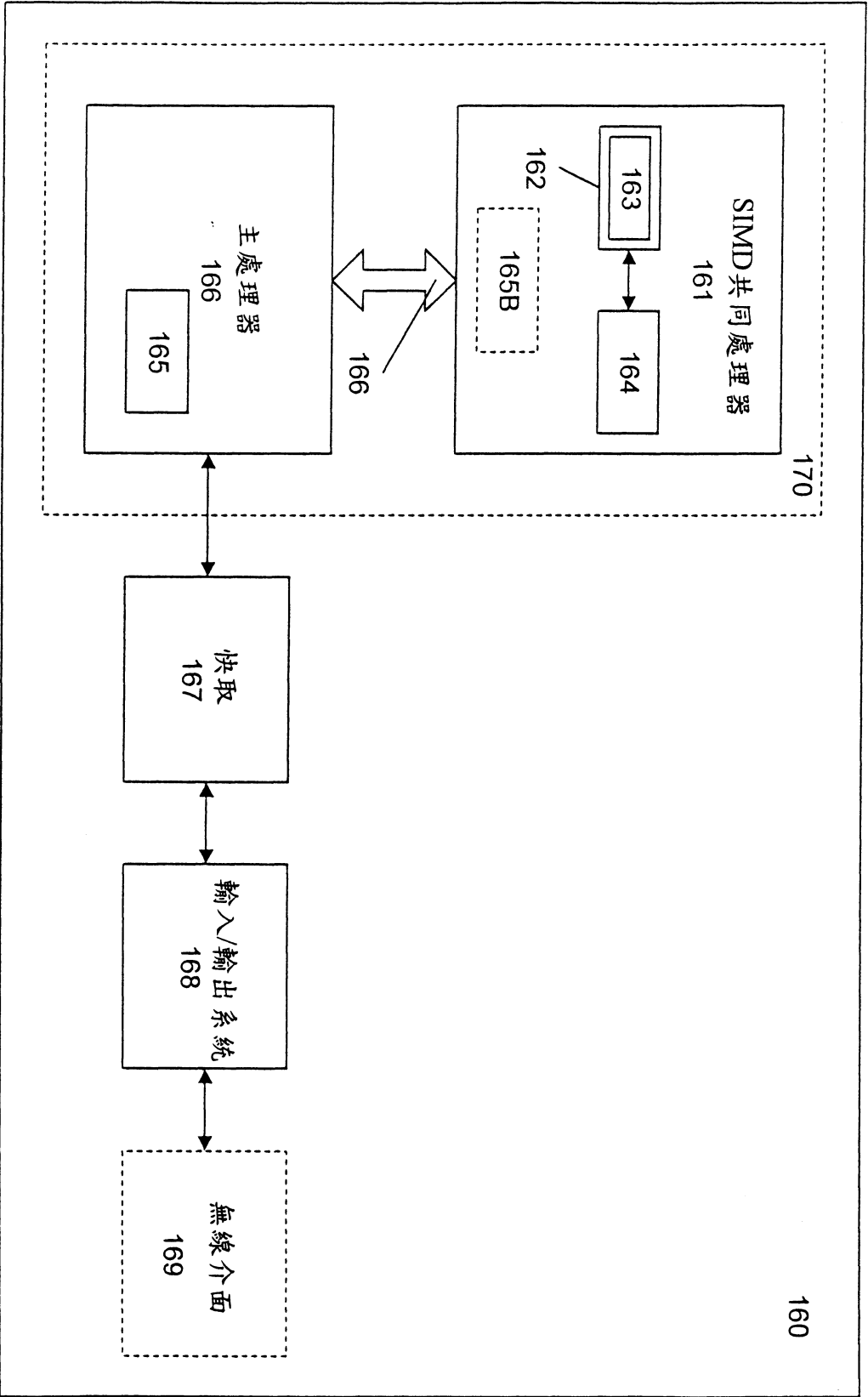
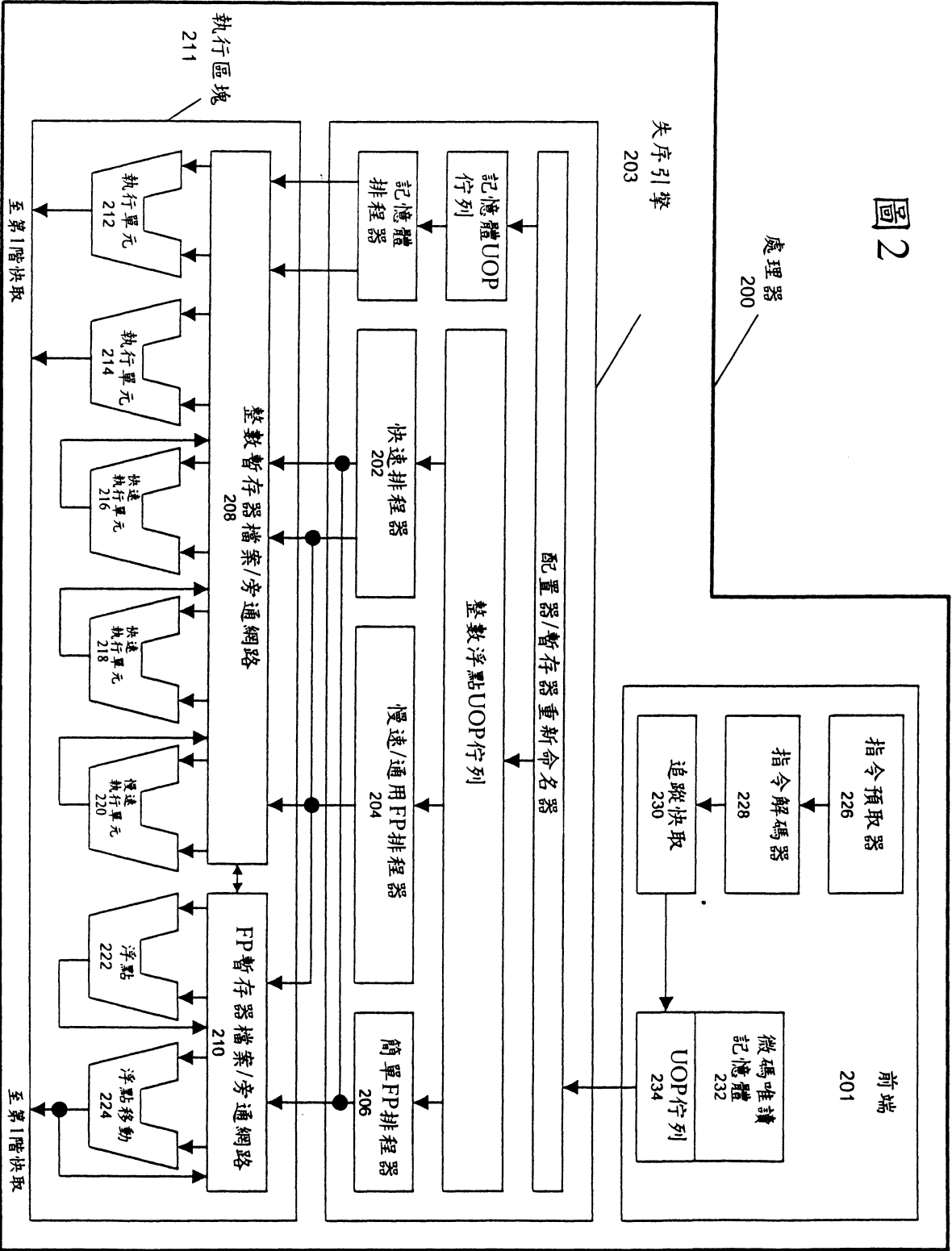
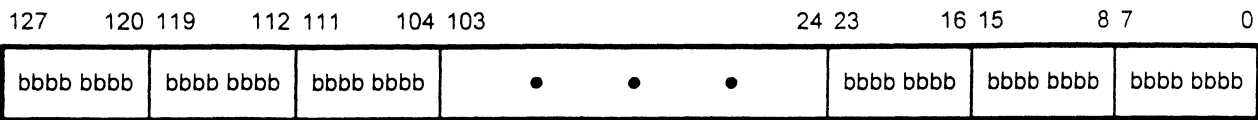


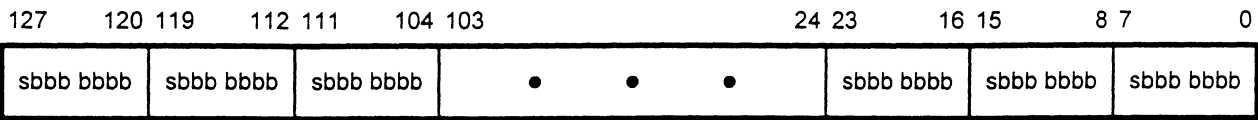
圖 1C

圖 2

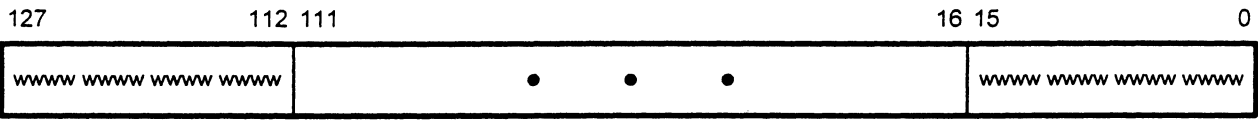




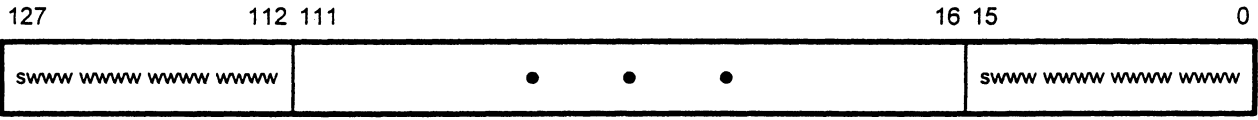
無符號封包位元組代表302



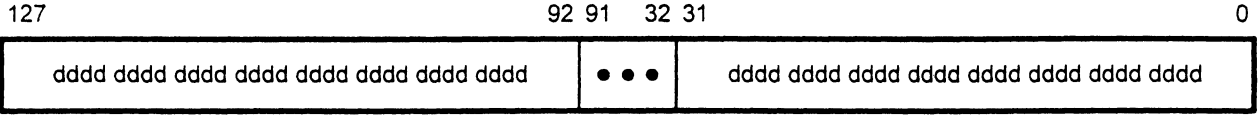
有符號封包位元組代表304



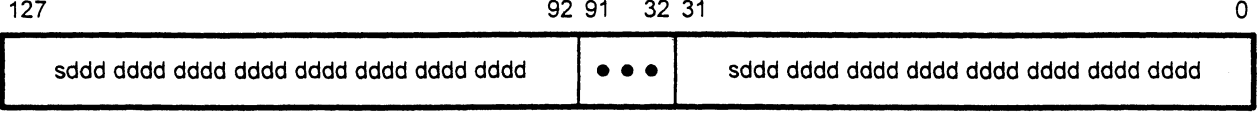
無符號封包字元代表306



有符號封包字元代表308



無符號封包雙字元代表310



有符號封包雙字元代表312

圖3A

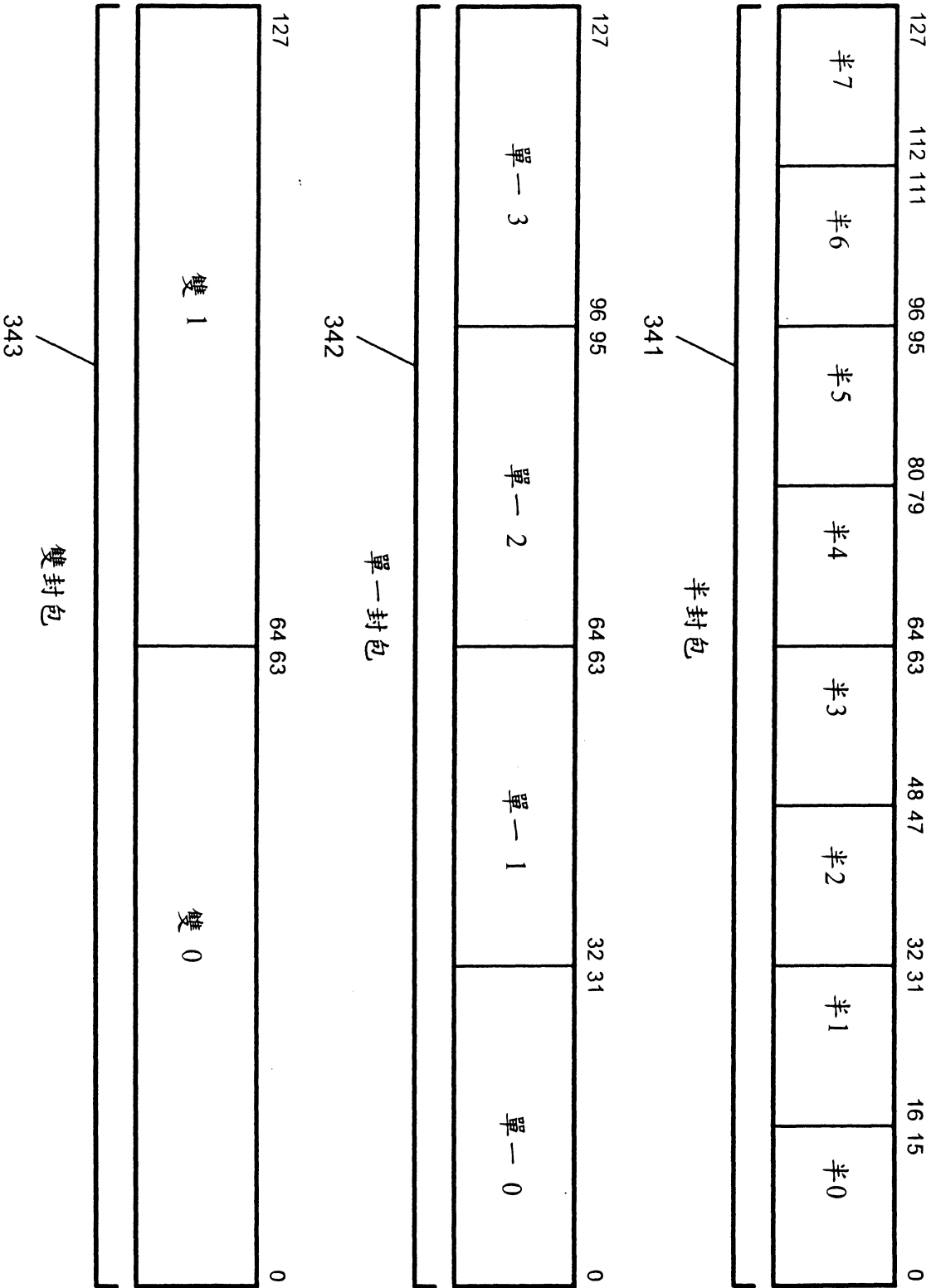


圖 3B

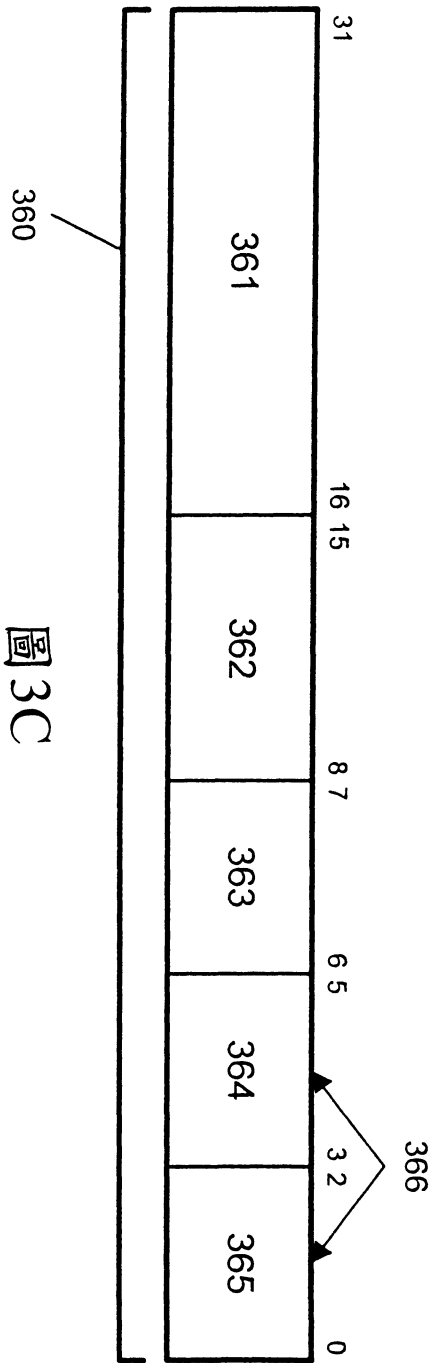


圖 3C

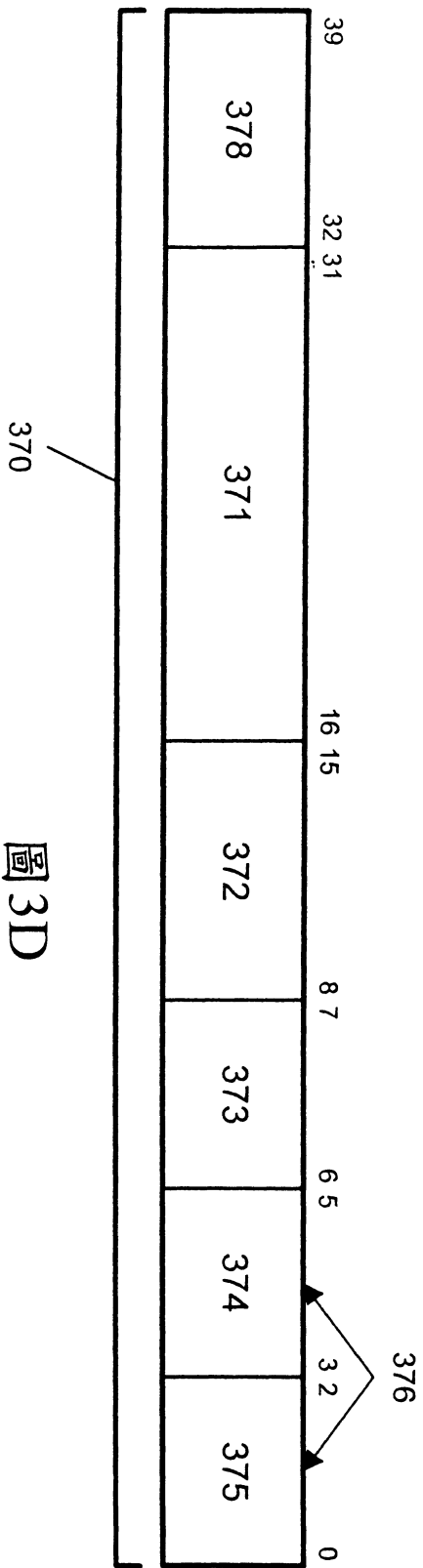


圖 3D

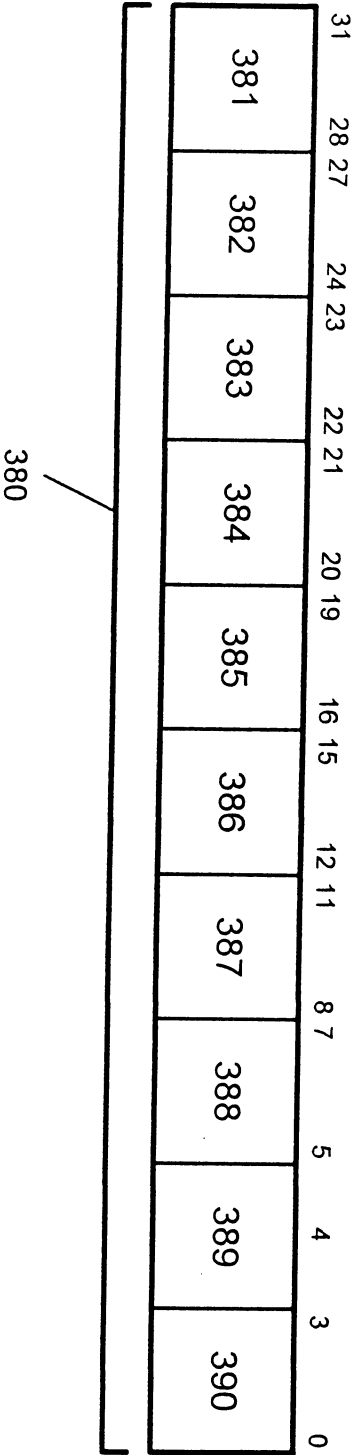


圖 3E

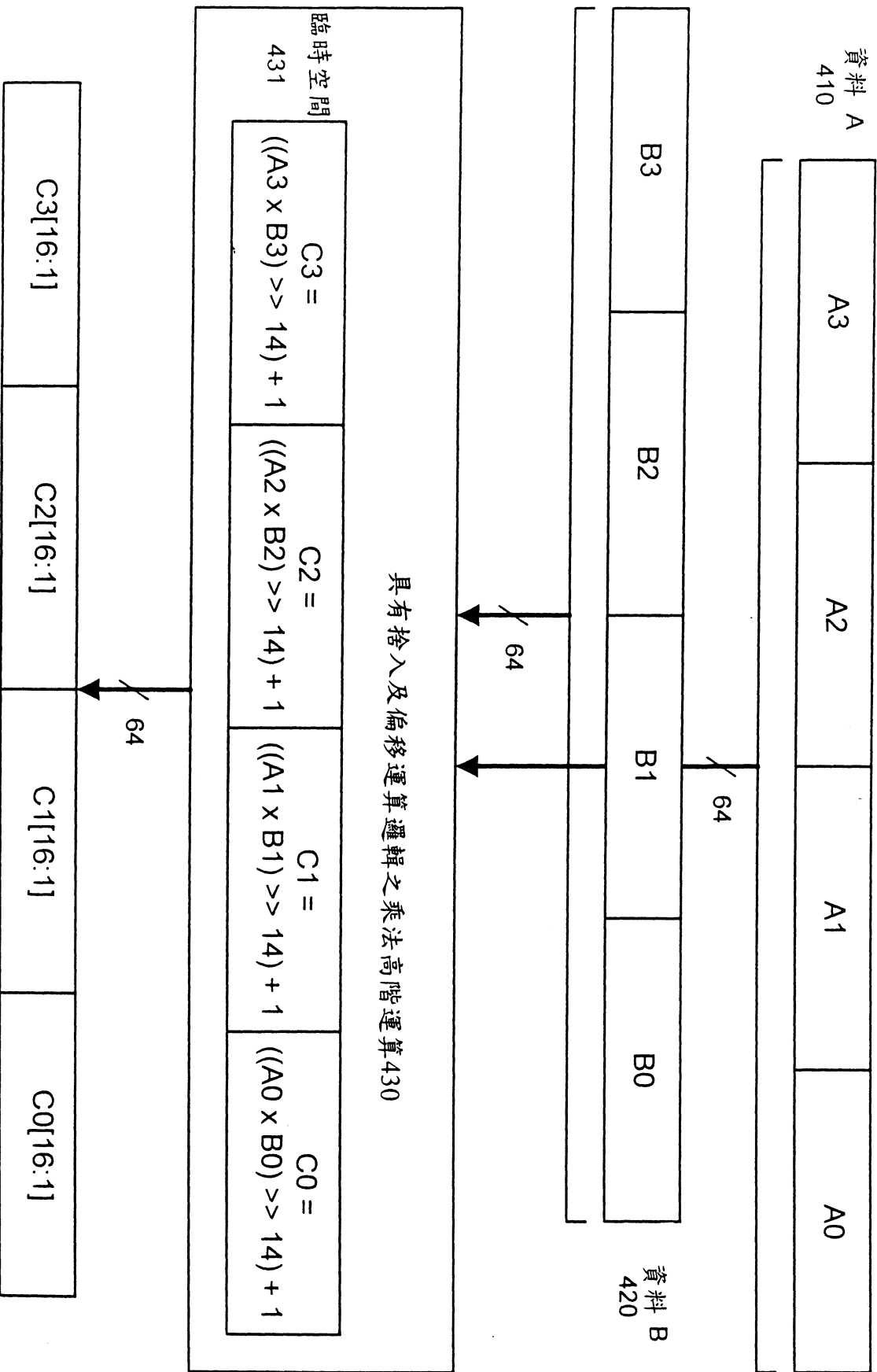


圖 4A

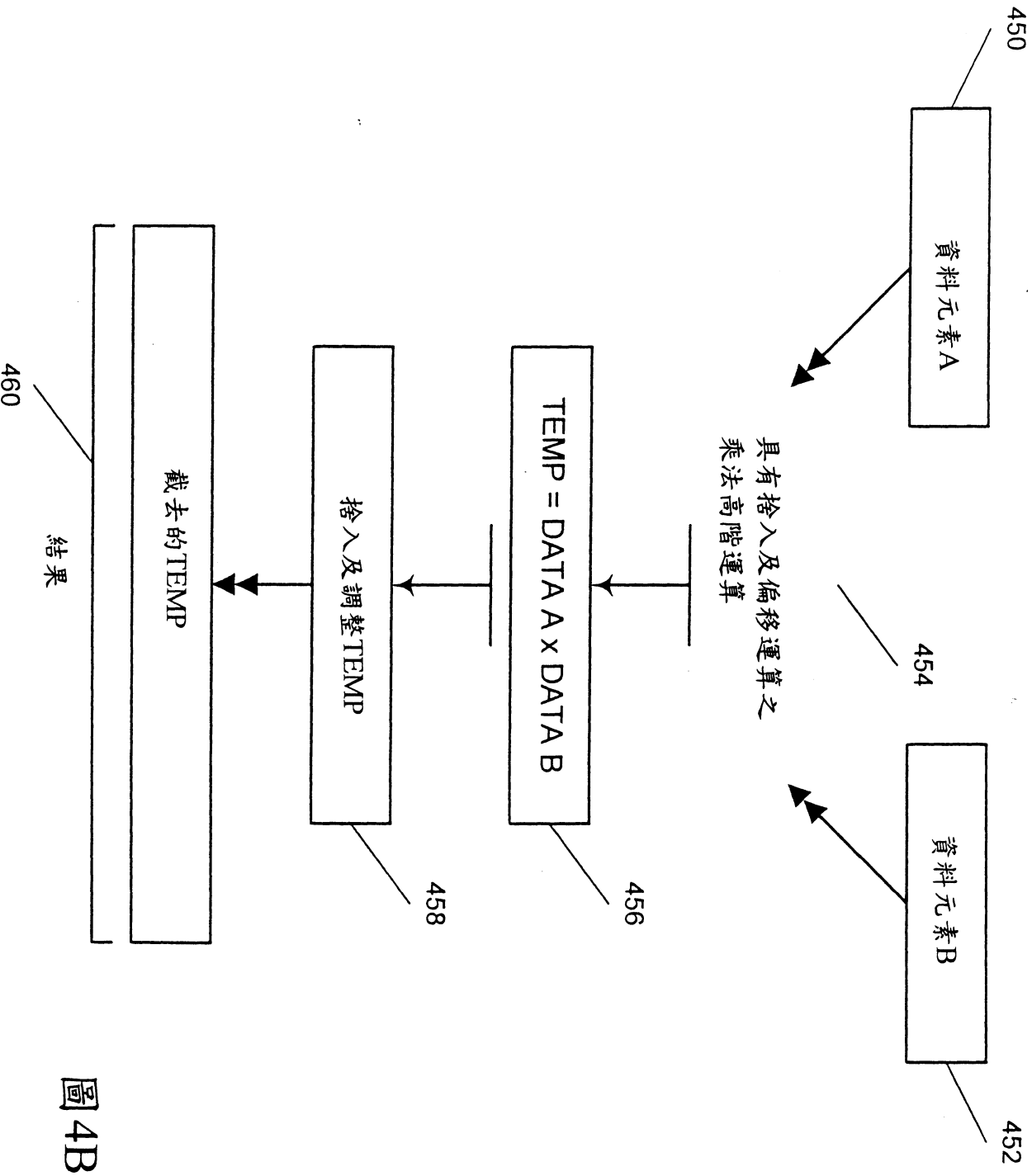


圖4B

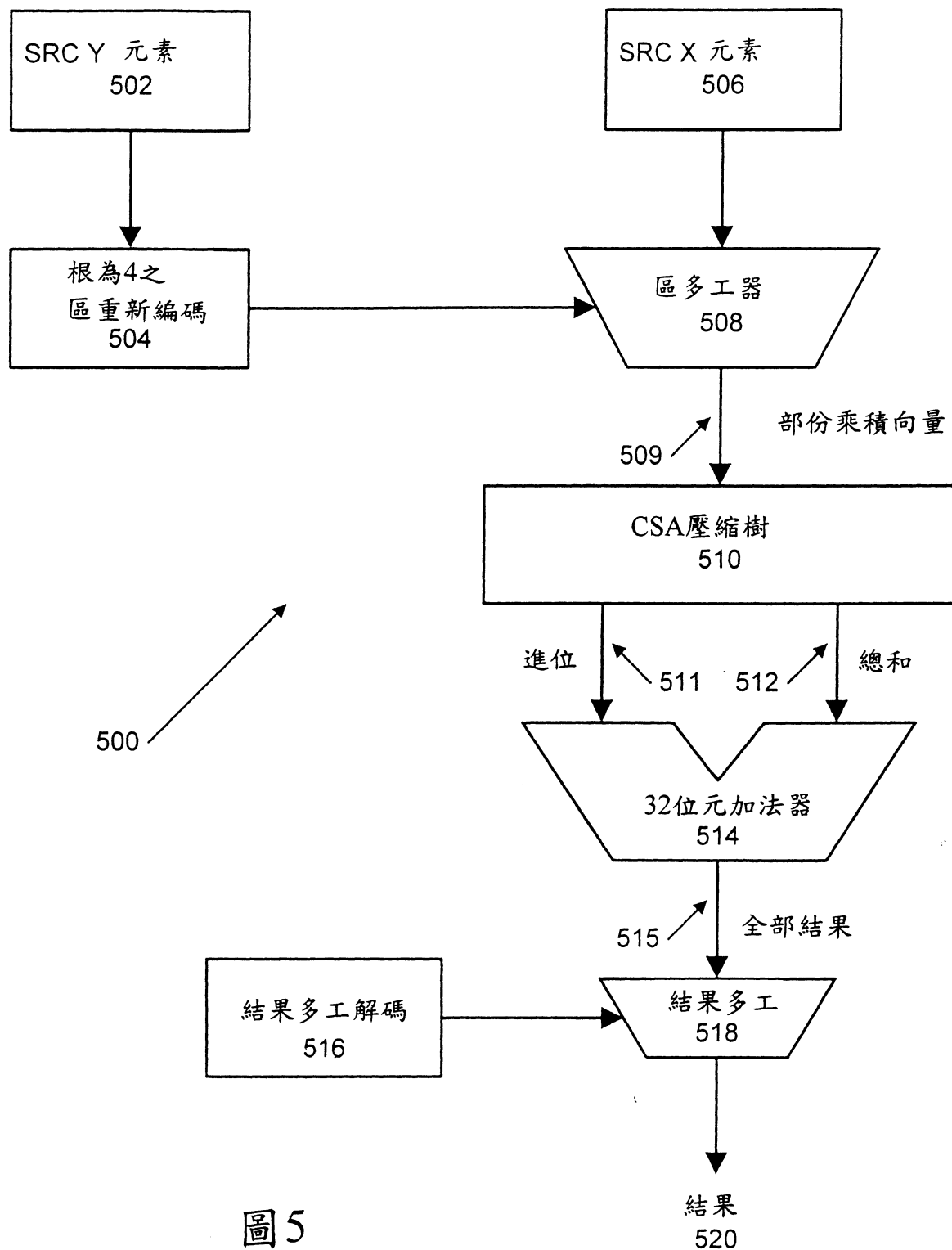


圖5

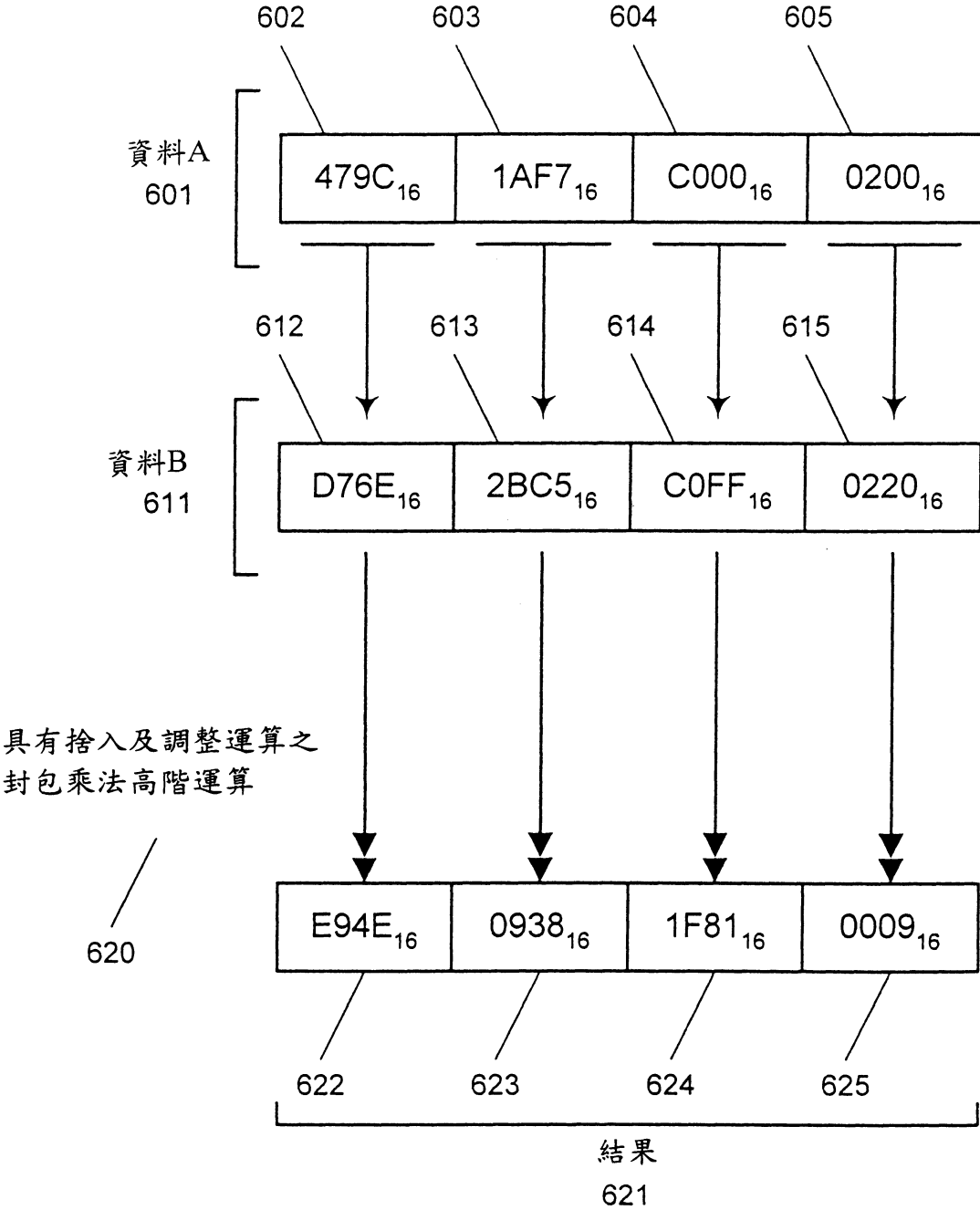
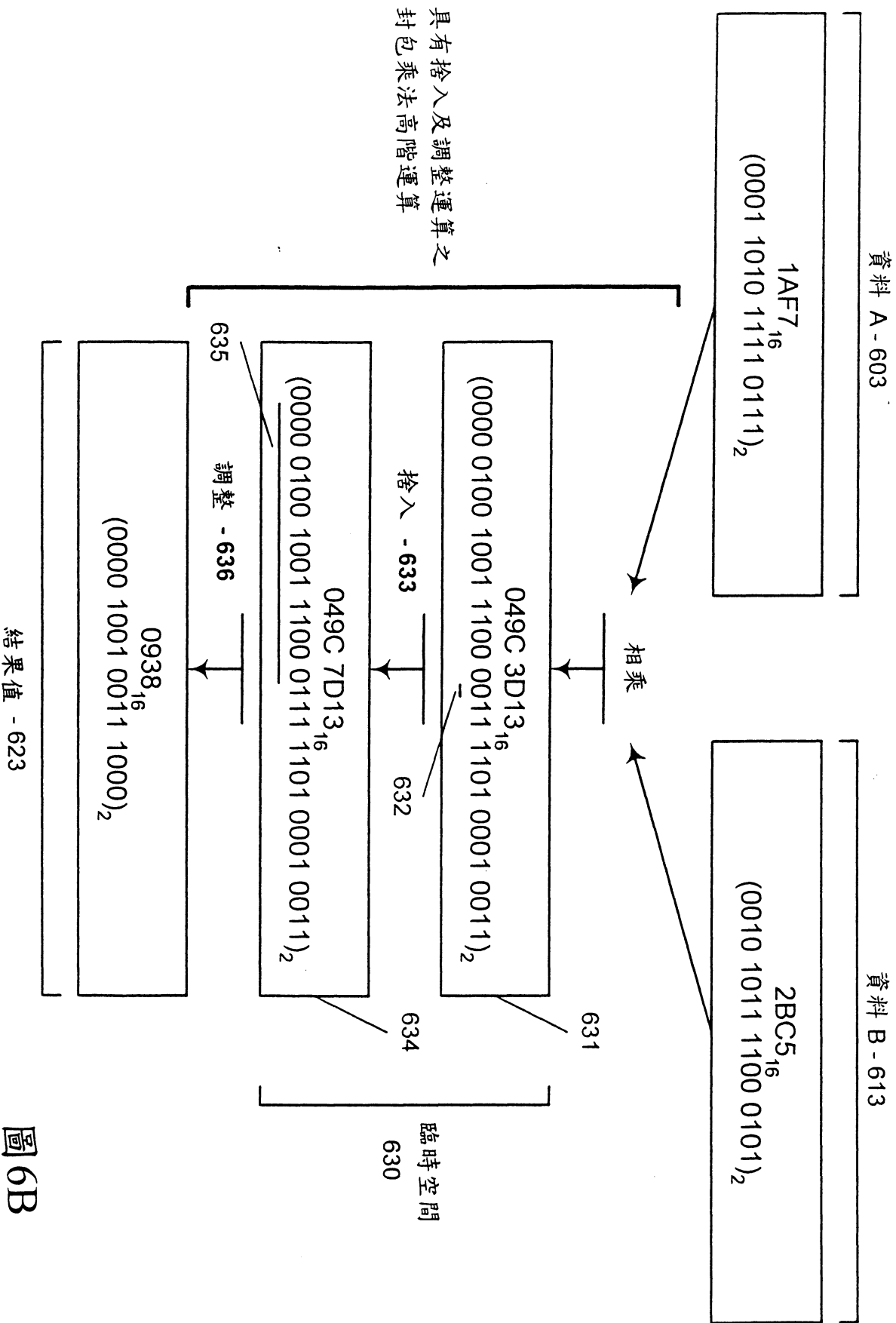


圖6A



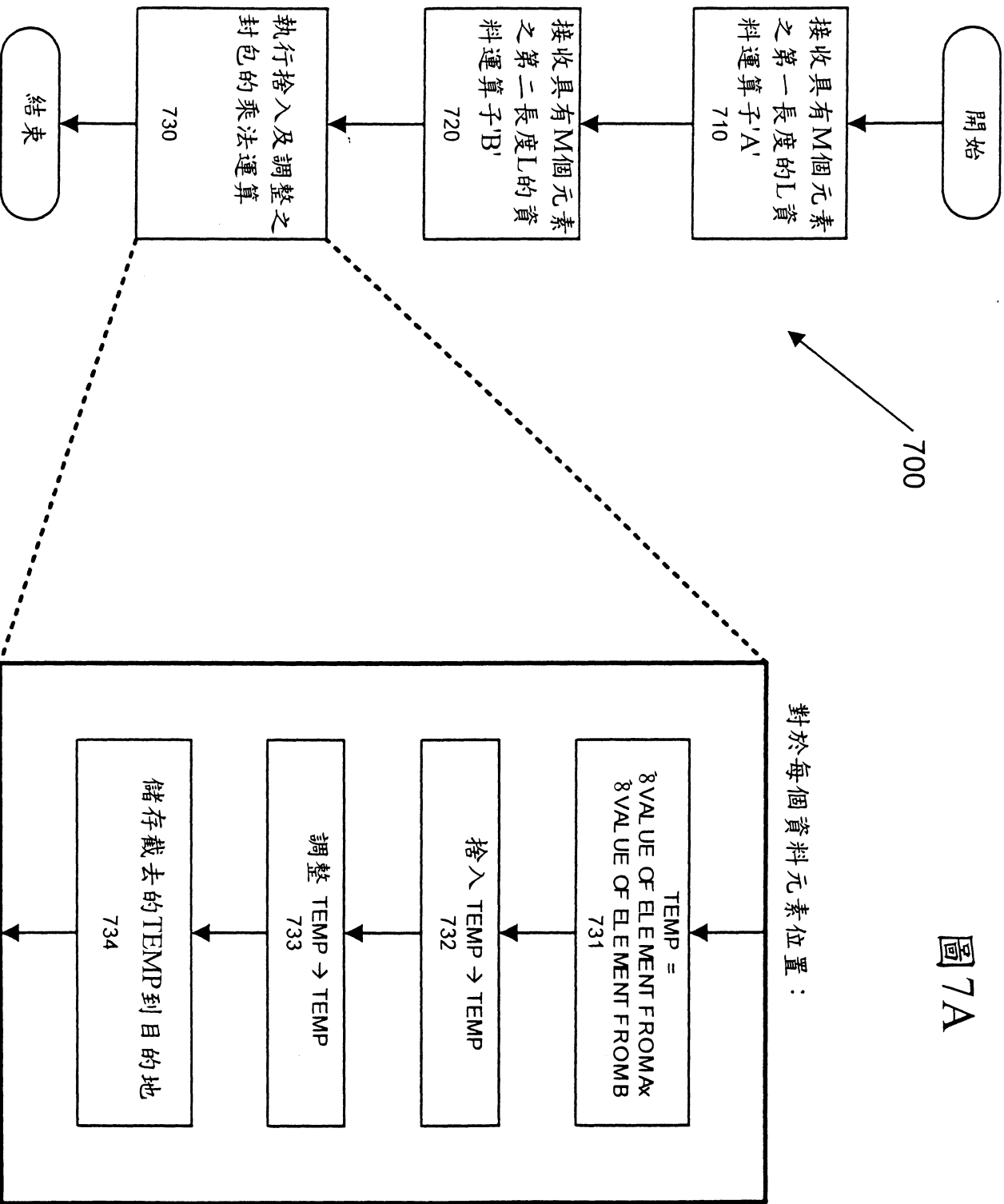
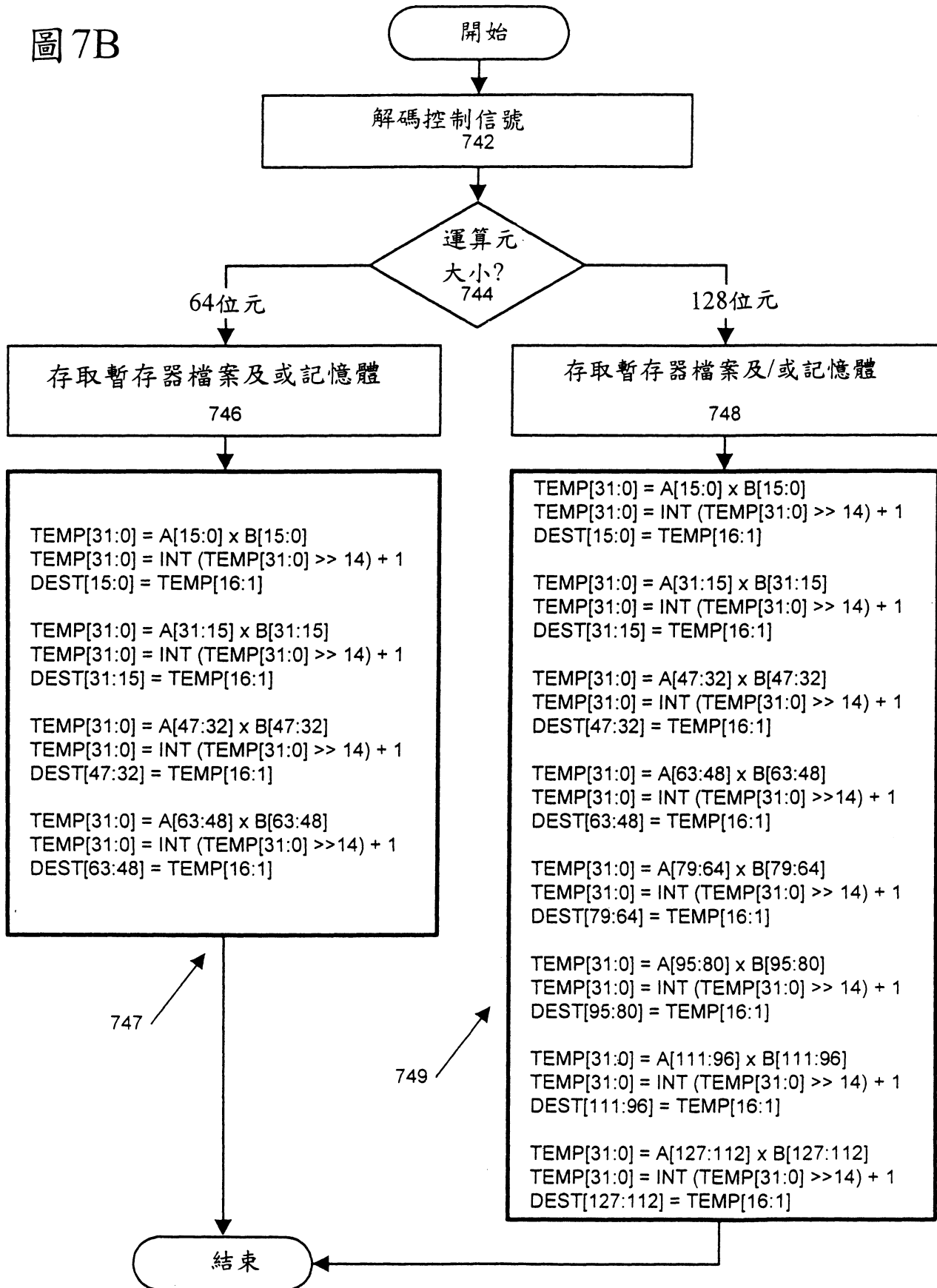


圖 7B



柒、指定代表圖：

(一)本案指定代表圖為：第（ 1A ）圖。

(二)本代表圖之元件代表符號簡單說明：

100	系 統
102	處 理 器
104	內 部 快 取 記 憶 體
106	暫 存 器 檔 案
108	執 行 單 元
109	封 包 指 令 集
110	處 理 器 匯 流 排
112	繪 圖 控 制 器
114	加 速 繪 圖 埠 內 連 線
116	系 統 邏 輯 晶 片
118	記 憶 體 介 面
120	記 憶 體
122	集 線 器 介 面 匯 流 排
124	資 料 儲 存
126	無 線 收 發 器
128	快 閃 基 本 輸 入 輸 入 系 統
130	輸 入 輸 出 控 制 器 集 線 器
134	網 路 控 制 器

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

拾、申請專利範圍：

1. 一種在一電腦系統中執行一指令以達成一運算之方法，此方法包含：

接收具有一第一組L資料元素之該指令之一第一運算元；

接收具有一第二組L資料元素之該指令之一第二運算元；

將L個配對之資料元素相乘在一起，其係用以產生一組L個乘積，其中各該等L配對包括來自該第一組L資料元素之第一資料元素及來自該第二組L資料元素之相對應的資料元素位置之一第二資料元素；

捨入各該等L乘積來產生L個捨入數值；

調整各該等L捨入數值來產生L個調整數值；及

截去各該等L調整的數值來儲存在該電腦系統之一目的地裝置，其中各截去的數值係要儲存在對應於其資料元素配對之一資料元素位置中。

2. 如申請專利範圍第1項之方法，其中該捨入進一步包含加入一個'1'到各該等L乘積之指定的位元位置。
3. 如申請專利範圍第2項之方法，其中該指定的位元位置為各該等L乘積的位元14。
4. 如申請專利範圍第3項之方法，其中該調整進一步包含對於各該等L捨入的數值向左偏移一個位元。
5. 如申請專利範圍第4項之方法，其中該截去進一步包含由各該等L調整的數值提取16個最高有效位元來得到L個截

去的數值。

6. 如申請專利範圍第5項之方法，其中該等第一及第二運算元之各資料元素位置係平行地處理。
7. 如申請專利範圍第6項之方法，其中該處理包含該乘法、該捨入、該調整及該截去。
8. 如申請專利範圍第2項之方法，其中該捨入進一步包含：
 向右偏移各該等L乘積14位元來產生一組L個18位元寬
 偏移的數值；及
 加入一個'1'到各該等偏移數值的一最低有效位元位置
 。
9. 如申請專利範圍第8項之方法，其中該調整進一步包含對於各該等L捨入的數值向右偏移一個位元。
10. 如申請專利範圍第9項之方法，其中該截去進一步包含由各該等L調整的數值選擇16個最低有效位元來得到L個截去的數值。
11. 如申請專利範圍第1項之方法，其中該等第一運算元及該第二運算元各為包含複數個資料元素的封包資料運算元。
12. 如申請專利範圍第11項之方法，其中各該等資料元素保有一有符號的整數值。
13. 如申請專利範圍第1項之方法，其中該目的地為一封包資料區塊。
14. 如申請專利範圍第13項之方法，其中各資料元素之長度為一個字元。

15. 如申請專利範圍第14項之方法，其中該第一運算元、該第二運算元、及該目的地之各長度為64位元。
16. 如申請專利範圍第14項之方法，其中該第一運算元、該第二運算元、及該目的地之各長度為128位元。
17. 如申請專利範圍第14項之方法，其中該第一運算元及該第二運算元存在於單一指令複數資料暫存器中。
18. 一種運算方法，供執行一指令以達成一運算，此方法包含：

接收一指令來對於兩個運算元執行一具有捨入及偏移運算之封包乘法高階運算，其中該具有捨入及偏移運算之封包乘法包含：

將在一第一組封包資料元素中的各資料元素與在一第二組封包資料元素中一相對應資料元素相乘來產生一組乘積之積，

捨入及偏移各該組乘積之積來產生一組結果，及

由各該等結果選擇複數個位元來產生一組截去的結果；

該指令具有一格式，包含：

一第一欄位，其指定一op碼來提供關於具有捨入及偏移運算之該封包乘法之資訊；

一第二欄位，其指定具有該等第一組封包資料元素之一第一運算元之一第一來源位址；及

一第三欄位，其指定具有該等第二組封包資料元素之一第二運算元之一第二來源位址；及

執行該指令來產生該組截去的結果做為封包資料元素而儲存在一目的地暫存器中。

19. 如申請專利範圍第18項之方法，其中該op碼係代表是否該具有捨入及偏移運算之封包乘法高階運算之該組截去的結果，該op碼包含有該組結果的高階位元或低階位元。
20. 如申請專利範圍第19項之方法，其中該第一來源位址為一第一暫存器的一第一位址來儲存該第一組的封包資料元素。
21. 如申請專利範圍第20項之方法，其中該第一暫存器亦為該具有捨入及偏移運算之封包乘法之該組截去之結果的目的地。
22. 如申請專利範圍第21項之方法，其中該第二來源位址為一第二暫存器的一第二位址來儲存該第二組的封包資料元素。
23. 如申請專利範圍第18項之方法，其中該第一欄位包括一個位元來代表是否該具有捨入及偏移運算之封包乘法為一有符號的運算或一無符號的運算。
24. 如申請專利範圍第23項之方法，其中該第一欄位包括至少兩個位元來代表是否由該組結果所選擇的每個複數個位元，其係包含一特定結果之高階位元或該結果的低階位元。
25. 如申請專利範圍第18項之方法，其中該格式進一步包含一符號欄位來代表是否該具有捨入及偏移運算之封包乘法為一有符號或無符號的運算。

26. 如申請專利範圍第25項之方法，其中該格式進一步包含一大小欄位來代表各該等封包資料元素之長度。
27. 如申請專利範圍第26項之方法，其中該格式進一步包含一第四欄位來指定一目的地地址以接收該具有捨入及偏移運算之封包乘法的該組結果。
28. 如申請專利範圍第18項之方法，其中該op碼之該資訊代表有符號的整數之具有捨入及偏移的封包乘法，並對於一截去的結果選擇各該等結果之高階位元。
29. 如申請專利範圍第18項之方法，其中該捨入包含加入'1'到各該等乘積的位元14，以得到一組捨入的數值，且其中該偏移包含將各該等捨入的數值向左偏移一個位元位置。
30. 如申請專利範圍第29項之方法，其中來自各該等結果之各複數個位元為該特定結果之16個高階位元。
31. 一種電腦裝置，供執行一指令以達成一運算，該裝置包含：
- 一執行單元，其係用於執行一指令集的一或多個指令，該指令集包括至少一個指令來執行具有捨入及偏移運算之封包乘法，其中該執行單元回應於該至少一個指令來執行該具有捨入及偏移運算之封包乘法，
- 將在一第一組封包資料元素中的各資料元素與在一第二組封包資料元素中一相對應資料元素相乘來產生一組乘積之積，
- 捨入及偏移各該等組乘積之積來產生一組結果，及

由各該等結果選擇複數個位元來產生一組截去的結果；

其中該至少一指令具有一格式，其包括：

一第一欄位，其指定一op碼來提供關於具有捨入及偏移運算之該封包乘法之資訊，

一第二欄位，其指定具有該第一組封包資料元素之一第一運算元之一第一來源位址，及

一第三欄位，其指定具有該第二組封包資料元素之一第二運算元之一第二來源位址。

32. 如申請專利範圍第31項之裝置，其中該包含該等截去的結果包含各該等結果之選擇的部份，其係做為封包資料元件儲存在一目的地暫存器中。

33. 如申請專利範圍第32項之裝置，其中該op碼係代表是否該具有捨入及偏移運算之封包乘法高階運算之該組截去的結果，其包含有該組結果的高階位元或低階位元。

34. 如申請專利範圍第31項之裝置，其中該第一來源位址為一第一暫存器之一第一位址，用於儲存該第一組的封包資料元素，而該第二來源位址為一第二暫存器之一第二位址，用於儲存該第二組的封包資料元素。

35. 如申請專利範圍第34項之裝置，其中該第一暫存器亦為該具有捨入及偏移運算之封包乘法之該組截去之結果的目的地。

36. 如申請專利範圍第31項之裝置，其中該第一欄位包括一個位元來代表是否該具有捨入及偏移運算之封包乘法為

一有符號的運算或一無符號的運算。

37. 如申請專利範圍第36項之裝置，其中該第一欄位包括至少兩個位元來代表是否由該組結果所選擇的各複數個位元，其係包含一特定結果之高階位元或該結果的低階位元。
38. 如申請專利範圍第31項之裝置，其中該格式進一步包含一符號欄位來代表是否該具有捨入及偏移運算之封包乘法為一有符號或無符號的運算。
39. 如申請專利範圍第38項之裝置，其中該格式進一步包含一大小欄位來代表各該等封包資料元素之長度。
40. 如申請專利範圍第39項之裝置，其中該格式進一步包含一第四欄位來指定一目的地位址，其係用以接收該具有捨入及偏移運算之封包乘法的該組結果。
41. 如申請專利範圍第31項之裝置，其中該op碼之該資訊代表有符號的整數之具有捨入及偏移的封包乘法，並對於一截去的結果選擇各該等結果之高階位元。
42. 如申請專利範圍第31項之裝置，其中該捨入包含加入'1'到各該等乘積的位元14，以得到一組捨入的數值，且其中該偏移包含將各該等捨入的數值向左偏移一個位元位置。
43. 如申請專利範圍第42項之裝置，其中來自各該等結果之各複數個位元為該特定結果之16個高階位元。
44. 一種電腦系統，供執行一指令以達成一運算，該系統包含：

一記憶體，其係用於儲存資料及指令；

一耦合到在一匯流排上該記憶體之處理器，該處理器用來回應於一具有捨入及偏移指令之乘法而運作以執行一具有捨入及偏移運算之乘法，該處理器包含：

一匯流排單元，其係用於自該記憶體接收該具有捨入及偏移指令的乘法；及

一耦合於該匯流排單元之執行單元，該執行單元用於執行該具有捨入及偏移指令之乘法，該具有捨入及偏移指令之乘法係使得該執行單元來：

將在一第一組封包資料元素中的各資料元素與在一第二組封包資料元素中一相對應資料元素相乘來產生一組乘積之積，

捨入及偏移各該組乘積之積來產生一組結果，及

由各該等結果選擇複數個位元來產生一組截去的結果。

45.如申請專利範圍第44項之系統，其中該具有捨入及偏移指令的乘法具有一格式，其包含：

一第一欄位，其指定一op碼來提供關於具有捨入及偏移運算之該封包乘法之資訊，

一第二欄位，其指定具有該第一組封包資料元素之一第一運算元的一第一來源位址，及

一第三欄位，其指定具有該第二組封包資料元素之一第二運算元的一第二來源位址。

46.如申請專利範圍第45項之系統，其中該op碼之該資訊代

表有符號的整數之具有捨入及偏移的封包乘法，並對於一截去的結果選擇各該等結果之高階位元。

47. 如申請專利範圍第46項之系統，其中該捨入包含加入'1'到各該等乘積的位元14，以得到一組捨入的數值，且其中該偏移包含將各該等捨入的數值向左偏移一個位元位置。
48. 如申請專利範圍第47項之系統，其中來自各該等結果之各複數個位元為該特定結果之16個高階位元。
49. 如申請專利範圍第45項之系統，其中該op碼係代表是否該具有捨入及偏移運算之乘法的該組截去的結果，其包含有該組結果的高階位元或低階位元。
50. 如申請專利範圍第48項之系統，其中該第一欄位包括一個位元來代表是否該具有捨入及偏移運算之封包乘法為一有符號的運算或一無符號的運算。
51. 如申請專利範圍第50項之系統，其中該第一欄位包括至少兩個位元來代表是否由該組結果所選擇的各複數個位元，其係包含一特定結果之高階位元或該結果的低階位元。
52. 如申請專利範圍第45項之系統，其中該格式進一步包括：
 - 一符號欄位，其係用於代表是否該具有捨入及偏移運算之封包乘法為一有符號或無符號的運算；及
 - 一大小欄位，其係用於代表各該等封包資料元素之長度。
53. 如申請專利範圍第45項之系統，其中該格式進一步包含

一第四欄位來指定一目的地位址以接收該具有捨入及偏移運算之封包乘法的該組結果。

54. 如申請專利範圍第44項之系統，其中該截去的結果包含各該等結果之選擇的部份，其係做為封包資料元件儲存在一目的地暫存器中。

55. 如申請專利範圍第45項之系統，其中該第一來源位址為一第一暫存器的一第一位址，用於儲存該第一組的封包資料元素，而該第二來源位址為一第二暫存器的一第二位址，用於儲存該第二組的封包資料元素。

56. 如申請專利範圍第46項之系統，其中該第一暫存器亦為該具有捨入及偏移運算之封包乘法之該組截去之結果的目的地。

57. 如申請專利範圍第44項之系統，進一步包含：

一無線通信元件，其係用於在一無線網路上傳送及接收數位資料，該無線通信元件耦合該記憶體來儲存該數位資料及軟體，其中該軟體包括該具有捨入及偏移指令之乘法；及

一輸入輸出系統，其係回應於該軟體來與該無線通信元件形成介面，該輸入輸出系統接收資料來處理，或發送由該具有捨入及偏移指令之乘法所至少部份處理之資料。

58. 一種包含一程式之機器可讀取媒體，該程式係可執行地由一機器來執行一方法，其包括：

接收具有一第一組L資料元素之第一運算元；

接收具有一第二組L資料元素之第二運算元；

將L個配對之資料元素相乘在一起，以產生一組L個乘積，其中各該等L配對包括來自該第一組L資料元素之一資料元素位置的第一資料元素及來自該第二組L資料元素之相對應的資料元素位置的一第二資料元素；

捨入各該等L乘積來產生L個捨入數值；

調整各該等L捨入數值來產生L個調整數值；及

截去各該等L調整的數值來儲存在一目的地，其中各截去的數值係要儲存在對應於其資料元素配對的一資料元素位置中。

59. 如申請專利範圍第58項之機器可讀取媒體，其中該捨入進一步包含加入一個'1'到各該等L乘積之指定的位元位置。
60. 如申請專利範圍第59項之機器可讀取媒體，其中該指定的位元位置為各該等L乘積的位元14。
61. 如申請專利範圍第60項之機器可讀取媒體，其中該調整進一步包含對於各該等L捨入的數值向左偏移一個位元。
62. 如申請專利範圍第61項之機器可讀取媒體，其中該截去進一步包含由各該等L調整的數值提取16個最高有效位元來得到L個截去的數值。
63. 如申請專利範圍第62項之機器可讀取媒體，其中該等第一及第二運算元之各資料元素位置係平行地處理，該處理包含該乘法、該捨入、該調整及該截去。
64. 如申請專利範圍第58項之機器可讀取媒體，其中：

該捨入進一步包含向右偏移各該等L乘積14個位元來產生一組L個18位元寬的偏移數值，並加入一個'1'到各該等偏移數值的一最低有效位元位置；

該調整進一步包含向右偏移各該等L捨入的數值1個位元來產生一組L調整的數值；及

該截去進一步包含由各該等L調整的數值選擇16個最低有效位元來得到L個截去的數值。

65. 如申請專利範圍第58項之機器可讀取媒體，其中該第一運算元及該第二運算元各為包含複數個資料元素的封包資料運算元。
66. 如申請專利範圍第65項之機器可讀取媒體，其中各該等資料元素保有一個字元長度的有符號之整數值。
67. 如申請專利範圍第66項之機器可讀取媒體，其中該第一運算元、該第二運算元、及該目的地之每個長度為64位元。
68. 如申請專利範圍第66項之機器可讀取媒體，其中該第一運算元、該第二運算元、及該目的地之每個長度為128位元。