

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-86941

(P2011-86941A)

(43) 公開日 平成23年4月28日(2011.4.28)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H O 1 L 27/108 (2006.01)</b>	H O 1 L 27/10 6 2 1 C	5 F 0 3 3
<b>H O 1 L 21/8242 (2006.01)</b>	H O 1 L 21/90 D	5 F 0 8 3
<b>H O 1 L 21/768 (2006.01)</b>	H O 1 L 27/10 6 7 1 B	
<b>H O 1 L 23/522 (2006.01)</b>	H O 1 L 21/88 Q	
<b>H O 1 L 21/3205 (2006.01)</b>		

審査請求 未請求 請求項の数 45 O L (全 50 頁) 最終頁に続く

(21) 出願番号	特願2010-230439 (P2010-230439)	(71) 出願人	390019839
(22) 出願日	平成22年10月13日 (2010.10.13)		三星電子株式会社
(31) 優先権主張番号	10-2009-0098742		S A M S U N G E L E C T R O N I C S
(32) 優先日	平成21年10月16日 (2009.10.16)		C O . , L T D .
(33) 優先権主張国	韓国 (KR)		大韓民国京畿道水原市靈通区梅灘洞 4 1 6
(31) 優先権主張番号	12/836, 081		4 1 6, M a e t a n - d o n g , Y e o
(32) 優先日	平成22年7月14日 (2010.7.14)		n g t o n g - g u , S u w o n - s i ,
(33) 優先権主張国	米国 (US)		G y e o n g g i - d o 4 4 2 - 7 4 2

(74) 代理人 100089037  
弁理士 渡邊 隆

(74) 代理人 100110364  
弁理士 実広 信哉

最終頁に続く

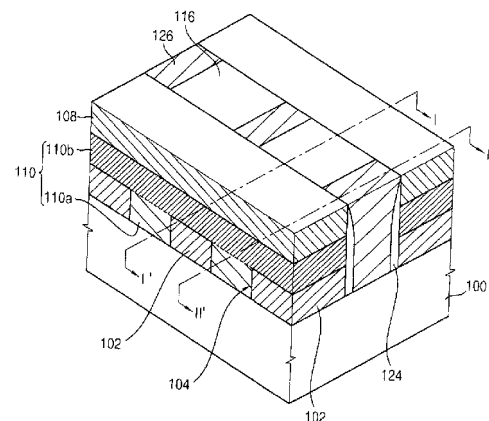
(54) 【発明の名称】 半導体装置の配線構造物及び配線構造物の製造方法

## (57) 【要約】

【課題】半導体装置の配線構造物及び配線構造物の製造方法を提供すること。

【解決手段】半導体装置の配線構造物の形成方法において、セル領域及び周辺回路領域を有する基板上に第1絶縁膜を形成し、前記第1絶縁膜を貫通して延長する第1導電物質を含む第1コンタクトプラグを前記セル領域に形成する。前記第1コンタクトプラグをカバーして一体で形成され、前記第1導電物質を含む第1導電ラインを前記第1コンタクトプラグと実質的に同時に形成する。前記第1絶縁膜を貫通して延長して、前記第1導電物質を含む第2コンタクトプラグを前記第1コンタクトプラグと実質的に同時に前記周辺回路領域に形成する。前記第2コンタクトプラグをカバーして一体で形成され、前記第1導電物質を含む第2導電ラインを前記第2コンタクトプラグと実質的に同時に形成する。

【選択図】 図 1



**【特許請求の範囲】****【請求項 1】**

セル領域及び周辺回路領域を有する基板を設ける段階と、  
前記基板上に第 1 絶縁膜を形成する段階と、  
前記第 1 絶縁膜を貫通して延長する第 1 導電物質を含む第 1 コンタクトプラグを前記セル領域に形成する段階と、

前記第 1 コンタクトプラグをカバーして前記第 1 コンタクトプラグと一体で形成して、  
第 1 導電物質を含む第 1 導電ラインを前記第 1 コンタクトプラグと同時に形成する段階と、

前記第 1 絶縁膜を貫通して延長して、第 1 導電物質を含む第 2 コンタクトプラグを前記第 1 コンタクトプラグと同時に前記周辺回路領域に形成する段階と、

前記第 2 コンタクトプラグをカバーして前記第 2 コンタクトプラグと一体で形成して、  
第 1 導電物質を含む第 2 導電ラインを前記第 2 コンタクトプラグと同時に形成する段階と、  
を含む半導体装置の配線構造物の製造方法。

**【請求項 2】**

前記第 1 導電ライン及び前記第 2 導電ラインは互いに平行したことを特徴とする請求項 1 に記載の半導体装置の配線構造物の製造方法。

**【請求項 3】**

前記第 1 絶縁膜、前記第 1 コンタクトプラグ及び前記第 2 コンタクトプラグは、それぞれ同じ平面に配置される上部表面を含むことを特徴とする請求項 1 に記載の半導体装置の配線構造物の製造方法。

**【請求項 4】**

少なくとも前記第 1 導電ライン及び前記第 2 導電ラインの側部を同時にシリサイド化する (Siliciding) 段階をさらに含むことを特徴とする請求項 1 に記載の半導体装置の配線構造物の製造方法。

**【請求項 5】**

前記第 1 コンタクトプラグ、前記第 1 導電ライン、前記第 2 コンタクトプラグ、及び前記第 2 導電ラインを同時にシリサイド化する段階をさらに含むことを特徴とする請求項 1 に記載の半導体装置の配線構造物の製造方法。

**【請求項 6】**

前記基板内に少なくとも一つのトレンチを形成する段階をさらに含むことを特徴とする請求項 1 に記載の半導体装置の配線構造物の製造方法。

**【請求項 7】**

前記少なくとも一つのトレンチは前記第 1 導電ラインと平行するように配列されることを特徴とする請求項 6 に記載の半導体装置の配線構造物の製造方法。

**【請求項 8】**

前記第 1 コンタクトプラグに隣接する前記少なくとも一つのトレンチにゲート電極を形成する段階をさらに含むことを特徴とする請求項 6 に記載の半導体装置の配線構造物の製造方法。

**【請求項 9】**

前記第 1 コンタクトプラグに対して前記ゲート電極の対向する側壁上に配置される少なくとも一つの第 3 コンタクトプラグを前記第 1 絶縁膜を貫通して形成する段階をさらに含み、前記少なくとも一つの第 3 コンタクトプラグは前記第 1 導電ラインより高く延長することを特徴とする請求項 8 に記載の半導体装置の配線構造物の製造方法。

**【請求項 10】**

前記少なくとも一つの第 3 コンタクトプラグ上に直接キャパシタを形成する段階をさらに含むことを特徴とする請求項 9 に記載の半導体装置の配線構造物の製造方法。

**【請求項 11】**

セル領域と周辺回路領域を有する基板と、  
前記基板上に配置される第 1 絶縁膜と、

10

20

30

40

50

前記セル領域に配置されて、前記第 1 絶縁膜を貫通して延長する第 1 導電物質を含む第 1 コンタクトプラグと、

前記セル領域に配置されて第 1 方向に沿って延長して、前記第 1 コンタクトプラグと一体で形成されて前記第 1 コンタクトプラグを覆う第 1 導電物質を含む第 1 導電ラインと、

前記周辺回路領域に配置されて、前記第 1 絶縁膜を貫通して延長する第 1 導電物質を含む第 2 コンタクトプラグと、

前記周辺回路領域に配置されて第 2 方向に沿って延長して、前記第 2 コンタクトプラグと一体で形成されて前記第 2 コンタクトプラグを覆う第 1 導電物質を含む第 2 導電ラインと、を備える半導体装置の配線構造物。

【請求項 1 2】

前記第 1 絶縁膜及び前記第 1 コンタクトプラグはそれぞれ同じ平面に配置される上部表面を含むことを特徴とする請求項 1 1 に記載の半導体装置の配線構造物。

【請求項 1 3】

前記第 1 絶縁膜及び前記第 1 コンタクトプラグは同じ厚さを有することを特徴とする請求項 1 1 に記載の半導体装置の配線構造物。

【請求項 1 4】

前記第 1 導電ラインは前記第 1 絶縁膜上に直接配置されることを特徴とする請求項 1 1 に記載の半導体装置の配線構造物。

【請求項 1 5】

前記第 1 コンタクトプラグ及び前記第 1 導電ラインはシリサイドを除けば同じ物質を含むことを特徴とする請求項 1 1 に記載の半導体装置の配線構造物。

【請求項 1 6】

少なくとも前記第 1 導電ライン及び前記第 2 導電ラインの側部はシリサイドを含むことを特徴とする請求項 1 1 に記載の半導体装置の配線構造物。

【請求項 1 7】

前記第 1 コンタクトプラグ、前記第 1 導電ライン、前記第 2 コンタクトプラグ、及び前記第 2 導電ラインは、全部シリサイドを含むことを特徴とする請求項 1 1 に記載の半導体装置の配線構造物。

【請求項 1 8】

前記第 1 コンタクトプラグと前記第 1 導電ラインを含む前記セル領域に配置される第 1 ソース/ドレイン電極と、

前記第 2 コンタクトプラグと前記第 2 導電ラインを含む前記周辺回路領域に配置される第 2 ソース/ドレイン電極と、

前記第 2 ソース/ドレイン電極の少なくとも一つの側壁上に配置される垂直スペーサ (Spacer) をさらに含み、前記第 2 ソース/ドレイン電極は、ポリシリコンパターンを有する前記第 2 コンタクトプラグと金属シリサイドを有する前記第 2 導電ラインと、を含むことを特徴とする請求項 1 1 に記載の半導体装置の配線構造物。

【請求項 1 9】

前記第 1 導電ラインに平行で前記第 1 コンタクトプラグに隣接するように配列されるゲート電極をさらに含むことを特徴とする請求項 1 1 に記載の半導体装置の配線構造物。

【請求項 2 0】

前記第 1 絶縁膜を貫通して延長して、前記第 1 コンタクトプラグに対して前記ゲート電極の対向の側面上に配置されて、前記第 1 導電ラインより高く延長する少なくとも一つの第 3 コンタクトプラグと、

前記第 3 コンタクトプラグ上に直接配置されるキャパシタと、をさらに含むことを特徴とする請求項 1 9 に記載の半導体装置の配線構造物。

【請求項 2 1】

基板上に第 1 絶縁膜を形成する段階と、

前記基板のアクティブ領域の前記第 1 絶縁膜に第 1 コンタクトホールを形成する段階と

、

10

20

30

40

50

第 1 導電物質を使って前記第 1 コンタクトホールに第 1 コンタクトプラグを形成すると同時に前記第 1 コンタクトプラグと一体で形成されて前記第 1 コンタクトプラグを覆う導電膜を形成する段階と、

前記第 1 コンタクトプラグを覆う前記導電膜上に第 1 方向に延長するキャッピング (capping) パターンを形成する段階と、

前記キャッピングパターンの外部で延長する部分の前記導電膜を除去して前記第 1 コンタクトプラグと一体で形成されて前記第 1 コンタクトプラグを覆う第 1 導電ラインを形成する段階と、

前記第 1 方向に対して傾斜した第 2 方向に沿って延長するフォトレジストパターンを形成する段階と、を含む半導体装置の配線構造物の製造方法。

10

【請求項 2 2】

前記第 1 方向及び前記第 2 方向は、互いに直交することを特徴とする請求項 2 1 に記載の半導体装置の配線構造物の製造方法。

【請求項 2 3】

前記フォトレジストパターンは、前記キャッピングパターン上に直接配置されることを特徴とする請求項 2 1 に記載の半導体装置の配線構造物の製造方法。

【請求項 2 4】

前記第 1 コンタクトプラグ及び前記第 1 絶縁膜の上部境界と前記第 1 導電ラインの下部境界は、同じ水平面に配置されることを特徴とする請求項 2 1 に記載の半導体装置の配線構造物の製造方法。

20

【請求項 2 5】

前記第 1 導電ラインの少なくとも側部をシリサイド化する段階をさらに含むことを特徴とする請求項 2 1 に記載の半導体装置の配線構造物の製造方法。

【請求項 2 6】

前記第 1 コンタクトプラグ及び前記第 1 導電ラインを同時にシリサイド化する段階をさらに含むことを特徴とする請求項 2 1 に記載の半導体装置の配線構造物の製造方法。

【請求項 2 7】

前記第 1 コンタクトホールは前記基板のセル領域に配置されて、前記基板の周辺回路領域の前記第 1 絶縁膜に第 2 コンタクトホールを形成する段階と、

前記第 1 導電物質を使って、前記第 2 コンタクトホールに第 2 コンタクトプラグを形成すると同時に前記第 2 コンタクトプラグと一体で形成されて前記第 2 コンタクトプラグを覆う前記導電膜を形成する段階と、をさらに含むことを特徴とする請求項 2 1 に記載の半導体装置の配線構造物の製造方法。

30

【請求項 2 8】

前記基板内に前記第 1 導電ラインと平行するように配列される少なくとも一つのトレンチを形成する段階と、

前記第 1 コンタクトプラグに隣接するように配置される前記少なくとも一つのトレンチにゲート電極を形成する段階と、をさらに含むことを特徴とする請求項 2 1 に記載の半導体装置の配線構造物の製造方法。

【請求項 2 9】

前記第 1 絶縁膜を通じて前記第 1 コンタクトプラグに対して前記ゲート電極の対向の側面に配置される少なくとも一つの第 3 コンタクトプラグを形成する段階をさらに含み、

前記少なくとも一つの第 3 コンタクトプラグは前記第 1 導電ラインより高く延長することを特徴とする請求項 2 8 に記載の半導体装置の配線構造物の製造方法。

40

【請求項 3 0】

前記少なくとも一つの第 3 コンタクトプラグ上に直接キャパシタを形成する段階をさらに含むことを特徴とする請求項 2 9 に記載の半導体装置の配線構造物の製造方法。

【請求項 3 1】

基板と、

前記基板上に配置される第 1 絶縁膜と、

50

前記第 1 絶縁膜を貫通して延長する第 1 導電物質を含む第 1 コンタクトプラグと、  
前記第 1 コンタクトプラグと一体で形成されて前記第 1 コンタクトプラグを覆う第 1 導電物質を含み、第 1 方向に延長する第 1 導電ラインと、  
前記第 1 コンタクトプラグを覆う前記第 1 導電ライン上に配置されるキャッピングパターンと、を含む半導体装置の配線構造物。

【請求項 3 2】

前記第 1 絶縁膜及び前記第 1 コンタクトプラグはそれぞれ同じ平面に配置される上部表面を含むことを特徴とする請求項 3 1 に記載の半導体装置の配線構造物。

【請求項 3 3】

前記第 1 コンタクトプラグ及び前記第 1 絶縁膜の上部境界と前記第 1 導電ラインの下部境界は、水平する平面に配置されることを特徴とする請求項 3 1 に記載の半導体装置の配線構造物。

【請求項 3 4】

前記第 1 絶縁膜及び前記第 1 コンタクトプラグは同じ厚さを有することを特徴とする請求項 3 1 に記載の半導体装置の配線構造物。

【請求項 3 5】

前記第 1 導電ラインは前記第 1 絶縁膜上に直接配置されることを特徴とする請求項 3 1 に記載の半導体装置の配線構造物。

【請求項 3 6】

前記第 1 コンタクトプラグ及び前記第 1 導電ラインはシリサイドを除けば、同じ物質を含むことを特徴とする請求項 3 1 に記載の半導体装置の配線構造物。

【請求項 3 7】

少なくとも前記第 1 導電ラインの少なくとも側部はシリサイドを含むことを特徴とする請求項 3 1 に記載の半導体装置の配線構造物。

【請求項 3 8】

前記第 1 コンタクトプラグ及び前記第 1 導電ラインは全部シリサイドを含むことを特徴とする請求項 3 1 に記載の半導体装置の配線構造物。

【請求項 3 9】

前記第 1 コンタクトプラグ及び前記第 1 導電ラインを含む第 1 ソース/ドレイン電極をさらに含むことを特徴とする請求項 3 1 に記載の半導体装置の配線構造物。

【請求項 4 0】

前記第 1 ソース/ドレイン電極の少なくとも一つの側面上に配置される少なくとも一つの垂直スペーサをさらに含むことを特徴とする請求項 3 9 に記載の半導体装置の配線構造物。

【請求項 4 1】

前記第 1 コンタクトプラグは、ポリシリコンパターンを含み、前記第 1 導電ラインは金属シリサイドを含むことを特徴とする請求項 3 1 に記載の半導体装置の配線構造物。

【請求項 4 2】

前記第 1 導電ラインに平行して、前記第 1 コンタクトプラグに隣接するゲート電極をさらに含むことを特徴とする請求項 3 1 に記載の半導体装置の配線構造物。

【請求項 4 3】

前記第 1 絶縁膜を通じて延長して、前記第 1 コンタクトプラグに対して前記ゲート電極の対向の側面上に配置され、前記第 1 導電ラインより高く延長する少なくとも一つの第 1 コンタクトプラグと、

前記少なくとも一つの第 3 コンタクトプラグ上に直接配置されるキャパシタと、をさらに含むことを特徴とする請求項 4 2 に記載の半導体装置の配線構造物。

【請求項 4 4】

前記ゲート電極は前記基板内に配置されることを特徴とする請求項 4 2 に記載の半導体装置の配線構造物。

【請求項 4 5】

10

20

30

40

50

前記ゲート電極は前記第 1 絶縁膜内に配置されることを特徴とする請求項 4 2 に記載の半導体装置の配線構造物。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は概して半導体製造方法及びリソグラフィ ( l i t h o g r a p h y ) 方法に関する。より詳細に、本発明は半導体装置の配線構造物及び半導体装置の配線構造物の製造方法に関する。

【背景技術】

【0002】

近来、半導体装置が高度に集積化されるということによって、半導体装置の配線の幅と配線の間の間隔も減少している。このような配線は狭い幅と間隔を有しながらも低い抵抗を有することが要求される。しかし、配線の幅が減少すればその抵抗は増加することになる。従って、半導体装置には低い抵抗を有する配線、減少された配線幅、隣接する配線の間の減少された幅などが要求される。

【0003】

半導体装置の配線が導電性ラインに連結されるコンタクトプラグ ( c o n t a c t p l u g ) を含む場合、前記配線が全体的に低い抵抗を有するようにするために前記コンタクトプラグと前記導電性ライン間の接触抵抗が減少しなければならない。また、前記配線の幅が減少した程増加する抵抗を補償するために、前記配線の高さはより一層増加して前記配線の抵抗を減少させなければならない。一方、前記配線を低抵抗の導電物質を使って形成することによって前記配線の抵抗をより一層減少させることができる。

【0004】

しかし、前記配線の高さが増加する程前記コンタクトプラグと前記導電性ラインの間のアラインメント ( a l i g n m e n t ) が難しく、これに伴い、前記コンタクトプラグと前記導電性ラインの間の接触面積が減少する問題が発生する。また、低い抵抗を有する金属または金属シリサイドの大部分は写真エッチング ( p h o t o l i t h o g r a p h y ) 工程でパターンニングすることが容易ではないため、実質的に金属や金属シリサイドを低い抵抗を有する配線の形成に適用することは難しいという問題がある。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2 0 0 8 - 0 7 8 3 8 1 号公報

【特許文献 2】特開平 0 6 - 3 1 8 6 8 0 号公報

【特許文献 3】特開 2 0 0 1 - 2 5 7 5 2 5 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の一目的は、低い抵抗を確保しながら低い高さを有する配線構造物を提供することである。

【0007】

本発明の他の目的は、前記配線構造物の製造方法を提供することである。

【0008】

本発明のまた他の目的は、前記配線構造物を含む半導体装置を提供することである。

【0009】

本発明のさらに他の目的は、前記配線構造物を具備する半導体装置の製造方法を提供することである。

【課題を解決するための手段】

【0010】

上述した目的を達成するために、本発明の実施例に係る半導体装置の配線構造物の製造

10

20

30

40

50

方法において、セル領域及び周辺回路領域を有する基板を備え、前記基板上に第1絶縁膜を形成する。前記第1絶縁膜を貫通して延長する第1導電物質を含む第1コンタクトプラグを前記セル領域に形成する。前記第1コンタクトプラグをカバーして前記第1コンタクトプラグと一体で形成して、第1導電物質を含む第1導電ラインを前記第1コンタクトプラグと実質的に同時に形成する。前記第1絶縁膜を貫通して延長して、第1導電物質を含む第2コンタクトプラグを前記第1コンタクトプラグと実質的に同時に前記周辺回路領域に形成する。前記第2コンタクトプラグをカバーして前記第2コンタクトプラグと一体で形成して、第1導電物質を含む第2導電ラインを前記第2コンタクトプラグと実質的に同時に形成する。

【0011】

10

上述の目的を達成するために、本発明の実施例に係る半導体装置の配線構造物は、セル領域と周辺回路領域を有する基板と、前記基板上に配置される第1絶縁膜と、前記セル領域に配置されて前記第1絶縁膜を貫通して延長する第1導電物質を含む第1コンタクトプラグと、前記セル領域に配置されて第1方向に沿って延長して、前記第1コンタクトプラグと一体で形成して前記第1コンタクトプラグを覆う第1導電物質を含む第1導電ラインと、前記周辺回路領域に配置して前記第1絶縁膜を貫通して延長する第1導電物質を含む第2コンタクトプラグと、前記周辺回路領域に配置されて第2方向に沿って延長し、前記第2コンタクトプラグと一体で形成されて前記第2コンタクトプラグを覆う第1導電物質を含む第2導電ラインとを具備する。

【0012】

20

本発明の他の実施例に係る半導体装置の配線構造物の製造方法において、基板上に第1絶縁膜を形成して、前記基板のアクティブ領域の前記第1絶縁膜に第1コンタクトホールを形成する。第1導電物質を使って前記第1コンタクトホールに第1コンタクトプラグを形成すると同時に前記第1コンタクトプラグと一体で形成されて前記第1コンタクトプラグを覆う導電膜を形成する。前記第1コンタクトプラグを覆う前記導電膜上に第1方向で延長するキャッピング(capping)パターンを形成する。前記キャッピングパターンの外部で延長する部分の前記導電膜を除去して前記第1コンタクトプラグと一体で形成されて前記第1コンタクトプラグを覆う第1導電ラインを形成する。前記第1方向に対して傾斜した第2方向に沿って延長するフォトレジストパターンを形成する。

【0013】

30

本発明のまた他の実施例に係る半導体装置の配線構造物は、基板と、前記基板上に配置される第1絶縁膜と、前記第1絶縁膜を貫通して延長する第1導電物質を含む第1コンタクトプラグと、前記第1コンタクトプラグと一体で形成されて前記第1コンタクトプラグを覆う第1導電物質を含んで第1方向で延長する第1導電ラインと、前記第1コンタクトプラグを覆う前記第1導電ライン上に配置されるキャッピングパターンと、を含む。

【発明の効果】

【0014】

本発明に係る配線構造物はコンタクトプラグと導電性ライン間の界面の接触抵抗が減少する。また、前記配線構造物は低抵抗を有する金属シリサイドを含んでいて、前記配線構造物の全体抵抗が減少して、前記配線構造物の高さが減少する。また、前記配線構造物は簡単な工程で形成されることがあるため、前記配線構造物を形成するのに必要とされる工程費用及び工程不良が減少する。

【図面の簡単な説明】

【0015】

【図1】本発明の実施例に係る配線構造物を示す斜視図である。

【図2】本発明の実施例に係る配線構造物を示す断面図である。

【図3】本発明の他の実施例に係る配線構造物を示す断面図である。

【図4】本発明のまた他の実施例に係る配線構造物を示す断面図である。

【図5】図2に示した配線構造物の形成方法を説明するための断面図である。

【図6】図2に示した配線構造物の形成方法を説明するための断面図である。

50

10  
20  
30  
40  
50



【図 5 5】図 5 3 に示した半導体装置の製造方法を説明するための断面図である。

【図 5 6】図 5 3 に示した半導体装置の製造方法を説明するための断面図である。

【図 5 7】図 5 3 に示した半導体装置の製造方法を説明するための断面図である。

【図 5 8】本発明の実施例に係る半導体装置を含むメモリシステムの概略的なブロック図である。

【図 5 9】本発明に実施例に係る半導体チップが含まれたグラフィックシステムの概略的なブロック図である。

【図 6 0】図 5 9 に示したグラフィックチップ及び半導体チップの概略的なブロック図である。

【発明を実施するための最良の形態】

10

【0016】

以下、添付した図面を参照して本発明の例示的な実施形態に係る半導体装置のパターン構造物と半導体装置のパターン構造物の形成方法を詳細に説明する。本明細書の各図面において、構成要素及び／または構造物のサイズは本発明の明確性を期するために実際より拡大して示した。

【0017】

本明細書において、第 1、第 2 等の用語が多様な構成要素を説明するのに使われるが、構成要素はこのような用語によって限定されるのではなく、用語は一つの構成要素を他の構成要素から区別する目的で使われる。

【0018】

20

本明細書で使用する用語は単に特定の実施形態を説明するために使用するもので、本発明を限定しようとする意図ではない。単数の表現は文脈上明白に異なるように意味しない限り、複数の表現を含む。本明細書で、「含む」または「有する」等の用語は明細書上に記載された特徴、数字、段階、動作、構成要素、部品または、これを組み合わせたものが存在するということを指定しようとするものであって、一つまたは、それ以上の他の特徴や数字、段階、動作、構成要素、部品または、これを組み合わせたものの存在または、付加の可能性を、予め排除しない。

【0019】

本明細書において、各階（膜）、領域、電極、パターンまたは、構造物が対象物、基板、各階（膜）、領域、電極または、パターンの「上に」、「上部に」または「下部」に形成されると言及される場合には各階（膜）、領域、電極、パターンまたは、構造物が直接、基板、各階（膜）、領域、または、パターン上に形成されたり、下に位置することを意味したり、他の層（膜）、他の領域、他の電極、他のパターンまたは、他の構造物が対象物や基板上に追加的に形成することを意味する。

30

【0020】

本明細書に開示されている本発明の実施形態に対して、特定の構造的ないし機能的説明は単に本発明の実施形態を説明するための目的で例示されたもので、本発明の実施形態は多様な形態で実施可能で、本明細書に説明された実施形態に限定されるものではない。即ち、本発明は多様な変更を加えることができ、種々な形態を有することができるが、特定の実施形態を図面に例示し、本明細書に詳細に説明したものである。これは本発明を特定の開示形態に限定しようとするものではなく、本発明の思想及び技術範囲に含まれるすべての変更、均等物ないし代替物を含むと理解されるべきである。

40

【0021】

図 1 は、本発明の実施例に係る配線構造物を示す斜視図である。図 2 は本発明の実施例に係る配線構造物を示す断面図である。図 2 で左側部の断面図は図 1 の I-I' を切断した時の断面であり、右側部の断面図は図 1 の I I-I I' を切断した時の断面図である。

【0022】

図 1 及び図 2 を参照すれば、基板 100 上に絶縁膜 102 が備えられる。前記絶縁膜 102 には第 1 コンタクトホール 104 が設けられる。図示はしなかったが、前記第 1 コンタクトホール 104 は、オーバーエッチ (over etch) により前記基板 100 表

50

面の一部が除去された形状を有することができる。

【0023】

前記絶縁膜102は層間絶縁膜116をエッチングする時、エッチング阻止膜として使われることができる。従って、前記絶縁膜102は層間絶縁膜116に対してエッチング選択比が高い物質からなることができる。例えば、前記絶縁膜102はシリコン窒化物からなることができる。前記絶縁膜102の上部面と第1コンタクトプラグの上部面は同じ高さに位置することができる。本発明の実施例において、前記絶縁膜102は、約100～300程度の薄い厚さを有することができる。

【0024】

前記第1コンタクトホール104内部には第1コンタクトプラグ110aが備えられる。前記第1コンタクトプラグ110aは別途の下部層間絶縁膜内に形成されるのではなく、エッチング阻止膜で使われる絶縁膜102内に備えられることができる。従って、前記第1コンタクトプラグ110aは非常に低い高さを有することができる。

【0025】

前記絶縁膜102の上部面には前記第1コンタクトプラグ110aと一体で備えられる導電性ライン110bが備えられる。前記第1コンタクトプラグ110a及び導電性ライン110bは1回の蒸着工程を通じて同時に形成されることができる。以下、前記第1コンタクトプラグ110a及び導電性ライン110bは、第1配線110とする。前記第1配線110の少なくとも一部分は低い抵抗を有する金属シリサイドSからなる。

【0026】

本発明の実施例において、図1及び図2に示したように、導電性ライン110bは金属シリサイドSからなって、前記第1コンタクトプラグ110aはポリシリコンからなることができる。しかし、これとは異なって、前記導電性ライン110bの一部分のみが金属シリサイドからなるか、または、前記導電性ライン110b及び第1コンタクトプラグ110aの全部が金属シリサイドからなることができる。

【0027】

図3は本発明の他の実施例に係る金属シリサイドを含む配線構造物を示す断面図である。図4は本発明のまた他の実施例に係る金属シリサイドを含む配線構造物を示す断面図である。

【0028】

図3に示したように、前記導電性ライン110bの側壁表面部位は金属シリサイドSからなって、残り部位はポリシリコンからなることができる。これとは異なって、図4に示したように、前記導電性ライン110b及び第1コンタクトプラグ110a全体が金属シリサイドSからなることができる。

【0029】

上述のように、前記第1配線110が要求される抵抗を有しているように前記金属シリサイドSの厚さが変わることができる。また、前記金属シリサイドSが形成される部位が変わることができる。

【0030】

本発明の実施例において、前記金属シリサイドSはコバルトシリサイド(CoSi<sub>x</sub>)、チタンシリサイド(TiSi<sub>x</sub>)、タンタルシリサイド(TaSi<sub>x</sub>)、ニッケルシリサイド(NiSi<sub>x</sub>)、白金シリサイド(PtSi<sub>x</sub>)等からなることができる。これらは単独で形成されることができ、また2種類以上の金属シリサイドが積層されることもできる。前記第1配線110に含まれる前記金属シリサイドSはチタン窒化物と同じ金属窒化物であるが、タングステン、タングステンシリサイドに比べて低い抵抗を有することができる。本発明の一実施例において、前記金属シリサイドSは、低い抵抗を有しながらも半導体製造工程で使われるのに適したコバルトシリサイドからなることができる。前記第1配線110がコバルトシリサイドを含む場合、前記第1配線110が金属窒化物を含むことと比較する時、前記第1コンタクトプラグ110a及び導電性ライン110bの高さが減少しても十分に低い抵抗を有することができる。

## 【0031】

前記導電性ライン110bの上部面にはハードマスクパターン108が備えられる。前記ハードマスクパターン108は、層間絶縁膜116をエッチングするためのマスクにも提供されるため、前記ハードマスクパターン108は、シリコン酸化物に対して高いエッチング選択比を有する物質からなることができる。例えば、前記ハードマスクパターン108は、シリコン窒化物からなることができる。

## 【0032】

前記第1配線110間のギャップを埋め立てる層間絶縁膜116が備えられる。前記層間絶縁膜116の上部面は前記ハードマスクパターン108の上部面と同じ平面上に位置することができる。これとは異なって、前記層間絶縁膜116の上部面は前記ハードマスクパターン108の上部面より高く或いは低く位置することもできる。

10

## 【0033】

前記層間絶縁膜116及び絶縁膜102を貫通して基板100と接触する第2コンタクトプラグ126が備えられる。前記第2コンタクトプラグ126は、前記第1配線110間に配置される。前記第2コンタクトプラグ126の側壁には内壁スペーサ124が位置する。従って、前記内壁スペーサ124により前記第1配線110及び第2コンタクトプラグ126が互いに電氣的に絶縁されることができる。

## 【0034】

前記第2コンタクトプラグ126は前記基板100と接触する。従って、前記第2コンタクトプラグ126と前記基板100の接触特性を向上させるために、前記第2コンタクトプラグ126はポリシリコンからなることができる。この場合、前記内壁スペーサ124はシリコン酸化物或いはシリコン窒化物からなることができる。

20

## 【0035】

上述のように、第1コンタクトプラグ110a及び導電性ライン110bは、1回の蒸着工程によって一体で形成されるために、前記第1コンタクトプラグ110aと導電性ライン110bとの間の界面接触抵抗が減少することができる。また、第1配線110は金属窒化物及びタングステンに比べて低い抵抗を有する金属シリサイドSを含むため、前記第1配線110の高さが低くても十分に低い抵抗を確保することができる。さらに、前記第1配線110上に備えられるハードマスクパターン108が、第2コンタクトプラグ126を形成するためのエッチングマスクとして使われることがあるため、前記第2コンタクトプラグ126を容易に形成することができる。

30

## 【0036】

図5～図10、図12、及び図13は、図2に示した配線構造物の形成方法を説明するための断面図である。図11は図2に示した配線構造物の形成方法を説明するための斜視図である。

## 【0037】

図5～図13において、左側部の断面図は図1のI-I'線に沿って切断した図であり、右側部の断面図は図1のII-II'線に沿って切断した図である。

## 【0038】

図5を参照すれば、基板100上に絶縁膜102を形成する。前記絶縁膜102は、後続工程で層間絶縁膜をエッチングする時、エッチング阻止膜として使われる。従って、前記絶縁膜102は前記層間絶縁膜に対してエッチング選択比が高いシリコン窒化物からなることができる。また、前記絶縁膜102は、約100～約300程度の薄い厚さで形成することができる。

40

## 【0039】

前記絶縁膜102の一部分を写真エッチング工程を通じて除去して基板100表面を露出させる第1コンタクトホール104を形成する。

## 【0040】

図6を参照すれば、前記第1コンタクトホール104を満たしながら前記絶縁膜102上にポリシリコン膜106を形成する。

50

## 【0041】

前記ポリシリコン膜106上にハードマスク膜(図示せず)を形成する。前記ハードマスク膜はシリコン窒化物を蒸着させて形成することができる。前記ハードマスク膜を写真エッチング工程を通じてパターンングすることによって、第1方向で延長するライン形状を有するハードマスクパターン108を形成する。前記ハードマスクパターン108は前記第1コンタクトホール104上部と対向するように配置される。

## 【0042】

図7を参照すれば、前記ハードマスクパターン108をエッチングマスクを使って前記ポリシリコン膜106をパターンングすることによって、予備導電パターン109を形成する。

10

## 【0043】

前記予備導電パターン109は前記第1コンタクトホール104内部に満たされた予備コンタクトプラグ109a及び前記予備コンタクトプラグ109a上部面と一体で形成されながらライン形状を有する予備ラインパターン109bを含む。例えば、前記予備ラインパターン109bは前記第1コンタクトホール104に満たされた予備コンタクトプラグ109aの上部であるならば全体を覆う形状を有するように形成されることができる。この場合、前記予備ラインパターン109bは前記予備コンタクトプラグ109aの上部面と互いにくい違う部分がなくて、前記予備ラインパターン109bと前記予備コンタクトプラグ109aの間の接触面積が増加することができる。

## 【0044】

20

図8を参照すれば、前記予備導電パターン109、ハードマスクパターン108及び絶縁膜102上部面のプロファイルについて金属膜112を形成する。前記金属膜112は、シリサイデーション工程を通じてシリサイド化した時に低い抵抗を有することができる耐熱性金属を含むことができる。前記金属膜112で使用する物質の例としてはコバルト、チタン、タンタル、ニッケル、白金などを挙げることができる。これらは単独またはこれらの合金物質を使うことができる。本発明の実施例において、前記金属膜112でシリサイド化した時に低い抵抗を有しながら熱的安全性が優秀なコバルト膜を形成することができる。一方、前記金属膜112でタングステンを使うこともできるが、タングステンシリサイドの場合、相対的に抵抗が高いから、前記金属膜112でタングステンを使う場合には十分に低い抵抗を有する配線構造物を実現することが容易でないこともある。

30

## 【0045】

本発明の他の実施例において、前記金属膜112上にキャッピング膜(図示せず)を形成する工程をさらに遂行できる。ここで、前記キャッピング膜はチタン窒化物またはタンタル窒化物を含むことができる。

## 【0046】

図9を参照すれば、前記金属膜112を熱処理して前記金属膜112と前記金属膜112と接触しているポリシリコンを反応させて、金属シリサイドSを形成する。すなわち、前記金属膜112及び予備導電パターン109の側壁が互いに反応して金属シリサイドSが形成される。次いで、反応しなかった金属膜112を除去する。

## 【0047】

40

上述したことによって、前記金属シリサイドSを含む第1配線110が形成される。前記第1配線110は第1コンタクトホール104内部に満たされた第1コンタクトプラグ110aと、前記第1コンタクトプラグ110aと一体で形成された導電性ライン110bを含む。

## 【0048】

本発明の実施例において、前記熱処理工程条件を調節して前記第1配線110に含まれる金属シリサイドSの量を調節することができる。例えば、図9及び図2に示したように、前記導電性ライン110bは、全体が金属シリサイドSになるようにして、前記第1コンタクトプラグ110aにはポリシリコンが残っているようにすることができる。これとは異なって、図3に示したように、前記導電性ライン110bの側壁表面部位のみに金属

50

シリサイドSが形成されるようにして、残り部位の導電性ライン110b及び第1コンタクトプラグ110aにはポリシリコンが残っているようにすることができる。また、図4に示したように、前記導電性ライン110b及び第1コンタクトプラグ110a全体が金属シリサイドSになるようにすることもできる。

【0049】

上述のように、前記第1配線110が要求される抵抗値を有しているように第1配線110内に前記金属シリサイドSが形成される量を調節することができる。

【0050】

本発明の実施例において、前記金属シリサイドSを形成するための熱処理工程は1回のみ遂行する事もでき、2回以上にわたって遂行することもできる。しかし、前記金属シリサイドSが低い抵抗を有するようにするためには前記金属シリサイドSを形成するための熱処理工程を2回遂行することが有利である。2回の熱処理工程を通じてコバルトシリサイドを形成する場合、先ず約250～約550程度の温度で前記金属膜、例えば、コバルト膜が形成された構造物を1次熱処理する。この後、反応せずに残っている金属膜をストリッピング(stripping)工程を通じて除去する。次に、約600～約900範囲の温度で2次熱処理する。これと共に、2回の熱処理工程を遂行して、低い抵抗を有するコバルトシリサイドを形成することができる。

【0051】

上述のように、本発明の実施例によれば、第1配線110に含まれる第1コンタクトプラグ110aと導電性ライン110bは1回の蒸着工程を通じて一体で形成されることができる。これに伴い、前記第1コンタクトプラグ110a及び導電性ライン110bが互いにくい違うミスアラインメント(mis-alignment)不良発生が減少する。また、前記第1コンタクトプラグ110aと導電性ライン110b間の接触面積が増加しながら接触抵抗は減少する。これによって、前記第1配線110の全体的な抵抗も減少する。

【0052】

本発明の実施例において、前記第1配線110の少なくとも一部分は低抵抗を有する金属シリサイドSを含むため前記第1配線110の抵抗が減少する。また、前記金属シリサイドSは前記ハードマスクパターン108をエッチングマスクとして予備導電性ライン109bを形成した後、前記予備導電性ライン109b側壁を反応させることによって形成される。これと共に、ダマシン(damascene)工程を利用せずに前記金属シリサイドを含むライン形状のパターンを形成することができる。特に、通常の写真エッチング工程を通じてほぼエッチングされない金属シリサイド(例えば、コバルトシリサイド)の場合でもダマシン工程を利用せずにライン形状のパターンを形成することができる。その結果、前記第1配線110を形成するための工程が簡単になり、工程費用が減少する。

【0053】

本発明の実施例によれば、前記第1配線110の上部面にはハードマスクパターン108が備えられる。前記ハードマスクパターン108は後続のエッチング工程時にエッチングマスクとして使うことができる。

【0054】

図10及び図11を参照すれば、前記第1配線110の間を満たしながら前記ハードマスクパターン108を覆う絶縁膜を形成する。前記絶縁膜は、シリコン酸化物と同じ酸化物を蒸着させて形成することができる。前記ハードマスクパターン108の上部面が露出するように前記絶縁膜を研磨して、前記第1配線110b間を埋め立てる層間絶縁膜116を形成する。

【0055】

前記層間絶縁膜116上にフォトレジストパターン120を形成する。図11に示したように、前記フォトレジストパターン120は前記第1方向と垂直な第2方向で延長するライン形状またはバー形状を有することができる。この場合、前記フォトレジストパターン120及び前記ハードマスクパターン108によってカバーされない前記層間絶縁膜1

10

20

30

40

50

１６部位が選択的に露出する。

【００５６】

図１２を参照すれば、前記フォトレジストパターン１２０及びハードマスクパターン１０８により露出した部位の層間絶縁膜１１６をエッチングする。この時、底面に前記絶縁膜１０２が露出すれば前記層間絶縁膜１１６のエッチング工程を中断する。次いで、前記絶縁膜１０２を除去して前記シリコン基板１００を露出させる。これに伴い、前記層間絶縁膜１１６に第２コンタクトホール１２２を形成する。

【００５７】

本発明の実施例によれば、第１配線１１０上にハードマスクパターン１０８が形成されている。従って、前記フォトレジストパターン１２０をライン形状で形成すれば、図１１に示したように、前記ハードマスクパターン１０８及びフォトレジストパターン１２０により孤立された部位の層間絶縁膜１１６が露出する。これに伴い、前記ライン形状のフォトレジストパターン１２０をエッチングマスクとして使ってエッチング工程を遂行することによって、前記第２コンタクトホール１２２を形成することができる。上述のように、前記ハードマスクパターン１０８によって自己整合（Self aligned）されて第２コンタクトホール１２２が形成されるため、前記第２コンタクトホール１２２のミスアラインメント不良が減少する。また、広い底部を有する第２コンタクトホール１２２を形成することができる。

【００５８】

図１３を参照すれば、前記第２コンタクトホール１２２の側壁に絶縁物質からなる内壁スペーサ１２４を形成する。本発明の実施例において、前記第２コンタクトホール１２２の側壁及び底面と前記ハードマスクパターン１０８及び層間絶縁膜１１６についてスペーサ用絶縁膜（図示せず）を形成する。次いで、前記第２コンタクトホール１２２の底面に基板が露出するように前記スペーサ用絶縁膜を異方性エッチング工程でエッチングすることによって、前記内壁スペーサ１２４を形成する。前記内壁スペーサ１２４はシリコン酸化物またはシリコン窒化物からなることができる。

【００５９】

前記第２コンタクトホール１２２内部に導電物質を満たして、前記ハードマスクパターン１０８の上部面が露出するように研磨することによって、第２コンタクトプラグ１２６を形成する。前記第２コンタクトプラグ１２６は前記基板１００と直接接触する。従って、前記第２コンタクトプラグ１２６に含まれる前記導電物質は前記基板１００との接触特性を向上させるためにポリシリコンを含むことができる。これとは異なって、前記導電物質はバリア（barrier）金属膜及び／または金属膜を含むこともできる。

【００６０】

上述の工程を遂行することによって、本発明による配線構造物を形成することができる。前記第１配線は第１コンタクトプラグと導電性ラインが一体からなるため、低い接触抵抗を有する。また、低抵抗を有する金属シリサイドが含まれるため、前記第１配線の高さが低くても低い抵抗を有することができる。これと共に、前記第１配線は低い高さを有することができ、これによって、前記第１配線工程この後で進行される工程を容易に遂行できる。また、前記第１配線上に備えられるハードマスクパターンが第２コンタクトプラグを形成するためのエッチングマスクにも使うことがあるので、前記第２コンタクトプラグを形成する時にミスアラインメントの発生を減少させることができる。

【００６１】

本発明の実施例に係る配線構造物はＤＲＡＭ装置のような半導体装置のメモリセルに適する。

【００６２】

図１４は半導体装置のメモリセルの部分の回路図であり、図１５は図１に示した配線構造物を含む半導体装置の平面図である。図１６は図１５に示した半導体装置の断面図である。図１４～図１６において、半導体装置としてＤＲＡＭ装置を例示的に図示する。図１６の断面図は左側部から各々図１５のＡ－Ａ'線、Ｂ－Ｂ'線、及びＣ－Ｃ'線を切断した

10

20

30

40

50

図である。

【0063】

図14を参照すれば、DRAM装置のような半導体装置の単位セルCはワードラインW/Lによって調整される一つのNMOSTランジスタ10と前記NMOSTランジスタ10と連結されるキャパシタ12を含む。ここで、前記NMOSTランジスタ10の不純物領域の中の一つの端子はビットラインB/Lに連結され、前記NMOSTランジスタ10の不純物領域中残り一つの端子は前記キャパシタ12の下部電極と連結される。

【0064】

前記キャパシタ12の下部電極は電荷が保存されるストレージノードに該当する。前記キャパシタ12の上部電極は共通のセルプレートライン(図示せず)に連結され、前記プレートラインを通じてプレート電圧が印加される。また、ラッチ型ビットラインセンスアンプS/Aの両出力端子はビットラインB/L対に連結される。

10

【0065】

図14に示した半導体装置のメモリセルは、単結晶半導体基板に具現される。前記半導体装置のメモリセルでランジスタ10の不純物領域とビットラインB/Lとキャパシタ12との間の電氣的連結のために配線構造物が備えられなければならない。

【0066】

以下、図1に示した配線構造物を含む半導体装置に対して図15及び16を参照して詳細に説明する。

【0067】

20

図15及び図16を参照すれば、アクティブ領域A及び素子分離領域が区分される基板200が設けられる。前記基板200で素子分離領域は素子分離用トレンチが形成されていて、前記素子分離用トレンチ内部に素子分離膜204が満たされている。前記アクティブ領域Aは孤立された形状を有しながら規則的に配置される。

【0068】

前記アクティブ領域A及び素子分離領域には、第1方向に延長するライン形状を有するゲート電極用トレンチ206が生成されている。前記ゲート電極用トレンチ206は前記アクティブ領域Aを横切りながら延長する。一つの孤立されたアクティブ領域Aには2つのMOSTランジスタが備えられるため、前記一つの孤立されたアクティブ領域Aには2つのゲート電極用トレンチ206が互いに並んでいるように配置されることができる。

30

【0069】

前記アクティブ領域Aに位置する前記ゲート電極用トレンチ206の側壁にはゲート酸化膜208が備えられる。前記ゲート酸化膜208はシリコン酸化物または高誘電率を有する金属酸化物からなることができる。前記高誘電率を有する金属酸化物としてはアルミニウム酸化物( $Al_2O_3$ )、チタン酸化物( $TiO_2$ )、タンタル酸化物( $Ta_2O_5$ )、ジルコニウム酸化物( $ZrO_2$ )、ハフニウム酸化物( $HfO_2$ )等を挙げることができる。これらは単独または互いに混合して使うことができる。

【0070】

前記ゲート電極用トレンチ206の内部には導電膜パターン210及び第1ハードマスクパターン212を含むゲート構造物が埋め立てられている。前記ゲート構造物の上部面は前記基板200表面より高く突出せず、前記基板200の上部面と平坦であるかまたは前記基板200の上部面より低く位置する。前記導電膜パターン210は選択トランジスタのゲート電極として使われるのみならず、半導体装置のメモリセルのワードラインとしても使われる。

40

【0071】

前記導電膜パターン210はドーピングされたポリシリコンと同じシリコン、金属または、金属シリサイドからなることができる。これらは単独または互いに混合して使うことができる。前記導電膜パターン210に含まれる金属の例としてはタングステン、チタン窒化物、タンタル窒化物などを挙げることができる。前記第1ハードマスクパターン212はシリコン窒化物からなることができる。

50

## 【0072】

前記ゲート構造物両側のアクティブ領域の基板表面の下には第1及び第2不純物領域214a、214bが備えられる。前記第1及び第2不純物領域214a、214bは選択トランジスタのソース/ドレーンで使われる。

## 【0073】

前記基板200、素子分離膜パターン204、及び前記ゲート構造物の上部面にエッチング阻止膜218が備えられる。前記エッチング阻止膜218は層間絶縁膜226に対してエッチング選択比が高い物質からなり、例えば、シリコン窒化物からなることができる。前記エッチング阻止膜218には前記第1不純物領域214aが露出する第1コンタクトホールが生成されている。

10

## 【0074】

前記第1コンタクトホール内部にはビットラインコンタクト224aが備わり、前記エッチング阻止膜218上には前記ビットラインコンタクト224aと一体でビットライン224bが備えられる。以下、前記ビットラインコンタクト224a及びビットライン224bをビットライン構造物224とする。

## 【0075】

前記ビットライン構造物224の表面の少なくとも一部分は金属シリサイドからなる。本発明の実施例において、前記ビットライン構造物224の金属シリサイドはコバルトシリサイド、チタンシリサイド、タンタルシリサイド、ニッケルシリサイド、白金シリサイドなどからなることができる。これらは単独または2つ以上が混合して使われることができる。

20

## 【0076】

前記ビットライン構造物224は、図1及び図2を参照して説明した第1配線と実質的に同一であるか、または、類似の構成を有することができる。これとは異なって、前記ビットライン構造物224は、図3または図4を参照して説明した第1配線と実質的に同一であるかまたは類似の構成を有することもある。

## 【0077】

前記ビットライン構造物224上にはシリコン窒化物からなる第2ハードマスクパターン222が備えられる。

## 【0078】

30

本発明の実施例において、ビットラインコンタクト224aは層間絶縁膜226の間を貫通せずに、エッチング阻止膜218だけを貫通する形状を有することができる。すなわち、ビットラインコンタクト224aの両側には層間絶縁膜226が備えられないため、前記層間絶縁膜226に該当する高さほど高さが低くなるため前記ビットライン構造物224の全体の高さも非常に低くなることになる。このように、前記ビットライン構造物224の高さが低くなっても前記ビットライン構造物224を構成する導電物質に低い抵抗の金属シリサイドが含まれているため、前記ビットライン構造物224は半導体装置で要求する低い抵抗を有することができる。

## 【0079】

40

前記エッチング阻止膜218上に前記ビットライン224bの間を埋め立てる層間絶縁膜226が備えられる。

## 【0080】

前記層間絶縁膜226及びエッチング阻止膜218を貫通して基板100の第2不純物領域214bと接触するストレージノード(Storage node)コンタクト234が備えられる。前記ストレージノードコンタクト234の両側壁は絶縁物質からなることができる。本発明の実施例において、前記ストレージノードコンタクト234の側壁には内壁スペーサ232及び絶縁パターン235が備えられることができる。前記ストレージノードコンタクト234はポリシリコンからなることができる。

## 【0081】

前記ストレージノードコンタクト234上にキャパシタ240が備えられる。前記キャ

50



パシタ 240 は高い蓄積容量を有するシリンダ型の構造を有することができるが、スタック型の構造を有することもできる。

【0082】

図 17 ~ 図 25 は、図 15 に示した半導体装置の製造方法を説明するための断面図である。図 17 ~ 図 25 に示した断面図は左側部から各々図 15 の A - A' 線、B - B' 線、及び C - C' 線に沿って切断した図である。

【0083】

図 17 を参照すれば、単結晶シリコン基板 200 にパッド酸化膜（図示せず）を形成する。その後、前記パッド酸化膜上に素子分離用トレンチを形成する時にエッチングマスクで使われるハードマスクパターン（図示せず）を形成する。

10

【0084】

前記ハードマスクパターンをエッチングマスクを使って素子分離領域に位置する前記パッド酸化膜及び基板 200 を選択的にエッチングすることによって、基板 200 に素子分離用トレンチ 202 を形成する。前記素子分離用トレンチ 202 以外の基板 200 のアクティブ領域は孤立された形状を有して規則的に配列される。

【0085】

前記素子分離用トレンチ 202 の側面及び底面に露出したシリコンを熱酸化させてトレンチ内壁酸化膜（図示せず）を形成する。前記トレンチ内壁酸化膜及び前記ハードマスクパターンの表面上に窒化膜ライナ（図示せず）を形成する。

【0086】

20

前記素子分離用トレンチ 202 内を埋めたてしながら前記ハードマスクパターンを覆うようにシリコン酸化膜（図示せず）を形成する。例えば、前記シリコン酸化膜は HDP（high Density plasma）酸化物、TEOS（tetra ethyl ortho silicate）、USG（undoped Silicate glass）、TOSZ（登録商標）（Tonen Silazane）等を含むことができる。本発明の実施例において、前記素子分離用トレンチ 202 内に窒化物膜または空気層がさらに含まれることもできる。

【0087】

前記ハードマスクパターンが露出するように前記シリコン酸化膜を化学機械的研磨（CMP）工程で研磨して前記素子分離用トレンチ 202 内部を埋め立てる素子分離膜パターン 204 を形成する。

30

【0088】

前記ハードマスクパターン及び前記素子分離膜パターン 204 上に有機反射防止膜（図示せず）を形成する。前記有機反射防止膜を写真エッチング工程を通じてパターンニングして有機反射防止膜パターン（図示せず）を形成する。前記有機反射防止膜パターンはゲート構造物形成領域を選択的に露出する。

【0089】

前記有機反射防止膜パターンで前記ハードマスクパターンをエッチングして、次いで、前記パッド酸化膜をエッチングする。その後、アッシング（ashing）工程及び／またはストリッピング工程を通じて前記有機反射防止膜パターンを除去する。

40

【0090】

前記ハードマスクパターンをエッチングマスクとして使って前記露出したアクティブ領域及び素子分離領域の基板 200 表面を異方性エッチング工程でエッチングすることによって、前記ゲート電極用トレンチ 206 を形成する。前記ゲート電極用トレンチ 206 は前記アクティブ領域を横切る方向に延長することができる。孤立した形状の前記アクティブパターン内には 2 つのゲート電極用トレンチ 206 が形成される。

【0091】

図 18 を参照すれば、前記ゲート電極用トレンチ 206 の内壁に露出した基板 200 表面にゲート酸化膜 208 を形成する。前記ゲート酸化膜 208 は前記基板 200 を熱酸化させて形成することができる。これとは異なって、前記ゲート酸化膜 208 は高誘電率を

50

有する金属酸化物を原子層積層 (ALD) 工程または化学気相蒸着 (CVD) 工程を通じて蒸着させて形成することができる。例えば、前記高誘電率を有する金属酸化物はアルミニウム酸化物 ( $\text{Al}_2\text{O}_3$ )、チタン酸化物 ( $\text{TiO}_2$ )、タンタル酸化物 ( $\text{Ta}_2\text{O}_5$ )、ジルコニウム酸化物 ( $\text{ZrO}_2$ )、ハフニウム酸化物 ( $\text{HfO}_2$ ) 等を挙げることができる。これらは単独または互いに混合して使われることができる。

【0092】

前記ゲート酸化膜 208 上にゲート電極用導電膜 (図示せず) を形成する。前記ゲート電極用導電膜は前記ゲート電極用トレンチ 206 内部を完全に埋め立てるように形成する。前記ゲート電極用導電膜はドーピングされたポリシリコンと同じ半導体物質、金属シリサイド及び/または金属を使って形成することができる。これらは単独または互いに混合して使うことができる。例えば、前記ゲート電極用導電膜に含まれる金属としてはタンゲステン、チタン窒化物、タンタル窒化物などを挙げることができる。

10

【0093】

前記ゲート電極用トレンチ 206 内部にだけ前記ゲート電極用導電膜が残っているように前記ゲート電極用導電膜を化学機械的研磨工程を通じて研磨する。その後、湿式エッチング工程または乾式エッチング工程を通じて前記ゲート電極用導電膜を部分的に除去することによって、導電膜パターン 210 を形成する。これに伴い、前記導電膜パターン 210 は前記ゲート電極用トレンチ 206 内部を部分的に埋め立てることになる。

【0094】

上述のように、前記導電膜パターン 210 は写真エッチング工程によってパターニングされるのではなく、ダマシン工程を通じて形成される。従って、前記導電膜パターン 210 は写真エッチング工程でパターニングすることが難しい金属を使って形成されることができる。

20

【0095】

前記導電膜パターン 210 上に前記ゲート電極用トレンチ 206 内部を完全に埋め立てるハードマスク膜 (図示せず) を形成する。前記ハードマスク膜は化学気相蒸着工程を利用してシリコン窒化物を蒸着させて形成することができる。前記ゲート電極用トレンチ 206 内部にだけ前記ハードマスク膜が残っているように化学機械的研磨工程を行って、前記ハードマスク膜の一部を除去する。

【0096】

前記化学機械的研磨工程を行えば、前記ゲート電極用トレンチ 206 内部には導電膜パターン 210 及び第 1 ハードマスクパターン 212 が積層されたゲート構造物が完成される。前記第 1 ハードマスクパターン 212 はゲート電極及びワードラインに提供される前記導電膜パターン 210 を保護する。

30

【0097】

本発明の実施例において、前記ゲート酸化膜 208、導電膜パターン 210 及び第 1 ハードマスクパターン 212 を含む前記ゲート構造物は前記ゲート電極用トレンチ 206 内部に位置して前記基板 200 上部面より高く突出しない。

【0098】

イオン注入工程を通じて前記アクティブ領域の基板 200 表面下へ不純物を注入することによって、第 1 及び第 2 不純物領域 214a、214b をそれぞれ形成する。この時、前記ゲート構造物の第 1 ハードマスクパターン 212 はイオン注入マスクとして利用される。

40

【0099】

上述の工程を行えば、半導体装置のメモリセルに含まれる選択トランジスタが完成される。

【0100】

図 19 を参照すれば、前記選択トランジスタが形成されている前記基板 200 表面上にエッチング阻止膜 218 を形成する。前記エッチング阻止膜 218 はシリコン窒化物を蒸着させ形成することができる。

50

## 【 0 1 0 1 】

前記エッチング阻止膜 2 1 8 を写真エッチング工程でエッチングして、前記基板 2 0 0 に形成された第 1 不純物領域 2 1 4 a を露出させる第 1 コンタクトホール 2 1 9 を形成する。前記第 1 コンタクトホール 2 1 9 を満たしながら前記エッチング阻止膜 2 1 8 上にポリシリコン膜 2 2 0 を形成する。

## 【 0 1 0 2 】

前記ポリシリコン膜 2 2 0 上にビットラインを形成するためのマスクとして使われる第 2 ハードマスクパターン 2 2 2 を形成する。前記第 2 ハードマスクパターン 2 2 2 は前記アクティブ領域を横切るように第 1 方向に延長するライン形状を有することができる。前記第 2 ハードマスクパターン 2 2 2 は前記ゲート電極の延長方向と垂直な方向に延長する。また、前記第 2 ハードマスクパターン 2 2 2 は前記アクティブ領域の間の素子分離領域を過ぎて、前記アクティブ領域の第 1 不純物領域 2 1 4 a の上部を覆うように側傍に突出した形状を有することができる。

## 【 0 1 0 3 】

図 2 0 を参照すれば、前記第 2 ハードマスクパターン 2 2 2 をエッチングマスクとして利用して前記ポリシリコン膜 2 2 0 をエッチングすることによって、前記第 1 コンタクトホール 2 1 9 内部を埋め立てながら前記エッチング阻止膜 2 1 8 の上部面で突出する予備導電パターン（図示せず）を形成する。前記予備導電パターンはポリシリコンからなることができる。

## 【 0 1 0 4 】

前記予備導電パターン及びエッチング阻止膜 2 1 8 上に金属膜を形成して、前記金属膜を熱処理することによって前記予備導電パターン表面の少なくとも一部分をシリサイデーション（Silicidation）させる。それによって、少なくとも一部分に金属シリサイドを含み、ビットラインコンタクト 2 2 4 a 及びビットライン 2 2 4 b が積層されたビットライン構造物 2 2 4 を形成する。前記ビットライン構造物 2 2 4 に含まれるビットラインコンタクト 2 2 4 a 及びビットライン 2 2 4 b は 1 回の蒸着工程を通じて形成された一体形態の配線である。

## 【 0 1 0 5 】

上述のように、前記第 2 ハードマスクパターン 2 2 2 が前記アクティブ領域の間の素子分離領域を過ぎながら、前記アクティブ領域の第 1 不純物領域 2 1 4 a の上部を覆うように側傍で突出した形状を有するため、図 1 5 に示したことと同じように前記ビットライン 2 2 4 b が前記アクティブ領域の第 1 不純物領域 2 1 4 a の上部を覆うように側傍に突出する。

## 【 0 1 0 6 】

前記予備導電パターンの形成及びビットライン構造物 2 2 4 を形成する工程は図 9 ~ 図 1 1 を参照して説明した工程と実質的に同一である。

## 【 0 1 0 7 】

図 2 1 を参照すれば、前記ビットライン構造物 2 2 4 間のギャップを埋め立てる層間絶縁膜 2 2 6 を形成する。前記層間絶縁膜 2 2 6 を形成する工程は図 1 0 を参照して説明した工程と実質的に同一である。

## 【 0 1 0 8 】

前記層間絶縁膜 2 2 6 上に前記第 1 方向に実質的に直交する第 2 方向に沿って延長するライン形状のフォトレジストパターン 2 2 8 を形成する。前記フォトレジストパターン 2 2 8 は前記第 2 不純物領域 2 1 4 b 上部を露出しながら前記第 2 方向に延長する形状を有することができる。

## 【 0 1 0 9 】

本発明の実施例において、前記フォトレジストパターン 2 2 8 が前記第 1 不純物領域 2 1 4 a の基板 2 0 0 をカバーする。従って、前記フォトレジストパターン 2 2 8 により隣接するアクティブ領域の間の素子分離領域も共に露出する。それによって、2 つのアクティブ領域に各々形成された第 2 不純物領域 2 1 4 b の上部が同時に露出する。前記第 2 不

10

20

30

40

50

純物領域 2 1 4 b の上部表面はストレージノードコンタクトが形成される領域である。

【0 1 1 0】

図 2 3 を参照すれば、前記フォトリソパターン 2 2 8 及び第 2 ハードマスクパターン 2 2 2 によって露出された層間絶縁膜 2 2 6 をエッチングする。次いで、前記エッチング阻止膜 2 1 8 を除去して前記基板 2 0 0 を露出させる。それによって、前記層間絶縁膜 2 2 6 には第 2 コンタクトホール 2 3 0 が形成される。

【0 1 1 1】

前記フォトリソパターン 2 2 8 をエッチングマスクとして使って前記層間絶縁膜 2 2 6 及びエッチング阻止膜 2 1 8 をエッチングすると、互いに隣接する 2 つのストレージノードコンタクト領域及び前記ストレージノードコンタクト領域の間の素子分離領域を同時に露出させる第 2 コンタクトホール 2 3 0 を形成することができる。

10

【0 1 1 2】

前記第 2 コンタクトホール 2 3 0 の側壁に絶縁物質からなる内壁スペーサ 2 3 2 を形成する。これで、前記ビットライン 2 2 2 と前記ストレージノードコンタクトが互いに絶縁される。

【0 1 1 3】

前記第 2 コンタクトホール 2 3 0 内部に導電物質を埋め立てて、前記第 2 ハードマスクパターン 2 2 2 の上部面が露出するように研磨することによって、予備ストレージノードコンタクト 2 3 3 を形成する。前記導電物質は乾式エッチング工程を通じて容易にエッチングできる物質ならば可能であり、ポリシリコンを含むことができる。

20

【0 1 1 4】

本発明の実施例において、一つの予備ストレージノードコンタクト 2 3 3 は互いに異なるアクティブ領域に形成された 2 つの第 2 不純物領域 2 1 4 b の上部面と同時に接続されることができる。

【0 1 1 5】

図 2 5 を参照すれば、前記予備ストレージノードコンタクト 2 3 3 が第 2 不純物領域 2 1 4 b と各々接触することができるように前記予備ストレージノードコンタクト 2 3 3 を 2 つに分離する。それによって、前記第 2 不純物領域 2 1 4 b と各々接触するストレージノードコンタクト 2 3 4 を形成する。

【0 1 1 6】

本発明の実施例によれば、前記予備ストレージノードコンタクト 2 3 3 及び層間絶縁膜 2 2 6 上にフォトリソパターン（図示せず）を形成する。前記フォトリソパターンは前記予備ストレージノードコンタクト 2 3 3 と接している素子分離領域を露出する形状を有することができる。例えば、前記フォトリソパターンの露出部位はライン形状を有することができる。次に、前記フォトリソパターンをエッチングマスクとして使って、前記素子分離領域が露出するように前記予備ストレージノードコンタクト 2 3 3 をエッチングする。前記エッチング工程を行えば、前記予備ストレージノードコンタクト 2 3 3 が分離して前記素子分離領域の両側で 2 つのストレージノードコンタクト 2 3 4 が形成される。これと共に分離したそれぞれのストレージノードコンタクト 2 3 4 は互いに異なるアクティブ領域で第 2 不純物領域 2 1 4 b と接触することになる。

30

40

【0 1 1 7】

前記分離したそれぞれのストレージノードコンタクト 2 3 4 間に生成されたギャップを埋め立てるように絶縁物質を蒸着し、これを平坦化することによって、絶縁パターン 2 3 5 を形成する。例えば、前記絶縁パターン 2 3 5 はシリコン酸化物からなることができる。

【0 1 1 8】

上述の工程によれば、前記絶縁パターン 2 3 5 と接する前記ストレージノードコンタクト 2 3 4 の側壁部位には内壁スペーサ 2 3 2 が備えられず、残り部位のストレージノードコンタクト 2 3 4 の側壁部位には内壁スペーサ 2 3 2 が備えられる。すなわち、前記ビットライン構造物 2 2 4 と隣接するストレージノードコンタクト 2 3 4 の側壁部位には内壁

50

スペーサ 232 が備えられる。

【0119】

上述したことは異なって、別途のストレージノードコンタクトの分離工程なしでストレージノードコンタクト 234 を形成することができる。これに対しては、図 22 及び図 24 を参照して説明する。

【0120】

図 22 及び図 24 は本発明の他の実施例によってストレージノードコンタクトを形成する方法を説明するための断面図である。

【0121】

図 17 ~ 図 20 を参照して説明した工程を行った後、図 22 に示したように、第 2 コンタクトホールを形成するためのフォトレジストパターン 228a を形成する。前記フォトレジストパターン 228a は前記第 1 不純物領域 214a の基板 200 のみならず、前記第 1 方向で互いに隣接するアクティブ領域間の素子分離領域をマスキング (masking) するように形成される。

【0122】

図 24 を参照すれば、前記フォトレジストパターン 228a をエッチングマスクとして使って前記層間絶縁膜 226 及びエッチング阻止膜 218 を次々とエッチングしたならば、第 2 不純物領域 214b を露出させる前記第 2 コンタクトホールが形成される。前記第 2 コンタクトホール内に内壁スペーサ 232a を形成する。

【0123】

前記内壁スペーサ 232a が形成された第 2 コンタクトホール内に導電物質を埋め立て平坦化することによって、第 2 不純物領域 214b と電氣的に接触するストレージノードコンタクト 234 を形成する。上述の工程を通じて形成されたストレージノードコンタクト 234 の側壁には内壁スペーサ 232a が備えられる。

【0124】

その後、図 16 に示したように、前記ストレージノードコンタクト 234 と接続するようにキャパシタ 240 を形成する。前記キャパシタ 240 はシリンダ型構造を有することができ、スタック型構造を有することもできる。

【0125】

図 26 は本発明の他の実施例に係る配線構造物を含む半導体装置を示す断面図である。図 26 において、前記半導体装置はビットライン 224b に形成された金属シリサイド S の形状を除いては図 16 を参照して説明した半導体装置と実質的に同じ構成を有する。

【0126】

図 26 に示したように、前記半導体装置は少なくとも一部分に金属シリサイド S を含み、ビットライン 224b 及びビットラインコンタクト 224a を含むビットライン構造物 224 を含む。

【0127】

前記ビットライン 224b の側壁表面部位は、金属シリサイド S からなる。そして、前記ビットライン 224b の残り部分及びビットラインコンタクト 224a はポリシリコンからなる。

【0128】

図 26 に示した半導体装置は金属シリサイド S を形成するための工程を除いては、図 17 ~ 図 24 を参照して説明した工程と実質的に同じ工程を通じて形成されることができる。すなわち、図 20 を参照して説明した金属シリサイド S を含むビットライン 224b の形成工程において、予備導電パターンの側壁部位だけがシリサイドーション反応が起きるように金属膜蒸着条件及びシリサイドーションのための熱処理条件を調節することによって、図 26 に示した半導体装置を製造することができる。

【0129】

図 27 は本発明のまた他の実施例に係る配線構造物を含む半導体装置の断面図である。図 27 に示した半導体装置は、ビットライン構造物 224 全体が金属シリサイド S からな

10

20

30

40

50

ることを除いては図 16 を参照して説明した半導体装置と実質的に同じ構成を有する。

【0130】

図 27 に示したように、前記半導体装置はビットライン 224b 及びビットラインコンタクト 224a 全体が金属シリサイド S からなるビットライン構造物 224 を具備する。

【0131】

本発明のまた他の実施例によれば、前記半導体装置はビットライン全体及びビットラインコンタクトの上部が金属シリサイドからなるビットライン構造物を含むこともできる。

【0132】

図 27 に示した半導体装置の製造方法において、ビットライン構造物 224 に含まれる金属シリサイド S は前記金属膜形成工程及びシリサイデーション反応が起きるようにする熱処理条件を調節することによって多様な厚さと形状を有するようにすることができる。

【0133】

図 28 は本発明のまた他の実施例に係る配線構造物を含む半導体装置の断面図である。図 28 に示した半導体装置は図 1 を参照して説明した配線構造物と実質的に同じ構造を有する配線構造物を含む。

【0134】

図 28 を参照すれば、アクティブ領域及び素子分離領域が区分される基板 200 が設けられる。前記基板 200 の素子分離領域には素子分離用トレンチが生成されていて前記素子分離用トレンチ内部に素子分離膜パターン 204 が埋め立てられている。

【0135】

前記アクティブ領域及び素子分離領域を有する基板 200 上には第 1 方向に延長するライン形状を有するゲート構造物が備えられる。前記ゲート構造物は前記基板 200 上部面から突出する形状を有することができる。前記ゲート構造物はそれぞれゲート酸化膜 250、導電膜パターン 252、及び第 1 ハードマスクパターン 254 が積層された構造を有する。

【0136】

前記ゲート構造物の両側壁にはスペーサ 256 が備えられる。本発明の実施例において、前記ゲート構造物は前記基板 200 に含まれたリセス (recess) 内部を埋め立てながら前記基板 200 表面上で突出するリセスゲートの形状を有することもできる。

【0137】

前記ゲート構造物両側のアクティブ領域の基板 200 表面の下には第 1 及び第 2 不純物領域 214a、214b が備えられる。

【0138】

前記ゲート構造物を覆いながら基板 200 上には下部層間絶縁膜 258 が備えられる。前記下部層間絶縁膜 258 の上部面は前記第 1 ハードマスクパターン 254 の上部面と同じ平面上に位置することができる。これとは異なって、前記下部層間絶縁膜 258 の上部面が前記第 1 ハードマスクパターン 254 の上部面より高く位置することもできる。

【0139】

前記下部層間絶縁膜 258 を貫通して前記第 1 及び第 2 不純物領域 214a、214b と接触する第 1 及び第 2 コンタクトパッド 260a、260b が各々備えられる。

【0140】

前記下部層間絶縁膜 258、第 1 及び第 2 コンタクトパッド 260a、260b 上にはエッチング阻止膜 218 が備えられる。前記エッチング阻止膜 218 を貫通して前記第 1 パッドコンタクト 260a と接触するビットラインコンタクト 224a が備わって、前記エッチング阻止膜 218 上には前記ビットラインコンタクト 224a と一体でビットライン 224b が配置される。前記ビットライン 224b の表面の少なくとも一部分は金属シリサイドからなる。

【0141】

前記ビットラインコンタクト 224a 及びビットライン 224b からなるビットライン構造物 224 は図 1 を参照して説明した第 1 配線と実質的に同じ構成を有することができ

10

20

30

40

50

る。前記ビットライン構造物 2 2 4 上にはシリコン窒化物からなる第 2 ハードマスクパターン 2 2 2 が備えられる。前記ビットライン 2 2 4 b の間には層間絶縁膜 2 2 6 が備えられる。

【0 1 4 2】

前記層間絶縁膜 2 2 6 及びエッチング阻止膜 2 1 8 を貫通して前記第 2 パッドコンタクト 2 6 0 b の少なくとも一部分と接触するストレージノードコンタクト 2 3 4 が備えられる。前記ストレージノードコンタクト 2 3 4 の側壁には絶縁物質からなる内壁スペーサ 2 3 2 が備えられる。前記ストレージノードコンタクト 2 3 4 上にはキャパシタ 2 4 0 が備えられる。

【0 1 4 3】

図 2 9 ~ 図 3 1 は、図 2 8 に示した半導体装置の製造方法を説明するための断面図である。

【0 1 4 4】

図 2 9 を参照すれば、単結晶シリコン基板 2 0 0 にシャロートレンチ (Shallow trench) 素子分離工程を行って素子分離膜パターン 2 0 4 を形成することによって、前記基板 2 0 0 をアクティブ領域及び素子分離領域で区分する。

【0 1 4 5】

前記アクティブ領域の基板 2 0 0 上にゲート酸化膜 2 5 0 を形成する。前記ゲート酸化膜 2 5 0 上にゲート電極で形成される導電膜 (図示せず) を形成する。前記導電膜上に第 1 ハードマスク膜 (図示せず) を形成する。前記第 1 ハードマスク膜はシリコン窒化物を蒸着させ形成することができる。

【0 1 4 6】

前記ハードマスク膜を写真エッチング工程によってパターニングすることによって、前記アクティブ領域を横切るライン形状の第 1 ハードマスクパターン 2 5 4 を形成する。一つのアクティブ領域上には 2 つの第 1 ハードマスクパターン 2 5 4 が配置される。

【0 1 4 7】

前記第 1 ハードマスクパターン 2 5 4 をエッチングマスクとして使って、前記導電膜をエッチングすることによって導電膜パターン 2 5 2 を形成する。前記導電膜パターン 2 5 2 はゲート電極及びワードラインで使われる。以下、前記ゲート酸化膜 2 5 0、導電膜パターン 2 5 2 及び第 1 ハードマスクパターン 2 5 4 の積層構造をゲート構造物とする。

【0 1 4 8】

前記導電膜パターン 2 5 2、第 1 ハードマスクパターン 2 5 4、基板表面についてスペーサ用絶縁膜 (図示せず) を形成する。前記スペーサ用絶縁膜はシリコン窒化物からなることができる。前記スペーサ用絶縁膜を異方性でエッチングすることによって、前記ゲート構造物の側壁にスペーサ 2 5 6 を形成する。また、前記ゲート構造物両側の基板表面の下に不純物を注入することによって、第 1 及び第 2 不純物領域 2 1 4 a、2 1 4 b を形成する。

【0 1 4 9】

前記ゲート構造物の間ギャップを埋め立てる下部層間絶縁膜 2 5 8 を形成する。前記下部層間絶縁膜 2 5 8 はシリコン酸化物を蒸着した後に前記第 1 ハードマスクパターン 2 5 4 が上部面に露出するように前記シリコン酸化物の表面を平坦化することによって形成することができる。

【0 1 5 0】

前記下部層間絶縁膜 2 5 8 の一部分を写真エッチング工程を通じてエッチングすることによって、第 1 及び第 2 不純物領域 2 1 4 a、2 1 4 b を各々露出するコンタクトホールを形成する。前記コンタクトホール内に導電物質を埋め立てて、平坦化することによってコンタクトパッド 2 6 0 a、2 6 0 b を形成する。

【0 1 5 1】

上述の工程を行えば、前記下部層間絶縁膜 2 5 8 を貫通して前記第 1 不純物領域 2 1 4 a と接触する第 1 コンタクトパッド 2 6 0 a と前記下部層間絶縁膜 2 5 8 を貫通して前記

10

20

30

40

50

第 2 不純物領域 2 1 4 b と接触する第 2 コンタクトパッド 2 6 0 b が各々形成される。

【 0 1 5 2 】

図 3 0 を参照すれば、前記下部層間絶縁膜 2 5 8 、第 1 及び第 2 コンタクトパッド 2 6 0 a 、2 6 0 b 表面上にエッチング阻止膜 2 1 8 を形成する。

【 0 1 5 3 】

前記エッチング阻止膜 2 1 8 の一部分を写真エッチングを通じて次々とエッチングすることによって、第 1 コンタクトホールを形成する。前記第 1 コンタクトホールの底面には第 1 コンタクトパッド 2 6 0 a の上部面が露出する。前記第 1 コンタクトホールを満たしながら前記エッチング阻止膜 2 1 8 上にポリシリコン膜（図示せず）を形成する。前記ポリシリコン膜上にビットラインを形成するためのマスクとして使われる第 2 ハードマスクパターン 2 2 2 を形成する。

10

【 0 1 5 4 】

前記第 2 ハードマスクパターン 2 2 2 をエッチングマスクとして前記ポリシリコン膜をエッチングすることによって、予備導電パターン（図示せず）を形成する。その後、前記予備導電パターン、エッチング阻止膜 2 1 8 及び第 2 ハードマスクパターン 2 2 2 表面上に金属膜を蒸着し、これをシリサイド化して前記予備導電パターンの少なくとも一部分に金属シリサイドを形成する。それによって、金属シリサイドを含んで、ビットラインコンタクト 2 2 4 a 及びビットライン 2 2 4 b で構成されるビットライン構造物を形成する。

【 0 1 5 5 】

前述した予備導電パターン及びビットライン構造物を形成する工程は図 2 0 を参照して説明した工程と実質的に同一である。

20

【 0 1 5 6 】

図 3 0 を参照すれば、前記ビットライン構造物 2 2 4 の間のギャップを埋め立てる層間絶縁膜 2 2 6 を形成する。

【 0 1 5 7 】

前記層間絶縁膜 2 2 6 を部分的にエッチングした後、前記エッチング阻止膜 2 1 8 をエッチングすることによって、前記第 2 コンタクトパッド 2 6 0 b 上部面の少なくとも一部分を露出する第 2 コンタクトホールを形成する。このような層間絶縁膜 2 2 6 形成及び前記第 2 コンタクトホールを形成する工程は図 2 1 ~ 図 2 4 を参照して説明した工程と実質的に同一である。

30

【 0 1 5 8 】

前記第 2 コンタクトホールの側壁上に内壁スペーサ 2 3 2 を形成した後、前記第 2 コンタクトホール内に導電物質を埋め込ませてストレージノードコンタクト 2 3 4 を形成する。

【 0 1 5 9 】

その後、図 2 8 に示したように、前記ストレージノードコンタクト 2 3 4 と接続するキャパシタ 2 4 0 を形成する。

【 0 1 6 0 】

図 3 2 は、本発明のまた他の実施例に係る配線構造物を含む半導体装置を示す断面図である。図 3 2 に示した半導体装置において、メモリセル領域には図 1 6 を参照して説明したメモリセル領域と実質的に同じ構造のメモリセルが備えられる。また、前記半導体装置の周辺回路領域にはプランナー（p l a n n a r）型のトランジスタが配置される。前記半導体装置のメモリセル領域には、図 1 6 を参照して説明したセルと実質的に同じ構造のメモリセルが備えられるので、以下においては前記半導体装置の周辺回路領域に備えられる素子を説明する。

40

【 0 1 6 1 】

図 3 2 を参照すれば、周辺回路領域の基板 2 0 0 には素子分離領域及びアクティブ領域を区分する素子分離膜パターン 2 0 4 が備えられる。前記周辺回路領域の基板 2 0 0 表面上にはゲート絶縁膜 3 0 2、第 2 ゲート電極 3 0 4、及び第 3 ハードマスクパターン 3 0 6 が積層された第 2 ゲート構造物が備えられる。本発明の実施例において、前記第 2 ゲー

50



ト電極 304 は、ポリシリコン 304a 及び金属シリサイド 304b を含む。また、前記第 2 ゲート構造物両側の基板 200 表面下ヘソース/ドレーンで使われる第 3 及び第 4 不純物領域 310a、310b が備えられる。

【0162】

前記第 2 ゲート構造物は前記基板 200 表面上にゲート絶縁膜 302 が備えられるのを除いてはメモリセル領域に形成されたビットラインコンタクト 224a、ビットライン 224b 及び第 2 ハードマスクパターン 222 と実質的に同じ積層構造を有する。

【0163】

本発明の実施例によれば、前記第 2 ゲート構造物に含まれる第 2 ゲート電極 304 は前記ビットラインコンタクト 224a を構成する物質及びビットライン 224b を成し遂げる物質が積層された構造を有することができる。従って、前記第 2 ゲート電極 304 は表面の少なくとも一部分が金属シリサイドからなるから、前記第 2 ゲート電極 304 は低い抵抗を有することができる。前記第 3 ハードマスクパターン 306 は前記ビットライン 224b 上に備えられる第 2 ハードマスクパターン 222 と実質的に同じ物質からなって、例えば、シリコン窒化物からなることができる。前記第 2 及び第 3 ハードマスクパターン 222、306 の上部面は実質的に同じ平面上に位置することができる。

【0164】

前記第 2 ゲート構造物の間のギャップ部位に層間絶縁膜 226 が備えられる。前記層間絶縁膜 226 は前記セル領域に形成された層間絶縁膜 226 と同じ物質からなることができる。

【0165】

前記層間絶縁膜 226 を貫通して前記第 3 及び第 4 不純物領域 310a、310b と接触する第 2 コンタクトプラグ 312 が備えられる。互いに隣接する第 2 コンタクトプラグの間には絶縁パターン 235 が備えられる。前記第 2 コンタクトプラグ 312 及び層間絶縁膜 226 上には上部層間絶縁膜 314 が備えられる。

【0166】

図 33 ~ 図 38 は、図 32 に示した半導体装置の製造方法を説明するための断面図である。

【0167】

図 33 を参照すれば、セル領域及び周辺回路領域が区分された基板 200 にシャロートレンチ素子分離工程を行って素子分離膜パターン 204 を形成する。

【0168】

図 17 及び図 18 を参照して説明した工程と実質的に同じ工程を行って、前記セル領域の基板 200 に埋め立てられたゲートを含む選択トランジスタを形成する。

【0169】

前記選択トランジスタが形成されている前記基板 200 表面上にエッチング阻止膜 218 を形成する。前記エッチング阻止膜 218 を写真エッチングして第 1 開口部 219a を形成する。具体的に、前記セル領域の基板には前記第 1 不純物領域 214a の基板 200 表面を露出させるコンタクトホールを形成する。また、前記周辺回路領域の基板 200 には、ゲート電極が形成される部位の基板 200 表面を露出させる開口部を形成する。

【0170】

前記第 1 開口部 219a 表面に露出している基板 200 を熱酸化させてゲート絶縁膜 302 を形成する。前記ゲート絶縁膜 302 上に前記ゲート絶縁膜 302 を保護するために予備ポリシリコン膜 303 を形成する。前記予備ポリシリコン膜 303 は、約 50 ~ 約 200 程度の厚さで形成されることができる。

【0171】

図 34 を参照すれば、前記予備ポリシリコン膜 303 上に前記セル領域を選択的に露出させるフォトリソパターン（図示せず）を形成する。前記フォトリソパターンをエッチングマスクで利用して前記セル領域に形成されている予備ポリシリコン膜及びゲート絶縁膜を全部除去する。それによって、前記セル領域に形成されているコンタクトホー

10

20

30

40

50

ルの底面には基板 2 0 0 表面が露出する。

【 0 1 7 2 】

前記第 1 開口部 2 1 9 a 内部を埋め立てながら前記セル領域及び周辺回路領域の前記エッチング阻止膜 2 1 8 表面を覆うように上部ポリシリコン膜 2 1 9 を形成する。以下、残っている予備ポリシリコン膜 3 0 3 と上部ポリシリコン膜 2 1 9 をポリシリコン膜 2 2 0 という。

【 0 1 7 3 】

前記セル領域には前記第 1 開口部 2 1 9 a 内に形成されているポリシリコン膜 2 2 0 が前記基板 2 0 0 表面と接触する。前記周辺回路領域には前記第 1 開口部 2 1 9 a 内に形成されている予備ポリシリコン膜上に追加的に上部ポリシリコン膜 2 1 9 が形成される。それで、前記周辺回路領域に形成されるポリシリコン膜 2 2 0 は前記基板 2 0 0 表面と接触しないで、前記ゲート絶縁膜 3 0 2 表面と接触する。

10

【 0 1 7 4 】

前記セル領域及び周辺回路領域に形成されている前記ポリシリコン膜 2 2 0 上にハードマスクパターン 2 2 2、3 0 6 を形成する。前記セル領域のハードマスクパターン 2 2 2 はビットラインを形成するためのエッチングマスクとして使われて、前記周辺回路領域のハードマスクパターン 3 0 6 はトランジスタのゲートを形成するためのエッチングマスクとして使われる。

【 0 1 7 5 】

図 3 5 を参照すれば、前記ハードマスクパターン 2 2 2、3 0 6 をエッチングマスクとして使って前記ポリシリコン膜 2 2 0 をエッチングすることによって、第 1 開口部 2 1 9 a 内部を埋め立てながら前記エッチング阻止膜 2 1 8 上部面より突出する予備導電パターン 2 2 0 a を形成する。

20

【 0 1 7 6 】

前記セル領域に形成されている予備導電パターン 2 2 0 a はコンタクト及びラインパターンが積層された構造を有する。また、前記周辺回路領域に形成されている予備導電パターン 2 2 0 a は、ライン形状または孤立した形状を有することができる。

【 0 1 7 7 】

前記エッチング阻止膜 2 1 8、予備導電パターン 2 2 0 a 及びハードマスクパターン 2 2 2、3 0 6 について金属膜 3 0 8 を形成する。前記金属膜 3 0 8 は、シリサイド化された時、金属窒化物より低い抵抗を有する物質で形成される。前記金属膜 3 0 8 で使われることができる物質の例ではコバルト、チタン、タンタル、ニッケル、白金などをあげることができる。この時、前記金属膜 3 0 8 は前記予備導電パターン 2 2 0 a の側壁一部と直接接触することになる。

30

【 0 1 7 8 】

図 3 6 を参照すれば、前記金属膜 3 0 8 を熱処理することによって前記予備導電パターン 2 2 0 a の少なくとも一部分をシリサイド化する。それによって、前記セル領域にはビットラインコンタクト 2 2 4 a 及び前記ビットライン 2 2 4 b が積層されて金属シリサイドを含むビットライン構造物 2 2 4 が形成される。また、前記周辺回路領域には金属シリサイド 3 0 4 b を含む第 2 ゲート電極 3 0 4 が形成される。前記シリサイドーション工程条件を調節することによって、前記ビットライン構造物 2 2 4 及び第 2 ゲート電極 3 0 4 に含まれる金属シリサイドの厚さを調節することができる。また、前記金属シリサイドの厚さを調節して望む水準の低い抵抗を有するビットライン構造物 2 2 4 及びゲート電極 3 0 4 を得ることができる。

40

【 0 1 7 9 】

その後、反応せずに残っている金属膜 3 0 8 を除去する。

【 0 1 8 0 】

上述のように、本発明の実施例によれば、1 回のシリサイドーション工程を通じて金属シリサイドを含むビットライン構造物 2 2 4 及びフェリー回路用トランジスタの第 2 ゲート電極 3 0 4 を同時に形成することができる。従って、前記半導体装置の製造工程が非常

50

に単純になることができる。

【0181】

図37を参照すれば、前記周辺回路領域の基板200に形成されているエッチング阻止膜218を選択的に除去する。このようなエッチング工程を行えば、セル領域の基板200表面上にだけエッチング阻止膜218が残っていることになる。

【0182】

その後、前記周辺回路領域の基板200に不純物を注入することによって、前記第2ゲート電極304両側の基板200表面の下に第3及び第4不純物領域310a、310bを形成する。前記第3及び第4不純物領域310a、310bは周辺回路用トランジスタのソース/ドレーンで提供される。

10

【0183】

本発明の他の実施例によれば、前記周辺回路領域の基板に不純物を注入する工程を遂行する前、後または、遂行中に、前記第2ゲート電極304の側壁にスペーサを形成する工程をさらに遂行することもできる。

【0184】

図38を参照すれば、前記ハードマスクパターン222、306を全部覆うように層間絶縁膜226を形成する。前記ハードマスクパターン222、306の上部面が露出するように前記層間絶縁膜226の上部面を研磨する。

【0185】

前記セル領域に形成されている層間絶縁膜226を貫通するストレージノードコンタクト234を形成する。前記ストレージノードコンタクト234を形成する工程は図21～図24を参照して説明した工程と実質的に同一である。

20

【0186】

前記周辺回路領域に形成されている層間絶縁膜226の一部をエッチングしてコンタクトホールを形成して、前記コンタクトホール内に導電物質を埋め立てて前記第3及び第4不純物領域310a、310bと接触する第3コンタクトプラグ312を形成する。

【0187】

再び、図32を参照すれば、前記周辺回路領域を覆う上部層間絶縁膜314を形成する。また、前記基板200のセル領域には前記ストレージノードコンタクト234と接続するようにキャパシタ240を形成する。前記キャパシタ240はシリンドラ型構造またはスタック型構造を有することができる。

30

【0188】

図39は本発明のまた他の実施例に係る配線構造物を有する半導体装置の断面図である。図39に示した半導体装置のセル領域には図16を参照して説明したものと実質的に同じ構造のセルが備えられる。また、前記半導体装置の周辺回路領域にはプランナー型のトランジスタが設けられる。従って、以下では前記半導体装置の周辺回路領域に備えられる素子を説明する。

【0189】

前記周辺回路領域の基板200には素子分離領域及びアクティブ領域を区分する素子分離膜パターン204が備えられる。前記周辺回路領域の基板200表面上にはゲート絶縁膜330及び第2ゲート電極339が積層された第2ゲート構造物が備えられる。すなわち、前記第2ゲート電極339上にはハードマスクパターンが備えられない。また、前記第2ゲート構造物両側の基板表面下にソース/ドレーンで使われる第3及び第4不純物領域336a、336bが備えられる。一方、前記第2ゲート構造物の両側壁にはスペーサ334が備えられる。

40

【0190】

前記第2ゲート電極339はポリシリコンパターン332及び金属シリサイド338が積層された形状を有する。また、前記スペーサ334両側に位置する前記第3及び第4不純物領域336a、336bの基板200上には前記金属シリサイド342a、342bが形成されている。前記金属シリサイド338、342a、342bは前記セル領域のピ

50

ットライン構造物に含まれる金属シリサイドと実質的に同じ物質からなる。

【0191】

前記基板200上において前記第2ゲート構造物の間のギャップ部位には層間絶縁膜226が備えられる。前記層間絶縁膜226は前記セル領域に形成された層間絶縁膜と実質的に同じ物質からなる。

【0192】

前記層間絶縁膜226を貫通して前記第3及び第4不純物領域336a、336b上の金属シリサイド342a、342bと接触する第3コンタクトプラグ346が備えられる。前記第3コンタクトプラグ346及び層間絶縁膜226上には上部層間絶縁膜348が備えられる。

10

【0193】

図40～図43は、図39に示した半導体装置の製造方法を説明するための断面図である。

【0194】

図40を参照すれば、セル領域及び周辺回路領域が区分された基板200にトレンチ素子分離工程を行って素子分離膜パターン204を形成する。次いで、図17及び図18を参照して説明した工程と実質的に同じ工程を行って、前記セル領域の基板200に埋め立てられたゲートを含む選択トランジスタを形成する。

【0195】

前記選択トランジスタを形成した後、前記周辺回路領域の基板200上にゲート絶縁膜330及びポリシリコン膜パターン332が積層された予備ゲート構造物を形成する。前記予備ゲート構造物両側壁にスペーサ334を形成する。

20

【0196】

前記予備ゲート構造物両側の基板表面下へ不純物を注入して第3及び第4不純物領域336a、336bを形成する。それによって、前記周辺回路領域の基板200には予備ゲート構造物、スペーサ334及び不純物領域336a、336bを含む予備トランジスタを形成する。

【0197】

前記セル領域及び周辺回路領域の基板200上にエッチング阻止膜218を形成する。すなわち、前記セル領域に形成されたエッチング阻止膜218は前記埋め立てされたゲートを含む選択トランジスタを覆う。また、前記周辺回路領域に形成されたエッチング阻止膜218は前記予備トランジスタを覆う。

30

【0198】

図41を参照すれば、前記エッチング阻止膜218を写真エッチング工程でエッチングして前記セル領域の第1不純物領域214aを露出させるコンタクトホール219を形成する。

【0199】

前記コンタクトホール219を埋め立てながら前記エッチング阻止膜218表面を覆うようにポリシリコン膜(図示せず)を形成する。前記セル領域に形成されている前記ポリシリコン膜上にハードマスクパターン222を形成する。この時、前記周辺回路領域には前記ハードマスクパターンが形成されない。前記セル領域のハードマスクパターン222はビットラインを形成するためのエッチングマスクとして使われる。

40

【0200】

前記ハードマスクパターン222をエッチングマスクとして使って前記ポリシリコン膜をエッチングする。それによって、前記セル領域の基板200には前記コンタクトホール219内部を埋め立てながら前記エッチング阻止膜218上部面より突出する予備導電パターン220aを形成する。また、前記周辺回路領域のエッチング阻止膜218上に形成されている前記ポリシリコン膜は全て除去される。

【0201】

写真エッチング工程を通じて、前記周辺回路領域の基板200に形成されているエッチ

50

ング阻止膜 218 を除去する。従って、前記周辺回路領域に形成された前記予備ゲート構造物の表面が露出する。また、前記予備ゲート構造物の両側では前記周辺回路領域の基板 200 表面が露出する。

【0202】

図 42 を参照すれば、前記セル領域及び周辺回路領域に形成された構造の表面について金属膜 340 を形成する。前記セル領域では前記エッチング阻止膜 218、予備導電パターン 220a、ハードマスクパターン 222 について金属膜を形成する。また、前記周辺回路領域では前記基板 200 表面及び予備ゲート構造物の表面について金属膜 340 を形成する。前記金属膜 340 はシリサイド化された時、金属窒化物より低い抵抗を有する物質で形成される。

10

【0203】

図 43 を参照すれば、前記金属膜 340 を熱処理することによって、前記セル領域の予備導電パターン 220a、フェリー回路領域のポリシリコンパターン 332、第 3 及び第 4 不純物領域 336a、336b の基板 200 表面の少なくとも一部分をシリサイドーションさせる。その結果、前記セル領域にはビットラインコンタクト 224a 及び前記ビットライン 224b が積層されて金属シリサイドを含むビットライン構造物が形成される。前記周辺回路領域には金属シリサイド 338 を含む第 2 ゲート電極 339 が形成される。また、前記第 3 及び第 4 不純物領域 336a、336b 表面にも金属シリサイド 342a、342b が形成される。

【0204】

20

次に、反応せずに残っている金属膜 340 を除去する。

【0205】

前記シリサイドーション工程条件を調節することによって、前記ビットライン構造物、第 2 ゲート電極 339 に含まれる金属シリサイド 224b、338 と第 3 及び第 4 不純物領域 336a、336b 表面に形成される金属シリサイド 342a、342b の厚さを調節することができる。また、前記金属シリサイドの厚さを調節して望む水準の低い抵抗を有するビットライン構造物及び第 2 ゲート電極 339 を得ることができる。また、周辺回路トランジスタのソース/ドレインの抵抗も減少させることができる。

【0206】

上述のように、本発明の実施例によれば、1 回のシリサイドーション工程を通じて金属シリサイドを含むビットライン構造物、周辺回路用トランジスタの第 2 ゲート電極及びソース/ドレインを同時に形成することができる。

30

【0207】

また、図 39 を参照すれば、前記ビットライン構造物及び第 2 ゲート電極 339 を覆う層間絶縁膜 226 を形成する。前記セル領域に形成されているハードマスクパターン 222 の上部面が露出するように前記層間絶縁膜 226 の上部面を研磨する。

【0208】

前記セル領域に形成されている層間絶縁膜 226 を貫通するストレージノードコンタクト 234 を形成する。前記ストレージノードコンタクト 234 を形成する工程は図 21 ~ 図 24 を参照して説明した工程と実質的に同一である。また、前記周辺回路領域に形成されている層間絶縁膜 226 の一部をエッチングしてコンタクトホールを形成して、このようなコンタクトホールを導電物質で埋め立てる。それによって、前記第 3 及び第 4 不純物領域 336a、336b 上に位置する金属シリサイド 342a、342b と接触する第 3 コンタクトプラグ 346 を形成する。

40

【0209】

前記周辺回路領域を覆う上部層間絶縁膜 348 を形成する。また、前記セル領域には前記ストレージノードコンタクト 234 と接続されるキャパシタ 240 を形成する。

【0210】

図 44 は本発明のまた他の実施例に係る配線構造物を示す斜視図であり、図 45 は図 40 に示した配線構造物を示す断面図である。図 45 において、左側部の断面図は図 44 の

50

I-I' 線に沿って切断した図であり、右側部の断面図は図 4 4 の I I-I I' 線に沿って切断した図である。図 4 4 及び図 4 5 に示した配線構造物は、図 1 及び図 2 を参照して説明した配線構造物とは異なって第 1 配線上にハードマスクパターンが備えられない。

【0211】

図 4 4 及び図 4 5 を参照すれば、基板 100 上にエッチング阻止膜 102 及び下部層間絶縁膜 142 が備えられる。前記エッチング阻止膜 102 には第 1 コンタクトホール 143 が用意されて、前記下部層間絶縁膜 142 には、前記第 1 コンタクトホール 143 と下面で延長するライン形状のトレンチ 146 が設けられる。

【0212】

前記第 1 コンタクトホール 143 内部には第 1 コンタクトプラグ 150 a が備えられる。また、前記下部層間絶縁膜 142 に含まれたトレンチ 146 内には前記第 1 コンタクトプラグ 150 a と一体で備えられる導電性ライン 150 b が備えられる。

10

【0213】

前記導電性ライン 150 b の上部面は、前記下部層間絶縁膜 142 の上部面より突出または前記下部層間絶縁膜 142 の上部面と同じ平面が位置することができる。前記第 1 コンタクトプラグ 150 a 及び導電性ライン 150 b は第 1 配線 150 で提供される。前記第 1 配線 150 の少なくとも一部分は金属シリサイド S からなる。

【0214】

前記金属シリサイド S はコバルトシリサイド、チタンシリサイド、タンタルシリサイド、ニッケルシリサイド、白金シリサイドなどからなることができる。これらは単独で形成されることが望ましいが、2 つ以上が混合されて積層されることができる。しかし、前記導電性ライン 150 b の上部面にはハードマスクパターンが備えられない。

20

【0215】

前記導電性ライン 150 b が含まれた前記第 1 配線 150 と前記下部層間絶縁膜 142 を覆う層間絶縁膜 152 が備えられる。前記層間絶縁膜 152 の上部面は、前記導電性ライン 150 b の上部面より高く位置して前記導電性ライン 150 b を覆う。また、前記層間絶縁膜 152 は平坦な上部面を有することができる。

【0216】

前記層間絶縁膜 152、下部層間絶縁膜 142 及びエッチング阻止膜 102 を貫通して基板 100 と接触する第 2 コンタクトプラグ 160 が備えられる。前記第 2 コンタクトプラグ 160 の側壁には内壁スペーサ 158 が備えられることができる。前記内壁スペーサ 158 はシリコン酸化物またはシリコン窒化物からなることができる。

30

【0217】

図 4 6 ~ 図 5 0 は、図 4 5 に示した配線構造物の形成方法を説明するための断面図である。図 4 6 ~ 図 5 0 において、左側部の断面図は図 4 4 の I-I' 線に沿って切断した図であり、右側部の断面図は図 4 4 の I I-I I' 線に沿って切断した図である。

【0218】

図 4 6 を参照すれば、基板 100 上にエッチング阻止膜 102 及び下部層間絶縁膜 142 を形成する。前記下部層間絶縁膜 142 及びエッチング阻止膜 102 の一部を写真エッチング工程を通じて除去して基板 100 表面を露出する第 1 コンタクトホール 143 を形成する。

40

【0219】

前記第 1 コンタクトホール 143 内部に炭素を含むポリマーからなる犠牲膜（図示せず）を埋め立てる。前記犠牲膜はアッシング工程及び / またはストリッピング工程を通じて容易に除去される物質で形成されることができる。

【0220】

前記下部層間絶縁膜 142 の上部面が露出するように前記犠牲膜を化学機械研磨工程で研磨することによって、前記第 1 コンタクトホール 143 内に犠牲膜パターン 144 を形成する。

【0221】

50

図４７を参照すれば、前記下部層間絶縁膜１４２及び犠牲膜パターン１４４上にライン形状を有するフォトレジストパターン（図示せず）を形成する。前記フォトレジストパターンは下部に犠牲膜パターン１４４が露出するように形成される。

【０２２２】

前記フォトレジストパターンをエッチングマスクとして利用して前記下部層間絶縁膜１４２をエッチングすることによって、前記下部層間絶縁膜１４２にトレンチ１４６を形成する。

【０２２３】

前記フォトレジストパターンをアッシング工程及び／またはストリッピング工程を通じて除去する。前記フォトレジストパターンを除去する間前記犠牲膜パターン１４４も除去される。それによって、前記エッチング阻止膜１０２には前記第１コンタクトホール１４３が形成されて、前記下部層間絶縁膜１４２には前記第１コンタクトホール１４３と連係するトレンチ１４６が形成される。

【０２２４】

図４８を参照すれば、前記第１コンタクトホール１４３及びトレンチ１４６内部を埋め立てながら前記下部層間絶縁膜１４２上にポリシリコン膜（図示せず）を形成する。続いて、前記下部層間絶縁膜１４２の上部面が露出するように前記ポリシリコン膜をエッチバック（etch back）工程及び／または、化学機械的研磨工程で研磨する。このような工程によって、前記第１コンタクトホール１４３内部に満たされた予備コンタクトプラグと、前記予備コンタクトプラグ上部面と一体で形成しながらライン形状を有する予備ラインパターンを含む予備導電パターン１４８を形成する。

【０２２５】

前記下部層間絶縁膜１４２の上部面を所定の厚さ程除去する。前記下部層間絶縁膜１４２の部分的な除去はエッチバック工程を通じて遂行または湿式エッチング工程を通じて行われることができる。上述のように下部層間絶縁膜１４２を部分的に除去すれば、前記予備導電パターン１４８の上部が突出する。本発明の他の実施例によれば、前記下部層間絶縁膜１４２を追加で除去することができないこともあって、前記下部層間絶縁膜１４２を全部除去して上部面に前記エッチング阻止膜１０２が露出するようにすることもできる。

【０２２６】

図４９を参照すれば、予備導電パターン１４８及び下部層間絶縁膜１４２上部面について金属膜（図示せず）を形成する。

【０２２７】

前記金属膜を熱処理して、前記金属膜及び前記金属膜と接触しているポリシリコンを反応させて金属シリサイドＳを形成する。この時、前記金属膜及び予備導電パターン１４８が接触した部位が互いに反応して金属シリサイドＳが形成される。その結果、前記金属シリサイドＳを含む第１配線１５０が形成される。

【０２２８】

前記第１配線１５０は第１コンタクトホール１４３内部に満たされた第１コンタクトプラグ１５０ａと、前記第１コンタクトプラグ１５０ａと一体で形成された導電性ライン１５０ｂを含む。

【０２２９】

本発明の実施例において、前記下部層間絶縁膜１４２の上に突出している前記予備導電パターンの側壁及び上部面と前記金属膜が反応して金属シリサイドＳが形成される。前記シリサイドーション工程条件を調節することによって前記金属シリサイドＳの厚さを調節することができる。前記金属シリサイドＳを形成するための熱処理工程は図９を参照して説明した工程と実質的に同一である。

【０２３０】

図５０を参照すれば、前記第１配線１５０と前記下部層間絶縁膜１４２を覆う層間絶縁膜１５２を形成する。前記層間絶縁膜１５２はその上部面が前記第１配線１５０の上部ならばより高くなるように形成する。前記層間絶縁膜１５２を形成した後に、前記層間絶縁

10

20

30

40

50

膜 1 5 2 を平坦化させる工程が追加的に遂行されることができる。

【 0 2 3 1 】

前記層間絶縁膜 1 5 2 上にフォトレジストパターン 1 5 4 を形成する。前記フォトレジストパターン 1 5 4 は第 2 コンタクトプラグが形成されなければならない部位のみを露出させる形状を有する。すなわち、前記フォトレジストパターン 1 5 4 はライン形状を有しない。

【 0 2 3 2 】

前記フォトレジストパターン 1 5 4 により露出した部位の層間絶縁膜 1 5 2 をエッチングする。続いて、下部層間絶縁膜 1 4 2 及びエッチング阻止膜 1 0 2 をエッチングすることによって第 2 コンタクトホール 1 5 6 を形成する。その後、前記フォトレジストパターン 1 5 4 を除去する。

10

【 0 2 3 3 】

再び、図 4 5 を参照すれば、前記第 2 コンタクトホール 1 5 6 の側壁に絶縁物質からなった内壁スペーサ 1 5 8 を形成する。前記第 2 コンタクトホール 1 5 6 内部に導電物質を埋め立てて、前記層間絶縁膜 1 5 2 の上部面が露出するように研磨することによって、第 2 コンタクトホール 1 5 6 に第 2 コンタクトプラグ 1 6 0 を形成する。

【 0 2 3 4 】

上述した工程を行って、半導体装置の配線構造物を形成することができる。前記配線構造物は第 1 コンタクトプラグと導電性ラインが 1 回の蒸着工程及び研磨工程を通じて一体で形成されることがあるため、低い接触抵抗を有することができる。また、前記配線構造物に低抵抗を有する金属シリサイドが含まれているので、前記配線構造物の高さが低くなくても望む低い抵抗を確保することができる。

20

【 0 2 3 5 】

図 5 1 は、図 4 4 及び図 4 5 に示した配線構造物を含む半導体装置の断面図である。

【 0 2 3 6 】

図 5 1 を参照すれば、アクティブ領域及び素子分離領域が区分される基板 2 0 0 が設けられる。前記基板 2 0 0 には埋め立て型トランジスタが備えられる。前記埋め立て型トランジスタは、配線構造物を除けば図 1 6 を参照して説明した半導体装置と実質的に同じ構成を有する。

【 0 2 3 7 】

前記基板 2 0 0 、素子分離膜パターン 2 0 4 及び埋め立てゲート構造物の上部面にエッチング阻止膜 2 7 0 が備えられる。前記エッチング阻止膜 2 7 0 上には下部層間絶縁膜 2 7 1 が備えられる。前記エッチング阻止膜 2 7 0 には第 1 不純物領域 2 1 4 a を露出する第 1 コンタクトホールが形成される。

30

【 0 2 3 8 】

前記第 1 コンタクトホール内にはビットラインコンタクト 2 7 2 a が備わって、前記ビットラインコンタクト 2 7 2 a 上に前記ビットラインコンタクト 2 7 2 a と一体でビットライン 2 7 2 b が備えられる。前記ビットライン 2 7 2 b の少なくとも一部分は金属シリサイド S からなる。より具体的に、前記金属シリサイド S は、コバルトシリサイド、チタンシリサイド、タンタルシリサイド、ニッケルシリサイド、白金シリサイドなどからなることができる。これらは単独または 2 つ以上が混合されて使われることができる。また、前記ビットライン 2 7 2 b 上にはハードマスクパターンが備えられない。

40

【 0 2 3 9 】

前記ビットラインコンタクト 2 7 2 a 及びビットライン 2 7 2 b からなるビットライン構造物 2 7 2 は、図 4 4 を参照して説明した第 1 配線と実質的に同じ構成を有することができる。

【 0 2 4 0 】

前記ビットライン構造物 2 7 2 の間を埋め立てながら、前記ビットライン構造物 2 7 2 を覆う層間絶縁膜 2 7 4 が備えられる。前記層間絶縁膜 2 7 4 、下部層間絶縁膜 2 7 1 及びエッチング阻止膜 2 7 0 を貫通して基板 2 0 0 と接触するストレージノードコンタクト

50



２７８が配置される。前記ストレージノードコンタクト２７８の側壁には絶縁物質からなる内壁スペーサ２７６が備えられる。

【０２４１】

前記ストレージノードコンタクト２７８上にキャパシタ２８０が備えられる。前記キャパシタ２８０は高い蓄積容量を有するシリンダ形状を有することができるが、スタック構造を有することもある。

【０２４２】

以下、図５１に示した半導体装置の製造方法を説明する。

【０２４３】

先ず、図１７及び図１８を参照して説明した工程と実質的に同じ工程を行って基板２００上に埋め立て型トランジスタを形成する。

【０２４４】

図４６～図５０を参照して説明した配線構造物を形成するための工程と実質的に同じ工程を行って、基板２００上にビットライン構造物２７２及びストレージノードコンタクト２７８を形成する。

【０２４５】

前記ビットライン構造物２７２は前記配線構造物の第１配線を形成する工程を通じて形成される。この時、前記ビットライン構造物２７２は埋め立て型トランジスタの第１不純物領域２１４ａと接触するように形成する。また、前記ストレージノードコンタクト２７８は前記配線構造物で第２コンタクトプラグを形成する工程を通じて形成される。この時、前記ストレージノードコンタクト２７８は第２不純物領域２１４ｂと接触するように形成される。

【０２４６】

その後、前記ストレージノードコンタクト２７８上にキャパシタ２８０を形成して図５１に示した構成を有する半導体装置を製造する。

【０２４７】

図５２は本発明のまた他の実施例に係る配線構造物を含む半導体装置を示す断面図である。図５２に示した半導体装置は図４５を参照して説明した配線構造物と実質的に同じ構造を有する配線構造物を含む。

【０２４８】

図５２を参照すれば、アクティブ領域及び素子分離領域が区分される基板２００を用意する。前記基板２００にはプランナー型トランジスタが備えられる。前記プランナー型トランジスタは前述したプランナー型トランジスタと実質的に同じ構造を有する。

【０２４９】

前記基板２００、素子分離膜パターン２０４及びゲート構造物を覆う第１下部層間絶縁膜２５８が備えられる。前記第１下部層間絶縁膜２５８を貫通して、前記第１及び第２不純物領域２１４ａ、２１４ｂと接触する第１及び第２コンタクトパッド２６０ａ、２６０ｂがそれぞれ形成される。

【０２５０】

前記第１下部層間絶縁膜２５８、第１及び第２コンタクトパッド２６０ａ、２６０ｂ上にはエッチング阻止膜２７０及び第２下部層間絶縁膜２７１が備えられる。前記エッチング阻止膜２７０を貫通して前記第１コンタクトパッド２６０ａの上部面を露出する第１コンタクトホールが形成されて、第２下部層間絶縁膜２７１には前記第１コンタクトホールと連係するライン形状のトレンチが形成される。

【０２５１】

前記第１コンタクトホール内部にはビットラインコンタクト２７２ａが配置されて、前記ビットラインコンタクト２７２ａと一体でビットライン２７２ｂが形成される。前記ビットラインコンタクト２７２ａは前記第１コンタクトパッド２６０ａの上部面と接触する。前記ビットライン２７２ｂは前記トレンチ内部を埋め立てながら、前記トレンチの上で突出することができる。これとは異なって、前記ビットライン２７２ｂは前記トレンチの

10

20

30

40

50

上に突出せずに、前記トレンチ上部と同じ上部面を有することもある。

【0252】

前記ビットライン272bの少なくとも一部分は金属シリサイドSからなる。例えば、前記金属シリサイドSはコバルトシリサイド、チタンシリサイド、タンタルシリサイド、ニッケルシリサイド、白金シリサイドなどからなることができる。これらは単独で形成または2つ以上が混合されて使われることができる。一方、前記ビットライン272b上にはハードマスクパターンが備えられない。

【0253】

前記ビットラインコンタクト272a及びビットライン272bからなるビットライン構造物272は図45を参照して説明した第1配線と実質的に同じ構成を有することができる。

10

【0254】

前記ビットライン構造物272aと下部層間絶縁膜271を覆う層間絶縁膜274が備えられる。前記層間絶縁膜274、下部層間絶縁膜271及びエッチング阻止膜270を貫通して前記第2コンタクトパッド260bに接触するストレージノードコンタクト278が備えられる。

【0255】

前記ストレージノードコンタクト278上にキャパシタ280が備えられる。前記キャパシタ280は高い蓄積容量を有するシリンダ形状を有するかまたはスタック形状を有することができる。

20

【0256】

以下、図52に示した半導体装置の製造方法を説明する。

【0257】

先ず、図29を参照して説明した工程と実質的に同じ工程を行って基板200上にランナー型のトランジスタを形成して、第1及び第2コンタクトパッドを形成する。

【0258】

図46～図50を参照して説明した配線構造物を形成するための工程と実質的に同じ工程を行って、基板200上にビットライン構造物272及びストレージノードコンタクト278を形成する。すなわち、前記ビットライン構造物272は前記配線構造物で第1配線を形成する工程を通じて形成される。この時、前記ビットライン構造物272は第1パッドコンタクト260aと接触するように形成する。また、前記ストレージノードコンタクト278は前記配線構造物で第2コンタクトプラグを形成する工程を通じて形成される。この時、前記ストレージノードコンタクト278は第2パッドコンタクト260bと接触するように形成する。

30

【0259】

その後、前記ストレージノードコンタクト278上にキャパシタ280を形成しても52に示した構成を有する半導体装置を製造する。

【0260】

上述したことにおいては、本発明の多様な実施例に係る配線構造物がDRAM装置のような半導体装置に適用することを例示したが、本発明の実施例に係る配線構造物はDRAM装置その他にもコンタクトプラグ及びラインパターンを含む多様な半導体装置の配線に適用することができる。

40

【0261】

図53は本発明のまた他の実施例に係る配線構造物を具備する半導体装置を示す断面図である。図53において、前記半導体装置のセル領域には図51に示したことと同じ構造のセルが配置される。また、前記半導体装置の周辺回路領域にはランナー型のトランジスタが配置される。従って、前記半導体装置の周辺回路領域に備えられる素子を中心に説明する。

【0262】

前記周辺回路領域の基板200には素子分離領域及びアクティブ領域を区分する素子分

50

離膜パターン 204 が備えられる。前記アクティブ領域の基板 200 表面上にはゲート絶縁膜 250、第 2 ゲート電極 252 及びハードマスクパターン 254 が積層された第 2 ゲート構造物が備えられる。

【0263】

前記ゲート構造物側壁にはスペーサ 356 が備えられる。また、前記第 2 ゲート構造物両側の基板 200 表面下にソース/ドレーンで使われる第 3 及び第 4 不純物領域 358 a、358 b が備えられる。

【0264】

前記周辺回路領域の基板 200 表面、スペーサ 356 及び第 2 ゲート構造物上部面についてエッチング阻止膜 270 が備えられる。前記エッチング阻止膜 270 はセル領域に形成されたエッチング阻止膜と同じ物質からなることができる。

10

【0265】

前記セル領域と同一に前記周辺回路領域のエッチング阻止膜 270 上には下部層間絶縁膜 271 が備えられる。前記周辺回路領域には、前記下部層間絶縁膜 271 及びエッチング阻止膜 270 を貫通して前記第 3 及び第 4 不純物領域 358 a、358 b と接触するコンタクトパッド 372 が備えられる。

【0266】

前記コンタクトパッド 372 は前記下部層間絶縁膜 271 上部面で突出する形状を有する。これとは異なって、前記コンタクトパッド 372 の上部面が前記下部層間絶縁膜 271 の上部面と同じ平面にあることもできる。

20

【0267】

前記コンタクトパッド 372 は前記セル領域に形成されたビットラインコンタクト 272 a 及びビットライン 272 b と実質的に同じ積層構造を有する。すなわち、前記コンタクトパッド 372 は少なくとも一部分が金属シリサイド 370 からなる。図示したように、前記コンタクトパッド 372 はポリシリコン 368 及び金属シリサイド 370 が積層された形状を有することができる。これと共に、前記コンタクトパッド 372 に金属シリサイドが含まれることによって、前記コンタクトパッド 372 は低い抵抗を有することができる。

【0268】

前記セル領域と同一に前記下部層間絶縁膜 271 上には前記コンタクトパッド 372 を覆う層間絶縁膜 274 が備えられる。前記周辺回路領域の層間絶縁膜 274 上には上部層間絶縁膜 374 が備えられる。

30

【0269】

図 54 ~ 図 57 は、図 53 に示した半導体装置の製造方法を説明するための断面図である。

【0270】

図 54 を参照すれば、セル領域及び周辺回路領域が区分された基板 200 にトレンチ素子分離工程を行って素子分離膜パターン 204 を形成する。

【0271】

図 17 及び図 18 を参照して説明した工程と実質的に同じ工程を行って、前記セル領域の基板 200 に埋め立てされたゲートを含む選択トランジスタを形成する。

40

【0272】

前記選択トランジスタを形成した後、前記周辺回路領域の基板 200 上にゲート絶縁膜 350、ポリシリコン膜パターン 352 及びハードマスクパターン 354 が積層されたゲート構造物を形成する。前記ゲート構造物両側壁にスペーサ 356 を形成する。前記ゲート構造物両側の基板表面下へ不純物を注入して第 3 及び第 4 不純物領域 358 a、358 b を形成する。その結果、前記周辺回路領域の基板にはゲート構造物、スペーサ 356、第 3 及び第 4 不純物領域 358 a、358 b を含む周辺回路用トランジスタが形成される。

【0273】

50

前記セル領域及び周辺回路領域の基板上にエッチング阻止膜 270 を形成する。すなわち、前記セル領域に形成されたエッチング阻止膜 270 は前記埋め立てされたゲートを含む選択トランジスタを覆う。また、前記周辺回路領域に形成されたエッチング阻止膜 270 は前記予備トランジスタを覆う。

【0274】

前記エッチング阻止膜 270 上に下部層間絶縁膜 271 を形成する。前記下部層間絶縁膜 271 を形成した後前記下部層間絶縁膜 271 の表面を研磨して、前記周辺回路領域に形成された前記エッチング阻止膜 270 の上部面が露出するようにする。

【0275】

図 55 を参照すれば、前記下部層間絶縁膜 271 及びエッチング阻止膜 270 を写真エッチング工程でエッチングして前記セル領域の第 1 不純物領域 214a の基板を露出させる第 1 コンタクトホール 360 を形成する。

【0276】

前記第 1 コンタクトホール 360 を形成するためのエッチング工程において、前記周辺回路領域の第 3 及び第 4 不純物領域 358a、358b を各々露出する第 2 コンタクトホール 362 が同時に形成される。また、前記第 1 及び第 2 コンタクトホール 360、362 内部に犠牲膜パターン（図示せず）を形成する。

【0277】

前記下部層間絶縁膜 271 を部分的にエッチングして前記第 1 コンタクトホール 360 と連通しながらライン形状で延長するトレンチ 364 を形成する。前記トレンチ 364 を形成した後、前記第 1 及び第 2 コンタクトホール 360、362 内部に位置する犠牲膜パターン（図示せず）を除去する。

【0278】

図 56 を参照すれば、前記第 1 コンタクトホール 360、トレンチ 364 及び第 2 コンタクトホール 362 を埋め立てながら前記下部層間絶縁膜 271 の表面を覆うポリシリコン膜（図示せず）を形成する。前記ポリシリコン膜を研磨することによって、前記第 1 コンタクトホール 360、トレンチ 364 及び第 2 コンタクトホール 362 内部に各々第 1 ないし第 3 ポリシリコンパターン 366a、366b、366c を形成する。

【0279】

前記第 1～第 3 ポリシリコンパターン 366a、366b、366c の上部側壁の一部が外部に露出するように前記下部層間絶縁膜 271 の上部を除去する。このような除去工程は湿式エッチング工程を通じて遂行されることができる。

【0280】

図 57 を参照すれば、前記下部層間絶縁膜 271 の上部面、露出した第 1～第 3 ポリシリコンパターン 366a、366b、366c、及びエッチング阻止膜 270 について金属膜（図示せず）を形成する。

【0281】

前記金属膜を熱処理して前記セル領域及び周辺回路領域に形成された第 1 ないし第 3 ポリシリコンパターン 366a、366b、366c の少なくとも一部分をシリサイドーションさせる。その結果、前記セル領域にはビットラインコンタクト 272a 及び前記ビットライン 272b が積層されて金属シリサイド S を含むビットライン構造物 272 が形成される。一方、前記周辺回路領域には金属シリサイド 370 を含むコンタクトパッド 372 が形成される。前記シリサイドーション工程の工程条件を調節することによって、前記ビットライン構造物 272 及びコンタクトパッド 372 に形成される金属シリサイドの厚さを調節することができる。

【0282】

上述のように、本発明の実施例によれば、1 回のシリサイドーション工程を通じて金属シリサイド S を含むビットライン構造物及び周辺回路用トランジスタのソース/ドレーンと電氣的に連結されるコンタクトパッド 372 を同時に形成することができる。

【0283】

10

20

30

40

50

その後、反応せずに残っている金属膜を除去する。

【0284】

再び、図53を参照すれば、前記ビットライン構造物272及びコンタクトパッド372を覆う層間絶縁膜274を形成する。前記層間絶縁膜274を貫通して前記セル領域の第2不純物領域214bと電氣的に連結されるコンタクトプラグ278を形成する。

【0285】

前記周辺回路領域を覆う上部層間絶縁膜374を形成する。また、前記セル領域には前記ストレージノードコンタクト234と接続するようにキャパシタ240を形成する。キャパシタ204はシリンダ構造または積層構造を有することができる。

【0286】

図58は本発明の実施例に係る半導体装置を含むメモリシステムの概略的なブロック図である。

【0287】

図58を参照すれば、前記メモリシステムは、ホスト(host)382、メモリコントローラ(memory controller)384、及びDRAM装置のような半導体装置386を具備する。

【0288】

前記メモリコントローラ384は、ホスト382と半導体装置386の間のインターフェースの役割をして、バッファメモリを含む。図示はしていないが、前記メモリコントローラ384は、CPU、ROM、RAM、及びインターフェースブロックをさらに含むことができる。

【0289】

前記半導体装置386はメモリセルアレイ(memory cell array)、Xデコーダ(Decoder)、Yデコーダ、及びタイミングレジスタ(timing resistor)を含む。

【0290】

前記ホスト382からデータ、アドレス信号、及び書き込み命令(write command)がメモリコントローラ384に入力され、前記メモリコントローラ384では入力された命令によってデータが半導体装置386のメモリセルアレイに使われるように制御する。また、メモリコントローラ384は、ホスト382から入力される読み取り命令(read command)により、前記メモリセルアレイに保存されているデータが読まれるように半導体装置386を制御する。

【0291】

前記半導体装置386のメモリセルアレイは複数のメモリセルから構成される。前記Xデコーダは、ワードラインと連結されている。前記Yデコーダはビットラインと連結されている。前記Xデコーダはメモリコントローラ384からXアドレス(address)の入力を受けてこれをデコーディングして、1つのワードラインを選択し、前記Yデコーダはメモリコントローラ384からYアドレスの入力を受けてこれをデコーディングして1つのビットラインを選択する。

【0292】

前記メモリシステムに含まれる半導体装置386は前述した本発明の多様な実施例の中のいずれか一つと同じ構成を有することができる。上述のように、前記半導体装置386が高集積化され高性能化されることによって、前記メモリシステムが集積化され向上した性能を有することができる。

【0293】

図59は本発明の実施例に係る半導体チップを含むグラフィックシステムの概略的なブロック図である。図60は図59に例示されたグラフィックチップ及び半導体チップの概略的なブロック図である。

【0294】

図59を参照すれば、前記グラフィックシステムはCPU400、グラフィックチップ

10

20

30

40

50

(graphic chip) 450、半導体チップ500、ディスプレイ装置550、メモリ制御器(memory controller) 600、及びメインメモリ(main memory) 650を含む。

#### 【0295】

CPU400は、グラフィックチップ450に対して原始的な命令(original command)を伝送する。グラフィックチップ450は原始的な命令を解釈して、DRAMチップ500に対して遠視命令に対応する命令及びデータビットを発行する。また、グラフィックチップ450は、ディスプレイ装置550が前記半導体チップ500で判読されたデータをディスプレイするように制御する。

#### 【0296】

図60に示したように、前記グラフィックチップ450は、グラフィックエンジン452、命令発生器454、ラッチ(latch)456、バンクペア検出器(bank-pair Detector)458、及びタイミング発生器460を含む。前記グラフィックチップ450が遠視命令を受信する時、グラフィックエンジン452は、グラフィックデータを発生させる。これに応じて、前記命令発生器454は、グラフィックデータによりデータを半導体チップ500に記入するための命令を発生させる。発生した命令は、ラッチ456、バンク-対検出器458、及びタイミング発生器460に伝達される。

#### 【0297】

前記半導体チップ500は、Xデコーダ504、タイミング発生器508、メモリセルアレイ502、Yデコーダ506を含む。メモリセルアレイ502の各々はビットライン及びワードラインに接続された複数のセルを含む。Xデコーダ504は、前記ワードラインに結合される一方、Yデコーダ506は前記ビットラインに結合される。

#### 【0298】

Xデコーダ504は、ラッチ456により発行された現在の命令をデコーディングし、次いで、それぞれのワードラインを活性化させる。Yデコーダ506は現在の命令をデコーディングし、それぞれのビットラインを活性化させる。タイミング発生器508は現在の命令に対応するバンクペアを明示し、タイミング信号を発生させる。

#### 【0299】

前記グラフィックシステムに含まれる半導体チップ500は本発明の多様な実施例のうちのいずれか一つの半導体装置と同じ構成を有する。このように、前記半導体チップ500が高集積化され高性能化されることによって、前記半導体チップ500が含まれた前記グラフィックシステムが集積化され向上した性能を有することができる。

#### 【産業上の利用可能性】

#### 【0300】

上述のように、本発明の実施例に係る配線構造物はコンタクトプラグ及び前記コンタクトプラグと接触するラインパターンを含む。それによって、前述した構造の配線が要求される多様な半導体装置に適用することができる。

#### 【符号の説明】

#### 【0301】

- 10    トランジスタ
- 240、280    キャパシタ
- 100、200    基板
- 102    絶縁膜
- 104、143、219    第1コンタクトホール
- 106、220    ポリシリコン膜
- 108    ハードマスクパターン
- 109    予備導電パターン
- 109a    予備コンタクトプラグ
- 109b    予備ラインパターン
- 110、150    第1配線

10

20

30

40

50

1 1 0 a、1 5 0 a 第 1 コンタクトプラグ  
1 1 0 b、1 5 0 b 第 1 導電性ライン  
1 1 2、3 0 8、3 4 0 金属膜  
1 1 6、2 2 6 層間絶縁膜  
1 2 0、2 2 8 フォトレジストパターン  
1 2 2、1 5 6、2 3 0 第 2 コンタクトホール  
1 2 4、2 3 2 内壁スペーサ  
1 2 6、1 6 0、3 1 2 第 2 コンタクトプラグ  
2 0 2 素子分離用トレンチ  
2 0 4 素子分離膜パターン  
1 4 6、2 0 6 トレンチ  
2 0 8、2 5 0 ゲート酸化膜  
2 1 0、2 5 2 導電膜パターン  
2 1 4 a、2 1 4 b 不純物領域  
1 0 2、2 1 8、2 7 0 エッチング阻止膜  
2 2 4 ビットライン構造物  
2 2 4 a、2 7 2 a ビットラインコンタクト  
2 2 2、2 2 4 b、2 7 2 b ビットライン  
2 3 4、2 7 8 ストレージノードコンタクト  
2 3 5 絶縁パターン  
2 5 6、3 3 4 スペーサ  
2 6 0 a 第 1 コンタクトパッド  
2 6 0 b 第 2 コンタクトパッド  
3 0 4、3 3 9 第 2 ゲート電極  
3 3 6 a 第 3 不純物領域  
3 3 6 b 第 4 不純物領域  
3 3 8、3 4 2 a、3 4 2 b 金属シリサイド  
A アクティブ領域  
S 金属シリサイド

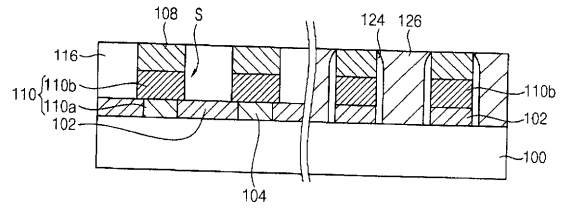
10

20

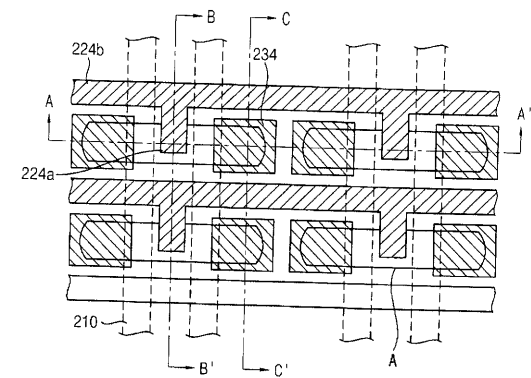




【 図 1 3 】

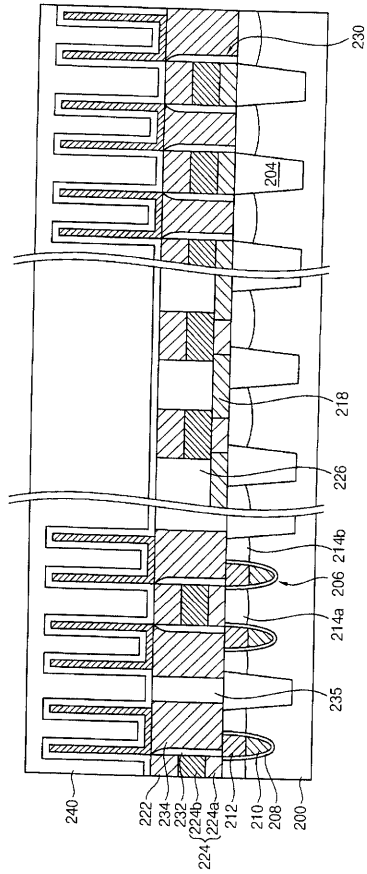


【 ㄨ 1 5 】

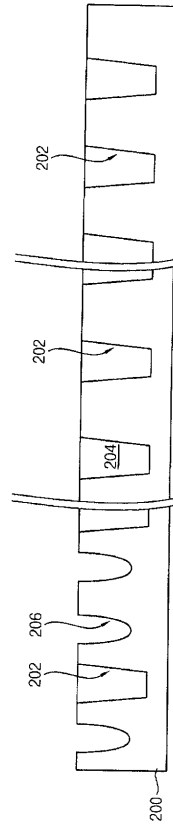


【 図 1 4 】

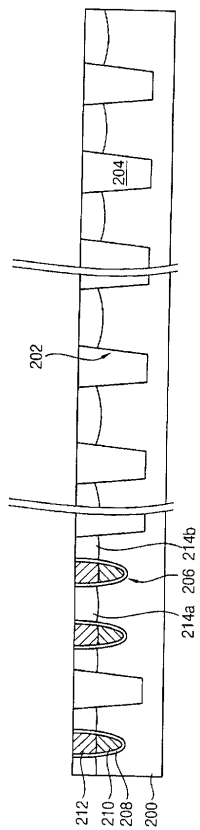
【図 16】



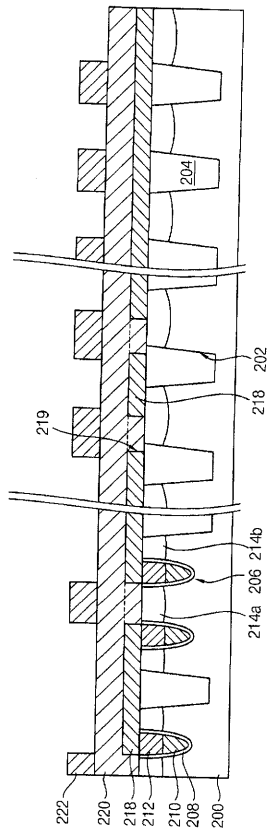
【図 17】



【図 18】



【図 19】

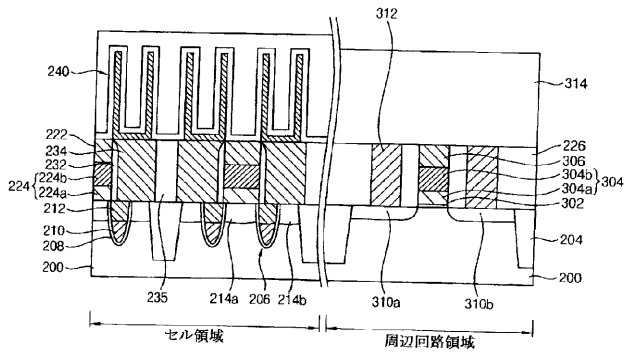




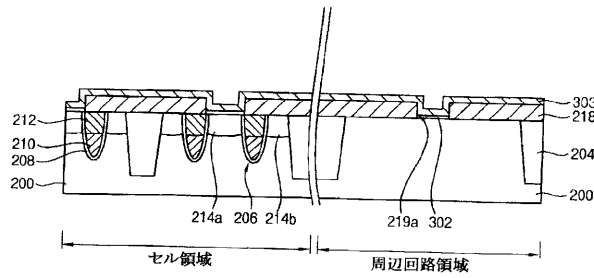




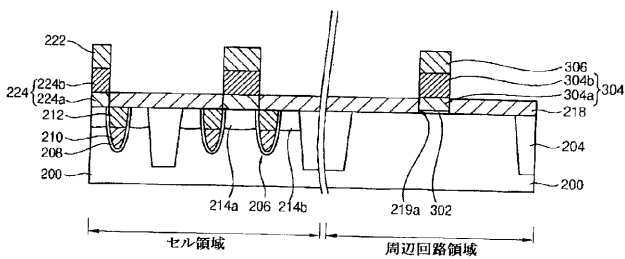
【図 3 2】



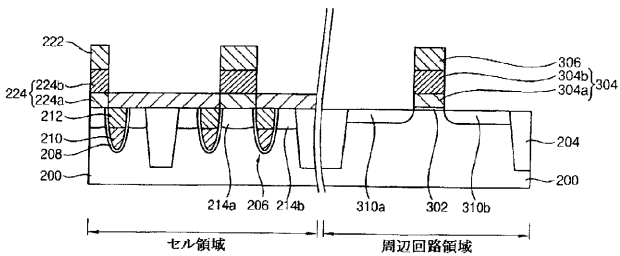
【図 3 3】



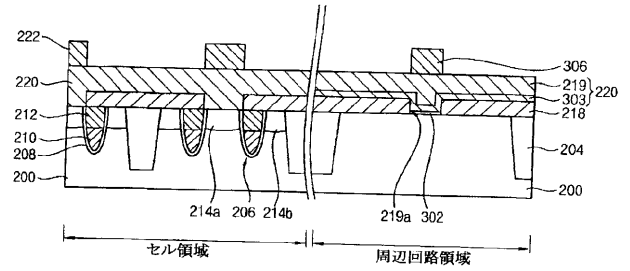
【図 3 6】



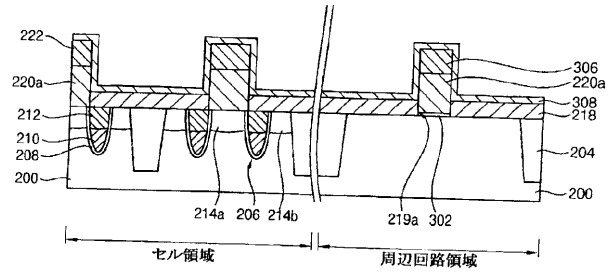
【図 3 7】



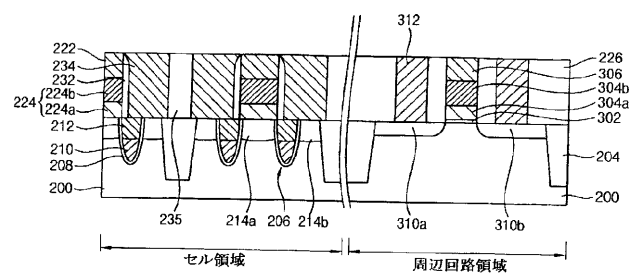
【図 3 4】



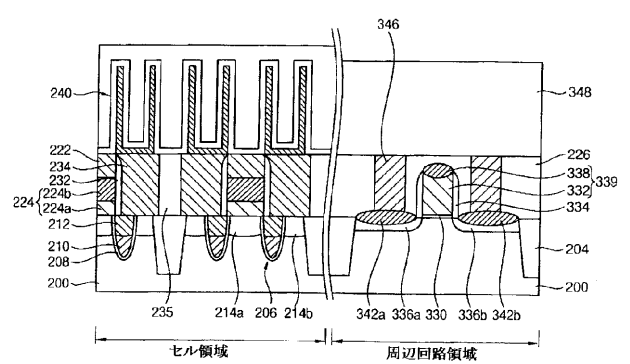
【図 3 5】



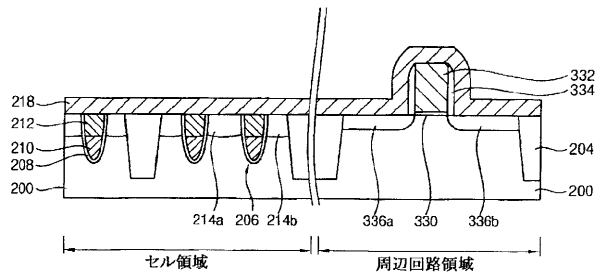
【図 3 8】



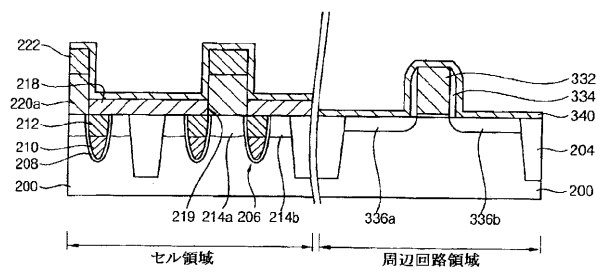
【図 3 9】



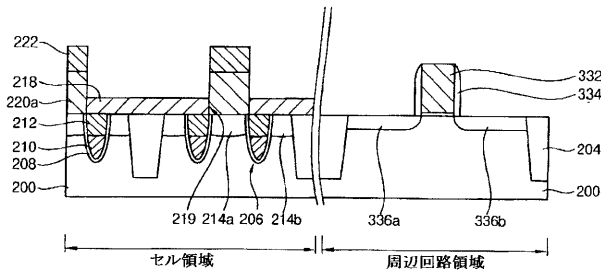
【図 40】



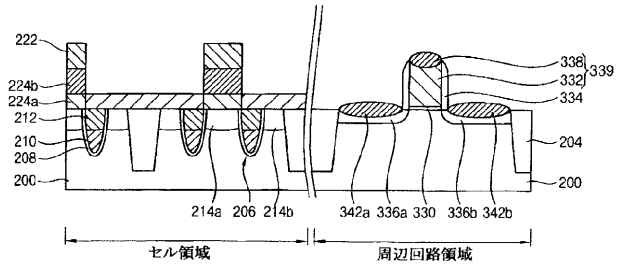
【図 42】



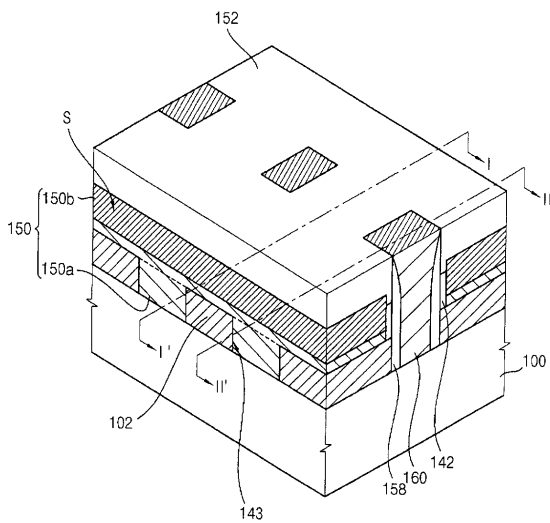
【図 41】



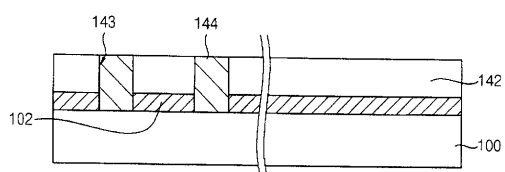
【図 43】



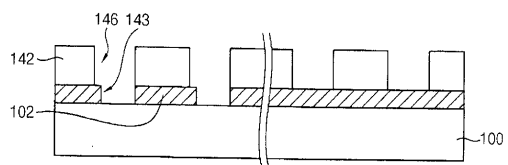
【図 44】



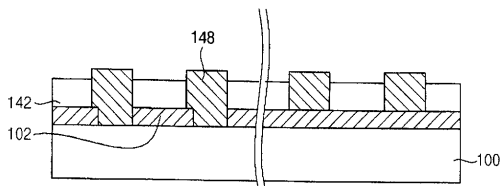
【図 46】



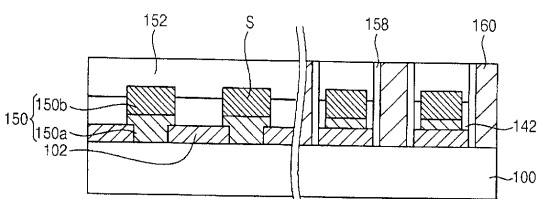
【図 47】



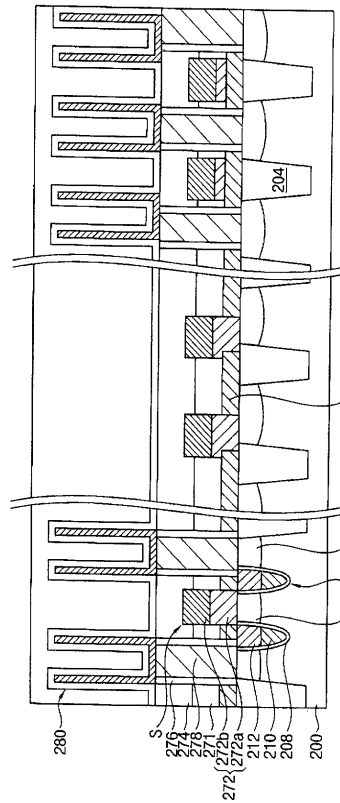
【図 48】



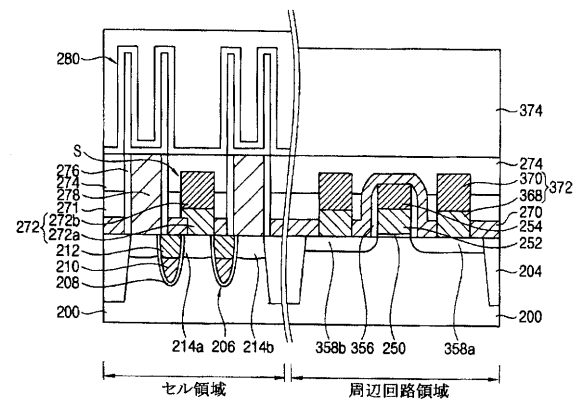
【図 45】



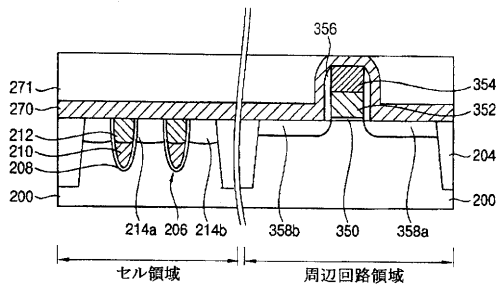
【 図 5 1 】



【 図 5 3 】

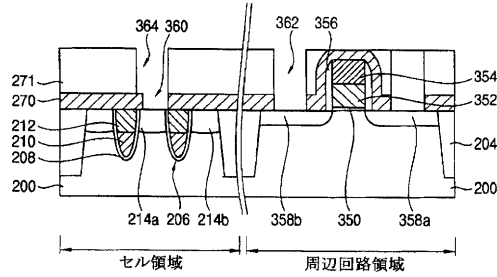


【 図 5 4 】

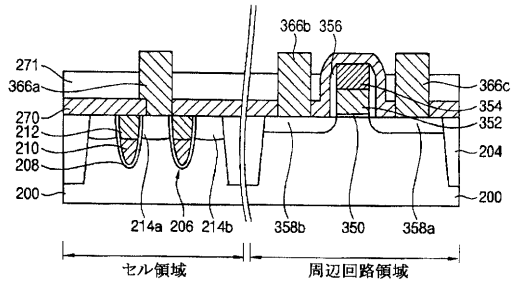




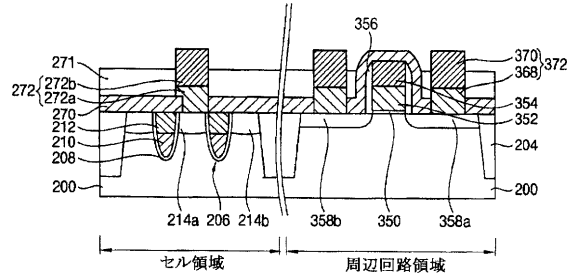
【図 5 5】



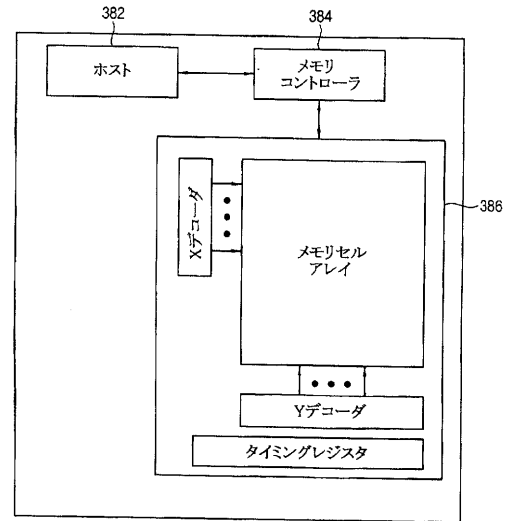
【図 5 6】



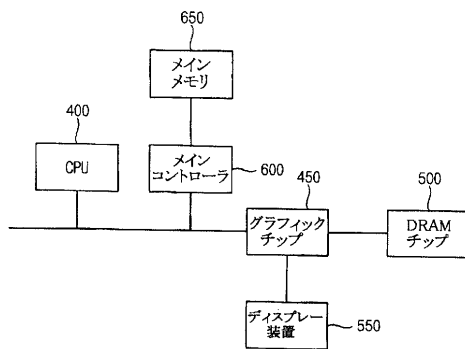
【図 5 7】



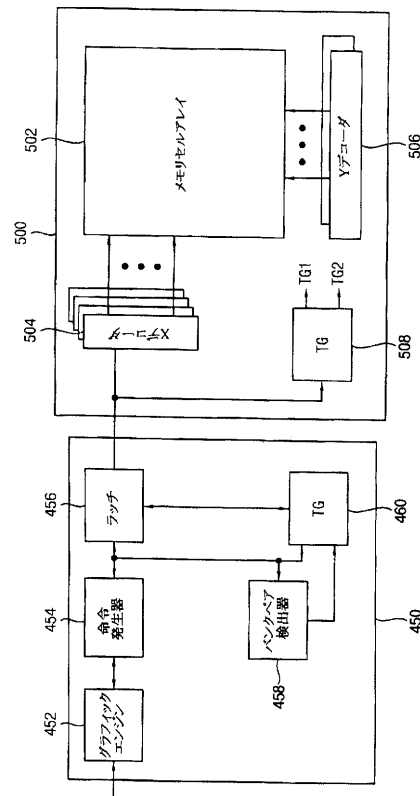
【図 5 8】



【図 5 9】



【図 6 0】



## フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
**H 0 1 L 23/52 (2006.01)**

(72)発明者 李 殷沃  
 大韓民国京畿道華城市盤松洞(番地なし) 示範ハンビッマウルグムホオウリムアパート 2 4 2 棟  
 3 0 0 4 号

(72)発明者 金 大容  
 大韓民国京畿道龍仁市豊徳川洞(番地なし) ジンサンマウル 5 1 8 棟 8 0 1 号

(72)発明者 崔 吉鉉  
 大韓民国ソウル特別市江南区大峙 1 洞(番地なし) チョンシルアパート 1 5 棟 8 0 2 号

(72)発明者 金 秉熙  
 大韓民国ソウル特別市瑞草区方背 4 洞(番地なし) 方背現代アパート 1 0 6 棟 9 0 1 号

F ターム(参考) 5F033 HH04 HH25 HH27 HH30 JJ01 JJ04 JJ25 JJ27 JJ30 KK01  
 MM05 MM10 NN07 NN13 NN15 NN40 PP19 QQ08 QQ09 QQ21  
 QQ25 QQ28 QQ30 QQ37 QQ47 QQ48 QQ70 QQ84 RR04 RR06  
 SS10 TT07 VV16 XX09 XX10 XX15 XX33 XX34  
 5F083 AD04 AD24 AD48 AD49 GA02 JA02 JA35 JA39 JA40 KA01  
 KA05 LA21 MA06 MA17 MA20 PR10 PR40 ZA04