

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号  
特表2004-500718  
(P2004-500718A)

(43) 公表日 平成16年1月8日(2004.1.8)

(51) Int.Cl.<sup>7</sup>  
H01L 23/50

F I  
H01L 23/50

R  
5 F 0 6 7

テーマコード (参考)

審査請求 有 予備審査請求 有 (全 48 頁)

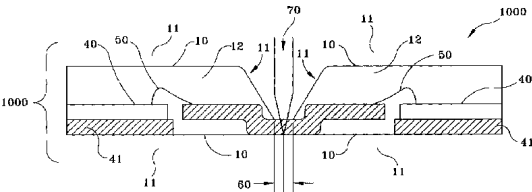
(21) 出願番号	特願2001-573521 (P2001-573521)	(71) 出願人	502354708 エイティーエス・サービスズ, カンパニー アメリカ合衆国カリフォルニア州9505 O, サンタクララ, スイート・エイ, シビ ック・センター・ドライブ・1680
(86) (22) 出願日	平成13年3月30日 (2001.3.30)	(74) 代理人	100087642 弁理士 古谷 聡
(85) 翻訳文提出日	平成14年9月30日 (2002.9.30)	(74) 代理人	100063897 弁理士 古谷 馨
(86) 国際出願番号	PCT/US2001/010390	(74) 代理人	100076680 弁理士 溝部 孝彦
(87) 国際公開番号	W02001/075938	(74) 代理人	100121061 弁理士 西山 清春
(87) 国際公開日	平成13年10月11日 (2001.10.11)		
(31) 優先権主張番号	60/193,319		
(32) 優先日	平成12年3月30日 (2000.3.30)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	09/668,423		
(32) 優先日	平成12年10月6日 (2000.10.6)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 オプションで窓となる蓋を備えるリードレス半導体製品パッケージング装置とその組み立て方法

(57) 【要約】

天然資源を保全し環境に優しくコスト効率が良いリードレス半導体パッケージング装置(1000)は、優れた機械的かつ電気的特性を持ち、また独特な密封と内部のパッケージされた半導体集積回路(チップ/ダイ)(40)を見れる機構を与えているオプションの窓のあるハウジングを持つ。独特にスタンプされかつ/または曲げ加工されたリードフレーム(30, 41)は、モールドを使う独特の圧縮モルディング工程の間、重合体材料(12)によりパッケージされ、特に関連技術で共通の”オーバーパッケージング”問題を避けるために形作られる。特別に形作られたモールドは、外部ポーションがプリント回路基板上のパッドに接触する有効なはんだ付け領域として、リードフレームの外部ポーションから内部ポーションの輪郭描写を容易にする。それゆえに、困難で環境に優しくないマスキング段階とデフラッシング段階を回避し、デバイスパッケージング工程を簡略化する。圧縮成型は、効果的に圧縮力のある密封開口部を供給し、そこからリードフレームの有効なはんだ付け可能領域は拡張し露出する場合があります、このように、リード



## 【特許請求の範囲】

## 【請求項 1】

半導体回路をパッケージングするためのリードレス半導体製品パッケージング装置であって、

a. リードフレームであって、

前記リードフレームが内部リードポーションと外部リードポーションを持ち、電氣的に前記半導体回路と接合し、リードフレーム材をスタンピングすることにより形成されるリードフレームと、

b. ハウジングメンバーであって、

前記ハウジングメンバーがハウジング材を含み、前記ハウジング材は外部リードポーションがはんだ付け可能領域を与えるため露出されるように前記リードフレームを保護するハウジングメンバーとを含むリードレス半導体製品パッケージング装置。 10

## 【請求項 2】

前記半導体回路であって、

a. 少なくとも 1 つのダイ取り付けパッドであって、前記半導体回路が前記ダイ取り付けパッド上に実装されている、少なくとも 1 つのダイ取り付けパッドと、

b. 少なくとも 1 つのワイヤであって、前記少なくとも 1 つのワイヤは、前記回路と前記内部リードポーション間の電氣的接続をもたらすようにワイヤで結合され、前記少なくとも 1 つのワイヤは、実質的に銅、アルミニウム、金を含む電気伝導性物質のグループから選択された電気伝導性物質から形成される少なくとも 1 つのワイヤと、を含む半導体回路 20

ハウジング材が、前記ダイ取り付けパッド、前記少なくとも 1 つのワイヤ、及び前記内部リードポーションを取り囲んで更に圧縮成型され、

ハウジング材が、前記外部リードポーションを取り囲んで圧縮成型されておらず、

前記スタンプされたリードフレームが、チップサイズからチップサイズに近い範囲で、前記リードレス半導体製品パッケージング装置に適合しやすいように所望の構造に機械的に曲げられる、請求項 1 に記載されたリードレス半導体製品パッケージング装置。

## 【請求項 3】

前記リードフレーム材の厚さが 6 ミル以下の範囲である、請求項 2 に記載のリードレス半導体製品パッケージング装置。 30

## 【請求項 4】

前記リードフレーム材の厚さが 6 ミル以下の範囲である、請求項 1 に記載のリードレス半導体製品パッケージング装置。

## 【請求項 5】

前記リードレス半導体製品であって、

a. 少なくとも 1 つのダイ取り付けパッドであって、前記半導体回路が前記ダイ取り付けパッド上に実装されている、少なくとも 1 つのダイ取り付けパッドと、

b. 少なくとも 1 つのワイヤであって、前記少なくとも 1 つのワイヤは、前記回路と前記内部リードポーション間の電氣的接続をもたらすようにワイヤで結合され、前記少なくとも 1 つのワイヤは、実質的に銅、アルミニウム、金を含む電気伝導性物質のグループから選択された電気伝導性物質から形成される少なくとも 1 つのワイヤと、を含むリードレス半導体製品を含み、 40

ハウジング材が、前記ダイ取り付けパッド、前記少なくとも 1 つのワイヤ、及び前記内部リードポーションを取り囲んで更に圧縮成型され、

ハウジング材が、前記外部リードポーションを取り囲んで圧縮成型されておらず、

前記スタンプされたリードフレームが、チップサイズからチップサイズに近い範囲で、前記リードレス半導体製品パッケージング装置に適合しやすいように所望の構造に機械的に曲げられる、請求項 4 に記載されたリードレス半導体製品パッケージング装置。

## 【請求項 6】

a. 窓となる蓋のメンバーであって、 50

前記窓となる蓋のメンバーが前記ハウジングメンバーの一部を形成し、前記窓となる蓋のメンバーが本質的にポリマーやガラスを含む視覚的に透明なグループから選択された、視覚的に透明な物質から形成される、窓となる蓋のメンバーと、

b. 密封剤と、

c. 密封シートであって、

前記密封シートが、より大きな密封された表面積を与えるために前記ハウジングメンバーの上面上に配置された少なくとも1つの溝を含み、汚染物質の入場を防止するため前記1つの溝の中のハウジングメンバーと前記窓となる蓋のメンバー間に密封剤が置かれる密封シートとを更に含む請求項1に記載のリードレス半導体製品パッケージング装置。

【請求項7】

10

ダイが、前記リードフレームの前記内部ポーションの各々に電気伝導性のないポリマーにより取り付け可能である請求項2に記載のリードレス半導体製品パッケージング装置。

【請求項8】

ダイが、前記リードフレームの前記内部ポーションの各々に電気伝導性のないポリマーにより取り付け可能である請求項5に記載のリードレス半導体製品パッケージング装置。

【請求項9】

前記ハウジング材は重合体のモールディング化合物を含み、前記ハウジングメンバーは圧縮成型された前記ハウジング材を含み、それによって前記外部リードポーションは露出され、それにより前記外部リードポーション上のはんだ付け可能部分は保護され、それにより前記外部リードポーションのディフラッシングを避けることができる、請求項1に記載のリードレス半導体製品パッケージング装置。

20

【請求項10】

前記リードフレームは、実質的に銅、アルミニウム、金を含む電気伝導性物質のグループから選択された少なくとも1つの電気伝導性物質から形成され、前記ハウジング材は、実質的にポリマーとセラミックを含むハウジング材のグループから選択された少なくとも1つの材料を含み、前記ポリマーは、実質的にエポキシ、ポリイミド、及びビスマレイミドを含むポリマーのグループから選択される、請求項1に記載のリードレス半導体製品パッケージング装置。

【請求項11】

半導体回路をパッケージングするためのリードレス半導体製品パッケージング装置を組み立てる方法であって、

30

a. リードフレームであって、

前記リードフレームは、内部リードポーションと外部リードポーションを持ち、前記リードフレームは、電氣的に前記半導体回路と接合し、

前記リードフレームは、リードフレーム材をスタンピングすることにより形成される、リードフレームを供給する段階と、

b. ハウジングメンバーであって、

前記ハウジングメンバーは、ハウジング材を含み、

前記ハウジング材は、外部リードポーションがはんだ付け可能領域を与えるため露出されるように前記リードフレームを保護し、それにより前記リードレス半導体製品パッケージング装置を形成する、ハウジングメンバーを供給する段階とを含むリードレス半導体製品パッケージング装置を組み立てる方法。

40

【請求項12】

前記リードレス半導体回路であって、

a. 少なくとも1つのダイ取り付けパッドであって、前記半導体回路が前記ダイ取り付けパッド上に実装されている、少なくとも1つのダイ取り付けパッドと、

b. 少なくとも1つのワイヤであって、前記少なくとも1つのワイヤは、前記回路と前記内部リードポーション間の電氣的接続をもたらすようにワイヤで結合され、前記少なくとも1つのワイヤは、実質的に銅、アルミニウム、金を含む電気伝導性物質のグループから選択された電気伝導性物質から形成される少なくとも1つのワイヤとを含むリードレス半

50

導体回路を含み、

ハウジング材が、前記ダイ取り付けパッド、前記少なくとも1つのワイヤ、及び前記内部リードポーションを取り囲んで更に圧縮成型され、

ハウジング材が、前記外部リードポーションを取り囲んで圧縮成型されておらず、

前記スタンプされたリードフレームが、チップサイズからチップサイズに近い範囲で、前記リードレス半導体製品パッケージング装置に適合しやすいように所望の構造に機械的に曲げられ、それゆえにリードレス半導体製品パッケージング装置を形成する、請求項11に記載のリードレス半導体製品パッケージング装置を組み立てる方法。

【請求項13】

リードフレーム材の厚さが6ミル以下の範囲である、請求項12に記載のリードレス半導体製品パッケージング装置を組み立てる方法。 10

【請求項14】

リードフレーム材の厚さが6ミル以下の範囲である、請求項11に記載のリードレス半導体製品パッケージング装置を組み立てる方法。

【請求項15】

前記リードレス半導体回路であって、

a. 少なくとも1つのダイ取り付けパッドであって、前記少なくとも1つの半導体回路が前記ダイ取り付けパッド上に実装されている、少なくとも1つのダイ取り付けパッドと、  
b. 少なくとも1つのワイヤであって、前記少なくとも1つのワイヤは、前記回路と前記内部リードポーション間の電氣的接続をもたらすようにワイヤで結合され、前記少なくとも1つのワイヤは、実質的に銅、アルミニウム、金を含む電気伝導性物質のグループから選択された電気伝導性物質から形成される少なくとも1つのワイヤとを含むリードレス半導体回路を含み、

ハウジング材が、前記ダイ取り付けパッド、前記少なくとも1つのワイヤ、及び前記内部リードポーションを取り囲んで更に圧縮成型され、

ハウジング材が、前記外部リードポーションを取り囲んで圧縮成型されておらず、

前記リードフレームが、チップサイズからチップサイズに近い範囲で、前記リードレス半導体製品パッケージング装置に適合しやすいように所望の構造に機械的に曲げられ、それゆえにリードレス半導体製品パッケージング装置を形成する、請求項14に記載のリードレス半導体製品パッケージング装置を組み立てる方法。 30

【請求項16】

a. 窓となる蓋のメンバーであって、

前記窓となる蓋のメンバーが前記ハウジングメンバーの一部を形成し、前記窓となる蓋のメンバーが本質的にポリマーやガラスを含む視覚的に透明なグループから選択された、視覚的に透明な物質から形成される窓となる蓋のメンバーを供給する段階と、

b. 密封剤を供給する段階と、

c. 密封シートであって、

より大きな密封された表面積を与えるために前記ハウジングメンバーの上面上に配置された少なくとも1つの溝を含み、汚染物質の入場を防止するため前記1つの溝の中のハウジングメンバーと前記窓となる蓋のメンバー間に密封剤が置かれ、それゆえに前記リードレス半導体製品パッケージング装置を形成する、密封シートを供給する段階とを更に含む請求項14に記載のリードレス半導体製品パッケージング装置を組み立てる方法。 40

【請求項17】

前記リードフレームの各々の前記内部ポーションに電気伝導性の無いポリマーによりダイが取り付け可能である請求項12に記載のリードレス半導体製品パッケージング装置を組み立てるための方法。

【請求項18】

前記リードフレームの各々の前記内部ポーションに電気伝導性の無いポリマーによりダイが取り付け可能である請求項15に記載のリードレス半導体製品パッケージング装置を組み立てるための方法。

## 【請求項 19】

前記ハウジング材は重合体のモールドイング化合物を含み、前記ハウジングメンバーは圧縮成型された前記ハウジング材を含み、それによって前記外部リードポーションは露出され、それにより前記外部リードポーション上のはんだ付け可能部分は保護され、それにより前記外部リードポーションのディフラッシングを避けることができる、請求項 11 に記載のリードレス半導体製品パッケージング装置を組み立てるための方法。

## 【請求項 20】

前記リードフレームは電気伝導性物質から形成され、前記電気伝導性物質は銅を含み、前記ハウジング材は、実質的にポリマーとセラミックを含むハウジング材のグループから選択された少なくとも 1 つの材料を含み、前記ポリマーは、実質的にエポキシ、ポリイミド、及びビスマレイミドを含むポリマーのグループから選択される、請求項 11 に記載のリードレス半導体製品パッケージング装置を組み立てるための方法。

## 【請求項 21】

少なくとも 1 つの半導体回路をパッケージングするために少なくとも 1 つのリードレス半導体製品パッケージング装置を組み立てるための方法で、

a. 少なくとも 1 つのスタンプされたリードフレームを供給するためにリードフレーム材をスタンピングし、前記リードフレームは 6 ミル以下の範囲の厚さを持ち、前記少なくとも 1 つのスタンプされたリードフレームは内部リードポーションと外部リードポーションを持つ段階と、

b. 前記少なくとも 1 つのリードフレームの各々に対して、前記ダイを前記内部リードポーションに取り付けるため、ダイと前記内部リードポーション間のインターフェースに電気伝導性の無い接着剤を供給する段階と、

c. 前記少なくとも 1 つのスタンプされたリードフレームの各々に対して、前記電気伝導性の無い接着剤を硬化する段階と、

d. 前記少なくとも 1 つのスタンプされたリードフレームの各々に対してワイヤを供給し、前記ワイヤは第 1 と第 2 の終端を持ち、前記第 1 のワイヤの終端は前記ダイに接合し、前記第 2 のワイヤの終端は前記リード内部ポーションに接合する段階と、

e. 前記少なくとも 1 つのスタンプされたリードフレームの各々に対して、ハウジングメンバーを形成するためにホットプレスを使って、モールド中の前記リード内部ポーションを取り囲むハウジング材を成型し、前記モールドは、上側ポーションと下側ポーションを有し、前記ホットプレスは、お互いに平行である上側のプラテンと下側のプラテンを有し、前記上側のモールドポーションは前記上側のプラテン上に内部へ配置され、前記下側のモールドポーションは前記下側のプラテン上に内部へ配置され、前記リード内部ポーションは前記ダイに取り付けられ、前記下側のモールドポーションに対して、前記上側のモールドポーションを、各々、圧縮している前記プラテンに垂直方向に前記上側のホットプレスプラテンと前記下側のホットプレスプラテンが一緒に変形され、それによって、外部リードポーション上にわずかに局所化された変形を発生させるため前記外部リードポーション上に前記モールドポーションにより圧縮力が加えられ、それによって、前記内部リードポーションと前記外部リードポーション間の密封が、前記圧縮力と前記わずかに局所化された変形を通してもたらされ、それによって、前記ハウジング材は前記モールド内で硬化され、それによって、前記ハウジングメンバーを形成し、それによって、前記少なくとも 1 つのリードレス半導体製品パッケージング装置を形成する段階と、

f. レーザーにより、前記少なくとも 1 つの形成されたリードレス半導体製品パッケージング装置の各々の前記外部リードポーションにマーキングする段階と、

g. お互いから、前記少なくとも 1 つの形成されたリードレス半導体製品パッケージング装置の各々の前記外部リードポーションをシンギュレートする段階と、h. 前記シンギュレートされた前記少なくとも 1 つのリードレス半導体製品パッケージング装置をバックする段階と、

i. バックされたリードレス半導体製品パッケージング装置を出荷する段階とを含む方法。

10

20

30

40

50

## 【請求項 2 2】

前記リードフレームが、チップサイズからチップサイズに近い範囲で、前記リードレス半導体製品パッケージング装置に適合しやすいように所望の構造に機械的に曲げられる、請求項 2 1 に記載された少なくとも 1 つの半導体回路をパッケージングするための少なくとも 1 つのリードレス半導体製品パッケージング装置を組み立てる方法。

## 【請求項 2 3】

少なくとも 1 つの半導体回路をパッケージングするために少なくとも 1 つの窓のあるリードレス半導体製品パッケージング装置を組み立てるための方法で、

a . 少なくとも 1 つのスタンプされたリードフレームを供給するためにリードフレーム材をスタンピングし、前記リードフレームは 6 ミル以下の範囲の厚さを持ち、前記少なくとも 1 つのスタンプされたリードフレームは内部リードポーションと外部リードポーションを持つ段階と、

b . 前記少なくとも 1 つのスタンプされたリードフレームをプリプレーティングする段階と、

c . 前記少なくとも 1 つのスタンプされたリードフレームの各々に対して、ハウジングメンバーを形成するためにホットプレスを使って、モールド中の前記リード内部ポーションを取り囲むハウジング材を成型し、前記モールドは、上側ポーションと下側ポーションを有し、前記上側のモールドポーションは見える蓋を収容するためのモールドラインを持ち、前記ホットプレスは、お互いに平行である上側のプラテンと下側のプラテンを有し、前記上側のモールドポーションは前記上側のプラテン上に内部へ配置され、前記下側のモールドポーションは前記下側のプラテン上に内部へ配置され、前記リード内部ポーションは前記ダイに取り付けられ、前記下側のモールドポーションに対して、前記上側のモールドポーションを、各々、圧縮している前記プラテンに垂直方向に前記上側のホットプレスプラテンと前記下側のホットプレスプラテンが一緒に変形され、それによって、外部リードポーション上にわずかに局所化された変形を発生させるため前記外部リードポーション上に前記モールドポーションにより圧縮力が加えられ、それによって、前記内部リードポーションと前記外部リードポーション間の密封が、前記圧縮力と前記わずかに局所化された変形を通してもたらされ、それによって、前記ハウジング材は前記モールド内で硬化され、それによって、前記ハウジングメンバーを形成し、それによって、前記少なくとも 1 つのリードレス半導体製品パッケージング装置を形成する段階と、

d . 前記少なくとも 1 つのリードフレームの各々に対して、前記ダイを前記内部リードポーションに取り付けるため、ダイと前記内部リードポーション間のインターフェースに電気伝導性の無い接着剤を供給する段階と、

e . 前記少なくとも 1 つのリードフレームの各々に対して、前記電気伝導性の無い接着剤を硬化する段階と、

f . 前記少なくとも 1 つのリードフレームの各々に対してワイヤを供給し、前記ワイヤは第 1 と第 2 の終端を持ち、前記第 1 のワイヤの終端は前記ダイに接合し、前記第 2 のワイヤの終端は前記リード内部ポーションに接合する段階と、

g . 少なくとも 1 つの溝を持つ密封シートへの密封剤を硬化させることにより前記ハウジングメンバー上に窓となる蓋のメンバーを取り付け、前記密封剤は前記窓と前記成型されたリードフレーム間に異種混合で配置され、前記密封剤は、前記見える蓋により圧縮され、前記密封剤の一部は、それゆえ前記少なくとも 1 つの溝へプレスされ、それにより密封がもたらされ、それにより前記窓となる蓋のメンバーを持つ前記少なくとも 1 つの窓のあるリードレス半導体製品パッケージング装置を形成する段階と、

h . レーザーにより、前記少なくとも 1 つの窓のある形成されたリードレス半導体製品パッケージング装置の前記外部リードポーションにマーキングする段階と、 i . お互いから、前記少なくとも 1 つの窓のある形成されたリードレス半導体製品パッケージング装置の前記外部リードポーションをシンギュレートする段階と、 j . 前記シンギュレートされた前記少なくとも 1 つの窓のあるリードレス半導体製品パッケージング装置をパックする段階と、

10

20

30

40

50

k. パックされた少なくとも1つの窓のあるリードレス半導体製品パッケージング装置を出荷する段階とを含む方法。

【請求項24】

前記リードフレームが、チップサイズからチップサイズに近い範囲で、前記リードレス半導体製品パッケージング装置に適合しやすいように所望の構造に機械的に曲げられる、請求項22に記載された少なくとも1つの半導体回路をパッケージングするための少なくとも1つの窓のあるリードレス半導体製品パッケージング装置を組み立てる方法。

【発明の詳細な説明】

本出願は、同じ出願者による同時係属中の米国暫定特許出願、第60/193,319、題名「ガラスの窓となる蓋を持つリードレス半導体製品パッケージング装置とパッケージングするための方法」、2000年3月30日提出、に関する。

【0001】

【発明の属する技術分野】

本発明は半導体製品のパッケージングとパッケージされた半導体製品を生産するための組み立て方法に関する。より詳細には、本発明は、リードレス半導体製品のパッケージングとリードレスパッケージされた半導体製品を生産するための組み立て方法に関する。更に詳細には、本発明は、リードレス半導体製品のパッケージングと、時間を浪費し環境に優しくない関連技術であるリードフレームエッチング、及びディフラッシング技術を使用しないパッケージされた半導体製品を量産するための組み立て方法に関する。

【0002】

【従来の技術】

必要な機能回路を持つ電子製品を設置したプリント回路基板に関連する製造コストの関心に応じて、半導体製品パッケージング産業はリードレス回路部品の生産を発展させた（それはまた表面実装可能な電子製品として知られている）。以下「リードレス製品」として言及する。その名が暗示しているように、リードレス製品は、パッケージされた電子製品で、それは、機械式の実装手段として、またはプレーナード上の回路を形成している他の電子部品に対する電氣的接続として、そのようなプレーナード上に与えられる接合ホールへ差し込むための物理的なリードの使用を必要としない。一般に、リードレス製品は、プリント回路基板の製造を容易にし、それによりボードホールへの構成要素のリードの挿入、及びボードのはんだパッドへのこれらリードのはんだ付けが除かれる。リードレス技術は、1980年の初期から電子部品のパッケージングのためのオプションとして十分に受け入れられてきた。例として、現在の関連技術の工業製品は「QFN」を含む。（Quad Flat No Lead、JEDEC STD MO 197、198、208、209、and 220として登録されている）。もちろん電子部品機能はまだ、リード型のパッケージング構造で利用できる場合がある。

【0003】

関連したリードレス半導体製品のパッケージング技術で、「ハーフエッチング」技術はリードフレームを形成するため使われ、その時、かなり危険な物質を生成する。（すなわち、酸の廃棄物、金属の廃棄物、あるいは有機溶剤）。そして非絶縁状態でリードフレームの有効なはんだ付け可能領域を保護するために、成型プロセス中に加えられるパッケージング材料からリードフレームのそのような有効なはんだ可能領域（外部I/Oとして知られている）を一時的にマスクするため、接着テープが使われ、過剰のテープや恐らくは有機溶剤の廃棄物を生成する。もう一つ別の関連した半導体製品のパッケージング技術において、リードフレームは完全に成型工程によってパッケージされ、そしてリードフレームの有効なはんだ付け可能領域は、次の工程で「バリ取り」を行う必要があり、ここでそのような部分は「オーバーパッケージング」を除くため、高圧の水性微粒子スラリー（すなわちウエットブラスティング）で吹き飛ばされる。従って、重合体廃棄物スラリーの形態で、かなり危険な材料を生成する。従って、天然資源の保全及びリードレス半導体製品をパッケージングするための環境に優しい方法と装置を供給する必要性がある。

【0004】

10

20

30

40

50

## 本発明の開示

本発明は、すなわちリードレス半導体パッケージング装置は、優れた機械的、電氣的、そして熱的特性を持ち、コスト効率が良い製品を与え、また独特な密封のみならず内部にパッケージされ集積化された半導体回路（チップ/ダイ）を見るための機構を与えるオプションの窓のある蓋の特徴（すなわち見える蓋（s i g h t l i d））を有している。コスト低減は、（a）デバイスをパッケージングするために伝統的な関連技術であるセラミック材料よりむしろエポキシのような重合体材料を任意に使う（b）パッケージング工程を簡略化し、それにより生産性を改善する、ことにより成し遂げられる。

## 【0005】

本発明は、関連技術の「ハーフエッチされた」リードフレームと対照的に、成型工程中に重合体材料によりパッケージされる、独特の「スタンプされた」かつ/または「曲げ加工された」標準のソルダープレートされた、またはプリプレートされたリードフレームを使う。本発明の工程は独特な圧縮タイプの型を供給し、この型は特に、関連技術で共通の問題であるリードフレームの有効なはんだ付け可能領域の「オーバーパッケージング」を避けるように構成されることを含む。本出願者の発明は、デバイスの組み立てとパッケージング工程を簡略化したものである。特別に形作られた圧縮型は、リードフレームの外部ポーションから内部ポーションの輪郭描写を容易にする。ここで外部ポーションはプリント回路基板上のパッドに接触する有効なはんだ付け可能領域を有する。型は効果的に「圧縮力のある密封口」を供給し、そこから、リードフレームの有効なはんだ付け可能領域は拡張され露出される場合があり、このようにしてリードフレームの内部ポーションをパッケージングするために型により包含された重合体でコートされることを避け、それによって困難なマスキング段階と退屈なバリ取り段階を回避する。

## 【0006】

本発明はリードフレームの「スタンピング」かつ/または「曲げ加工」の独特な技術を供給し、それによって、それを独特な半導体製品の電気機械的要求に適合させる。所望の形状へリードフレーム材料をスタンピングかつ/または曲げ加工することにより、本発明は、パッケージされた半導体製品の電気機械的要求に適合させるためのリードの旧技術である「ハーフエッチング」を必要としない。例えば、関連技術のプロセスは必要な形状を作るためリードフレームを「ハーフエッチング」する（例えば、元が10ミルの導電体物質を約5ミル、エッチングすると、それによって大量の酸と導電体物質の危険な廃棄物を発生させる）。従って、6ミル以下の範囲にあるような薄いリードフレーム材料が本発明で使われる場合がある。本発明は、下記の幾つかの更に特色のある利点を提供している。（a）顧客仕様のパッケージサイズ（b）現存の表面実装技術（SMT）プロセスが適用可能（c）低コストで全体の性能を向上できる（d）危険な副産物を発生させずにフルスケールの生産が達成できる（環境に優しい、すなわち、酸の廃棄物を無くし、揮発性有機化合物の遊離を無くし、そして前記の固体重合体のスラリー廃棄物を無くす）。（e）より薄いリードフレーム材料（天然資源の保全）。

## 【0007】

## 発明の実施の形態

本発明をよりよく理解するために、以下の参照添付図を用いて説明する。参照番号は、幾つかの図面を通して本発明の同じ部分、または等価な部分を指し示す。

## 【0008】

図1、1の断面図は、本発明による第1の具体例である「チップサイズに近い」リードレス半導体パッケージング装置1000（すなわち、ここではパッケージングと外部リード部分が、与えられたチップの平面図領域を越えて最小に拡張している）を例示しているが、それはパッケージングモールドライン10と銅のような導電性物質を「スタンピング」かつ「曲げ加工」することにより形成された、独特の「スタンプされた」かつ「曲げ加工された」リードフレーム30を持ち、効果的にはんだ付け可能な長さ60と有効な曲部34、すなわちモールド11（図示されず）により独特に圧縮的に保持されている独特にスタンプされ曲げ加工されたリードフレーム30、を備えている。そこに示されている他の



リードレス半導体デバイスの構成部品は、ダイ４０、パッドメタルを形成する場合があるダイ取り付けパッド４１、そして金のような導電性物質から形成される結合されたワイヤである。モールド１１は（図示されていない）、独特かつ効果的に圧縮（例えばホットプレスを使う）により、スタンプされ曲げ加工されたリードフレーム３０の内部ポーションのみを取り囲むために重合体モルディング化合物のような重合体物質１２を保持し、それによりスタンプされ曲げ加工されたリードフレーム３０上のきれいではんだ付け可能な領域を保護し、そしてそれにより過剰なパッケージング物質のバリ取りに対して環境に優しくない関連技術の必要性を回避する。スタンプされ曲げ加工されたリードフレーム３０をトリミングするための方法は、矢印７０により示された方向にソーイング（sawing）またはポンチカッティング（punch-cutting）することを含む場合がある。 10

#### 【０００９】

図１．２は、本発明による第２の具体例の断面図で、チップサイズに近いリードレス半導体パッケージング装置１０００を示し、それは、パッケージングモールドライン１０、銅のような導電性物質をスタンピングし、かつ曲げ加工することにより形成された独特のスタンプされかつ曲げ加工されたリードフレーム３０、有効な曲部３４、そしてそれらの間で下側で結合された金のような導電性物質により形成されたワイヤ５０を備えるダイ４０を持つ。これらの構成部品は、図１．１で述べられた方法で、独特に圧縮成型される。

#### 【００１０】

図１．３は、本発明による第３の具体例の断面図で、チップサイズに近い耐熱性の高いリードレス半導体パッケージング装置１０００を示し、それは、パッケージングモールドライン１０、銅のような導電性物質をスタンピングし、かつ曲げ加工することにより形成された独特のスタンプされかつ曲げ加工されたリードフレーム３０、有効な曲部３４、そしてそれらの間で上側で結合された金のような導電性物質により形成されたワイヤ５０を備えるダイ４０を持ち、そしてスタンプされかつ曲げ加工されたリードフレーム３０とダイ４０は、型からはみ出した（すなわち露出した）共通のダイ取り付けパッド４１を共有している。これらの構成部品は、図１．１で述べられた方法で、独特に圧縮成型される。 20

#### 【００１１】

図１．３aは、本発明による第４の具体例の断面図で、チップサイズに近い耐熱性の高いリードレス半導体パッケージング装置１０００を示し、それは、パッケージングモールドライン１０、銅のような導電性物質をスタンピングし、かつ曲げ加工することにより形成された独特のスタンプされかつ曲げ加工されたリードフレーム３０、有効な曲部３４、そしてそれらの間で上側で結合された金のような導電性物質により形成されたワイヤ５０を備えるダイ４０を持ち、そしてダイ取り付けパッド４１の下面は、はみ出した（すなわち露出した）状態である。これらの構成部品は、図１．１で述べられた方法で、独特に圧縮成型される。 30

#### 【００１２】

図１．４は、本発明による第５の具体例の断面図で、チップサイズに近いリードレス半導体パッケージング装置１０００を示し、それは、パッケージングモールドライン１０、銅のような導電性物質をスタンピングし、かつ曲げ加工することにより形成された独特のスタンプされかつ曲げ加工されたリードフレーム３０、有効な曲部３４、そしてそれらの間で上側で結合された金のような導電性物質により形成されたワイヤ５０を備えるスタンプされかつ曲げ加工されたリードフレーム３０の下側に置かれた中心パッド４０aを持つ。これらの構成部品は、図１．１で述べられた方法で、独特に圧縮成型される。 40

#### 【００１３】

図１．４aは、本発明による第６の具体例の断面図で、チップサイズに近いリードレス半導体パッケージング装置１０００を示し、それは、パッケージングモールドライン１０、銅のような導電性物質をスタンピングし、かつ曲げ加工することにより形成されたスタンプされかつ曲げ加工されたリードフレーム３０、有効な曲部３４、そしてそれらの間で上側で結合された金のような導電性物質により形成されたワイヤ５０を備えるスタンプされ 50

かつ曲げ加工されたリードフレーム 30 の下側に置かれた中心パッド 40 a を持ち、そして中心パッド 40 a の下面は、はみ出した（すなわち露出した）状態である。これらの構成部品は、図 1 . 1 で述べられた方法で、独特に圧縮成型される。

【 0 0 1 4 】

図 1 . 4 b は、本発明による第 7 の具体例の断面図で、チップサイズに近いリードレス半導体パッケージング装置 1000 を示し、それは、パッケージングモールドライン、銅のような導電性物質をスタンピングし、かつ曲げ加工することにより形成された独特のスタンプされかつ曲げ加工されたリードフレーム 30、有効な曲部 34、及び、スタンプされかつ曲げ加工されたリードフレーム 30 とフリップチップ 40 b 間に配置され接触している少なくとも 1 つの導電性パーティクル 51 を備えた、スタンプされかつ曲げ加工されたリードフレーム 30 の下側に置かれたフリップチップ 40 b を持つ。これらの構成部品は、図 1 . 1 で述べられた方法で、独特に圧縮成型される。

10

【 0 0 1 5 】

図 1 . 4 c は、本発明による第 8 の具体例の断面図で、「チップサイズ」のリードレス半導体パッケージング装置 1000 を示し、それは、パッケージングモールドライン 10、銅のような導電性物質をスタンピングすることにより形成された独特のスタンプされたリードフレーム 30、及びスタンプされかつ曲げ加工されたリードフレーム 30 とフリップチップ 40 b 間に配置され接触している少なくとも 1 つの導電性パーティクル 51 を備えた、スタンプされたリードフレーム 30 の上側に置かれたフリップチップ 40 b を持つ。これらの構成部品は、図 1 . 1 で述べられた方法で、独特に圧縮成型される。

20

【 0 0 1 6 】

図 1 . 5 は、本発明による第 9 の具体例の断面図で、チップサイズのリードレス半導体パッケージング装置 1000（すなわち、ここではパッケージングと外部リードポーションが、与えられたチップの平面図領域を越えて最小限に拡張している。ここで平面図パッケージング領域はダイ平面図領域の 1.2 倍以下である）を示し、それは、パッケージングモールドライン 10、銅のような導電性物質をスタンピングし、かつ曲げ加工することにより形成された独特のスタンプされかつ曲げ加工されたリードフレーム 30 上に置かれたダイ 40、そして、それらの間で上側で結合された金のような導電性物質により形成されたワイヤ 50 を備える。これらの構成部品は、図 1 . 1 で述べられた方法で、独特に圧縮成型される。

30

【 0 0 1 7 】

図 1 . 6 は、本発明による第 10 の具体例の断面図で、チップサイズのリードレス半導体パッケージング装置 1000 を示し、それは、パッケージングモールドライン 10、銅のような導電性物質をスタンピングすることにより形成された少なくとも 1 つ以上の独特のスタンプされたリードフレーム 30 上に置かれたダイ 40、及びそれらの間で上側で結合された金のような導電性物質から形成されたワイヤ 50 を備える。これらの構成部品は、図 1 . 1 で述べられた方法で、独特に圧縮成型される。

【 0 0 1 8 】

図 1 . 7 は、本発明による第 11 の具体例の断面図で、リードレス半導体パッケージング装置 1000 を示し、それは、パッケージングモールドライン、銅のような導電性物質をスタンピングすることにより形成された独特のスタンプされたリードフレーム 30 に対して側面に置かれ露出したダイ 40、及びそれらの間で上側で結合された金のような導電性物質から形成されたワイヤ 50 を備える。これらの構成部品は、図 1 . 1 で述べられた方法で、独特に圧縮成型される。

40

【 0 0 1 9 】

図 1 . 8 の断面図は、第 3 の具体例と同等の本発明によるチップサイズに近いリードレス半導体パッケージング装置 1000 を例示しているが、それは、パッケージングモールドライン 10 と、銅のような導電性物質をスタンピングし、かつ曲げ加工することにより形成される場合がある少なくとも 1 つの独特のスタンプされ曲げ加工されたリードフレーム 30 と、有効な曲部 34 を持ち、製造工程中に生ずるであろうモールド 11（図示せず）

50

により保持されている有効はんだ付け可能長60を備えている。ここに図示される他のリードレス半導体デバイスの構成部品は、少なくとも1つのダイ40と、パッドメタルを形成する場合がある少なくとも1つのダイ取り付けパッド41と、金のような導電性物質により形成される少なくとも1つの結合したワイヤ50である。複数のリードレス半導体デバイスをパッケージングするとき、アセンブリライン形式で大量生産されパッケージされたデバイスを分離するための方法は、矢印70で示された方向にソーイング(sawing)やポンチカッティング(punch-cutting)を行うことを含む場合がある。モールド11(図示せず)は、圧縮力を通して、少なくとも1つの独特のスタンプされ曲げ加工されたリードフレーム30(すなわち外部ポーションへの漏れが無い、少なくとも1つのスタンプされたリードフレーム)の内部ポーションのみを取り囲むために少なくとも1つの重合体物質12を独特かつ効果的に保持する。従って、少なくとも1つの独特にスタンプされ曲げ加工されたリードフレーム30の外部ポーション上のきれいではんだ付け可能な領域を保護し、それにより過剰なパッケージング物質のバリ取りのための関連技術の必要性を回避する。

10

#### 【0020】

図20の断面図は、本発明のもう1つ別の具体例である、本発明による窓のあるリードレス半導体パッケージング装置2000を例示しているが、それは銅のような導電性物質をスタンピングし、かつ曲げ加工することにより形成される独特のスタンプされ曲げ加工されたリードフレーム30を含むリードレス半導体デバイスと、有効な曲部34と、電気伝導性が無い接着剤42によりダイ取り付けパッド41に接着されたダイ40と、金のような物質から形成されるワイヤ50を持ち、それらは、ガラスや高温ポリマのような視覚的に透明な物質から作られた見える蓋(サイトリッド)80によりパッケージされ、紫外線で硬化可能なエポキシ樹脂のような密封剤14により硬化重合体物質13に対して独特に密封されている。密封剤14は、汚染物質の入場に対して、独特のより大きな密封表面積とより良い密封性を与えるため、密封剤14の一部が内側の溝16に流れ込むように、独特な2つの部分からなる溝の密封シートの外側の溝15の中へ入れられ、見える蓋80により圧縮される。しかしながら本発明は、2つの部分からなる溝の使用に限定されず、パッケージされる与えられた半導体回路により要求される少なくとも1つの溝を利用する場合がある。硬化重合体物質13は、スタンプされたリードフレーム30の外部ポーション31と内部ポーション32の両方に置かれた重なった先細りのモールドラインを持ち、またダイ取り付けパッド41とスタンプされたリードフレーム30の内部ポーション33間に置かれた同じ高さのモールドラインを持つ。強化された充填物質15は、内部ポーション33が以前にモールド11(図示せず)により独特な圧縮力で保持されたように、スタンプされたリードフレーム30の内部ポーション33の下面まで硬化される。

20

30

#### 【0021】

図3.0の斜視図は、本発明による窓のあるリードレス半導体パッケージング装置2000を例示しているが、それは、銅のような導電性物質をスタンピングかつ/または曲げ加工することにより形成されたスタンプかつ/または曲げ加工されたリードフレーム30を持ち、この独特のスタンプ加工は空所35により示されたように、リードフレーム材を効果的に除去して、硬化重合体13に形成された少なくとも1つの溝を持つ独特な密封シート15, 16に対して密封された見える蓋80を通して見られるようにそれらの間でワイヤ50を結合することにより共通のダイ40を共有し、重合体13は、前記の独特な圧縮成型技術により形成される。

40

#### 【0022】

図4.0は、本発明による、少なくとも1つのリードレス半導体パッケージング装置1000をパッケージするための一般的な組み立て方法M-1の流れ図を示す。方法M-1は次のステップから成る。(a)工程ブロック100に示されたように、リードフレーム材料をソーイング(sawing)またはポンチカッティング(punch-cutting)することにより少なくとも1つのリードを持つ少なくとも1つのスタンプされたリードフレームを供給する。(b)工程ブロック200に示されたように、電気伝導性が無

50

い接着剤（ダイ取り付け）を供給し少なくとも1つのリードフレームにダイを接着する。  
（c）工程ブロック300に示されたように、電気伝導性が無い接着剤を硬化させる。  
（d）工程ブロック400に示されたように、少なくとも1つのリードのそれぞれにダイからワイヤを接続する。  
（e）工程ブロック500に示されたように、上側プラテンと下側プラテンを持つホットプレスを使う加熱圧縮成型のような技術により重合体モルディング化合物のようなもう一つ別の重合体物質で半導体デバイス構成要素を成型し、それは独特な密封開口部をもたらし、そこから外部リードポーションが圧縮力とわずかに局所化された変形によって拡張し、それにより少なくとも1つのリードレス半導体パッケージング装置1000を形成する。  
（f）工程ブロック600に示されたように、レーザーにより少なくとも1つの形成されたリードレス半導体パッケージング装置1000をマーキングする。  
（g）工程ブロック700に示されたように、少なくとも1つのレーザーマークされたリードレス半導体パッケージング装置1000をシンギュレートする。  
（h）工程ブロック800に示されたように、少なくとも1つのシンギュレートされたリードレス半導体パッケージング装置1000をパックする。  
（i）工程ブロック900に示されたように、少なくとも1つのパックされたリードレス半導体パッケージング装置1000を出荷する。

10

#### 【0023】

図5.0は、本発明による、少なくとも1つの窓のあるリードレス半導体パッケージング装置2000をパッケージングするための一般的な組み立て方法M-2の流れ図を示す。  
方法M-2は次のステップから成る。  
（a）工程ブロック102に示されたように、リードフレーム材料をプリプレティングすることにより、少なくとも1つのリードを持つ少なくとも1つのスタンプされたリードフレームを供給する。  
（b）工程ブロック103に示されたように、上側プラテンと下側プラテンを持つホットプレスを使う加熱圧縮成型のような技術により重合体モルディング化合物のような重合体物質で少なくとも1つのスタンプされプリプレートされたリードフレームを成型し、それは独特な密封開口部もたらし、そこから外部リードポーションが圧縮力とわずかに局所化された変形によって拡張している。  
（c）工程ブロック101に示されたように、リードフレーム材をソーイング（sawing）またはポンチカッティング（punch-cutting）する。  
（d）工程ブロック202に示されたように、少なくとも1つのリードフレーム（ダイ取り付け）にダイを取り付ける。  
（e）工程ブロック303に示されたように、電気伝導性の無い接着剤を硬化させる。  
（f）工程ブロック404に示されたように、少なくとも1つのリードにダイからワイヤを接合する。  
（g）工程ブロック505に示されたように、紫外線で硬化可能なエポキシのような密封剤を供給することにより成型されたリードフレーム上に窓を取り付け、それにより、少なくとも1つのリードレス半導体パッケージング装置2000を形成する。  
（h）工程ブロック606に示されたように、レーザー技術により、少なくとも1つの形成された窓のあるリードレス半導体パッケージング装置2000をマーキングする。  
（i）工程ブロック707に示されたように、少なくとも1つのレーザーマークされた窓のあるリードレス半導体パッケージング装置2000をシンギュレートする。  
（j）工程ブロック808に示されたように、少なくとも1つのシンギュレートされた窓のあるリードレス半導体パッケージング装置2000をパックする。  
（k）工程ブロック909に示されたように、少なくとも1つのパックされた窓のあるリードレス半導体パッケージング装置2000を出荷する。

20

30

40

#### 【0024】

ここに示された情報及び詳細は、現在の好ましい発明の具体例として、つまり本発明により広く考えられる属する代表的なものとして、その発明の上述された目的を達成することが十分に可能である。本発明の範囲は、当業者に明らかになるであろう他の具体例も十分に包含し、従って添付された本請求項以外の何物によっても制限されない。ここで単数の要素に言及したときは、明白に述べていない限り、それは「1つまたは1つのみ」ではなく「1つまたは1つ以上」を意味することを意図している。一般の当業者に知られた上述の好ましい具体例及び追加的な具体例の要素と、構造的、機能的に同等なものすべては、

50

これにより明白に参照により組み込まれ、本請求項により包含されるものであることが意図されている。更に、本請求項により包含されるそのようなものに対して、本発明により解決を求められる各々の、そしてあらゆる問題を処理するためのデバイスまたは方法に対する要件は存在しない。更に、要素、構成要素、または方法の段階が明白に本請求項に列挙されているかどうかに関係なく、本発明で公開された要素、構成要素、または方法は、公衆に奉げられると言う意図は持たない。しかしながら、様々な形状、半導体材料、及び組み立て材料の詳細な変更や修正は添付された請求項に述べられているような発明の精神と範囲から逸脱することなく成されることは普通の当業者なら容易に理解されるだろう。語句「～のための手段」を使って要素が明白に列挙されていないなら、35 U.S.C 112、第6項の規定により解釈される請求項は、ここには無い。

10

#### 【図面の簡単な説明】

【図1.1】本発明による、ワイヤがスタンプされたリードフレームに結合し、もう一つ別のワイヤがダイ取り付けパッドに結合した状態で、「上側」の位置に置かれたダイを持つリードレス半導体デバイス形状について示されたパッケージングモールドラインを持つチップサイズに近い基本リードレス半導体パッケージング装置の断面図である。

【図1.2】本発明による、スタンプされたリードフレームと「下側」の位置に、それらの間で結合したワイヤを備えるダイを持つリードレス半導体デバイス形状について示されたパッケージングモールドラインを持つチップサイズに近いリードレス半導体パッケージング装置の断面図である。

【図1.3】本発明による、スタンプされたリードフレームと、「上側」の位置に、それらの間で結合したワイヤを備え、かつ、共通のダイ取り付けパッドを共有するダイを備えるリードレス半導体デバイス形状について示されたパッケージングモールドラインを持つチップサイズに近く耐熱性の高いリードレス半導体パッケージング装置の断面図である。

20

【図1.3a】本発明による、スタンプされたリードフレームと「上側」の位置に、それらの間で結合したワイヤを備え、かつ、型からはみ出した（すなわち露出された）ダイ取り付けパッドの下面を備えるダイを持つリードレス半導体デバイス形状について示されたパッケージングモールドラインを持つチップサイズに近く耐熱性の高いリードレス半導体パッケージング装置の断面図である。

【図1.4】本発明による、スタンプされたリードフレームと「上側」の位置に、それらの間で結合したワイヤを備え、かつ、スタンプされたリードフレームの下側に置かれた中心パッドを持つリードレス半導体デバイス形状について示されたパッケージングモールドラインを持つチップサイズに近いリードレス半導体パッケージング装置の断面図である。

30

【図1.4a】本発明による、スタンプされたリードフレームと、「上側」の位置にそれらの間で結合したワイヤを備え、かつ中心パッドの下面が型からはみだしている、スタンプされたリードフレームの下側に置かれた中心パッドを持つリードレス半導体デバイス形状について示されたパッケージングモールドラインを持つチップサイズに近いリードレス半導体パッケージング装置の断面図である。

【図1.4b】本発明による、スタンプされたリードフレームと、少なくとも1つの伝導性パーティクルと接触し、かつ、それがリードフレームとフリップチップ間に配置されている、スタンプされたリードフレームの下側に置かれたフリップチップを持つリードレス半導体デバイス形状について示されたパッケージングモールドラインを持つチップサイズに近いリードレス半導体パッケージング装置の断面図である。

40

【図1.4c】本発明による、スタンプされたリードフレームと、少なくとも1つの伝導性パーティクルと接触し、かつ、それがリードフレームとフリップチップ間に配置されているスタンプされたリードフレームの上側に置かれたフリップチップを持つリードレス半導体デバイス形状について示されたパッケージングモールドラインを持つチップサイズに近いリードレス半導体パッケージング装置の断面図である。

【図1.5】本発明による、リードフレーム上に置かれたダイと、「上側」の位置に、それらの間で結合したワイヤを備えたリードレス半導体デバイス形状について示されたパッケージングモールドラインを持つチップサイズに近いリードレス半導体パッケージング装

50

置の断面図である。

【図１．６】本発明による、少なくとも１つのリードフレーム上に置かれたダイと、「上側」の位置に、それらの間で結合したワイヤを備えたリードレス半導体デバイス形状について示されたパッケージングモールドラインを持つチップサイズに近いリードレス半導体パッケージング装置の断面図である。

【図１．７】本発明による、リードフレームに対して横に置かれて露出されたダイと、「上側」の位置に、それらの間で結合したワイヤを備えたリードレス半導体デバイス形状について示されたパッケージングモールドラインを持つチップサイズに近いリードレス半導体パッケージング装置の断面図である。

【図１．８】本発明による、製造工程中に産出されるであろう少なくとも１つのリードレス半導体デバイスについて示されたパッケージングモールドラインを持つリードレス半導体パッケージング装置の断面図である。

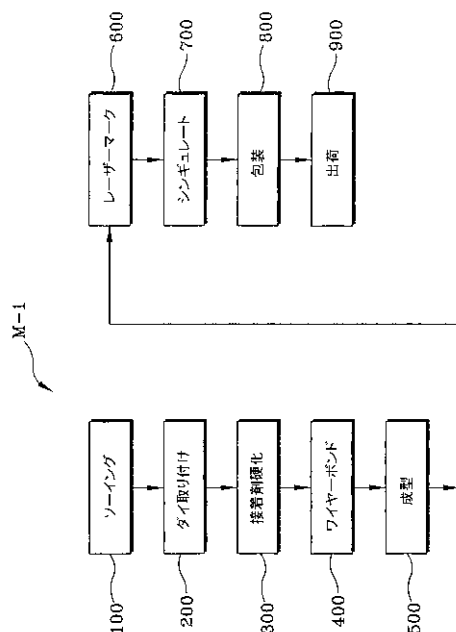
【図２】本発明による、スタンプされたリードフレームの内部ポーションに置かれた平らなモールドラインを持つ硬化した重合体材料に対して密封された見える蓋によりパッケージされているスタンプされたリードフレーム、ダイ、及び結合したワイヤを持つリードレス半導体デバイス形状を有する窓を取り付けたリードレス半導体パッケージング装置の断面図である。

【図３】本発明による、見える蓋を通して見られるように、それらの間のワイヤを結合することにより、共通のダイを共有する複数のリードを持つスタンプされたリードフレームを持つ窓を取り付けたリードレス半導体パッケージング装置の斜視図である。

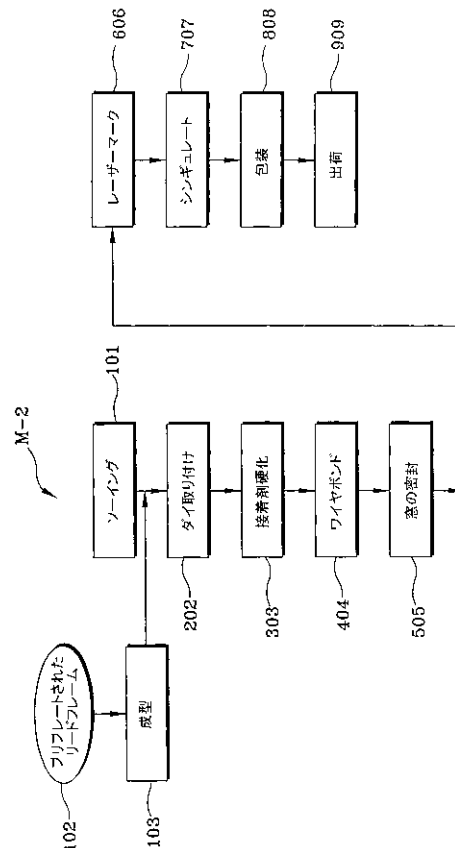
【図４】本発明による、リードレス半導体パッケージング装置をパッケージするための組み立て方法のフローチャートである。

【図５】本発明による、窓のあるリードレス半導体パッケージング装置をパッケージするための組み立て方法のフローチャートである。

【図４】



【図５】



## 【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

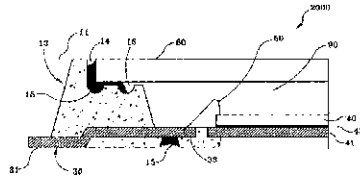
(19) World Intellectual Property Organization  
International Bureau(43) International Publication Date  
11 October 2001 (11.10.2001)

PCT

(10) International Publication Number  
WO 01/75938 A2

- (51) International Patent Classification: H01L
- (21) International Application Number: PCT/US01/10590
- (22) International Filing Date: 30 March 2001 (30.03.2001)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data:  
60/193,319 30 March 2000 (30.03.2000) US  
09/668,425 6 October 2000 (06.10.2000) US
- (71) Applicant: ATS SERVICES COMPANY [US/US], 1680 Civic Center Drive, Suite A, Santa Clara, CA 95050 (US).
- (72) Inventors: CHIN, Dong; 900 North Rural Road, #2055, Chandler, AZ 85226 (US); CHANG, Sung; 415-112 North Mary Avenue, Sunnyvale, CA 94086 (US).
- (74) Agent: FLORES, Victor; Lariviere, Graham & Payne, LLP, P.O. Box 3140, Menlo Park, CA 94025 (US).
- (81) Designated States (national): AP, AT, AU, AM, AI, AL, AZ, BA, BB, BG, BR, BY, BZ, CA, CL, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GG, GL, GM, GR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LU, LV, MA, MD, MG, MK, MN, MW, MX, MY, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.
- (84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SI, SZ, TZ, UG, ZW), Eurasian patent (AM, AZ, BY, EG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IL, IT, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, NG, SN, TD, TG).
- Published:  
without international search report and to be republished upon receipt of that report
- For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: LEADLESS SEMICONDUCTOR PRODUCT PACKAGING APPARATUS HAVING A WINDOW LID AND METHOD FOR PACKAGING



(57) Abstract: A natural resource conservative, environmentally friendly, cost effective, leadless semiconductor packaging apparatus, having superior mechanical and electrical properties, and having an optional windowed housing which uniquely seals and provides a mechanism for viewing the internally packaged integrated semiconductor circuits (die/package). A uniquely stamped and/or bent lead-frame is packaged by a polymeric material during a unique compression molding process, using a mold, specially configured to avoid the common "over packaging" problem in related art techniques. The specially configured mold facilitates delineation of the internal portions from the external portions of the lead-frame, as the external portions are the effective solderable areas that contact pads on a printed circuit board, thereby avoiding a laborious environmentally-unfriendly masking step and de-flashing step, streamlining the device packaging process. The compression-mold effectively provides a compressive sealing orifice from which the effective solderable areas of the lead frame may extend and be exposed and, thus, avoid being coated with the polymer which is uniquely contained by the mold for packaging the internal portions of the lead-frame. The lead-frame is uniquely stamped and/or bent, conforming it to electro-mechanical requirements of a particular semiconductor product. By uniquely stamping and/or bending, the related art "half-folding" of the lead for conforming it to electro-mechanical requirements of the packaged semiconductor product is no longer required. Environmental enhancement is achieved by conserving natural resources and by eliminating hazardous material by products otherwise liberated in related art packaging techniques.

WO 01/75938 A2

WO 01/75938

PCT/US01/10390

LEADLESS SEMICONDUCTOR PRODUCT PACKAGING APPARATUS  
HAVING A WINDOW LID AND METHOD FOR PACKAGING

## RELATED APPLICATION

This application is related to co-pending U.S. Provisional Patent Application, Ser. No. 60/193,319, filed March 30, 2000 and U.S. Non-Provisional Patent Application, Ser. No. 09/668,423, filed September 22, 2000, both entitled "LEADLESS SEMICONDUCTOR PRODUCT PACKAGING APPARATUS HAVING GLASS WINDOW LID AND METHOD FOR PACKAGING," by the same Applicants.

## TECHNICAL FIELD

The present invention relates to semiconductor product packaging and methods of fabrication for producing a packaged semiconductor product. More particularly, the present invention relates to leadless semiconductor product packaging and methods of fabrication for producing leadless packaged semiconductor product. Even more particularly, the present invention relates to leadless semiconductor product packaging and methods of fabrication for mass-producing packaged semiconductor product without employing time-consuming, environmentally-unfriendly related art lead-frame etching and de-flashing techniques.

## BACKGROUND ART

In response to manufacturing cost concerns relating to populating printed circuit boards with electronic product having the requisite functional circuits, the semiconductor product packaging industry has developed a leadless circuit component product (also known as a surface mountable electronic product), hereinafter referred to as a "leadless product." The leadless product, as the name implies, is a packaged electronic product that does not require the use of physical leads for being inserted into mating holes provided on a planar board as a mechanical mounting means nor as an electrical connection with other electronic components forming the circuit on such a planar board. In general, the leadless product facilitates manufacturing of a printed circuit card, thereby eliminating the inserting of component leads into the board holes and the soldering of these leads to the board's solder pads. The leadless technology has been well accepted as an option for packaging electronic components since early 1980. By example, a current related art industrial product includes "QFN" (Quad Flat No Lead, registered as JEDEC STD MO 197, 198, 208, 209, and 220). Of course, the electronic component function may still be available in a lead-type packaging structure.



WO 01/75938

PCT/US01/10390

In the related leadless semiconductor product packaging art, "half-etching" techniques are used for forming the lead-frame, generating considerable hazardous material (e.g., acid waste, metals waste, and possibly organic solvent waste); and an adhesive tape is used to temporarily mask effective solderable areas of the lead-frame (also known as the "outer I/O") from the packaging material to be applied during the molding process in order to preserve such effective solderable areas of the lead-frame in an un-insulated state, generating undue tape and possibly organic solvent waste. In another related semiconductor product packaging art technique, the lead-frame is completely packaged by a molding process; and the effective solderable areas of the lead-frame must be subsequently "de-flashed" in a process wherein such portions are blasted with a highly pressurized aqueous slurry of particulates (i.e., wet-blasting) to remove the "over-packaging," thereby generating considerable hazardous material in the form of polymeric waste slurry. Therefore, a need exists for providing a natural resource-conservative and environmentally-friendly method and apparatus for packaging a leadless semiconductor product.

## DISCLOSURE OF INVENTION

The present invention, a leadless semiconductor packaging apparatus, provides a cost-effective product, having superior mechanical, electrical, and thermal properties, and having an optional window lid feature (i.e., a sight lid) which not only uniquely seals, but also provides a mechanism for viewing the internally packaged integrated semiconductor circuits (chips/die). Cost reduction is achieved by (a) optionally using polymeric materials, such as epoxies, rather than conventional related art ceramic materials for packaging devices, and (b) simplifying the packaging process, thereby improving productivity.

The present invention employs a unique "stamped" and/or "bent" standard solder-plated or pre-plated lead-frame which is packaged by a polymeric material during a molding process, in contrast to the related art "half-etched" lead-frame. The process of the present invention involves providing a unique compression-type mold, specially contoured to avoid "over-packaging," of the effective solderable areas of the lead-frame which is a common problem in the related art techniques. Applicants' invention results in streamlining the device fabrication and packaging process. The specially contoured compression-mold facilitates delineation of the internal portions from the external portions of the lead-frame, where the external portions have the effective solderable areas that contact pads on a printed circuit board. The mold effectively provides a

WO 01/75938

PCT/US01/10390

"compressive sealing orifice" from which the effective solderable areas of the lead-frame may extend and be exposed and, thus, avoid being coated with the polymer which is contained by the mold for packaging the internal portions of the lead-frame, thereby avoiding a laborious masking step and a tedious de-flashing step.

5 The present invention applies the unique technique of "stamping" and/or "bending" of the lead-frame, thereby conforming it to electro-mechanical requirements of a particular semiconductor product. By stamping and/or bending the lead-frame material into the desired configuration, the present invention does not require old art "half-etching" of the lead for conforming it to electro-mechanical requirements of the packaged semiconductor product. By  
10 example, the related art process "half-etches" the lead-frame (e.g., 10 mils of raw conducting material are etched to about 5 mils, thereby generating a large volume of acid and conducting material hazardous waste) in order to create the requisite shape. Thus, thinner lead-frame material, such as that in a range of 6 mils or less, may be used with the present invention. The present invention offers several more distinctive advantages: (a) customer-specifiable package  
15 size, (b) applicable existing surface mount technology (SMT) processes, (c) overall improved performance at a lower cost, (d) complete absence of hazardous material by-products in full-scale production (environmentally-friendly, i.e., no acid waste, no metals waste, no liberation of volatile organic compounds, and no solid polymeric slurry waste), and (e) thinner lead-frame material (natural-resource-conservative).

#### BRIEF DESCRIPTION OF DRAWINGS

For a better understanding of the present invention, reference is made to the below-referenced accompanying drawings.

Figure 1.1 is a cross-sectional view of a near chip-size basic leadless semiconductor  
25 packaging apparatus having packaging mold-lines shown with respect to a leadless semiconductor device configuration having a die located in the "up" position with a wire bonded to a stamped lead frame and another wire bonded to a die attach pad, in accordance with the present invention.

Figure 1.2 is a cross-sectional view of a near chip-size leadless semiconductor packaging  
30 apparatus having packaging mold-lines shown with respect to a leadless semiconductor device configuration having a stamped lead-frame and a die with a wire therebetween bonded in the "down" position, in accordance with the present invention.

Figure 1.3 is a cross-sectional view of a near chip-size thermal leadless semiconductor

WO 01/75938

PCT/US01/10390

packaging apparatus having packaging mold-lines shown with respect to a leadless semiconductor device configuration having a stamped lead-frame and a die with a wire therebetween bonded in the "up" position and with the die sharing a common die attach pad, in accordance with the present invention.

5        Figure 1.3a is a cross-sectional view of a near chip-size thermal leadless semiconductor packaging apparatus having packaging mold-lines shown with respect to a leadless semiconductor device configuration having a stamped lead-frame and a die with a wire therebetween bonded in the "up" position and with a lower surface of the die attach pad being unmolded (i.e., exposed), in accordance with the present invention.

10        Figure 1.4 is a cross-sectional view of a near chip-size leadless semiconductor packaging apparatus having packaging mold-lines shown with respect to a leadless semiconductor device configuration having a stamped lead-frame and a center pad located beneath the stamped lead-frame with a wire bonded therebetween in the "up" position, in accordance with the present invention.

15        Figure 1.4a is a cross-sectional view of a near chip-size leadless semiconductor packaging apparatus having packaging mold-lines shown with respect to a leadless semiconductor device configuration having a stamped lead-frame and a center pad located beneath the stamped lead-frame with a wire bonded therebetween in the "up" position and a lower surface of the center pad being unmolded, in accordance with the present invention.

20        Figure 1.4b is a cross-sectional view of a near chip-size leadless semiconductor packaging apparatus having packaging mold-lines shown with respect to a leadless semiconductor device configuration having a stamped lead-frame and a flip chip located beneath the stamped lead-frame with at least one conducting particle contacting and being disposed between the lead-frame and the flip chip, in accordance with the present invention.

25        Figure 1.4c is a cross-sectional view of a chip-size leadless semiconductor packaging apparatus having packaging mold-lines shown with respect to a leadless semiconductor device configuration having a stamped lead-frame and a flip chip located above the stamped lead-frame with at least one conducting particle contacting and being disposed between the lead-frame and the flip chip, in accordance with the present invention.

30        Figure 1.5 is a cross-sectional view of a chip-size leadless semiconductor packaging apparatus having packaging mold-lines shown with respect to a leadless semiconductor device configuration having a die located on a lead-frame and a wire bonded therebetween in the "up"

WO 01/75938

PCT/US01/10390

position, in accordance with the present invention.

Figure 1.6 is a cross-sectional view of a chip-size leadless semiconductor packaging apparatus having packaging mold-lines shown with respect to a leadless semiconductor device configuration having a die located on at least one lead-frame and a wire bonded therebetween in the "up" position, in accordance with the present invention.

Figure 1.7 is a cross-sectional view of a chip-size leadless semiconductor packaging apparatus having packaging mold-lines shown with respect to a leadless semiconductor device configuration having an exposed die laterally located with regard to the lead-frame and a wire bonded therebetween in the "up" position, in accordance with the present invention.

Figure 1.8 is a cross-sectional view of a leadless semiconductor packaging apparatus having packaging mold-lines shown with respect to at least one leadless semiconductor device, as would occur during a manufacturing process, in accordance with the present invention.

Figure 2.0 is a cross-sectional view of a windowed leadless semiconductor packaging apparatus with a leadless semiconductor device configuration having a stamped lead frame, a die, and a bonded wire being packaged by a sight lid sealed against a cured polymeric material having a flush mold-line located at the interior portion of the stamped lead frame, in accordance with the present invention.

Figure 3.0 is a perspective view of a windowed leadless semiconductor packaging apparatus having a stamped lead-frame having a plurality of leads sharing a common die by bonding a wire therebetween as viewed through a sight lid, in accordance with the present invention.

Figure 4.0 is a flow-chart of a fabrication method for packaging a leadless semiconductor packaging apparatus, in accordance with the present invention.

Figure 5.0 is a flow-chart of a fabrication method for packaging a windowed leadless semiconductor packaging apparatus, in accordance with the present invention.

Reference numbers refer to the same or equivalent parts of the present invention throughout the several figures of the drawings.

#### MODE FOR CARRYING OUT THE INVENTION

Figure 1.1 illustrates, in cross-section, a first embodiment, a "near chip-size" leadless semiconductor packaging apparatus 1000 (i.e., where the packaging and external lead portions extend minimally beyond the plan-form area of a given chip) having packaging mold-lines 10 and

WO 01/75938

PCT/US01/10390

a unique "stamped" and "bent" lead-frame 30 formed by "stamping" and "bending" a conductive material such as copper, with an effective solderable length 60 and effecting a bend 34, the unique stamped and bent lead-frame 30 being uniquely compressively retained by a mold 11 (not shown), in accordance with the present invention. Other leadless semiconductor device components therein shown are a die 40, a die attach pad 41 which may be formed of a pad metal, and a bonded wire 50 formed from a conductive material such as gold. The mold 11 (not shown) uniquely effectively retains, by compression (e.g., using a hot-press), a polymeric material 12, such as a polymeric molding compound, for surrounding only the interior portion of the stamped and bent lead-frame 30, thereby uniquely preserving a clean solderable area on the stamped and bent lead-frame 30, and thereby avoiding the environmentally-unfriendly related art need for de-flashing of excess packaging material. A method for trimming the stamped and bent lead-frame 30 may include sawing or punch-cutting in the direction indicated by arrow 70.

Figure 1.2 is a cross-sectional view of a second embodiment, a near chip-size leadless semiconductor packaging apparatus 1000, having packaging mold-lines 10, a unique stamped and bent lead-frame 30 formed by stamping and bending a conductive material such as copper, effecting a bend 34, and a die 40 with a wire 50, formed from a conductive material such as gold, therebetween bonded in the "down" position, in accordance with the present invention. These components are uniquely compression-molded in the manner discussed with respect to Figure 1.1.

Figure 1.3 is a cross-sectional view of a third embodiment, a near chip-size thermal leadless semiconductor packaging apparatus 1000 having packaging mold-lines 10, a unique stamped and bent lead-frame 30 formed by stamping and bending a conductive material such as copper, effecting a bend 34, and a die 40 with a wire 50 formed from a conductive material such as gold, therebetween bonded in the "up" position and with the stamped and bent lead-frame 30 and the die 40 sharing a common die attach pad 41 being unmolded (i.e., exposed), in accordance with the present invention. These components are uniquely compression-molded in the manner discussed with respect to Figure 1.1.

Figure 1.3a is a cross-sectional view of a fourth embodiment, a near chip-size thermal leadless semiconductor packaging apparatus 1000 having packaging mold-lines 10, a unique stamped and bent lead-frame 30 formed stamping and bending a conductive material such as copper, effecting a bend 34, and a die 40 with a wire 50 formed from a conductive material such as gold, therebetween bonded in the "up" position and with a lower surface of the die attach pad 41 being unmolded (i.e., exposed), in accordance with the present invention. These components

WO 01/75938

PCT/US01/10390

are uniquely compression-molded in the manner discussed with respect to Figure 1.1.

Figure 1.4 is a cross-sectional view of a fifth embodiment, a near chip-size leadless semiconductor packaging apparatus 1000 having packaging mold-lines 10, a unique stamped and bent lead-frame 30 formed by stamping and bending a conductive material such as copper, effecting a bend 34, and a center pad 40a located beneath the stamped and bent lead-frame 30 with a wire 50 formed from a conductive material such as gold, bonded therebetween in the "up" position, in accordance with the present invention. These components are uniquely compression-molded in the manner discussed with respect to Figure 1.1.

Figure 1.4a is a cross-sectional view of a sixth embodiment, a near chip-size leadless semiconductor packaging apparatus 1000 having packaging mold-lines 10, a stamped and bent lead-frame 30 formed by stamping and bending a conductive material such as copper, effecting a bend 34, and a center pad 40a located beneath the stamped and bent lead-frame 30 with a wire 50 formed from a conductive material such as gold, bonded therebetween in the "up" position and a lower surface of the center pad 40a being unmolded (i.e., exposed), in accordance with the present invention. These components are uniquely compression-molded in the manner discussed with respect to Figure 1.1.

Figure 1.4b is a cross-sectional view of a seventh embodiment, a near chip-size leadless semiconductor packaging apparatus 1000 having packaging mold-lines, a unique stamped and bent lead-frame 30 formed by stamping and bending a conductive material such as copper, effecting a bend 34, and a flip chip 40b located beneath the stamped and bent lead-frame 30 with at least one conducting particle 51 contacting and being disposed between the stamped and bent lead-frame 30 and the flip chip 40b, in accordance with the present invention. These components are uniquely compression-molded in the manner discussed with respect to Figure 1.1.

Figure 1.4c is a cross-sectional view of an eighth embodiment, a "chip-size" leadless semiconductor packaging apparatus 1000 having packaging mold-lines 10, a unique stamped lead-frame 30 formed by stamping a conductive material such as copper, and a flip chip 40b located above the stamped lead-frame 30 with at least one conducting particle 51 contacting and being disposed between the stamped lead-frame 30 and the flip chip 40b, in accordance with the present invention. These components are uniquely compression-molded in the manner discussed with respect to Figure 1.1.

Figure 1.5 is a cross-sectional view of a ninth embodiment, a chip-size leadless semiconductor packaging apparatus 1000 (i.e., where the packaging and external lead portions

WO 01/75938

PCT/US01/10390

extend very minimally beyond the plan-form area of a given chip, where the plan-form package area is less than or equal to 1.2 times the die plan-form area) having packaging mold-lines 10, a die 40 located on a unique stamped lead-frame 30 formed by stamping a conductive material such as copper, and a wire 50 formed from a conductive material such as gold, bonded therebetween in the "up" position, in accordance with the present invention. These components are uniquely compression-molded in the manner discussed with respect to Figure 1.1.

Figure 1.6 is a cross-sectional view of a tenth embodiment, a chip-size leadless semiconductor packaging apparatus 1000 having packaging mold-lines 10, a die 40 located on at least one unique stamped lead-frame 30 formed by stamping a conductive material such as copper, and a wire 50 formed from a conductive material such as gold, bonded therebetween in the "up" position, in accordance with the present invention. These components are uniquely compression-molded in the manner discussed with respect to Figure 1.1.

Figure 1.7 is a cross-sectional view of an eleventh embodiment, a leadless semiconductor packaging apparatus 1000 having packaging mold-lines, an exposed die 40 laterally located with regard to the unique stamped lead-frame 30 formed by stamping a conductive material such as copper, and a wire 50 formed from a conductive material such as gold, bonded therebetween in the "up" position, in accordance with the present invention. These components are uniquely compression-molded in the manner discussed with respect to Figure 1.1.

Figure 1.8 illustrates, in cross-section, a near chip-size leadless semiconductor packaging apparatus 1000, consistent with the third embodiment, having packaging mold-lines 10, at least one unique stamped and bent lead-frame 30 which may be formed by stamping and bending a conductive material such as copper, effecting a bend 34, with an effective solder able length 60, being retained by a mold 11 (not shown) as would occur during a manufacturing process, in accordance with the present invention. Other leadless semiconductor device components therein shown are at least one die 40, at least one die attach pad 41 which may be formed of a pad metal, and at least one bonded wire 50 formed from a conductive material such as gold. In packaging a plurality of leadless semiconductor devices, a method for separating the mass-produced packaged devices in an assembly line fashion may include sawing or punch-cutting in the direction indicated by arrow 70. The mold 11 (not shown) uniquely and effectively retains, via compressive forces, at least one polymeric material 12 for surrounding only the interior portion of the at least one unique stamped and bent lead-frame 30 (i.e., without leakage to an exterior portion of the at least one stamped lead-frame), thereby preserving clean solder able areas on an external portion of the at

WO 01/75938

PCT/US01/10390

least one unique stamped and bent lead-frame 30, and thereby avoiding the related art need for de-flashing of excess packaging material.

Figure 2.0 illustrates, in cross-section, another embodiment of the present invention, a windowed leadless semiconductor packaging apparatus 2000 having a leadless semiconductor device comprising a unique stamped and bent lead-frame 30 formed by stamping and bending a conductive material such as copper, effecting a bend 34, a die 40 adhered to a die attach pad 41 by a non-electrically conductive adhesive material 42, and a wire 50 formed from a material such as gold, being packaged by a sight lid 80, formed from a visually transparent material such as a glass or a high temperature polymer, uniquely sealed against a cured polymeric material body 13 by a sealant material 14 such as a UV-curable epoxy resin, in accordance with the present invention. Sealant material 14 is compressed by the sight lid 80 into an outboard channel 15 of a unique dual channel sealant seat such that a portion of the sealant material 14 flows into an inboard channel 16 for providing a uniquely larger sealing surface area and better sealing against contaminant entry. The present invention, however, is not limited to the use of dual channels, but may utilize at least one channel as required by the given semiconductor circuit to be packaged. The cured polymeric material body 13 has an overlapping tapered mold line located at both the exterior portion 31 and the interior portion 32 of the stamped lead-frame 30 and a flush mold line located between the die attach pad 41 and the interior portion 33 of stamped lead-frame 30. A reinforced fill material 15 is cured unto a lower surface of the interior portion 33 of the stamped lead-frame 30, such interior portion 33 formerly being uniquely compressively retained by the mold 11 (not shown).

Figure 3.0 illustrates, in perspective view, a windowed leadless semiconductor packaging apparatus 2000 having a stamped and/or bent lead-frame 30 formed by stamping and/or bending a conductive material such as copper, such unique stamping effecting removal of lead-frame material as indicated by void 35, sharing a common die 40 by bonding a wire 50 therebetween as viewed through the sight lid 80 sealed against a unique sealant seat 15, 16 having at least one channel formed in the cured polymeric body 13, the polymeric body 13 being formed by the foregoing unique compression-molding technique, in accordance with the present invention.

Figure 4.0 flow-charts the general fabrication method M-1 for packaging at least one leadless semiconductor packaging apparatus 1000, in accordance with the present invention. Method M-1 comprises the steps of: (a) providing at least one stamped lead-frame having at least one lead, by sawing or punch-cutting a lead-frame material as indicated by process block 100, (b)



WO 01/75938

PCT/US01/10390

attaching a die to the at least one lead-frame by applying a non-electrically conductive adhesive material (die attach) as indicated by process block 200, (c) curing the non-electrically conductive adhesive material as indicated by process block 300, (d) bonding a wire from the die to each of the at least one lead as indicated by process block 400, (e) molding the semiconductor device components in another polymeric material, such as a polymeric molding compound, by a technique such as hot compression-molding using a hot-press having an upper platen and a lower platen, effecting a unique sealing orifice from which the external lead portion extends via a compressive force and a nominally localized deformation, thereby forming the at least one leadless semiconductor packaging apparatus 1000, as indicated by process block 500, (f) marking, by laser, the at least one formed leadless semiconductor packaging apparatus 1000 as indicated by process block 600, (g) singulating, the at least one laser-marked leadless semiconductor packaging apparatus 1000, as indicated by process block 700, (h) packing the at least one singulated leadless semiconductor packaging apparatus 1000 as indicated by process block 800, and (i) shipping the at least one packed leadless semiconductor packaging apparatus 1000 as indicated by process block 900.

Figure 5.0 flow-charts the general fabrication method M-2 for packaging at least one windowed leadless semiconductor packaging apparatus 2000, in accordance with the present invention. Method M-2 comprises the steps of: (a) providing at least one stamped lead-frame having at least one lead, by pre-plating a lead-frame material as indicated by process block 102, (b) molding the at least one stamped pre-plated lead-frame in a polymeric material, such as a polymeric molding compound, by a technique such as hot compression-molding using a hot-press having an upper platen and a lower platen, effecting a unique sealing orifice from which the external lead portion extends via a compressive force and a nominally localized deformation, as indicated by process block 103, (c) sawing or punch-cutting the lead-frame material as indicated by process block 101, (d) attaching a die to the at least one lead-frame (die attach) as indicated by process block 202, (e) curing the non-electrically conductive adhesive material as indicated by process block 303, (f) bonding a wire from the die to the at least one lead as indicated by process block 404, (g) installing a window onto the molded lead-frame by applying a sealant such as a UV-curable epoxy as indicated by process block 505, thereby forming the at least one leadless semiconductor packaging apparatus 2000, (h) marking, by laser techniques, the at least one formed windowed leadless semiconductor packaging apparatus 2000 as indicated by process block 606, (i) singulating the at least one laser-marked windowed leadless semiconductor packaging apparatus

WO 01/75938

PCT/US01/10390

2000, as indicated by process block 707, (j) packing the at least one singulated windowed leadless semiconductor packaging apparatus 2000 as indicated by process block 808, and (k) shipping the at least one packed windowed leadless semiconductor packaging apparatus 2000 as indicated by process block 909.

5 Information as herein shown and described in detail is fully capable of attaining the above-described object of the invention, the presently preferred embodiment of the invention, and is, thus, representative of the subject matter which is broadly contemplated by the present invention. The scope of the present invention fully encompasses other embodiments which may become obvious to those skilled in the art, and is to be limited, accordingly, by nothing other than the appended  
10 claims, wherein reference to an element in the singular is not intended to mean "one and only one" unless explicitly so stated, but rather "one or more." All structural and functional equivalents to the elements of the above-described preferred embodiment and additional embodiments that are known to those of ordinary skill in the art are hereby expressly incorporated by reference and are intended to be encompassed by the present claims. Moreover, no requirement exists for a device or method  
15 to address each and every problem sought to be resolved by the present invention, for such to be encompassed by the present claims. Furthermore, no element, component, or method step in the present disclosure is intended to be dedicated to the public regardless of whether the element, component, or method step is explicitly recited in the claims. However, it should be readily apparent to those of ordinary skill in the art that various changes and modifications in form, semiconductor  
20 material, and fabrication material detail may be made without departing from the spirit and scope of the inventions as set forth in the appended claims. No claim herein is to be construed under the provisions of 35 U.S.C. 112, sixth paragraph, unless the element is expressly recited using the phrase "means for."

WO 01/75938

PCT/US01/10390

## CLAIMS

What is claimed:

1. A leadless semiconductor product packaging apparatus for packaging a semiconductor circuit, comprising:
  - a. a lead-frame,  
said lead-frame having an internal lead portion and an external lead portion,  
said lead-frame being in electrical contact with said semiconductor circuit, and  
said lead-frame being formed by stamping a lead frame material; and
  - b. a housing member,  
said housing member comprising a housing material, and  
said housing material encapsulating said lead-frame such that said external lead  
portions are exposed to provide solderable regions.
2. The leadless semiconductor product packaging apparatus, as recited in claim 1,  
wherein said semiconductor circuit comprises:
  - a. at least one die attach pad,  
wherein said semiconductor circuit is mounted on said die attach pad; and
  - b. at least one wire,  
wherein said at least one wire is wire-bonded to effect an electrical connection  
between said circuit and said internal lead portion,  
wherein said at least one wire is formed from an electrically conducting material  
selected from a group of electrically conducting materials consisting  
essentially of copper, aluminum, and gold,  
wherein said housing material is further compression-molded around said die attach pad,  
said at least one wire, and said internal lead portion,  
wherein said housing material is not compression-molded around said lead external  
portion, and  
wherein said stamped lead-frame is mechanically bent into a desired configuration for  
facilitating fit of said leadless semiconductor product packaging apparatus to a size  
in a range of chip-size to near chip-size.

WO 01/75938

PCT/US01/10390

- 20 3. The leadless semiconductor product packaging apparatus, as recited in claim 2, wherein said lead frame material has a thickness in a range of 6 mils or less.
4. The leadless semiconductor product packaging apparatus, as recited in claim 1, wherein said lead frame material has a thickness in a range of 6 mils or less.
5. The leadless semiconductor product packaging apparatus, as recited in claim 4, wherein said leadless semiconductor product comprises:
- a. at least one die attach pad,  
wherein said semiconductor circuit is mounted on said die attach pad; and
  - 5 b. at least one wire,  
wherein said at least one wire is wire-bonded to effect an electrical connection between said circuit and said internal lead portion,  
wherein said at least one wire is formed from an electrically conducting material selected from a group of electrically conducting materials consisting essentially of copper, aluminum, and gold,
  - 10 wherein said housing material is further compression-molded around said die attach pad, said at least one wire, and said internal lead portion,  
wherein said housing material is not compression-molded around said lead external portion, and
  - 15 wherein said stamped lead-frame is mechanically bent into a desired configuration for facilitating fit of said leadless semiconductor product packaging apparatus to a size in a range of chip-size to near chip-size.
6. The leadless semiconductor product packaging apparatus, as recited in claim 1, further comprising:
- a. a window lid member,  
5 wherein said window lid member forms a portion of said housing member, and wherein said window lid member is formed from a visually transparent material selected from a group of visually transparent materials consisting essentially of a polymer and a glass;
  - b. a sealant material;

WO 01/75938

PCT/US01/10390

- 10 c. a sealant seat,  
 said sealant seat comprising at least one channel disposed on an upper surface of  
 said housing member for providing a larger sealing surface area, and  
 said sealant material being disposed between said housing member and said  
 window lid member within said at least one channel for preventing  
 15 contaminant entry.
7. The leadless semiconductor product packaging apparatus, as recited in claim 2, wherein  
 a die is attachable, by a non-electrically conductive polymer, to each said internal portion  
 of said lead-frame.
8. The leadless semiconductor product packaging apparatus, as recited in claim 5, wherein  
 a die is attachable, by a non-electrically conductive polymer, to each said internal portion  
 of said lead-frame.
9. The leadless semiconductor product packaging apparatus, as recited in claim 1,  
 wherein said housing material comprises a polymeric molding compound,  
 wherein said housing member comprises said housing material being compression-molded,  
 whereby said external lead portion is exposed,  
 5 thereby preserving a solderable area on said external lead portion, and  
 thereby avoiding de-flashing of said external lead portion.
10. The leadless semiconductor product packaging apparatus, as recited in claim 1,  
 wherein said lead-frame is formed from at least one electrically conducting material  
 selected from a group of electrically conducting materials consisting essentially of  
 copper, aluminum, and gold,  
 5 wherein said housing material comprises at least one material selected from a group of  
 housing materials consisting essentially of a polymer and a ceramic, and  
 wherein said polymer is selected from a group of polymers consisting essentially of an  
 epoxy, a polyimide, and a bismaleimide.

WO 01/75938

PCT/US01/10390

11. A method for fabricating a leadless semiconductor product packaging apparatus for packaging a semiconductor circuit, comprising the steps of:
- a. providing a lead-frame,  
said lead-frame having an internal lead portion and an external lead portion,  
5 said lead-frame being in electrical contact with said semiconductor circuit, and  
said lead-frame being formed by stamping a lead-frame material; and
  - b. providing a housing member,  
said housing member comprising a housing material, and  
said housing material encapsulating said lead-frame such that said external lead  
10 portions are exposed to provide solderable regions, and  
thereby forming said leadless semiconductor product packaging apparatus.
12. The method for fabricating a leadless semiconductor product packaging apparatus, as recited in claim 11, wherein said leadless semiconductor circuit comprises:
- a. at least one die attach pad,  
wherein said semiconductor circuit is mounted on said die attach pad; and
  - 5 b. at least one wire,  
wherein said at least one wire is wire-bonded to effect an electrical connection  
between said circuit and said internal lead portion,  
wherein said at least one wire is formed from an electrically conducting material  
selected from a group of electrically conducting materials consisting  
10 essentially of copper, aluminum, and gold,  
wherein said housing material is further compression-molded around said die attach pad,  
said at least one wire, and said internal lead portion,  
wherein said housing material is not compression-molded around said lead external  
portion, and  
15 wherein said lead-frame is mechanically bent into a desired configuration for facilitating  
fit of said leadless semiconductor product packaging apparatus to a size in a range  
of chip-size to near chip-size, and  
thereby forming said leadless semiconductor product packaging apparatus.

20 13. The method for fabricating a leadless semiconductor product packaging apparatus, as

WO 01/75938

PCT/US01/10390

recited in claim 12, wherein said lead frame material has a thickness in a range of 6 mils or less.

14. The method for fabricating a leadless semiconductor product packaging apparatus, as recited in claim 11, wherein said lead frame material has a thickness in a range of 6 mils or less.

15. The method for fabricating a leadless semiconductor product packaging apparatus, as recited in claim 14, wherein said leadless semiconductor product comprises:

- a. at least one die attach pad,  
wherein said at least one semiconductor circuit is mounted on said die attach pad;

5

and

- b. at least one wire,  
wherein said at least one wire is wire-bonded to effect an electrical connection between said circuit and said internal lead portion,

10

wherein said at least one wire is formed from an electrically conducting material selected from a group of electrically conducting materials consisting essentially of copper, aluminum, and gold,

wherein said housing material is further compression-molded around said die attach pad, said at least one wire, and said internal lead portion,

15

wherein said housing material is not compression-molded around said lead external portion, and

wherein said lead-frame is mechanically bent into a desired configuration for facilitating fit of said leadless semiconductor product packaging apparatus to a size in a range of chip-size to near chip-size, and  
thereby forming said leadless semiconductor product packaging apparatus.

16. The method for fabricating a leadless semiconductor product packaging apparatus, as recited in claim 14, further comprising the steps of:

- a. providing a window lid member,  
wherein said window lid member forms a portion of said housing member, and  
wherein said window lid member is formed from a visually transparent material

5

WO 01/75938

PCT/US01/10390

- selected from a group of visually transparent materials consisting essentially of a polymer and a glass;
- b. providing a sealant material;
  - c. providing a sealant seat,
- 10 said sealant seat comprising at least one channel disposed on an upper surface of said housing member for providing a larger sealing surface area, and said sealant material being disposed between said housing member and said window lid member within said at least one channel for preventing contaminant entry, and
- 15 thereby forming said leadless semiconductor product packaging apparatus.
17. The method for fabricating a leadless semiconductor product packaging apparatus, as recited in claim 12, wherein a die is attachable, by a non-electrically conductive polymer, to each said internal portion of said lead-frame.
18. The method for fabricating a leadless semiconductor product packaging apparatus, as recited in claim 15, wherein a die is attachable, by a non-electrically conductive polymer, to each said internal portion of said lead-frame.
19. The method for fabricating a leadless semiconductor product packaging apparatus, as recited in claim 11,
- 5 wherein said housing material comprises a polymeric molding compound, wherein said housing member comprises said housing material being compression-molded, whereby said external lead portion is exposed, thereby preserving a solderable area on said external lead portion, and thereby avoiding de-flashing of said external lead portion.
20. The method for fabricating a leadless semiconductor product packaging apparatus, as recited in claim 11,
- wherein said lead-frame is formed from an electrically conducting material, said electrically conducting material comprising copper,



WO 01/75938

PCT/US01/10390

5 wherein said housing material comprises at least one material selected from a group of housing materials consisting essentially of a polymer and a ceramic, and wherein said polymer is selected from a group of polymers consisting essentially of an epoxy, a polyimide, and a bismaleimide.

21. A method for fabricating at least one leadless semiconductor product packaging apparatus for packaging at least one semiconductor circuit, comprising the steps of:
- a. stamping a lead-frame material for providing at least one stamped lead-frame, said lead-frame material having a thickness in a range of less than 6 mils, said at least one stamped lead-frame having an internal lead portion and an external lead portion;
  - b. applying a non-electrically conductive adhesive material to an interface between a die and said internal lead portion for attaching said die to said internal lead portion for each of said at least one lead frame;
  - 10 c. curing said non-electrically conductive adhesive material for each of said at least one stamped lead-frame;
  - d. providing a wire for each of said at least one stamped lead-frame, said wire having a first end and a second end, wherein said first wire end is bonded to said die, and wherein said second wire end is bonded to said lead internal portion;
  - 15 e. molding a housing material around said lead internal portion in a mold using a hot-press to form a housing member for each of said at least one stamped lead-frame, said mold having an upper portion and a lower portion, said hot-press having an upper platen and a lower platen being parallel to one another,
  - 20 said upper mold portion being inwardly disposed on said upper platen, said lower mold portion being inwardly disposed on said lower platen, said lead internal portion being attached to said die, said upper hot-press platen and said lower hot-press platen being translated together in a direction normal to said platens respectively compressing said upper mold portion against said lower mold portion,
  - 25 whereby a compressive force is exerted by said mold portions on said external lead

WO 01/75938

PCT/US01/10390

- portion to create a nominally localized deformation on said external lead portion,
- 30 whereby a leak-proof seal, between said internal lead portion and said external lead portion, is effected via said compressive force and said nominally localized deformation, and
- whereby said housing material is cured within said mold,
- thereby forming said housing member, and
- 35 thereby forming said at least one leadless semiconductor product packaging apparatus,
- f. marking, by lasing, said external lead portion of each of said at least one formed leadless semiconductor product packaging apparatus;
- g. singulating said external lead portion of each of said at least one formed leadless semiconductor product packaging apparatus from one another;
- 40 h. packing said singulated said at least one leadless semiconductor product packaging apparatus; and
- i. shipping said packed leadless semiconductor product packaging apparatus.
22. The method for fabricating at least one leadless semiconductor product packaging apparatus for packaging at least one semiconductor circuit, as recited in claim 21, wherein said lead-frame is mechanically bent into a desired configuration for facilitating fit of said leadless semiconductor product packaging apparatus to a size in a range of chip-size to near
- 5 chip-size.
23. A method for fabricating at least one windowed leadless semiconductor product packaging apparatus for packaging at least one semiconductor circuit, comprising the steps of:
- a. stamping a lead-frame material for providing at least one stamped lead-frame, said lead-frame material having a thickness in a range of less than 6 mils, said at least one stamped lead-frame having an internal lead portion and an external lead portion;
- 5 b. pre-plating said at least one stamped lead-frame;
- c. molding a housing material around said lead internal portion in a mold using a hot-press to form a housing member for each of said at least one stamped lead-frame,

WO 01/75938

PCT/US01/10390

- 10 said mold having an upper portion and a lower portion,  
 said upper mold portion having a mold-line for accommodating a sight lid,  
 said hot-press having an upper platen and a lower platen being parallel to one  
 another,  
 said upper mold portion being inwardly disposed on said upper platen,  
 15 said lower mold portion being inwardly disposed on said lower platen,  
 said lead internal portion being attached to said die,  
 said upper hot-press platen and said lower hot-press platen being translated  
 together in a direction normal to said platens respectively compressing said  
 upper mold portion against said lower mold portion,  
 20 whereby a compressive force is exerted by said mold portions on said external lead  
 portion to create a nominally localized deformation on said external lead  
 portion,  
 whereby a leak-proof seal, between said internal lead portion and said external lead  
 portion, is effected via said compressive force and said nominally localized  
 25 deformation, and  
 whereby said housing material is cured within said mold,  
 thereby forming said housing member, and  
 thereby forming said at least one leadless semiconductor product packaging  
 apparatus,  
 30 d. applying a non-electrically conductive adhesive material to an interface between a  
 die and said internal lead portion for attaching said die to said internal lead portion  
 for each of said at least one lead frame;  
 e. curing the non-electrically conductive adhesive material for each of said at least one  
 lead frame;  
 35 f. providing a wire for each of said at least one lead frame,  
 said wire having a first end and a second end,  
 wherein said first wire end is bonded to said die, and  
 wherein said second wire end is bonded to said lead internal portion;  
 g. installing a window lid member onto said housing member by curing a sealant  
 40 material into a sealant seat having at least one channel,  
 said sealant being interracially disposed between said window and said molded

WO 01/75938

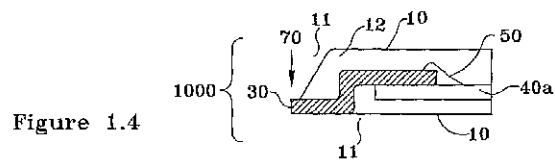
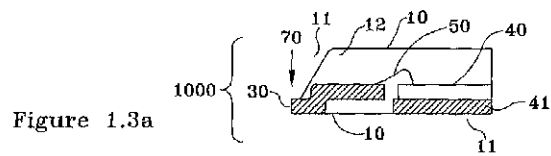
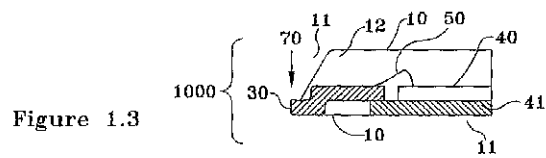
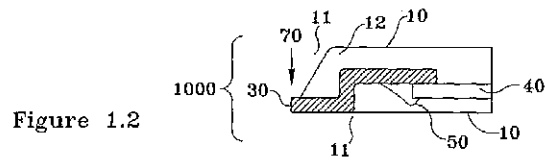
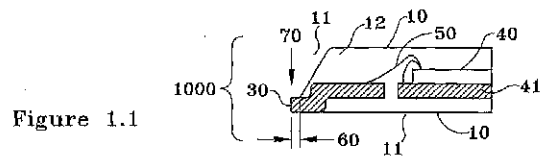
PCT/US01/10390

- lead-frame,  
 said sealant being compressed by said sight lid, a portion of said sealant material  
 being thereby pressed into said at least one channel,  
 45 whereby seal is effected, and  
 thereby forming said at least one windowed leadless semiconductor product  
 packaging apparatus having said window lid member;
- h. marking, by lasing, said external lead portion of said at least one windowed formed  
 leadless semiconductor product packaging apparatus;
- 50 i. singulating said external lead portion of said at least one windowed formed leadless  
 semiconductor product packaging apparatus from one another;
- j. packing said singulated at least one windowed leadless semiconductor product  
 packaging apparatus; and
- k. shipping said packed at least one windowed leadless semiconductor product  
 55 packaging apparatus.
24. The method for fabricating at least one windowed leadless semiconductor product  
 packaging apparatus for packaging at least one semiconductor circuit, as recited in claim  
 22, wherein said lead-frame is mechanically bent into a desired configuration for  
 facilitating fit of said leadless semiconductor product packaging apparatus to a size in a  
 5 range of chip-size to near chip-size.

WO 01/75938

PCT/US01/10390

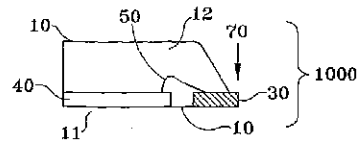
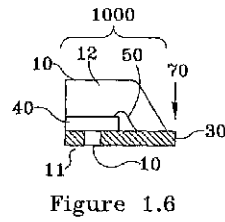
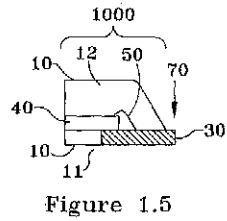
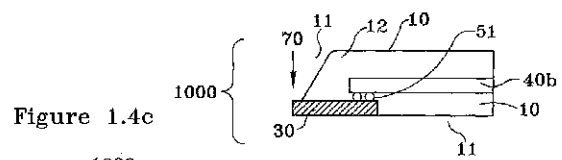
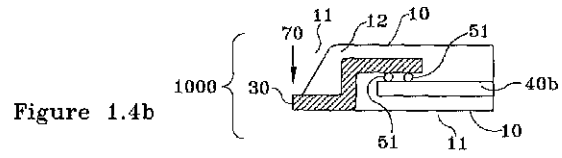
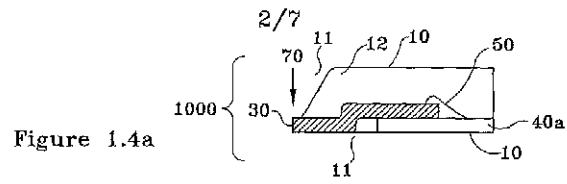
1/7



SUBSTITUTE SHEET (RULE 26)

WO 01/75938

PCT/US01/10390



SUBSTITUTE SHEET (RULE 26)

3/7

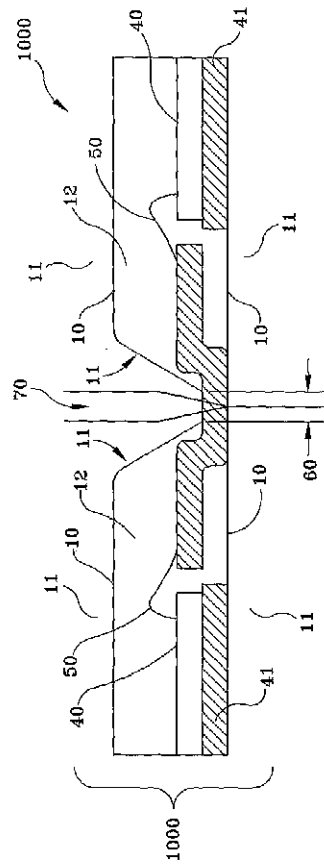
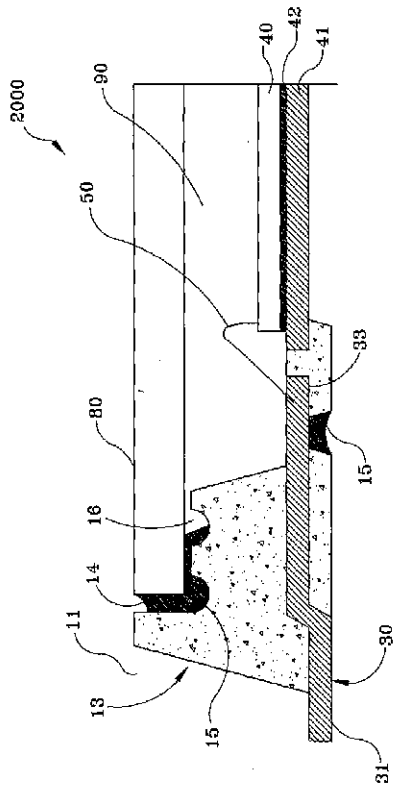


Figure 1.8

WO 01/75938

PCIT/US01/10390

4/7



SUBSTITUTE SHEET (RULE 26)



WO 01/75938

PCT/US01/10390

5/7

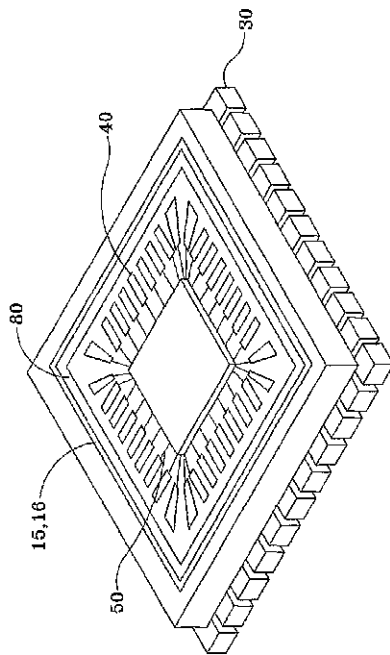


Figure 3.0

WO 01/75938

PCT/US01/10390

6/7

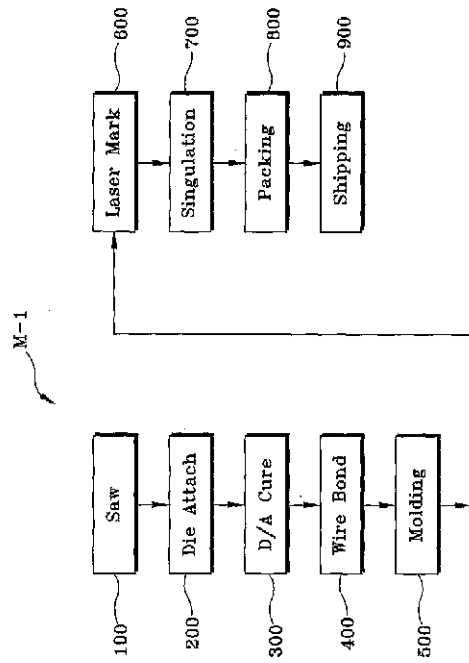
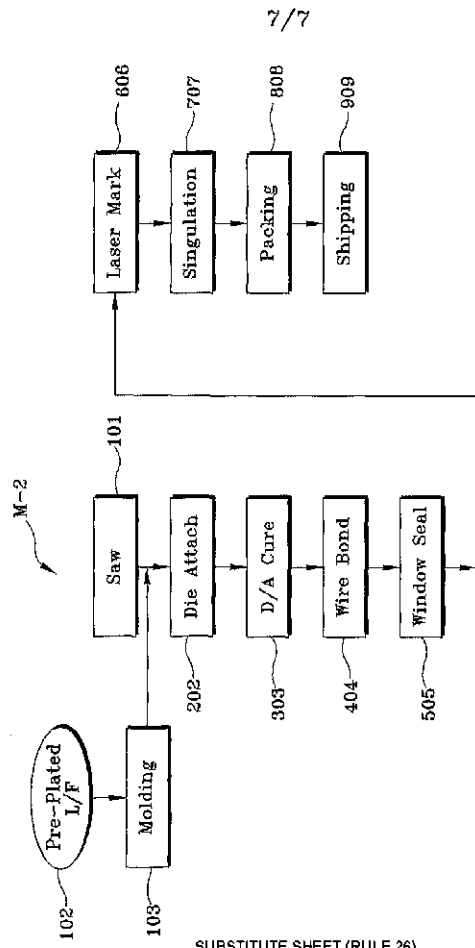


Figure 4

WO 01/75938

PCT/US01/10390



SUBSTITUTE SHEET (RULE 26)

Figure 5

## 【国際公開パンフレット（コレクトバージョン）】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization  
International Bureau(43) International Publication Date  
11 October 2001 (11.10.2001)

PCT

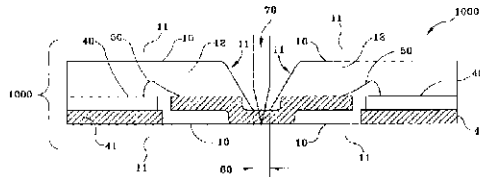
(10) International Publication Number  
WO 01/075938 A3(51) International Patent Classification: H01L 23/495,  
23/28, 23/34

(21) International Application Number: PCT/US01/10390

(22) International Filing Date: 30 March 2001 (30.03.2001)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:  
60/193,349 30 March 2000 (30.03.2000) US  
09/668,424 6 October 2000 (06.10.2000) US(81) Designated States (internationally): AE, AG, AL, AM, AT, AU,  
AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ,  
DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GR, GM, HR,  
HU, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR,  
LS, LU, LV, MA, MD, MG, MK, MN, MW, MX, MY,  
MZ, NI, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM,  
TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.(84) Designated States (regionally): ARIPO patent (GH, GM,  
KE, LS, MW, MZ, SD, SI, SZ, TZ, UG, ZW), European  
patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European  
patent (AT, BE, CH, CY, DE, DK, ES, FR, GB, GR, IE,  
IT, LI, MC, NL, PT, SI, TR), OAPI patent (BF, BJ, CI,  
CG, CF, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).Published:  
with international search report(71) Applicant: ATS SERVICES COMPANY (US/AUS); 1680  
Civic Center Drive, Suite A, Santa Clara, CA 95050 (US).(72) Inventors: CHUN, Dasung; 900 North Rural Road,  
42055, Chandler, AZ 85226 (US); CHANG, Sung,  
415 112 North Mary Avenue, Sunnyvale, CA 94086 (US).(74) Agent: FLORES, Victor; Law Office, Ginzburg & Payne,  
L.L.P. P.O. Box 3140, Monterey, CA 93942 (US).(88) Date of publication of the international search report:  
25 July 2002For two-letter codes and other abbreviations, refer to the "Guide-  
ance Notes on Codes and Abbreviations" appearing at the begin-  
ning of each regular issue of the PCT Gazette.(54) Title: LEADLESS SEMICONDUCTOR PRODUCT PACKAGING APPARATUS HAVING A WINDOW LID AND  
METHOD FOR PACKAGING

(57) Abstract: A natural resource conservative, environmentally friendly, cost effective, leadless semiconductor packaging apparatus (1000), having superior mechanical and electrical properties, and having an optional windowed housing which uniquely seals and provides a mechanism for viewing the internally packaged integrated semiconductor circuits (chips/die) (40). A uniquely stamped and/or bent lead frame (30, 31) is packaged by a polymeric material (12) during a unique compression molding process using a mold, specially contoured to avoid the common "over-packaging" problem in related art techniques. The specially contoured mold facilitates delineation of the internal portions from the external portions of the lead-frame, as the external portions are the effective solderable areas that connect pads on a printed circuit board, thereby avoiding a hazardous environmentally-unfriendly masking step and de-flasking step, streamlining the device packaging process. The compression mold effectively provides a compressive sealing surface from which the effective solderable areas of the lead-frame may extend and be exposed and, thus, avoid being coated with the polymer which is uniquely contained by the mold for packaging the lateral portions of the lead-frame. The lead-frame is uniquely stamped and/or bent, conforming it to electro-mechanical requirements of a particular semiconductor product. By uniquely stamping and/or bending, the related art "hot" etching of the lead for conforming it to electro-mechanical requirements of the packaged semiconductor product is no longer required. Environmental enhancement is achieved by conserving natural resources and by eliminating hazardous material by products otherwise liberated in related art packaging techniques.

WO 01/075938 A3

## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US01/10950
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC(7) : H01L 23/395, 23/38, 23/34 US CL. : Please See Extra Sheet According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) U.S. : 457/666, 670, 684, 694, 695, 696, 698, 707, 764, 710, 714, 717, 740, 675 Documentation searched other than minimum documentation to the extent that such documents are included in the fields <b>NONE</b> Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EAST		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y,E	US 6,246,111 B1 (HUANG et al.) 12 June 2001 (12.06.2001), figures 1-7.	1-24
Y,E	US 6,281,568 B1 (GLENN et al.) 28 August 2001 (28.08.2001), figures 1-7.	1-24
Y	US 5,650,915 A (ALFARO et al.) 22 July 1997 (22.07.1997), figures 1A-3.	6,16,23,24
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents	"1" later documents published after the international filing date, of priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "2" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "3" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combinations being obvious to a person skilled in the art "4" document member of the same patent family	
"A" documents defining the general state of the art which is not considered to be of particular relevance		
"E" earlier document published on or after the international filing date		
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another claim(s) or other specific reasons (as specified)		
"O" documents referring to an oral disclosure, use, exhibition or other means		
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search	Date of mailing of the international search report	
17 JANUARY 2002	04 FEB 2002	
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231	Authorized officer <i>Sham S. Hoque</i> ALEXANDER WILLIAMS	
Facsimile No. (703) 305-9290	Telephone No. (703) 305-3863	

Form PCT/ISA/210 (second sheet) (July 1998)\*

INTERNATIONAL SEARCH REPORT	
	International application No. PCT/US01/10380
<b>Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)</b>	
This international report has not been established in respect of certain claims under Article 17(b)(a) for the following reasons:	
1.	<input type="checkbox"/> Claims Nos. _____ because they relate to subject matter not required to be searched by this Authority, namely:
2.	<input type="checkbox"/> Claims Nos. _____ because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3.	<input type="checkbox"/> Claims Nos. _____ because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).
<b>Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)</b>	
This International Searching Authority found multiple inventions in this international application, as follows:	
1.	<input checked="" type="checkbox"/> As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2.	<input type="checkbox"/> As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3.	<input type="checkbox"/> As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.: _____
4.	<input type="checkbox"/> No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: _____
<b>Remark on Protest</b> <input type="checkbox"/> The additional search fees were accompanied by the applicant's protest. <input type="checkbox"/> No protest accompanied the payment of additional search fees.	

INTERNATIONAL SEARCH REPORT	International application No. PCT/US01/10900
<p>A. CLASSIFICATION OF SUBJECT MATTER:</p> <p>US CL. :</p> <p>257/600, 676, 684, 694, 695, 696, 697, 704, 710, 712, 713, 717, 730, 675</p>	

## フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CR,CU,CZ,DE,DK,DM,DZ,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TR,TT,TZ,UA,UG,UZ,VN,YU,ZA,ZW

(72)発明者 チュン, ドースン

アメリカ合衆国アリゾナ州 8 5 2 2 6 , チャンドラー , ノース・ルラル・ロード・ナンバー 2 0 5  
5 - 9 0 0

(72)発明者 チャン, スン

アメリカ合衆国カリフォルニア州 9 4 0 8 6 , サニーベイル , ノース・メアリー・アベニュー・4  
1 5 - 1 1 2

F ターム(参考) 5F067 AA01 AB04 BB01 DE01

## 【要約の続き】

フレームの内部ポーションをパッケージングするためにモールドにより独特に包含されたポリマーでコートされることを回避する。リードフレームは独特にスタンプかつ/または曲げ加工され、特別な半導体製品の電気機械的要求に適合される。独特なスタンピングかつ/または曲げ加工によりパッケージされた半導体製品の電気機械的要求に適合させるために、リードの関連技術である「ハーフエッチング」はもはや必要ない。環境保全の促進は、天然資源の保全により、そして関連したパッケージング技術において別の状況で遊離した危険な副産物を取り除くことにより達成される。