

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年5月14日(14.05.2020)



(10) 国際公開番号

WO 2020/095540 A1

(51) 国際特許分類:

H04N 5/367 (2011.01) H01L 23/522 (2006.01)
G01R 31/02 (2006.01) H01L 27/146 (2006.01)
H01L 21/3205 (2006.01) H04N 5/369 (2011.01)
H01L 21/768 (2006.01)

(21) 国際出願番号: PCT/JP2019/036091

(22) 国際出願日: 2019年9月13日(13.09.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-209460 2018年11月7日(07.11.2018) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION)

[JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 朝倉 ルオンフォン (ASAKURA Luonghung); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

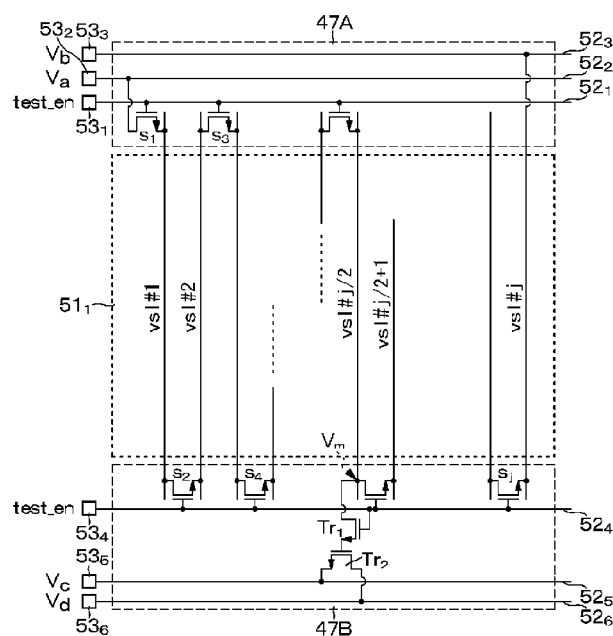
(74) 代理人: 山本 孝久, 外(YAMAMOTO Takahisa et al.); 〒1410032 東京都品川区大崎4丁目3番2号 秋葉ビル301号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: IMAGING DEVICE AND ELECTRONIC DEVICE

(54) 発明の名称: 撮像装置及び電子機器

図10



(57) Abstract: The present invention is obtained by stacking: a first substrate on which a pixel array portion obtained by arranging, in a matrix shape, pixels each including a light-receiving part, is formed; and a second substrate on which pixel control parts for controlling the pixels are formed. The first substrate is provided with: a first wire for transmitting a first voltage; a second wire for transmitting a second voltage; and a defect detection circuit that, when the pixel array portion is divided into a plurality of pixel blocks with a plurality of pixel columns or a plurality of pixel rows defined

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

as units, detects a defect for each pixel block. When a wire defect is detected, the defect detection circuit, for each pixel block, connects in series a plurality of wires corresponding to the plurality of pixel columns or the plurality of pixel rows, connects, to the first wire, one end of a wire chain, of each pixel block, which is obtained by connecting the wires in series, connects the other end to the second wire, and detects the wire defect on the basis of an electric potential at an intermediate position of the wire chain.

(57) 要約: 受光部を含む画素が行列状に配置されて成る画素アレイ部が形成された第1の基板、及び、画素を制御する画素制御部が形成された第2の基板が積層されて成る。第1の基板は、第1の電圧を伝送する第1の配線、第2の電圧を伝送する第2の配線、及び、画素アレイ部を、複数の画素列又は複数の画素行を単位として複数の画素ブロックに分割したとき、画素ブロック毎に、配線不良の検出を行う不良検出回路を備える。不良検出回路は、配線不良の検出時に、画素ブロック毎に、複数の画素列又は複数の画素行に対応する複数の配線を直列に接続し、各画素ブロックの直列に接続された配線チェーンの一端を第1の配線に接続し、他端を第2の配線に接続し、配線チェーンの中間位置の電位に基づいて配線不良の検出を行う。

明 細 書

発明の名称：撮像装置及び電子機器

技術分野

[0001] 本開示は、撮像装置及び電子機器に関する。

背景技術

[0002] 半導体基板上にマトリクス状に配置されて成る受光素子について、受光信号出力用の穿孔状電極が形成される以前の状態でも、検査を行うことができるようにした受光チップがある（例えば、特許文献1参照）。

[0003] 特許文献1に記載の受光チップでは、複数の受光素子を幾つかの素子群に分割し、各素子群に対応して検査用パッドを設ける。そして、各素子群をそれぞれ共通の検査用信号線に接続し、各検査用パッドには、出力回路及び入力回路の双方を接続し、切替スイッチにより、検査用信号線を、対応する検査用パッドの出力回路又は入力回路の何れかに接続することで、検査用パッドを用いて受光素子の検査を可能にしている。

先行技術文献

特許文献

[0004] 特許文献1：特開2015-165544号公報

発明の概要

発明が解決しようとする課題

[0005] 上記の特許文献1に記載の受光チップは、受光信号出力用の穿孔状電極が形成される以前の状態で、受光素子の検査を目的としてなされたものである。

[0006] 本開示は、画素行毎あるいは画素列毎に形成された配線について、最小限の追加回路で検査を行うことができる撮像装置及び当該撮像装置を有する電子機器を提供することを目的とする。

課題を解決するための手段

[0007] 上記の目的を達成するための本開示の撮像装置は、

受光部を含む画素が行列状に配置されて成る画素アレイ部が形成された第1の基板、及び、画素を制御する画素制御部が形成された第2の基板が積層されて成り、

第1の基板は、

第1の電圧を伝送する第1の配線、

第2の電圧を伝送する第2の配線、及び、

画素アレイ部を、複数の画素列又は複数の画素行を単位として複数の画素ブロックに分割したとき、画素ブロック毎に、配線不良の検出を行う不良検出回路を備え、

不良検出回路は、

配線不良の検出時に、画素ブロック毎に、複数の画素列又は複数の画素行に対応する複数の配線を直列に接続し、各画素ブロックの直列に接続された配線チェーンの一端を第1の配線に接続し、他端を第2の配線に接続し、

配線チェーンの中間位置の電位に基づいて配線不良の検出を行う。

[0008] また、上記の目的を達成するための本開示の電子機器は、上記の構成の撮像装置を有する。

図面の簡単な説明

[0009] [図1]図1は、本開示の撮像装置の一例であるCMOSイメージセンサの基本的な構成の概略を示すブロック図である。

[図2]図2は、画素の回路構成の一例を示す回路図である。

[図3]図3は、CMOSイメージセンサに搭載される列並列アナログーデジタル変換部の構成の一例を示すブロック図である。

[図4]図4は、積層型のチップ構造の概略を示す分解斜視図である。

[図5]図5は、COW方式の積層構造におけるチップ貼り合わせ手順を示す概略図である。

[図6]図6は、COW方式の積層構造におけるチップ貼り合わせ工程の流れを示す工程図である。

[図7]図7は、配線オープンの不良検出の一手法について説明する図である。

[図8]図8は、実施例1に係る画素チップの基本的な構成の一例を示す概略構成図である。

[図9]図9は、実施例2に係る画素チップの具体的な構成の一例を示す回路図である。

[図10]図10は、画素アレイ部の1つの画素ブロックにおけるデジチェーン、及び、2つの不良検出回路の回路構成の一例を示す回路図である。

[図11]図11Aは、オープン不良の検出時の第1の電圧 V_a ／第2の電圧 V_b ／第3の電圧 V_c ／第4の電圧 V_d の各電圧値の設定、及び、制約について説明する図であり、図11Bは、オープン不良の検出時に発生するケース分けについて説明する図である。

[図12]図12は、断線検査を行う際に発生するリーク電流について説明する図である。

[図13]図13は、リーク電流に起因する断線の誤検出を防止する手法の一例について説明する図である。

[図14]図14は、本開示に係る技術の適用例を示す図である。

[図15]図15は、本開示の電子機器の一例である撮像システムの構成の概略を示すブロック図である。

[図16]図16は、本開示に係る技術が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[図17]図17は、内視鏡手術システムにおけるカメラヘッド及びCCUの機能構成の一例を示すブロック図である。

[図18]図18は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[図19]図19は、移動体制御システムにおける撮像部の設置位置の例を示す図である。

発明を実施するための形態

[0010] 以下、本開示の技術を実施するための形態（以下、「実施形態」と記述する）について図面を用いて詳細に説明する。本開示の技術は実施形態に限定

されるものではない。以下の説明において、同一要素又は同一機能を有する要素には同一符号を用いることとし、重複する説明は省略する。尚、説明は以下の順序で行う。

1. 本開示の撮像装置及び電子機器、全般に関する説明
2. 本開示の撮像装置
 - 2-1. CMOSイメージセンサの構成例
 - 2-2. 画素の構成例
 - 2-3. アナログーデジタル変換部の構成例
 - 2-4. 積層型のチップ構造
 - 2-5. 配線のショート／オープン不良について
3. 実施形態の説明
 - 3-1. 実施例1（画素チップの基本的な構成例）
 - 3-2. 実施例2（実施例1に係る画素チップの具体的な構成例）
4. 変形例
5. 応用例
6. 本開示に係る技術の適用例
 - 6-1. 本開示の電子機器（撮像システムの例）
 - 6-2. 内視鏡手術システムへの応用例
 - 6-3. 移動体への応用例
7. 本開示がとることができる構成

[0011] ＜本開示の撮像装置及び電子機器、全般に関する説明＞

本開示の撮像装置及び電子機器にあつては、不良検出回路について、配線不良の検出時に、第1の配線と第2の配線との間に、画素ブロック毎に、複数の配線を直列に接続して配線チェーンを構成するスイッチ素子群を有する構成とすることができる。このとき、スイッチ素子群の一方の端部のスイッチ素子が第1の配線に接続され、他方の端部のスイッチ素子が第2の配線に接続された構成とすることができる。

[0012] 上述した好ましい構成を含む本開示の撮像装置及び電子機器にあつては、

第1の基板について、第3の電圧を伝送する第3の配線、及び、第4の電圧を伝送する第4の配線を有する構成とすることができる。また、不良検出回路について、配線チェーンの中間位置に接続され、中間位置の電位を読み出す第1のスイッチ素子、及び、第3の配線と第4の配線との間に接続され、第1のスイッチ素子を通して読み出された中間位置の電位に応じてオン／オフ動作を行う第2のスイッチ素子を有する構成とすることができる。

[0013] 更に、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあっては、不良検出回路について、第3の配線と第4の配線との間にショート電流が発生するか否かによって配線不良の検出を行う構成とすることができる。そして、不良検出回路について、配線チェーンの一端と中間位置との間における配線の断線不良、又は、配線チェーンの中間位置と他端との間における配線の断線不良の検出を行う構成とすることができる。

[0014] 更に、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあっては、不良検出回路のスイッチ素子群の各スイッチ素子、第1のスイッチ素子、及び、第2のスイッチ素子について、画素を構成するトランジスタと同じ導電型のトランジスタから成る構成とすることができる。具体的には、画素を構成するトランジスタが、NチャネルMOSトランジスタから成るとき、不良検出回路のスイッチ素子群の各スイッチ素子、第1のスイッチ素子、及び、第2のスイッチ素子について、画素と同種のNチャネルMOSトランジスタから成る構成とすることができる。

[0015] <本開示の撮像装置>

本開示に係る技術が適用される撮像装置（即ち、本開示の撮像装置）の基本的な構成について説明する。ここでは、撮像装置として、X-Yアドレス方式の撮像装置の一種であるCMOS（Complementary Metal Oxide Semiconductor）イメージセンサを例に挙げて説明する。CMOSイメージセンサは、CMOSプロセスを応用して、又は、部分的に使用して作製されたイメージセンサである。

[0016] [CMOSイメージセンサの構成例]

図 1 は、本開示の撮像装置の一例である CMOS イメージセンサの基本的な構成の概略を示すブロック図である。

[0017] 本例に係る CMOS イメージセンサ 1 は、画素アレイ部 1 1 及び当該画素アレイ部 1 1 の周辺回路部を有する構成となっている。画素アレイ部 1 1 は、受光部（光電変換部）を含む画素 2 が行方向及び列方向に、即ち、行列状に 2 次元配置されて成る。ここで、行方向とは、画素行の画素 2 の配列方向（所謂、水平方向）を言い、列方向とは、画素列の画素 2 の配列方向（所謂、垂直方向）を言う。画素 2 は、光電変換を行うことにより、受光した光量に応じた光電荷を生成し、蓄積する。

[0018] 画素アレイ部 1 1 の周辺回路部は、例えば、行選択部 1 2、定電流源部 1 3、アナログーデジタル変換部 1 4、水平転送走査部 1 5、信号処理部 1 6、及び、タイミング制御部 1 7 等によって構成されている。

[0019] 画素アレイ部 1 1 において、行列状の画素配列に対し、画素行毎に画素制御線 3 1₁～3 1_n（以下、総称して「画素制御線 3 1」と記述する場合がある）が行方向に沿って配線されている。また、画素列毎に垂直信号線 3 2₁～3 2_n（以下、総称して「垂直信号線 3 2」と記述する場合がある）が列方向に沿って配線されている。画素制御線 3 1 は、画素 2 から信号を読み出す際の駆動を行うための駆動信号を伝送する。図 1 では、画素制御線 3 1 について 1 本の配線として図示しているが、1 本に限られるものではない。画素制御線 3 1 の一端は、行選択部 1 2 の各行に対応した出力端に接続されている。

[0020] 以下に、画素アレイ部 1 1 の周辺回路部の各回路部分、即ち、行選択部 1 2、定電流源部 1 3、アナログーデジタル変換部 1 4、水平転送走査部 1 5、信号処理部 1 6、及び、タイミング制御部 1 7 について説明する。

[0021] 行選択部 1 2 は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部 1 1 の各画素 2 の選択に際して、画素行の走査や画素行のアドレスを制御する。この行選択部 1 2 は、その具体的な構成については図示を省略するが、一般的に、読出し走査系と掃出し走査系の 2 つの走査系を有する構成となっている。

- [0022] 読出し走査系は、画素2から画素信号を読み出すために、画素アレイ部11の画素2を行単位で順に選択走査する。画素2から読み出される画素信号はアナログ信号である。掃出し走査系は、読出し走査系によって読出し走査が行われる読出し行に対して、その読出し走査よりもシャッタスピードの時間分だけ先行して掃出し走査を行う。
- [0023] この掃出し走査系による掃出し走査により、読出し行の画素2の光電変換部から不要な電荷が掃き出されることによって当該光電変換部がリセットされる。そして、この掃出し走査系による不要電荷の掃き出す（リセットすることにより、所謂、電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換部の光電荷を捨てて、新たに露光を開始する（光電荷の蓄積を開始する）動作のことを言う。
- [0024] 定電流源部13は、画素列毎に垂直信号線 $32_1 \sim 32_n$ の各々に接続された、例えばMOSトランジスタから成る複数の電流源1を備えており、行選択部12によって選択走査された画素行の各画素2に対し、垂直信号線 $32_1 \sim 32_n$ の各々を通してバイアス電流を供給する。
- [0025] アナログーデジタル変換部14は、画素アレイ部11の画素列に対応して設けられた、例えば、画素列毎に設けられた複数のアナログーデジタル変換器の集合から成る。アナログーデジタル変換部14は、画素列毎に垂直信号線 $32_1 \sim 32_n$ の各々を通して出力されるアナログの画素信号を、Nビットのデジタル信号に変換する列並列型のアナログーデジタル変換部である。
- [0026] 列並列アナログーデジタル変換部14におけるアナログーデジタル変換器としては、例えば、参照信号比較型のアナログーデジタル変換器の一例であるシングルスロープ型アナログーデジタル変換器を用いることができる。但し、アナログーデジタル変換器としては、シングルスロープ型アナログーデジタル変換器に限られるものではなく、逐次比較型アナログーデジタル変換器やデルターシグマ変調型（ $\Delta\Sigma$ 変調型）アナログーデジタル変換器などを用いることができる。
- [0027] 水平転送走査部15は、シフトレジスタやアドレスデコーダなどによって

構成され、画素アレイ部 11 の各画素 2 の信号の読出しに際して、画素列の走査や画素列のアドレスを制御する。この水平転送走査部 15 による制御の下に、アナログーデジタル変換部 14 でデジタル信号に変換された画素信号が画素列単位で、2Nビット幅の水平転送線 18 に読み出される。

[0028] 信号処理部 16 は、水平転送線 18 を通して供給されるデジタルの画素信号に対して、所定の信号処理を行い、2次元の画像データを生成する。例えば、信号処理部 16 は、縦線欠陥、点欠陥の補正、又は、信号のクランプを行ったり、パラレルーシリアル変換、圧縮、符号化、加算、平均、及び、間欠動作などデジタル信号処理を行ったりする。信号処理部 16 は、生成した画像データを、本CMOSイメージセンサ1の出力信号として後段の装置に出力する。

[0029] タイミング制御部 17 は、各種のタイミング信号、クロック信号、及び、制御信号等を生成し、これら生成した信号を基に、行選択部 12、定電流源部 13、アナログーデジタル変換部 14、水平転送走査部 15、及び、信号処理部 16 等の駆動制御を行う。

[0030] [画素の回路構成例]

図2は、画素2の回路構成の一例を示す回路図である。画素2は、受光部である光電変換部として、例えば、フォトダイオード21を有している。画素2は、フォトダイオード21に加えて、転送トランジスタ22、リセットトランジスタ23、増幅トランジスタ24、及び、選択トランジスタ25を有する画素構成となっている。

[0031] 転送トランジスタ22、リセットトランジスタ23、増幅トランジスタ24、及び、選択トランジスタ25の4つのトランジスタとしては、例えばNチャネルのMOS型電界効果トランジスタ(Field Effect Transistor: FET)を用いている。画素2をNチャネルトランジスタのみで構成することで、面積効率や工程削減視点の最適化を図ることができる。但し、ここで例示した4つのトランジスタ22～25の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

[0032] この画素2に対して、先述した画素制御線31として、複数の制御線が同一画素行の各画素2に対して共通に配線されている。これら複数の制御線は、行選択部12の各画素行に対応した出力端に画素行単位で接続されている。行選択部12は、複数の制御線に対して転送信号TRG、リセット信号RST、及び、選択信号SELを適宜出力する。

[0033] フォトダイオード21は、アノード電極が低電位側電源(例えば、グランド)に接続されており、受光した光をその光量に応じた電荷量の光電荷(ここでは、光電子)に光電変換してその光電荷を蓄積する。フォトダイオード21のカソード電極は、転送トランジスタ22を介して増幅トランジスタ24のゲート電極と電氣的に接続されている。ここで、増幅トランジスタ24のゲート電極が電氣的に繋がった領域は、フローティングディフュージョン(浮遊拡散領域／不純物拡散領域)FDである。フローティングディフュージョンFDは、電荷を電圧に変換する電荷電圧変換部である。

[0034] 転送トランジスタ22のゲート電極には、高レベル(例えば、 V_{DD} レベル)がアクティブとなる転送信号TRGが行選択部12から与えられる。転送トランジスタ22は、転送信号TRGに応答して導通状態となることで、フォトダイオード21で光電変換され、当該フォトダイオード21に蓄積された光電荷をフローティングディフュージョンFDに転送する。

[0035] リセットトランジスタ23は、高電位側電源電圧 V_{DD} のノードとフローティングディフュージョンFDとの間に接続されている。リセットトランジスタ23のゲート電極には、高レベルがアクティブとなるリセット信号RSTが行選択部12から与えられる。リセットトランジスタ23は、リセット信号RSTに応答して導通状態となり、フローティングディフュージョンFDの電荷を電圧 V_{DD} のノードに捨てることによってフローティングディフュージョンFDをリセットする。

[0036] 増幅トランジスタ24は、ゲート電極がフローティングディフュージョンFDに、ドレイン電極が高電位側電源電圧 V_{DD} のノードにそれぞれ接続されている。増幅トランジスタ24は、フォトダイオード21での光電変換によっ

て得られる信号を読み出すソースフォロワの入力部となる。すなわち、増幅トランジスタ24は、ソース電極が選択トランジスタ25を介して垂直信号線32に接続される。そして、増幅トランジスタ24と、垂直信号線32の一端に接続される電流源1とは、フローティングディフュージョンFDの電圧を垂直信号線32の電位に変換するソースフォロワを構成している。

[0037] 選択トランジスタ25は、ドレイン電極が増幅トランジスタ24のソース電極に接続され、ソース電極が垂直信号線32に接続されている。選択トランジスタ25のゲート電極には、高レベルがアクティブとなる選択信号SELが行選択部12から与えられる。選択トランジスタ25は、選択信号SELに応答して導通状態となることで、画素2を選択状態として増幅トランジスタ24から出力される信号を垂直信号線32に伝達する。

[0038] 尚、選択トランジスタ25については、高電位側電源電圧 V_{DD} のノードと増幅トランジスタ24のドレイン電極との間に接続する回路構成を採ることもできる。また、本例では、画素2の画素回路として、転送トランジスタ22、リセットトランジスタ23、増幅トランジスタ24、及び、選択トランジスタ25から成る、即ち4つのトランジスタ(T_r)から成る4 T_r 構成を例に挙げたが、これに限られるものではない。例えば、選択トランジスタ25を省略し、増幅トランジスタ24に選択トランジスタ25の機能を持たせる3 T_r 構成とすることもできるし、必要に応じて、トランジスタの数を増やした5 T_r 以上の構成とすることもできる。

[0039] [アナログーデジタル変換部の構成例]

次に、列並列アナログーデジタル変換部14の構成例について説明する。図3は、列並列アナログーデジタル変換部14の構成の一例を示すブロック図である。本開示のCMOSイメージセンサ1におけるアナログーデジタル変換部14は、垂直信号線32₁~32_nの各々に対応して設けられた複数のシングルスロープ型アナログーデジタル変換器の集合から成る。ここでは、n列目のシングルスロープ型アナログーデジタル変換器140を例に挙げて説明する。

- [0040] シングルスロープ型アナログーデジタル変換器 140 は、比較器 141、カウンタ回路 142、及び、ラッチ回路 143 を有する回路構成となっている。シングルスロープ型アナログーデジタル変換器 140 では、時間が経過するにつれて電圧値が線形に変化する、所謂、RAMP 波形（スロープ波形）の参照信号が用いられる。ランプ波形の参照信号は、参照信号生成部 19 で生成される。参照信号生成部 19 については、例えば、DAC（デジタルーアナログ変換）回路を用いて構成することができる。
- [0041] 比較器 141 は、画素 2 から読み出されるアナログの画素信号を比較入力とし、参照信号生成部 19 で生成されるランプ波形の参照信号を基準入力とし、両信号を比較する。そして、比較器 141 は、例えば、参照信号が画素信号よりも大きいときに出力が第 1 の状態（例えば、高レベル）になり、参照信号が画素信号以下のときに出力が第 2 の状態（例えば、低レベル）になる。これにより、比較器 141 は、画素信号の信号レベルに応じた、具体的には、信号レベルの大きさに対応したパルス幅を持つパルス信号を比較結果として出力する。
- [0042] カウンタ回路 142 には、比較器 141 に対する参照信号の供給開始タイミングと同じタイミングで、タイミング制御部 17 からクロック信号 CLK が与えられる。そして、カウンタ回路 142 は、クロック信号 CLK に同期してカウント動作を行うことによって、比較器 141 の出力パルスのパルス幅の期間、即ち、比較動作の開始から比較動作の終了までの期間を計測する。このカウンタ回路 142 のカウント結果（カウント値）が、アナログの画素信号をデジタル化したデジタル値となる。
- [0043] ラッチ回路 143 は、カウンタ回路 142 のカウント結果であるデジタル値を保持（ラッチ）する。また、ラッチ回路 143 は、信号レベルの画素信号に対応する D 相のカウント値と、リセットレベルの画素信号に対応する P 相のカウント値との差分をとることにより、ノイズ除去処理の一例である、CDS（Correlated Double Sampling; 相関二重サンプリング）を行う。そして、水平転送走査部 15 による駆動の下に、ラッチしたデジタル値を水平転

送線 18 に出力する。

[0044] 上述したように、シングルスロープ型アナログーデジタル変換器 140 の集合から成る列並列アナログーデジタル変換部 14 では、参照信号生成部 19 で生成される、線形に変化するアナログ値の参照信号と、画素 2 から出力されるアナログの画素信号との大小関係が変化するまでの時間情報からデジタル値を得る。尚、上記の例では、画素列に対して 1 対 1 の関係でアナログーデジタル変換器 140 が配置されて成るアナログーデジタル変換部 14 を例示したが、複数の画素列を単位としてアナログーデジタル変換器 140 が配置されて成るアナログーデジタル変換部 14 とすることも可能である。

[0045] [積層型のチップ構造]

上記の構成の CMOS イメージセンサ 1 のチップ（半導体集積回路）構造は、積層型のチップ構造（所謂、積層チップ）となっている。また、画素 2 の構造については、配線層が形成される側の基板面を表面（正面）とするとき、その反対側の裏面側から照射される光を取り込む裏面照射型の画素構造とすることもできるし、表面側から照射される光を取り込む表面照射型の画素構造とすることもできる。

[0046] 図 4 は、CMOS イメージセンサ 1 の積層型のチップ構造の概略を示す分解斜視図である。図 4 に示すように、積層型のチップ構造は、第 1 の基板である画素チップ 41、及び、第 2 の基板であるロジックチップ 42 の少なくとも 2 つの半導体基板が積層された構造となっている。

[0047] この積層構造において、1 層目の画素チップ 41 には、画素アレイ部 11 の各画素 2、画素制御線 $31_1 \sim 31_m$ 、及び、垂直信号線 $32_1 \sim 32_n$ が形成される。2 層目のロジックチップ 42 には、行選択部 12、定電流源部 13、アナログーデジタル変換部 14、水平転送走査部 15、信号処理部 16、タイミング制御部（TG）17、及び、参照信号生成部 19 等から成る、画素 2 を制御する画素制御部が形成される。画素制御部は、画素アレイ部 11 の周辺回路部である。そして、1 層目の画素チップ 41 と 2 層目のロジックチップ 42 とは、バンプ、TCV（Through Chip Via）、Cu-Cu ハイブ

リッドボンディングなどの接続部 4 3, 4 4 を介して電氣的に接続される。

[0048] この積層構造の CMOS イメージセンサ 1 によれば、1 層目の画素チップ 4 1 として画素アレイ部 1 1 を形成できるだけの大きさ（面積）のもので済むため、画素チップ 4 1 のサイズ（面積）、ひいては、チップ全体のサイズを小さくできる。更に、1 層目の画素チップ 4 1 には、画素 2 の作製に適したプロセスを適用でき、2 層目のロジックチップ 4 2 には、画素制御部（ロジック）の作製に適したプロセスを適用できるため、CMOS イメージセンサ 1 を製造するに当たって、プロセスの最適化を図ることができるメリットもある。特に、ロジックチップ 4 2 に画素制御部を作製するに当たっては、先端の微細化プロセスの適用が可能になる。

[0049] 尚、ここでは、画素チップ 4 1 及びロジックチップ 4 2 が積層されて成る 2 層構造の積層構造を例示したが、積層構造としては、2 層構造に限られるものではなく、3 層以上の構造とすることもできる。そして、3 層以上の積層構造の場合、行選択部 1 2、定電流源部 1 3、アナログーデジタル変換部 1 4、水平転送走査部 1 5、信号処理部 1 6、タイミング制御部 1 7、及び、参照信号生成部 1 9 等から成る画素制御部については、2 層目以降の半導体基板に分散して形成することができる。

[0050] ところで、CMOS イメージセンサ 1 の良品／不良品の選別では、画素制御線 3 1₁～3 1_nや垂直信号線 3 2₁～3 2_nなどの配線のオープン（断線）の有無や、隣接する配線間のショート（短絡）の有無の検査が行われる。画素アレイ部 1 1 が形成された画素チップ 4 1 と、画素制御部が形成されたロジックチップ 4 2 とを貼り合わせた 3 次元構造の積層チップ（積層型のチップ構造）の場合は、画素チップ 4 1 及びロジックチップ 4 2 を貼り合わせた後の最終形状であるウェハ状態での検査にて、良品／不良品の選別を行うケースが一般的である。

[0051] 積層チップの積層方式には、ウェハとウェハとを貼り合わせる方式（WOW : Wafer On Wafer）や、ウェハと良品チップとを貼り合わせる方式（COW : Chip On Wafer）などがある。COW 方式の積層チップの場合は、WOW

方式の積層チップの場合と異なり、良品と良品とを選択的に組み合わせることで歩留りを上げることができる。

[0052] 図5に示すように、COW方式の積層構造については、先ず、画素アレイ部11を搭載する画素チップ41、及び、行選択部12やアナログーデジタル変換部14等の画素制御部（ロジック）を搭載するロジックチップ42を別々のウェハプロセスで作製する。その後、ロジックチップ42をダイシングし、ダイシング後のロジックチップ42を、ウェハ状態の画素チップ41に貼り付けていくことになる。

[0053] COW方式の積層構造の第1の利点は、画素チップ41及びロジックチップ42のそれぞれについて、最適化されたプロセスで作製できる点である。例えば、画素チップ41については、白点、最大電荷量 Q_s 等の画素特性に関して最適化されたプロセスを使うことができ、ロジックチップ42については、先端の微細化プロセスを使うことで、高速化、省電力化を図ることができる。第2の利点は、図6に示すように、画素チップ41及びロジックチップ42のそれぞれについて、貼り合わせ前に良品選別を行い、良品チップ同士を貼り合わせすることで、無駄な歩留りロスを防ぐことができるため、低コスト化を図ることができる点である。特に面積の大きい大判センサでは、画素・ロジック単体チップの歩留りが高くない場合、良品／不良品の選別によるコスト低減の効果が大きい。

[0054] 良品／不良品の選別を可能にするには、画素チップ41及びロジックチップ42の各単体チップでの不良選別が必須となる。ロジックチップ42のプロセスでは、通常、低・高電圧（薄膜・厚膜）のCMOSトランジスタが用意されているため、不良検出回路の設計自由度が高い。しかし、画素チップ41のプロセスでは、通常、高電圧のNチャネルMOSトランジスタしか対応しないことが多い。

[0055] [配線のショート／オープン不良について]

画素チップ41に搭載される画素アレイ部11の回路構成は、図1に示すように、列方向に垂直信号線 $32_1 \sim 32_n$ 、及び、行方向に画素制御線 $31_1 \sim$

3 1_mの各配線が張り巡らされる。これらの配線にショート（短絡）／オープン（断線）の不良が発生すると、撮像装置の出力映像の線欠陥となる。そして、これらの配線不良は、チップ不良の主要因となっている。

[0056] 配線ショートの不良検出については、比較的簡単に実現できる。例えば、隣接配線に異なる電位を外部から与え、隣接配線間にリーク電流が観測された場合に、どこかに配線ショートが発生していると判断できる。

[0057] 配線オープンの不良検出については、例えば、図7に示すように、複数の配線（ここでは、垂直信号線3 2₁～3 2_nを例示）をスイッチ素子（例えば、MOSトランジスタ）4 5₁～4 5_iで直列に接続し、1つのデジチェーン（配線チェーン）を構成する。そして、良品／不良品の選別時に、テスト信号 `t e s t _ _ e n` を高レベル固定とし、スイッチ素子4 5₁～4 5_iをオン状態にするとともに、デジチェーンの両端に電圧 V_a , V_b を与えるようにする。テスト信号 `t e s t _ _ e n` 及び電圧 V_a , V_b の印加は、テストパッド4 6を通して行われる。

[0058] 配線オープンの不良がない場合、印加電圧 V_a , V_b とデジチェーンの想定抵抗の比に相当する電流がデジチェーンに流れる。もし、デジチェーンのどこかにオープン不良が発生した場合、デジチェーンに電流が流れないことになる。デジチェーンに想定電流が流れるか否かでオープン不良を検出することができる。尚、通常使用時には、テスト信号 `t e s t _ _ e n` を低レベル固定とし、電圧 V_a , V_b の印加は行わない。

[0059] このオープン不良の検出法はコンセプトは簡単であるが、実現性に問題がある。具体的に、画素制御線3 1₁～3 1_mや垂直信号線3 2₁～3 2_nは、通常、数本あたりに十kΩ程度の配線抵抗を持ち、電流の測定精度(nA程度)を鑑みると、1つのデジチェーンで直列に接続可能な配線本数が数十～数百本が限界である。配線本数が数千～数万本ある撮像装置では、多数のデジチェーンに分ける必要があり、それぞれのデジチェーンを独立に不良検出を行うための電源又はテストパッドを設ける必要があり、非現実的である。

[0060] <実施形態の説明>

近年の積層構造の撮像装置は、多画素、高速化のために画素単体の不良率よりも、画素制御線 $3\ 1_1 \sim 3\ 1_m$ や垂直信号線 $3\ 2_1 \sim 3\ 2_n$ の配線の不良率が高い傾向にある。そこで、本開示の実施形態では、画素アレイ部 $1\ 1$ が形成される画素チップ $4\ 1$ において、配線層のみのチェックを主眼におき、最小限の回路を追加することにより、画素制御線 $3\ 1_1 \sim 3\ 1_m$ や垂直信号線 $3\ 2_1 \sim 3\ 2_n$ の配線不良、具体的には、オープン不良（断線）の検出を実現できるようにする。

[0061] 具体的には、画素制御線 $3\ 1_1 \sim 3\ 1_m$ や垂直信号線 $3\ 2_1 \sim 3\ 2_n$ について、全配線を複数のデジチェーン（配線チェーン）に分割し、この分割したデジチェーンの全てについてオープン不良の検出（選別）を並列に（同時に）行うようにする。これにより、配線不良（即ち、オープン不良）の検出に要する時間の短縮化を図ることができる。また、オープン不良を検出する回路の構成素子（例えば、トランジスタ）やテスト端子（テストパッド）の数が少なく済むため、面積のオーバーヘッドも小さくて済む。

[0062] 以下に、本開示の実施形態に係る画素チップ $4\ 1$ の良品／不良品の選別のための具体的な実施例について説明する。

[0063] [実施例 1]

実施例 1 は、本開示の実施形態に係る画素チップ $4\ 1$ の基本的な構成例である。実施例 1 に係る画素チップ $4\ 1$ の基本的な構成の一例を図 8 に示す。

[0064] 実施例 1 に係る画素チップ $4\ 1$ は、画素 2 が行列状に 2 次元配置されて成る画素アレイ部 $1\ 1$ に加えて、画素アレイ部 $1\ 1$ の上下左右に配置された、配線のオープン不良を検出（選別）する不良検出回路 $4\ 7\ A \sim 4\ 7\ D$ を搭載している。画素アレイ部 $1\ 1$ の上下に配置された不良検出回路 $4\ 7\ A$ 、 $4\ 7\ B$ は、画素列に沿って配線された垂直信号線 $3\ 2_1 \sim 3\ 2_n$ の配線不良を検出するためのものである。画素アレイ部 $1\ 1$ の左右に配置された不良検出回路 $4\ 7\ C$ 、 $4\ 7\ D$ は、画素行に沿って配線された画素制御線 $3\ 1_1 \sim 3\ 1_m$ の配線不良を検出するためのものである。

[0065] 画素チップ $4\ 1$ は、その周縁部に配された接続部 $4\ 3\ A$ 、 $4\ 3\ B$ 及び接続

部44A, 44Bを介して、ロジックチップ42（図5参照）と電氣的に接続されている。接続部43A, 43B及び接続部44A, 44Bは、バンプ、TCV、Cu-Cuハイブリッドボンディング等から成る。画素チップ41の周縁部には更に、不良検出回路47A～47Dのそれぞれに対応して、良品／不良品の検査（選別）のためのパッド部48A～48Dが設けられている。

[0066] [実施例2]

実施例2は、実施例1に係る画素チップ41の具体的な構成例である。実施例2に係る画素チップ41の具体的な構成の一例を図9に示す。

[0067] 以下では、画素列に沿って配線された垂直信号線 $32_1 \sim 32_n$ のオープン不良（断線不良）を検出する場合を例に挙げて説明するが、同じコンセプトを、画素行に沿って配線された画素制御線 $31_1 \sim 31_m$ のオープン不良の検出に応用することができる。

[0068] 本実施例では、画素アレイ部11を、行方向において複数（ p 個）の領域に分割し、分割した各領域を画素ブロック $51_1 \sim 51_p$ とする。そして、画素列に沿って配線された垂直信号線 $32_1 \sim 32_n$ について、画素ブロック $51_1 \sim 51_p$ 毎に1つのデジチェーンを構成する。その詳細については後述する。

[0069] 不良検出回路47Aは、行方向に沿って配線された3本の接続配線 $52_1, 52_2, 52_3$ を有する。画素アレイ部11の画素ブロック $51_1 \sim 51_p$ は、各々、3本の接続配線 $52_1, 52_2, 52_3$ を通して、パッド部48Aのテストパッド $53_1, 53_2, 53_3$ に接続されている。

[0070] テストパッド 53_1 には、テスト信号 $test_en$ が与えられ、このテスト信号 $test_en$ を、接続配線 52_1 が行方向に伝送する。テストパッド 53_2 には、第1の電圧 V_a が印加され、この第1の電圧 V_a を、第1の配線である接続配線 52_2 が行方向に伝送する。テストパッド 53_3 には、第2の電圧 V_b が印加され、この第2の電圧 V_b を、第2の配線である接続配線 52_3 が行方向に伝送する。

[0071] 不良検出回路47Bは、行方向に沿って配線された3本の接続配線 $52_4,$

5 2₅, 5 2₆を有する。画素アレイ部 1 1 の画素ブロック 5 1₁ ~ 5 1_pは、各々、3 本の接続配線 5 2₄, 5 2₅, 5 2₆を通して、パッド部 4 8 B のテストパッド 5 3₄, 5 3₅, 5 3₆に接続されている。

[0072] テストパッド 5 3₄には、テスト信号 `test__en` が与えられ、このテスト信号 `test__en` を、接続配線 5 2₄が行方向に伝送する。テストパッド 5 3₅には、第 3 の電圧 V_c が印加され、この第 3 の電圧 V_c を、第 3 の配線である接続配線 5 2₅が行方向に伝送する。テストパッド 5 3₆には、第 4 の電圧 V_d が印加され、この第 4 の電圧 V_d を、第 4 の配線である接続配線 5 2₆が行方向に伝送する。

[0073] 図 1 0 に、画素アレイ部 1 1 の 1 つの画素ブロックにおけるデジチェーン、及び、2 つの不良検出回路 4 7 A, 4 7 B の回路構成の一例を示す。ここでは、画素ブロック 5 1₁を例に挙げて説明するが、他の画素ブロック 5 1₂ ~ 5 1_pについても同様の構成となる。また、図 1 0 では、便宜上、画素ブロック 5 1₁の j 本の垂直信号線 3 2₁ ~ 3 2_jについて、 $vs1\#1 \sim vs1\#j$ と記している。

[0074] 画素ブロック 5 1₁の j 本の垂直信号線 $vs1\#1 \sim vs1\#j$ は、両端部において、スイッチ素子群によって直列に接続されて 1 つのデジチェーンを構成する。以下では、スイッチ素子群の各スイッチ素子（例えば、MOS トランジスタ）をスイッチトランジスタ $s_1 \sim s_j$ と記述する。スイッチトランジスタ $s_1 \sim s_j$ の各ゲート電極（ゲート端子）は、接続配線 5 2₁, 5 2₄を介してテストパッド 5 3₁, 5 3₄に接続されている。そして、オープン不良の検出時に、テストパッド 5 3₁, 5 3₄及び接続配線 5 2₁, 5 2₄を通して、高レベルのテスト信号 `test__en` が与えられることで、オン状態となってデジチェーンを構成する。

[0075] 1 本目の垂直信号線 $vs1\#1$ に対応するスイッチトランジスタ s_1 には、接続配線 5 2₂を通して第 1 の電圧 V_a が印加され、 j 本目の垂直信号線 $vs1\#j$ に対応するスイッチトランジスタ s_j には、接続配線 5 2₃を通して第 2 の電圧 V_b が印加される。そして、高レベルのテスト信号 `test__en`、第 1

の電圧 V_a 、及び、第2の電圧 V_b が印加されることにより、垂直信号線 $vsl\#1 \sim vsl\#j$ のオープン不良の検出（選別）が可能になる。

[0076] 不良検出回路47Bは、接続配線52₄、52₅、52₆、及び、スイッチトランジスタ s_2 、 s_4 、 $\dots$ 、 s_j の他に、第1のスイッチ素子であるスイッチトランジスタ Tr_1 、及び、第2のスイッチ素子であるスイッチトランジスタ Tr_2 を有する。スイッチトランジスタ Tr_1 は、ゲート電極が接続配線52₄を介してテストパッド53₄に接続され、ドレイン電極がデジチェーンの中間位置 V_m に接続されている。スイッチトランジスタ Tr_2 は、ソース電極が接続配線52₅を介してテストパッド53₅に接続され、ドレイン電極が接続配線52₆を介してテストパッド53₆に接続され、ゲート電極がスイッチトランジスタ Tr_1 のソース電極に接続されている。

[0077] 不良検出回路47A、47Bの各スイッチトランジスタ $s_1 \sim s_j$ 、及び、不良検出回路47Bのスイッチトランジスタ $Tr_{1,2}$ については、画素2を構成するトランジスタと同じ導電型のトランジスタから成る構成とすることができる。具体的には、図4に示す積層構造の場合、画素チップ41側には、面積効率や工程削減視点の最適化により、図2に示すように、NチャネルMOSトランジスタのみで画素2が構成される。これに対応して、スイッチトランジスタ $s_1 \sim s_j$ 、及び、スイッチトランジスタ $Tr_{1,2}$ についても、画素2と同種のNチャネルMOSトランジスタを用いて構成することが好ましい。これにより、既存の画素プロセスから新規素子種の追加（即ち、新規プロセス工程の追加）が不要となる。

[0078] 上記の構成の不良検出回路47A、47Bでは、オープン不良の検出時（良品／不良品の選別時）に、テストパッド53₁、53₄に、高レベルのテスト信号 $test_en$ を印加するとともに、第1の電圧 V_a ／第2の電圧 V_b ／第3の電圧 V_c ／第4の電圧 V_d として所定の電圧値を印加する。そして、この状態で、テストパッド53₅、53₆間におけるショート電流の発生の有無を観測することにより、垂直信号線32₁～32_nにオープン不良（断線不良）が発生しているか否かを、画素ブロック単位で判別することができる。

- [0079] オープン不良の検出時（良品／不良品の選別時）の第1の電圧 V_a ／第2の電圧 V_b ／第3の電圧 V_c ／第4の電圧 V_d の各電圧値の設定、及び、制約について、図11Aに示す。図11Aの表において、 V_{th} は、スイッチトランジスタ $s_1 \sim s_j$ 及びスイッチトランジスタ Tr_1 , Tr_2 の閾値電圧である。
- [0080] オープン不良の検出時の第1の電圧 V_a ／第2の電圧 V_b ／第3の電圧 V_c ／第4の電圧 V_d の設定、及び、制約については、具体的には、第1の電圧 V_a ／第2の電圧 V_b の一方に基準電位である例えば接地レベルGNDを設定し、他方に電圧値 V_{DD1} を設定する。そして、設定aでは、第1の電圧 V_a に接地レベルGNDを設定し、第2の電圧 V_b に電圧値 V_{DD1} を設定する。設定bでは、第1の電圧 V_a に電圧値 V_{DD1} を設定し、第2の電圧 V_b に接地レベルGNDを設定する。
- [0081] また、テスト信号 $test_en$ 及び第3の電圧 V_c ／第4の電圧 V_d として、電圧値 V_{DD2} ／電圧値 V_{DD3} ／電圧値 V_{DD4} を設定する。テスト信号 $test_en$ 及び第3の電圧 V_c ／第4の電圧 V_d の各電圧値については、設定a及び設定bに共通である。電圧値 V_{DD1} ／電圧値 V_{DD2} ／電圧値 V_{DD3} ／電圧値 V_{DD4} の関係を図11Aに示す。条件(2)により、スイッチトランジスタ $s_1 \sim s_j$ 及びスイッチトランジスタ Tr_1 , Tr_2 がオン状態になり、垂直信号線 $vs1\#1 \sim vs1\#j$ が互いに電氣的に直列に接続され、1つのデジチェーンが構成される。
- [0082] 図11Bに、オープン不良の検出時に発生するケース分けについて示す。オープン不良の検出時の共通設定として、第3の電圧 V_c として、電圧値 $V_{DD1} / 2 + V_{th}$ よりも高い電圧値 V_{DD3} を設定し、第4の電圧 V_d として、電圧値 V_{DD3} よりも高い電圧値 V_{DD4} を設定する（ $V_{DD3} < V_{DD4}$ ）。
- [0083] ・ケース(1)
- ケース(1)は、デジチェーンにおける垂直信号線 $vs1\#1 \sim vs1\#j$ にオープン不良が発生しない場合である。ケース(1)では、デジチェーンの中間位置 V_m の電位が電圧値 V_{DD1} の $1/2$ になる。この中間位置 V_m の電位は、スイッチトランジスタ Tr_1 を介してスイッチトランジスタ Tr_2 のゲート電極

に入力される。図 1 1 A の表における条件(3)₁により、スイッチトランジスタ T_{r2} は、ゲート電圧がソース・ドレイン電圧より低いためオフ状態になる。従って、ケース(1)の場合、テストパッド 5 3₅, 5 3₆間にショート電流が発生しない。

[0084] ・ ケース(2)

ケース(2)は、デジチェーンの一端と中間位置 V_m との間の、垂直信号線 $v s \mid \# 1 \sim v s \mid \# j / 2$ にオープン不良が発生し、且つ、垂直信号線 $v s \mid \# (j / 2 + 1) \sim v s \mid \# j$ にオープン不良が発生しなかった場合である。この場合、デジチェーンの中間位置 V_m の電位が V_b の電位に引っ張られる。つまり、設定 a では、中間位置 V_m の電位が接地レベル GND になり、設定 b では、中間位置 V_m の電位が V_{DD1} になる。そうすると、設定 b でのスイッチトランジスタ T_{r2} が、図 1 1 A の表における条件(3)₂によってオン状態となる。これにより、テストパッド 5 3₅, 5 3₆間に、接続配線 5 2₅, 5 2₆を通してショートパスが形成され、ショート電流が発生する。尚、設定 a では、スイッチトランジスタ T_{r2} がオフとなるため、テストパッド 5 3₅, 5 3₆間にショート電流が発生しない。

[0085] ・ ケース(3)

ケース(3)は、デジチェーンの中間位置 V_m と他端との間の、垂直信号線 $v s \mid \# 1 \sim v s \mid \# j / 2$ にオープン不良が発生せず、且つ、垂直信号線 $v s \mid \# (j / 2 + 1) \sim v s \mid \# j$ にオープン不良が発生した場合である。この場合、デジチェーンの中間位置 V_m の電位が V_a の電位に引っ張られる。つまり、設定 b では、中間位置 V_m の電位が V_{DD1} になり、設定 a では、中間位置 V_m の電位が接地レベル GND になる。そうすると、設定 b ではスイッチトランジスタ T_{r2} がオン状態となるため、テストパッド 5 3₅, 5 3₆間に、接続配線 5 2₅, 5 2₆を通してショートパスが形成され、ショート電流が発生する。尚、設定 a では、スイッチトランジスタ T_{r2} がオフ状態となるため、テストパッド 5 3₅, 5 3₆間にショート電流が発生しない。

[0086] ・ ケース(4)

ケース(4)は、垂直信号線 $vsl\#1 \sim vsl\#j/2$ にも、垂直信号線 $vsl\#(j/2+1) \sim vsl\#j$ にもオープン不良が発生した場合である。この場合、設定 a 、 b のデジチェーンの中間位置 V_m の電位が不定の状態になる。もし、両方の設定 a 、 b でも、スイッチトランジスタ Tr_2 がたまたまオン状態になってしまった場合、オープン不良の検出漏れになる。

[0087] 但し、画素チップ41の単体選別では、オープン不良の検出漏れがあったとしても、画素チップ41とロジックチップ42とを貼り合わせ後の画像を用いた選別では線欠陥として不良選別できるため、不良チップの流出にはならない。ケース(4)がケース(2)、(3)に比べて発生確率が低いため、画素チップ41単体の選別漏れによる貼り合わせチップの歩留まりや選別時間の悪化によるコスト影響が少ない。

[0088] 上記では、ある1つの画素ブロック 51_1 のデジチェーンの選別時の発生し得るユーズケースについて述べたが、実際の選別では、画素ブロック $51_1 \sim 51_p$ の全てについて同時に実行される。設定 a 及び設定 b 共に、テストパッド 53_5 、 53_6 間にショート電流が発生しなかった場合、ケース(4)のオープン不良の検出漏れになる可能性もあるが、高い確率でオープン不良がないと判断し、貼り合わせの対象にしてよい。逆に、設定 a 及び設定 b のどちらかで、テストパッド 53_5 、 53_6 間にショート電流が発生した場合、どこかのデジチェーンでオープン不良が発生していると断言できる。

[0089] 垂直信号線 $32_1 \sim 32_n$ の全てを1つの大きなデジチェーンにまとめるよりも、複数のデジチェーンに分割した方が有利である。それは次の理由による。すなわち、デジチェーン内に直列接続される配線の数が多いほど、デジチェーンの抵抗値が高くなる。垂直信号線 $32_1 \sim 32_n$ や画素制御線 $31_1 \sim 31_m$ に接続されるトランジスタに、チップ不良にならない微弱なリーク電流が発生した場合、デジチェーンの中間位置 V_m の本来の期待電圧を変動させてしまい、正しい選別ができなくなる懸念がある。選別の安定性を考えると、1つのデジチェーンの抵抗値が数百 $k\Omega \sim$ 数 $M\Omega$ になるようなチェーン単位に分割することが現実的である。

[0090] 尚、上記の微弱なリーク電流は、具体的には、画素制御線 $3\ 1_1 \sim 3\ 1_m$ に接続されるトランジスタのゲートリークや、垂直信号線 $3\ 2_1 \sim 3\ 2_n$ に接続される選択トランジスタ（図2の選択トランジスタ25）のソースドレインリークである。

[0091] 図11Aの表の印加電圧の条件(2)/(3)のように、選別時の印加する電圧についてはNチャネルMOSトランジスタの閾値電圧を考慮する必要がある。NチャネルMOSトランジスタの閾値電圧のバラツキが大きいと、制約を満たせなくなり、選別精度へ悪影響を及ぼす可能性がある。ロット間／ウェハ間／チップ間の閾値電圧のバラツキが大きい場合、周知の技術を用いて画素トランジスタの閾値電圧を事前に取得し、その情報を用いて、選別時の印加電圧を動的に調整することで、バラツキの影響を抑制でき、選別のロバスト性を向上できる。

[0092] 選別用に新規追加された回路が、CMOSイメージセンサの通常動作に干渉し、悪影響を及ぼさないことを保証する必要がある。その実現方法の例として、通常動作時に、スイッチトランジスタ $s_1 \sim s_j$ 及びスイッチトランジスタ T_{r1} , T_{r2} がオフ状態になり、デジチェーンを構成しないようにする。具体的には、テスト信号 $test_en$ を接地レベル（もしくは、閾値電圧 V_{th} よりも低い低い電圧）になるように、センサ外部から制御したり、あるいは、チップ内部に抵抗を付けたりすることで、通常動作時に、スイッチトランジスタ $s_1 \sim s_j$ 及びスイッチトランジスタ T_{r1} , T_{r2} をオフ状態にすることができる。第1の電圧 V_a / 第2の電圧 V_b / 第3の電圧 V_c / 第4の電圧 V_d の各電圧値についても、必要に応じて、同様の処理が施せばよい。

[0093] ところで、垂直信号線 $3\ 2$ ($3\ 2_1 \sim 3\ 2_n$) の断線検査を行う際、選択トランジスタ25を介して垂直信号線 $3\ 2$ と電源電圧 V_{DD} のノードとの間にリークパスが発生し、図12に点線の矢印で示すようなリーク電流が流れると、断線の誤検出を引き起こす可能性がある。このリーク電流に起因する断線の誤検出を防止する手法の一例を図13に示す。

[0094] 具体的には、各画素の選択トランジスタ25に選択信号 SEL を印加する

配線SEL₁～SEL_mの各一端を、スイッチトランジスタs₁₁～s_{1m}を介してテストパッド53₇に接続する。テストパッド53₇には、選択トランジスタ25をオフ状態にできる程度に十分に低い電圧V_oが外部から印加される。そして、断線検査時には、スイッチトランジスタs₁₁～s_{1m}の各ゲート電極に、テストパッド53₈を介して高レベルのテスト信号test__enが与えられる。

[0095] このように、断線検査時に、スイッチトランジスタs₁₁～s_{1m}の各ゲート電極に、高レベルのテスト信号test__enが与えられることで、スイッチトランジスタs₁₁～s_{1m}がオン状態となって、十分に低い電圧V_oを、配線SEL₁～SEL_mを介して各画素の選択トランジスタ25のゲート電極に印加する。これにより、選択トランジスタ25がオフ状態になり、リーク電流が流れないため、当該リーク電流に起因する断線の誤検出を防止することができる。

[0096] 因みに、画素アレイ部11の画素制御線31₁～31_mについては、画素トランジスタ（転送トランジスタ22、リセットトランジスタ23、及び、選択トランジスタ25）のゲート電極にしか接続されないため、上記のようなリークパスは発生しない。

[0097] <変形例>

以上、本開示に係る技術について、好ましい実施形態に基づき説明したが、本開示に係る技術は当該実施形態に限定されるものではない。上記の実施形態において説明した撮像装置の構成、構造は例示であり、適宜、変更することができる。

[0098] 例えば、上記の実施形態では、画素2が行列状に配置されて成るCMOSイメージセンサに適用した場合を例に挙げて説明したが、本開示に係る技術は、CMOSイメージセンサへの適用に限られるものではない。すなわち、本開示に係る技術は、画素2が行列状に2次元配置されて成るX-Yアドレス方式の撮像装置全般に対して適用可能である。

[0099] <応用例>

以上説明した本実施形態に係る撮像装置は、例えば図14に示すように、可視光、赤外光、紫外光、X線等の光をセンシングする様々な装置に使用することができる。様々な装置の具体例について以下に列挙する。

[0100] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供され装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0101] <本開示に係る技術の適用例>

本開示に係る技術は、様々な製品に適用することができる。より具体的には、デジタルスチルカメラやビデオカメラ等の撮像システムや、携帯電話機などの撮像機能を有する携帯端末装置や、画像読取部に撮像素子を用いる複写機などの電子機器に適用することができる。以下に、デジタルスチルカメラやビデオカメラ等の撮像システムに適用する場合について説明する。

[0102] [本開示の電子機器]

図15は、本開示の電子機器の一例である撮像システムの構成を示すブロ

ック図である。図15に示すように、本例に係る撮像システム100は、レンズ群等を含む撮像光学系101、撮像部102、DSP(Digital Signal Processor)回路103、フレームメモリ104、表示装置105、記録装置106、操作系107、及び、電源系108等を有している。そして、DSP回路103、フレームメモリ104、表示装置105、記録装置106、操作系107、及び、電源系108がバスライン109を介して相互に接続された構成となっている。

- [0103] 撮像光学系101は、被写体からの入射光(像光)を取り込んで撮像部102の撮像面上に結像する。撮像部102は、光学系101によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。DSP回路103は、一般的なカメラ信号処理、例えば、ホワイトバランス処理、デモザイク処理、ガンマ補正処理などを行う。
- [0104] フレームメモリ104は、DSP回路103での信号処理の過程で適宜データの格納に用いられる。表示装置105は、液晶表示装置や有機EL(electro luminescence)表示装置等のパネル型表示装置から成り、撮像部102で撮像された動画または静止画を表示する。記録装置106は、撮像部102で撮像された動画または静止画を、可搬型の半導体メモリや、光ディスク、HDD(Hard Disk Drive)等の記録媒体に記録する。
- [0105] 操作系107は、ユーザによる操作の下に、本撮像システム100が持つ様々な機能について操作指令を発する。電源系108は、DSP回路103、フレームメモリ104、表示装置105、記録装置106、及び、操作系107の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。
- [0106] 上記の構成の撮像システム100において、撮像部102として、先述した実施形態に係る撮像装置を用いることができる。これにより、当該撮像装置によれば、画素行毎あるいは画素列毎に形成された配線について、最小限の追加回路で検査を行うことができるため、チップ面積の増大を抑制できる。従って、撮像部102として、先述した実施形態に係る撮像装置を用いる

ことで、撮像システム１００の大型化の抑制に寄与できる。

[0107] [内視鏡手術システムへの応用例]

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、内視鏡手術システムに適用されてもよい。

[0108] 図１６は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[0109] 図１６では、術者（医師）１１１３１が、内視鏡手術システム１１０００を用いて、患者ベッド１１１３３上の患者１１１３２に手術を行っている様子が図示されている。図示するように、内視鏡手術システム１１０００は、内視鏡１１１００と、気腹チューブ１１１１１やエネルギー処置具１１１１２等の、その他の術具１１１１０と、内視鏡１１１００を支持する支持アーム装置１１１２０と、内視鏡下手術のための各種の装置が搭載されたカート１１２００と、から構成される。

[0110] 内視鏡１１１００は、先端から所定の長さの領域が患者１１１３２の体腔内に挿入される鏡筒１１１０１と、鏡筒１１１０１の基端に接続されるカメラヘッド１１１０２と、から構成される。図示する例では、硬性の鏡筒１１１０１を有するいわゆる硬性鏡として構成される内視鏡１１１００を図示しているが、内視鏡１１１００は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

[0111] 鏡筒１１１０１の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡１１１００には光源装置１１２０３が接続されており、当該光源装置１１２０３によって生成された光が、鏡筒１１１０１の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者１１１３２の体腔内の観察対象に向かって照射される。なお、内視鏡１１１００は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

[0112] カメラヘッド１１１０２の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集

光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット（CCU： Camera Control Unit）11201に送信される。

[0113] CCU11201は、CPU（Central Processing Unit）やGPU（Graphics Processing Unit）等によって構成され、内視鏡11100及び表示装置11202の動作を統括的に制御する。さらに、CCU11201は、カメラヘッド11102から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

[0114] 表示装置11202は、CCU11201からの制御により、当該CCU11201によって画像処理が施された画像信号に基づく画像を表示する。

[0115] 光源装置11203は、例えばLED（Light Emitting Diode）等の光源から構成され、術部等を撮影する際の照射光を内視鏡11100に供給する。

[0116] 入力装置11204は、内視鏡手術システム11000に対する入力インタフェースである。ユーザは、入力装置11204を介して、内視鏡手術システム11000に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡11100による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。

[0117] 処置具制御装置11205は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具11112の駆動を制御する。気腹装置11206は、内視鏡11100による視野の確保及び術者の作業空間の確保の目的で、患者11132の体腔を膨らめるために、気腹チューブ11111を介して当該体腔内にガスを送り込む。レコーダ11207は、手術に関する各種の情報を記録可能な装置である。プリンタ11208は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

- [0118] なお、内視鏡 1 1 1 0 0 に術部を撮影する際の照射光を供給する光源装置 1 1 2 0 3 は、例えば L E D、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。R G Bレーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置 1 1 2 0 3 において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、R G Bレーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド 1 1 1 0 2 の撮像素子の駆動を制御することにより、R G Bそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。
- [0119] また、光源装置 1 1 2 0 3 は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド 1 1 1 0 2 の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。
- [0120] また、光源装置 1 1 2 0 3 は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（N a r r o w B a n d I m a g i n g）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（I C G）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置 1 1 2 0 3 は、このような特殊光観察に対応した狭帯域光及び／又は励起光

を供給可能に構成され得る。

[0121] 図17は、図16に示すカメラヘッド11102及びCCU11201の機能構成の一例を示すブロック図である。

[0122] カメラヘッド11102は、レンズユニット11401と、撮像部11402と、駆動部11403と、通信部11404と、カメラヘッド制御部11405と、を有する。CCU11201は、通信部11411と、画像処理部11412と、制御部11413と、を有する。カメラヘッド11102とCCU11201とは、伝送ケーブル11400によって互いに通信可能に接続されている。

[0123] レンズユニット11401は、鏡筒11101との接続部に設けられる光学系である。鏡筒11101の先端から取り込まれた観察光は、カメラヘッド11102まで導光され、当該レンズユニット11401に入射する。レンズユニット11401は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

[0124] 撮像部11402は、撮像素子で構成される。撮像部11402を構成する撮像素子は、1つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部11402が多板式で構成される場合には、例えば各撮像素子によってRGBそれぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部11402は、3D（Dimensional）表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための1対の撮像素子を有するように構成されてもよい。3D表示が行われることにより、術者11131は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部11402が多板式で構成される場合には、各撮像素子に対応して、レンズユニット11401も複数系統設けられ得る。

[0125] また、撮像部11402は、必ずしもカメラヘッド11102に設けられなくてもよい。例えば、撮像部11402は、鏡筒11101の内部に、対物レンズの直後に設けられてもよい。

- [0126] 駆動部 11403 は、アクチュエータによって構成され、カメラヘッド制御部 11405 からの制御により、レンズユニット 11401 のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部 11402 による撮像画像の倍率及び焦点が適宜調整され得る。
- [0127] 通信部 11404 は、CCU 11201 との間で各種の情報を送受信するための通信装置によって構成される。通信部 11404 は、撮像部 11402 から得た画像信号を RAW データとして伝送ケーブル 11400 を介して CCU 11201 に送信する。
- [0128] また、通信部 11404 は、CCU 11201 から、カメラヘッド 11102 の駆動を制御するための制御信号を受信し、カメラヘッド制御部 11405 に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。
- [0129] なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいて CCU 11201 の制御部 11413 によって自動的に設定されてもよい。後者の場合には、いわゆる AE (Auto Exposure) 機能、AF (Auto Focus) 機能及び AWB (Auto White Balance) 機能が内視鏡 11100 に搭載されていることになる。
- [0130] カメラヘッド制御部 11405 は、通信部 11404 を介して受信した CCU 11201 からの制御信号に基づいて、カメラヘッド 11102 の駆動を制御する。
- [0131] 通信部 11411 は、カメラヘッド 11102 との間で各種の情報を送受信するための通信装置によって構成される。通信部 11411 は、カメラヘッド 11102 から、伝送ケーブル 11400 を介して送信される画像信号を受信する。

- [0132] また、通信部 11411 は、カメラヘッド 11102 に対して、カメラヘッド 11102 の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。
- [0133] 画像処理部 11412 は、カメラヘッド 11102 から送信された RAW データである画像信号に対して各種の画像処理を施す。
- [0134] 制御部 11413 は、内視鏡 11100 による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部 11413 は、カメラヘッド 11102 の駆動を制御するための制御信号を生成する。
- [0135] また、制御部 11413 は、画像処理部 11412 によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置 11202 に表示させる。この際、制御部 11413 は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部 11413 は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具 11112 の使用時のミスト等を認識することができる。制御部 11413 は、表示装置 11202 に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者 11131 に提示されることにより、術者 11131 の負担を軽減することや、術者 11131 が確実に手術を進めることが可能になる。
- [0136] カメラヘッド 11102 及び CCU 11201 を接続する伝送ケーブル 11400 は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。
- [0137] ここで、図示する例では、伝送ケーブル 11400 を用いて有線で通信が行われていたが、カメラヘッド 11102 と CCU 11201 との間の通信は無線で行われてもよい。
- [0138] 以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、カメ

ラヘッド 1 1 1 0 2 の撮像部 1 1 4 0 2 に適用され得る。カメラヘッド 1 1 1 0 2 の撮像部 1 1 4 0 2 に本開示に係る技術を適用することにより、画素行毎あるいは画素列毎に形成された配線について、最小限の追加回路で検査を行うことができるためチップ面積の増大を抑制でき、その結果、チップ面積の増大を抑制できるため、カメラヘッド 1 1 1 0 2 の撮像部 1 1 4 0 2 の大型化の抑制に寄与できる。

[0139] [移動体への応用例]

本開示に係る技術（本技術）は、内視鏡手術システムその他、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット、建設機械、農業機械（トラクター）などのいずれかの種類の移動体に搭載される撮像素子として実現されてもよい。

[0140] 図 1 8 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0141] 車両制御システム 1 2 0 0 0 は、通信ネットワーク 1 2 0 0 1 を介して接続された複数の電子制御ユニットを備える。図 1 0 2 1 に示した例では、車両制御システム 1 2 0 0 0 は、駆動系制御ユニット 1 2 0 1 0、ボディ系制御ユニット 1 2 0 2 0、車外情報検出ユニット 1 2 0 3 0、車内情報検出ユニット 1 2 0 4 0、及び統合制御ユニット 1 2 0 5 0 を備える。また、統合制御ユニット 1 2 0 5 0 の機能構成として、マイクロコンピュータ 1 2 0 5 1、音声画像出力部 1 2 0 5 2、及び車載ネットワーク I/F (i n t e r f a c e) 1 2 0 5 3 が図示されている。

[0142] 駆動系制御ユニット 1 2 0 1 0 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 1 2 0 1 0 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等

の制御装置として機能する。

[0143] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0144] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0145] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0146] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判

別してもよい。

- [0147] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。
- [0148] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。
- [0149] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。
- [0150] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図18の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0151] 図19は、撮像部12031の設置位置の例を示す図である。

[0152] 図19では、車両12100は、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

[0153] 撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。撮像部12101及び12105で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0154] なお、図19には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0155] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0156] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし1211

4 内における各立体物までの距離と、この距離の時間的変化（車両 1 2 1 0 0 に対する相対速度）を求めることにより、特に車両 1 2 1 0 0 の進行路上にある最も近い立体物で、車両 1 2 1 0 0 と略同じ方向に所定の速度（例えば、0 k m / h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 1 2 0 5 1 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0157] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 1 2 0 5 1 は、車両 1 2 1 0 0 の周辺の障害物を、車両 1 2 1 0 0 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 1 2 0 5 1 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 1 2 0 6 1 や表示部 1 2 0 6 2 を介してドライバに警報を出力することや、駆動系制御ユニット 1 2 0 1 0 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0158] 撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像中に歩行者が存在するかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 1 2 0 5 1 が、撮像部 1 2 1 0 1 ないし 1 2 1 0

4の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0159] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部12031等に適用され得る。撮像部12031等に本開示に係る技術を適用することにより、画素行毎あるいは画素列毎に形成された配線について、最小限の追加回路で検査を行うことができるためチップ面積の増大を抑制でき、その結果、チップ面積の増大を抑制できるため、撮像部12031等の大型化の抑制に寄与できる。

[0160] <本開示がとることができる構成>

尚、本開示は、以下のような構成をとることもできる。

[0161] << A. 撮像装置 >>

[A-1] 受光部を含む画素が行列状に配置されて成る画素アレイ部が形成された第1の基板、及び、画素を制御する画素制御部が形成された第2の基板が積層されて成り、

第1の基板は、

第1の電圧を伝送する第1の配線、

第2の電圧を伝送する第2の配線、及び、

画素アレイ部を、複数の画素列又は複数の画素行を単位として複数の画素ブロックに分割したとき、画素ブロック毎に、配線不良の検出を行う不良検出回路を備え、

不良検出回路は、

配線不良の検出時に、画素ブロック毎に、複数の画素列又は複数の画素行に対応する複数の配線を直列に接続し、各画素ブロックの直列に接続された配線チェーンの一端を第1の配線に接続し、他端を第2の配線に接続し、

配線チェーンの中間位置の電位に基づいて配線不良の検出を行う、
撮像装置。

〔A－２〕不良検出回路は、配線不良の検出時に、第１の配線と第２の配線との間に、画素ブロック毎に、複数の配線を直列に接続して配線チェーンを構成するスイッチ素子群を有し、

スイッチ素子群の一方の端部のスイッチ素子が第１の配線に接続され、他方の端部のスイッチ素子が第２の配線に接続されている、

上記〔A－１〕に記載の撮像装置。

〔A－３〕第１の基板は、

第３の電圧を伝送する第３の配線、及び、

第４の電圧を伝送する第４の配線を有し、

不良検出回路は、

配線チェーンの中間位置に接続され、中間位置の電位を読み出す第１のスイッチ素子、及び、

第３の配線と第４の配線との間に接続され、第１のスイッチ素子を通して読み出された中間位置の電位に応じてオン／オフ動作を行う第２のスイッチ素子を有する、

上記〔A－１〕又は上記〔A－２〕に記載の撮像装置。

〔A－４〕不良検出回路は、第３の配線と第４の配線との間にショート電流が発生するか否かによって配線不良の検出を行う、

上記〔A－３〕に記載の撮像装置。

〔A－５〕不良検出回路は、配線チェーンの一端と中間位置との間における配線の断線不良、又は、配線チェーンの中間位置と他端との間における配線の断線不良の検出を行う、

上記〔A－４〕に記載の撮像装置。

〔A－６〕不良検出回路のスイッチ素子群の各スイッチ素子、第１のスイッチ素子、及び、第２のスイッチ素子は、画素を構成するトランジスタと同じ導電型のトランジスタから成る、

上記〔A－3〕に記載の撮像装置。

〔A－7〕画素を構成するトランジスタが、NチャネルMOSトランジスタから成るとき、

不良検出回路のスイッチ素子群の各スイッチ素子、第1のスイッチ素子、及び、第2のスイッチ素子は、画素と同種のNチャネルMOSトランジスタから成る、

上記〔A－6〕に記載の撮像装置。

[0162] ≪B. 電子機器≫

〔B－1〕受光部を含む画素が行列状に配置されて成る画素アレイ部が形成された第1の基板、及び、画素を制御する画素制御部が形成された第2の基板が積層されて成り、

第1の基板は、

第1の電圧を伝送する第1の配線、

第2の電圧を伝送する第2の配線、及び、

画素アレイ部を、複数の画素列又は複数の画素行を単位として複数の画素ブロックに分割したとき、画素ブロック毎に、配線不良の検出を行う不良検出回路を備え、

不良検出回路は、

配線不良の検出時に、画素ブロック毎に、複数の画素列又は複数の画素行に対応する複数の配線を直列に接続し、各画素ブロックの直列に接続された配線チェーンの一端を第1の配線に接続し、他端を第2の配線に接続し、

配線チェーンの中間位置の電位に基づいて配線不良の検出を行う、

撮像装置を有する電子機器。

〔B－2〕不良検出回路は、配線不良の検出時に、第1の配線と第2の配線との間に、画素ブロック毎に、複数の配線を直列に接続して配線チェーンを構成するスイッチ素子群を有し、

スイッチ素子群の一方の端部のスイッチ素子が第1の配線に接続され、他方の端部のスイッチ素子が第2の配線に接続されている、

上記〔B－１〕に記載の電子機器。

〔B－３〕第１の基板は、

第３の電圧を伝送する第３の配線、及び、

第４の電圧を伝送する第４の配線を有し、

不良検出回路は、

配線チェーンの中間位置に接続され、中間位置の電位を読み出す第１のスイッチ素子、及び、

第３の配線と第４の配線との間に接続され、第１のスイッチ素子を通して読み出された中間位置の電位に応じてオン／オフ動作を行う第２のスイッチ素子を有する、

上記〔B－１〕又は上記〔B－２〕に記載の電子機器。

〔B－４〕不良検出回路は、第３の配線と第４の配線との間にショート電流が発生するか否かによって配線不良の検出を行う、

上記〔B－３〕に記載の電子機器。

〔B－５〕不良検出回路は、配線チェーンの一端と中間位置との間における配線の断線不良、又は、配線チェーンの中間位置と他端との間における配線の断線不良の検出を行う、

上記〔B－４〕に記載の電子機器。

〔B－６〕不良検出回路のスイッチ素子群の各スイッチ素子、第１のスイッチ素子、及び、第２のスイッチ素子は、画素を構成するトランジスタと同じ導電型のトランジスタから成る、

上記〔B－３〕に記載の電子機器。

〔B－７〕画素を構成するトランジスタが、NチャネルMOSトランジスタから成るとき、

不良検出回路のスイッチ素子群の各スイッチ素子、第１のスイッチ素子、及び、第２のスイッチ素子は、画素と同種のNチャネルMOSトランジスタから成る、

上記〔B－６〕に記載の電子機器。

符号の説明

[0163] 1・・・CMOSイメージセンサ、2・・・画素、11・・・画素アレイ部、12・・・行選択部、13・・・定電流源部、14・・・アナログ→デジタル変換部、15・・・水平転送走査部、16・・・信号処理部、17・・・タイミング制御部、18・・・水平転送線、19・・・参照信号生成部、21・・・フォトダイオード（受光部）、22・・・転送トランジスタ、23・・・リセットトランジスタ、24・・・増幅トランジスタ、25・・・選択トランジスタ、31（ $31_1 \sim 31_m$ ）・・・画素制御線、32（ $32_1 \sim 32_n$ ）・・・垂直信号線、41・・・画素チップ（第1の基板）、42・・・ロジックチップ（第2の基板）、43（43A, 43B）、44（44A, 44B）・・・接続部、47A～47D・・・不良検出回路、48A～48D・・・パッド部、51₁～51_p・・・画素ブロック、52₁～52₆・・・接続配線、53₁～53₈・・・テストパッド

請求の範囲

- [請求項1] 受光部を含む画素が行列状に配置されて成る画素アレイ部が形成された第1の基板、及び、画素を制御する画素制御部が形成された第2の基板が積層されて成り、
- 第1の基板は、
- 第1の電圧を伝送する第1の配線、
- 第2の電圧を伝送する第2の配線、及び、
- 画素アレイ部を、複数の画素列又は複数の画素行を単位として複数の画素ブロックに分割したとき、画素ブロック毎に、配線不良の検出を行う不良検出回路を備え、
- 不良検出回路は、
- 配線不良の検出時に、画素ブロック毎に、複数の画素列又は複数の画素行に対応する複数の配線を直列に接続し、各画素ブロックの直列に接続された配線チェーンの一端を第1の配線に接続し、他端を第2の配線に接続し、
- 配線チェーンの中間位置の電位に基づいて配線不良の検出を行う、撮像装置。
- [請求項2] 不良検出回路は、配線不良の検出時に、第1の配線と第2の配線との間に、画素ブロック毎に、複数の配線を直列に接続して配線チェーンを構成するスイッチ素子群を有し、
- スイッチ素子群の一方の端部のスイッチ素子が第1の配線に接続され、他方の端部のスイッチ素子が第2の配線に接続されている、
- 請求項1に記載の撮像装置。
- [請求項3] 第1の基板は、
- 第3の電圧を伝送する第3の配線、及び、
- 第4の電圧を伝送する第4の配線を有し、
- 不良検出回路は、
- 配線チェーンの中間位置に接続され、中間位置の電位を読み出す第

1のスイッチ素子、及び、

第3の配線と第4の配線との間に接続され、第1のスイッチ素子を通して読み出された中間位置の電位に応じてオン／オフ動作を行う第2のスイッチ素子を有する、

請求項1に記載の撮像装置。

[請求項4] 不良検出回路は、第3の配線と第4の配線との間にショート電流が発生するか否かによって配線不良の検出を行う、

請求項3に記載の撮像装置。

[請求項5] 不良検出回路は、配線チェーンの一端と中間位置との間における配線の断線不良、又は、配線チェーンの中間位置と他端との間における配線の断線不良の検出を行う、

請求項4に記載の撮像装置。

[請求項6] 不良検出回路のスイッチ素子群の各スイッチ素子、第1のスイッチ素子、及び、第2のスイッチ素子は、画素を構成するトランジスタと同じ導電型のトランジスタから成る、

請求項3に記載の撮像装置。

[請求項7] 画素を構成するトランジスタが、NチャネルMOSトランジスタから成るとき、

不良検出回路のスイッチ素子群の各スイッチ素子、第1のスイッチ素子、及び、第2のスイッチ素子は、画素と同種のNチャネルMOSトランジスタから成る、

請求項6に記載の撮像装置。

[請求項8] 受光部を含む画素が行列状に配置されて成る画素アレイ部が形成された第1の基板、及び、画素を制御する画素制御部が形成された第2の基板が積層されて成り、

第1の基板は、

第1の電圧を伝送する第1の配線、

第2の電圧を伝送する第2の配線、及び、

画素アレイ部を、複数の画素列又は複数の画素行を単位として複数の画素ブロックに分割したとき、画素ブロック毎に、配線不良の検出を行う不良検出回路を備え、

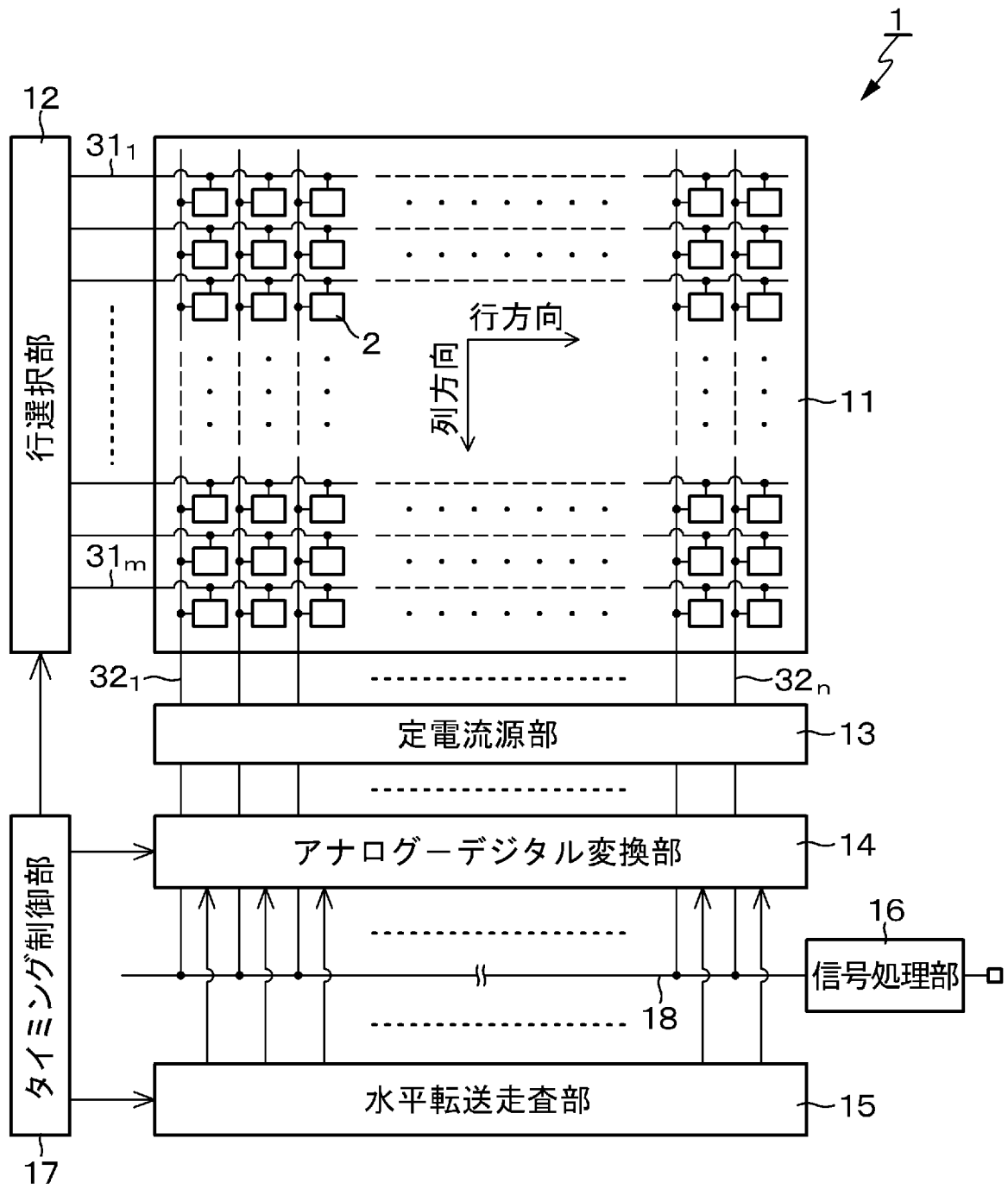
不良検出回路は、

配線不良の検出時に、画素ブロック毎に、複数の画素列又は複数の画素行に対応する複数の配線を直列に接続し、各画素ブロックの直列に接続された配線チェーンの一端を第1の配線に接続し、他端を第2の配線に接続し、

配線チェーンの中間位置の電位に基づいて配線不良の検出を行う、撮像装置を有する電子機器。

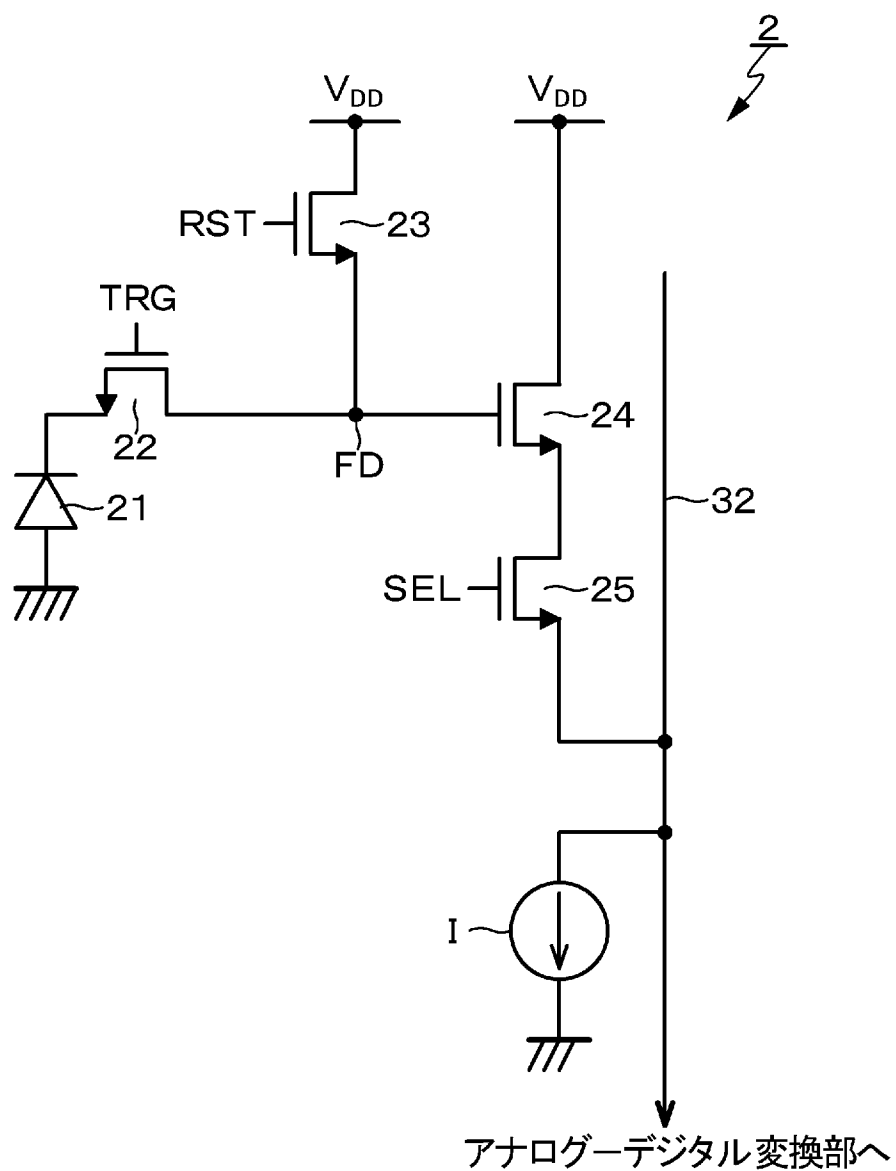
[図1]

図 1



[図2]

図 2



[図3]

図 3

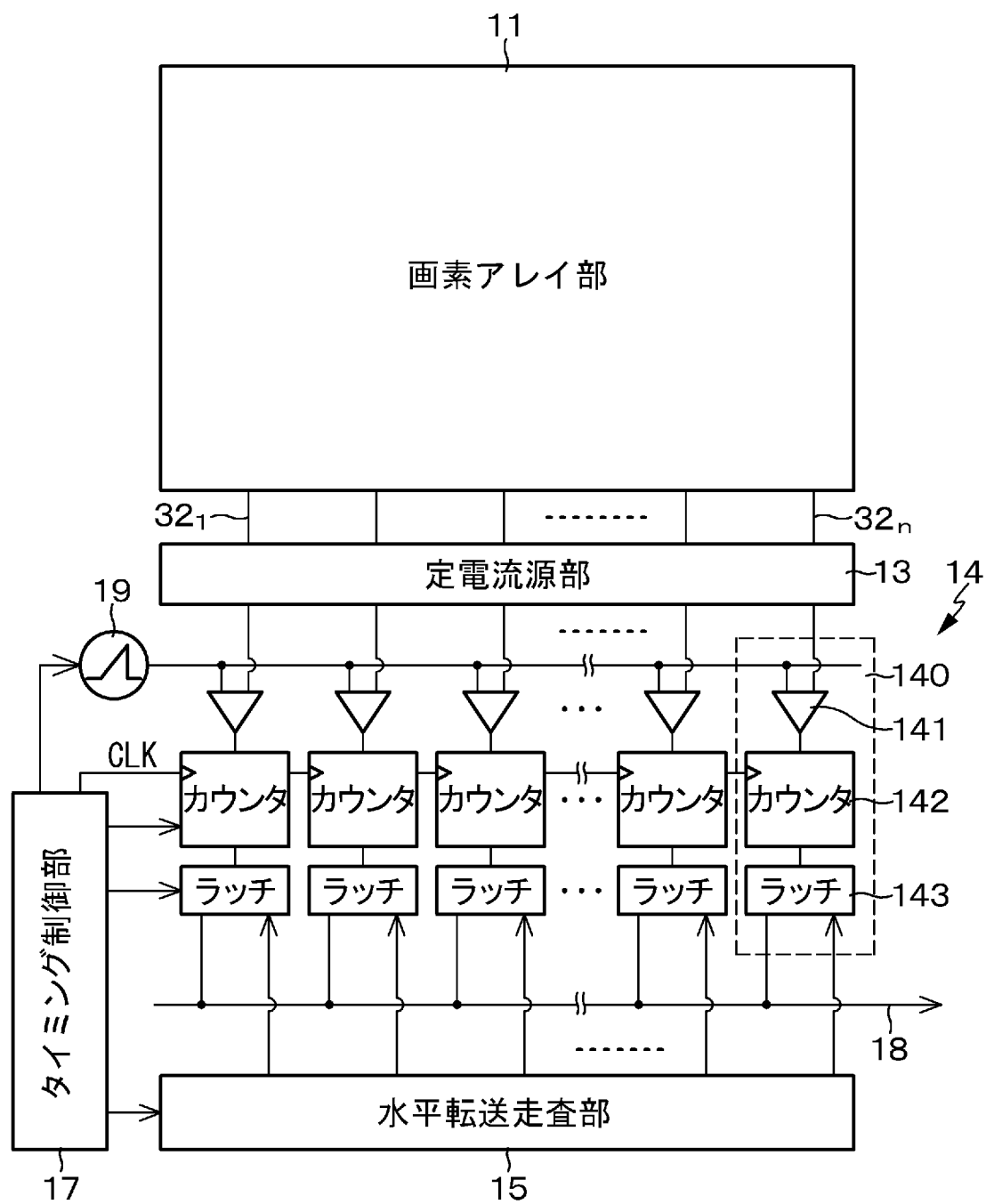
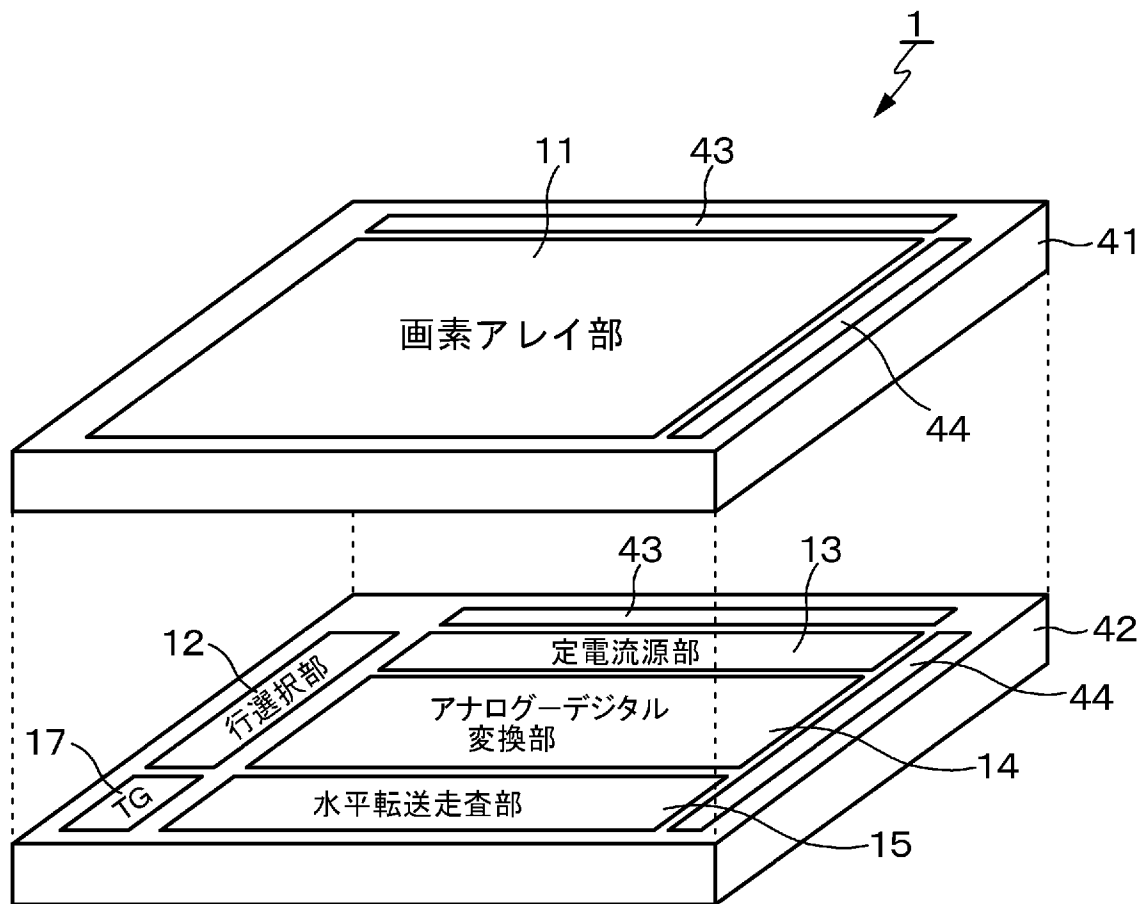
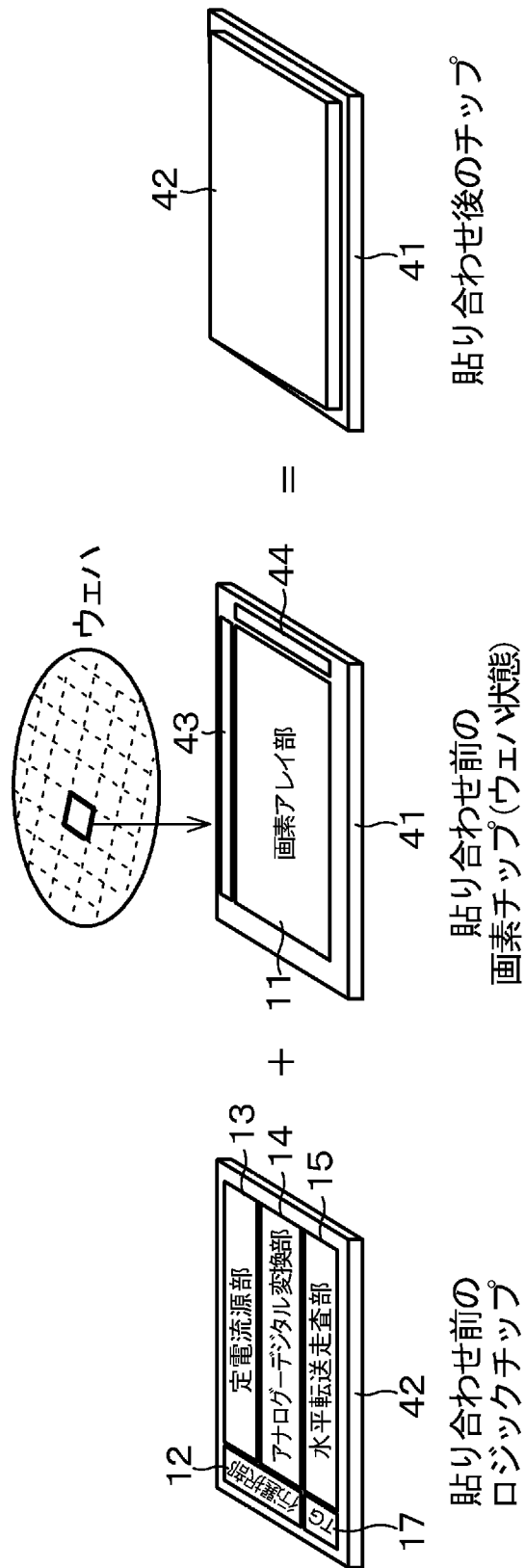


图 4



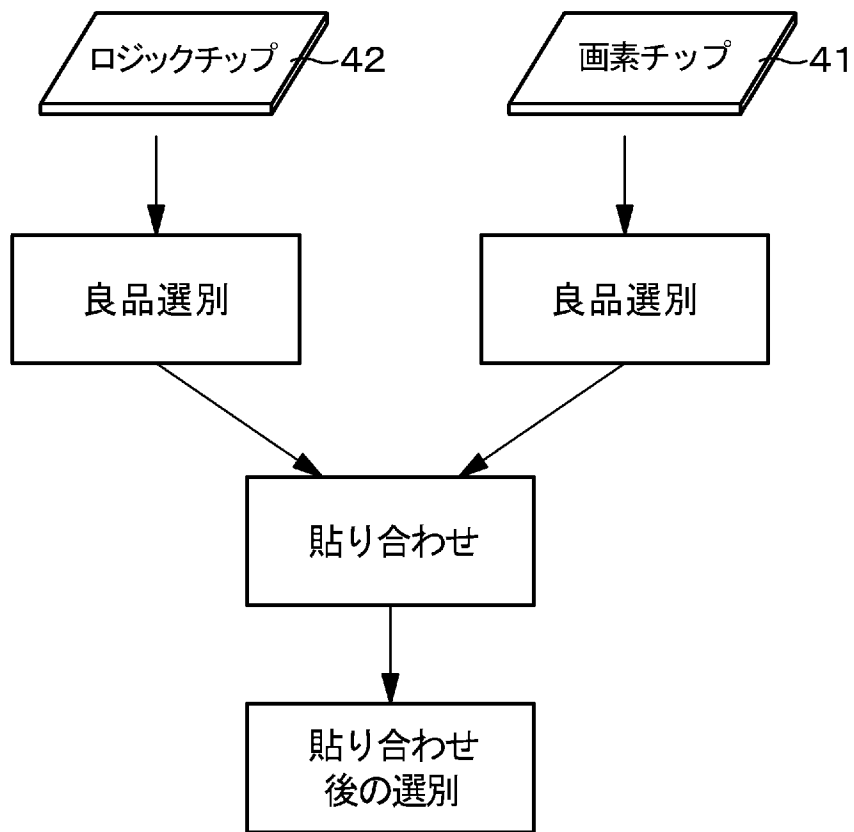
[図5]

図 5



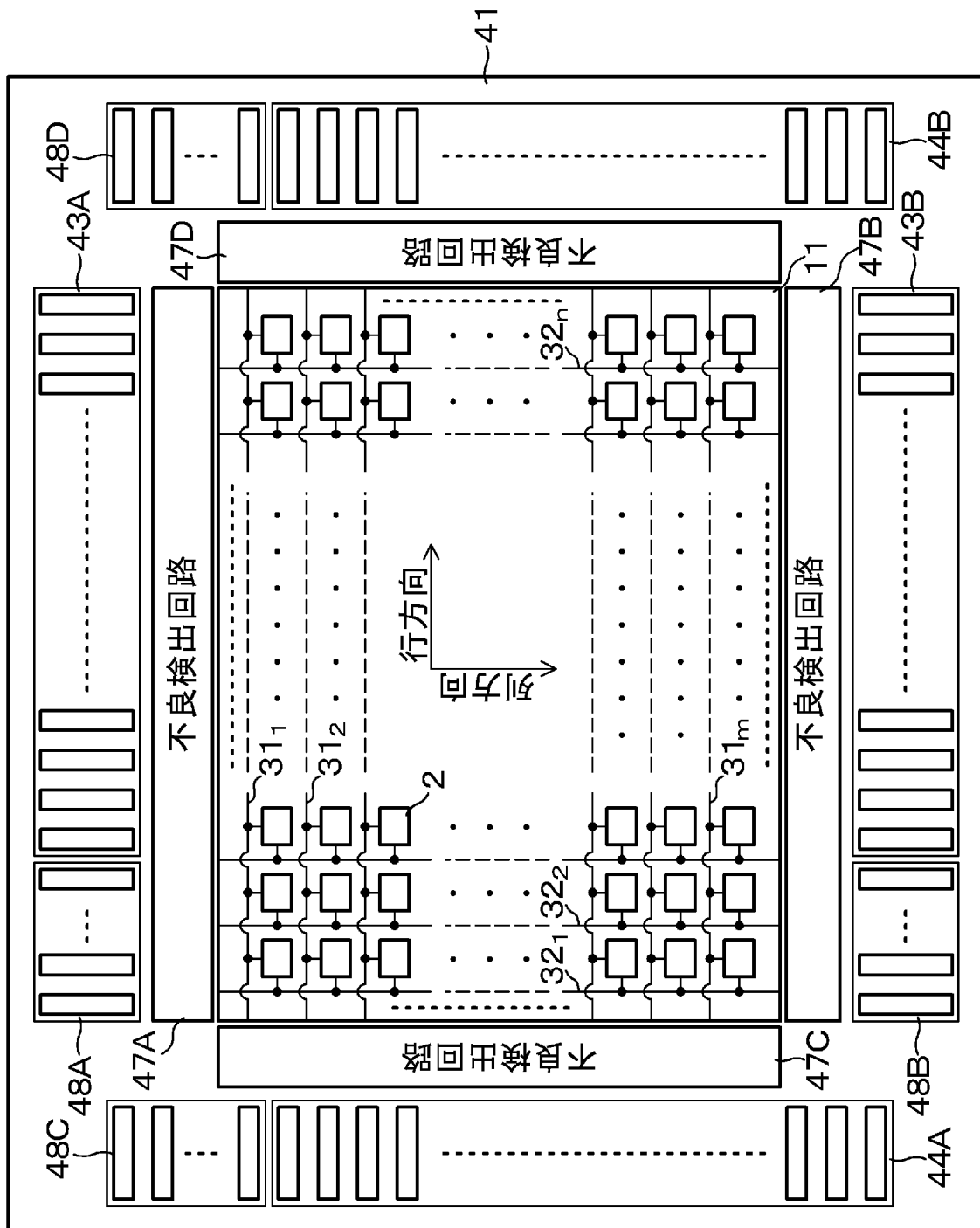
[図6]

図 6



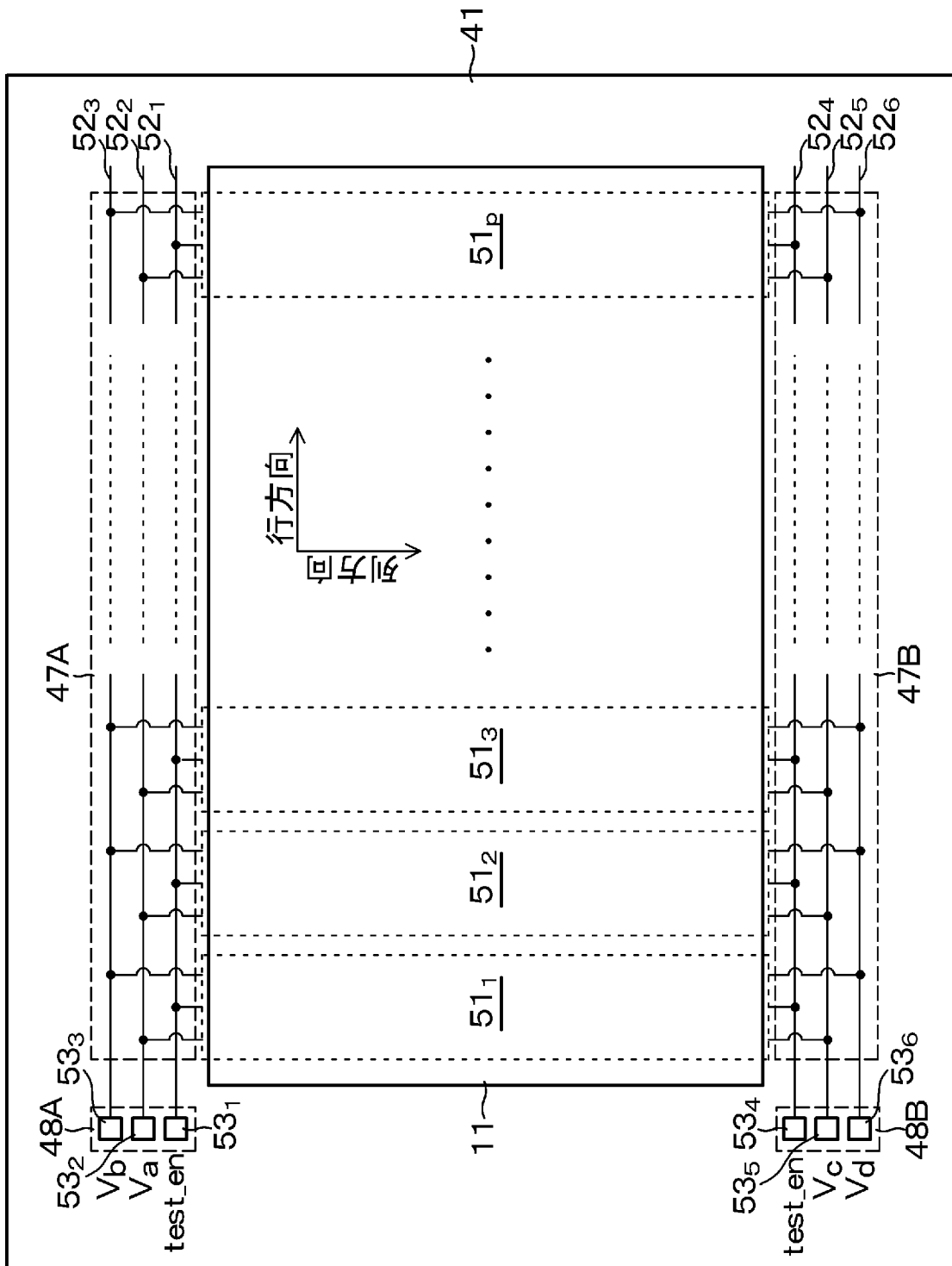
[図8]

図 8



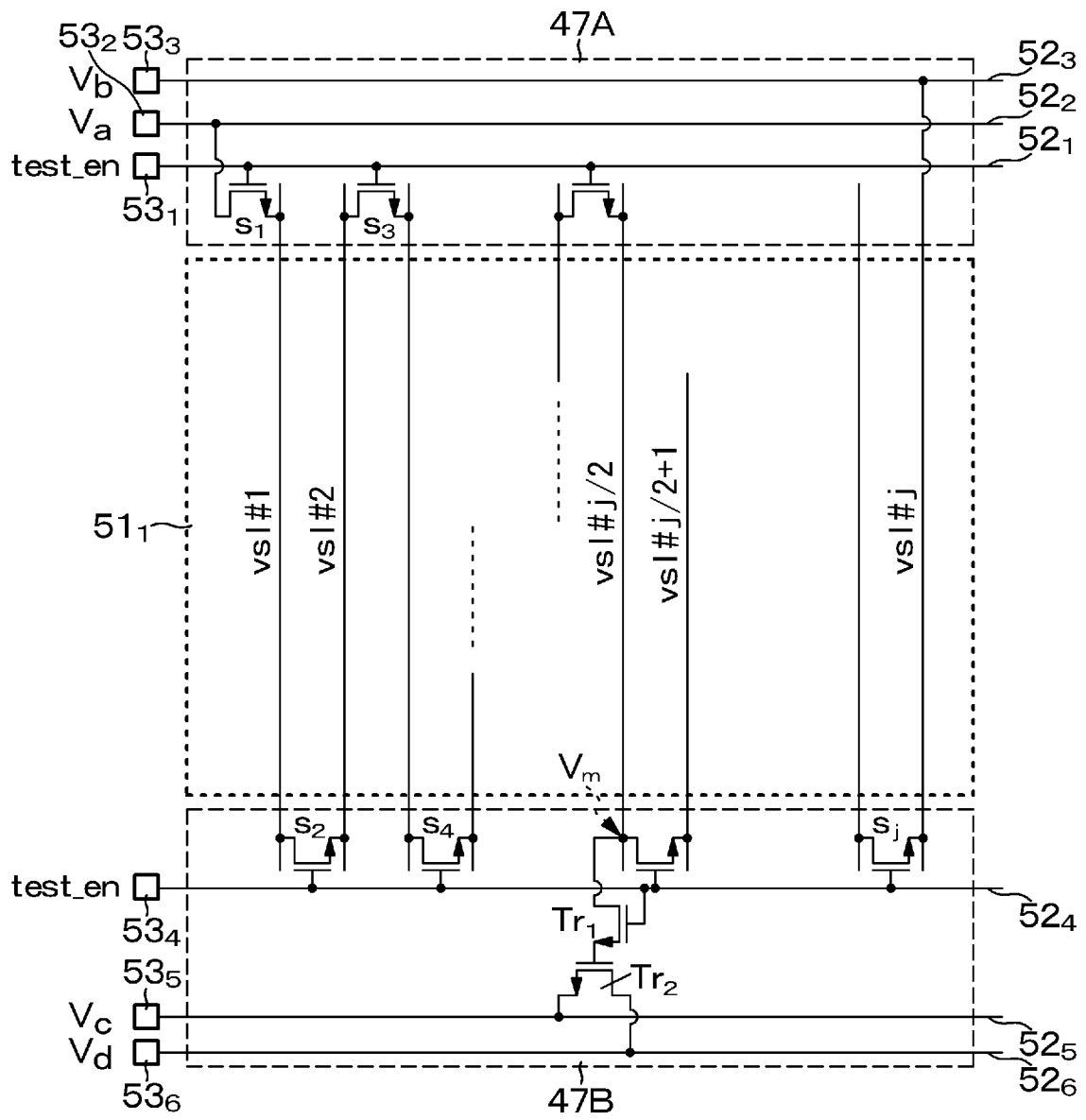
[図9]

図 9



[図10]

図 10



[図11]

図 1 1 A

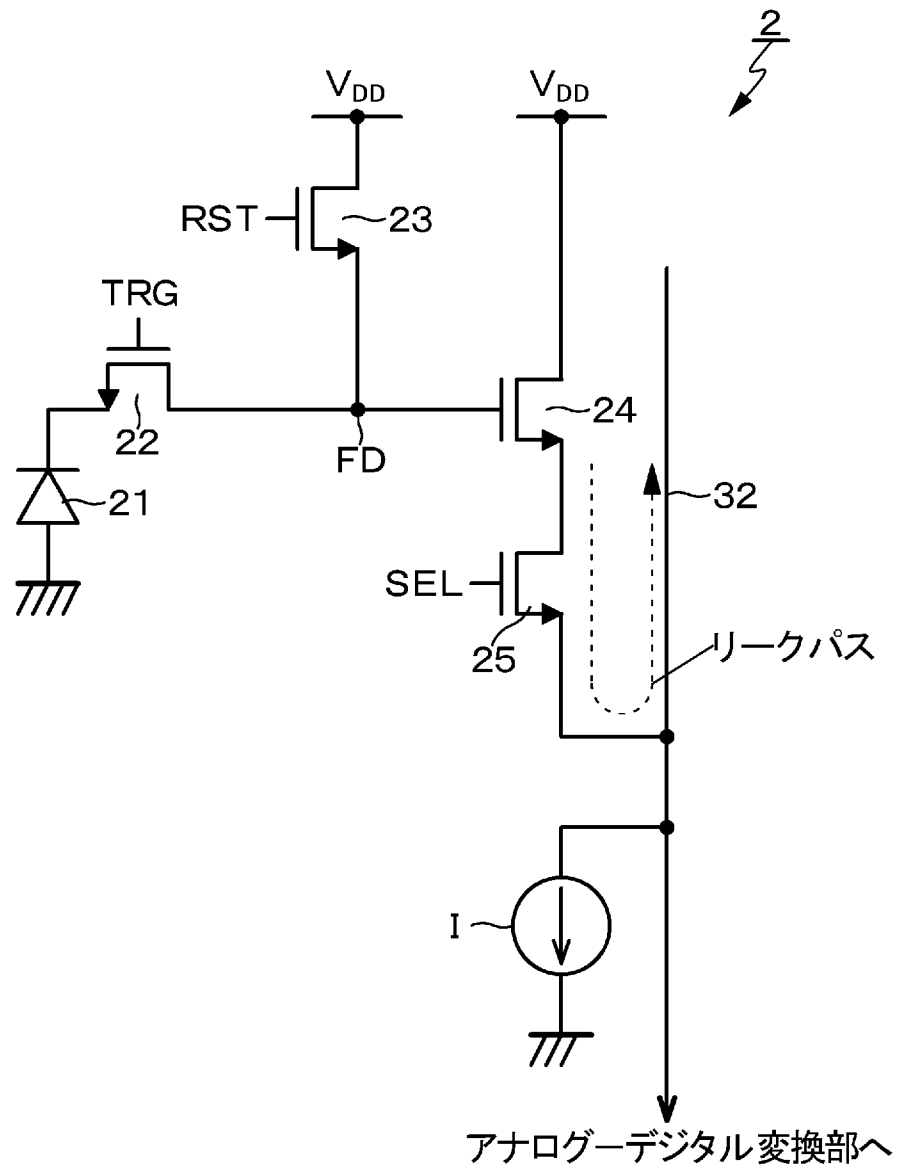
パッド	選別時の印加電圧	条件	備考
V_a / V_b	設定 a : V_{DD1} / GND 設定 b : GND / V_{DD1}	$V_{DD1} > \text{GND}$	(1)
test_en	V_{DD2}	$V_{DD2} > V_{th}$	(2)
V_c	V_{DD3}	$(V_{DD3} + V_{th}) > V_{DD1} / 2$	(3)_1
		$(V_{DD3} + V_{th}) < V_{DD1}$	(3)_2
V_d	V_{DD4}	$V_{DD4} > V_{DD3}$	(4)

図 1 1 B

ケース	オープン不良の箇所	設定 a: $V_a = V_{DD1}, V_b = \text{GND}$		設定 b: $V_a = \text{GND}, V_b = V_{DD1}$	
		V_m 電位	V_c / V_d 間のリーク	V_m 電位	V_c / V_d 間のリーク
ケース(1)	オープン不良なし	$V_{DD1} / 2$	なし	$V_{DD1} / 2$	なし
ケース(2)	$vsl\#j/2$ より左側にオープン不良あり	GND	なし	V_{DD1}	あり
ケース(3)	$vsl\#j/2$ より右側にオープン不良あり	V_{DD1}	あり	GND	なし
ケース(4)	$vsl\#j/2$ の左右両側に共にオープン不良あり	不定	不定	不定	不定

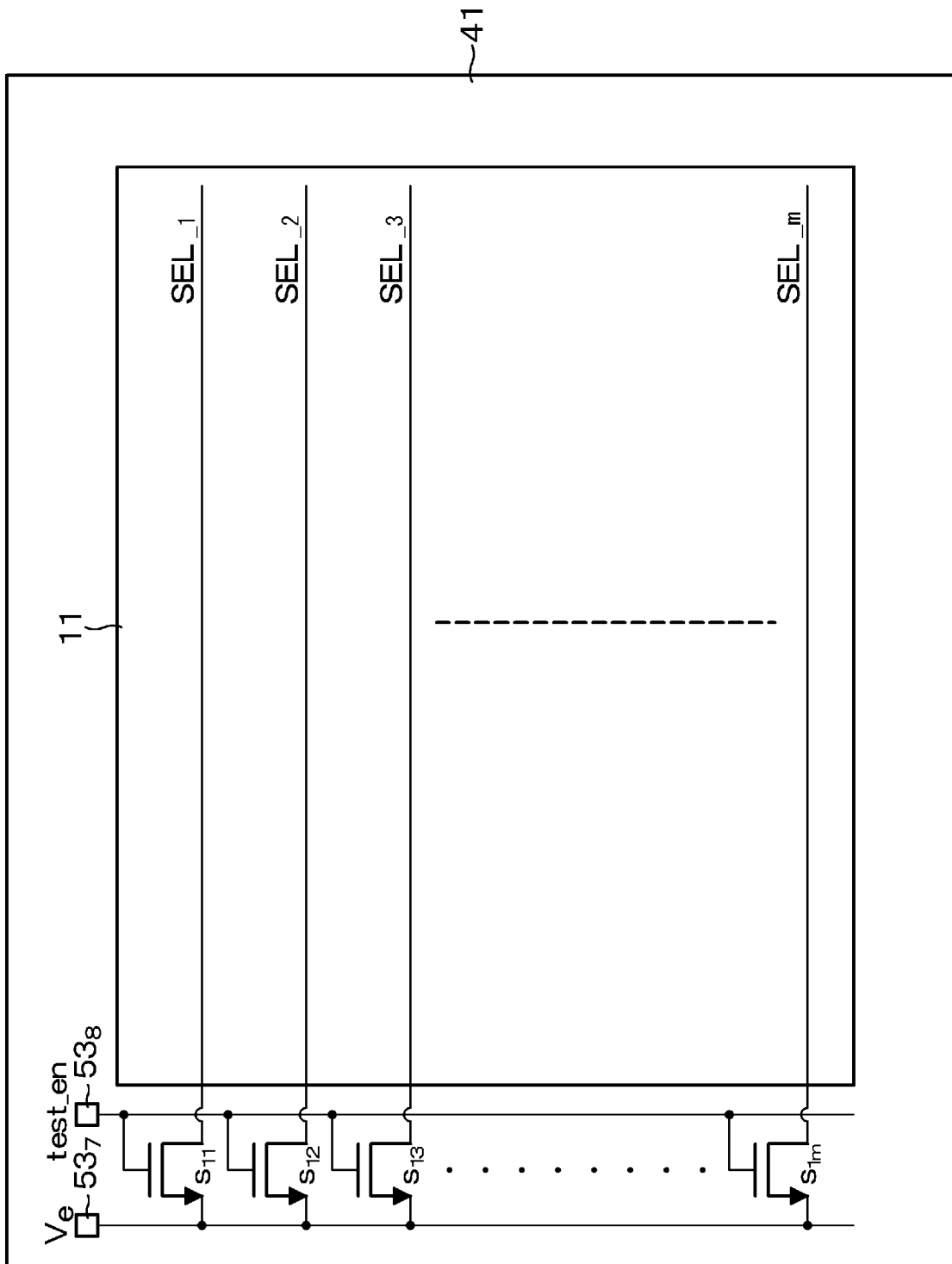
[図12]

図 1 2



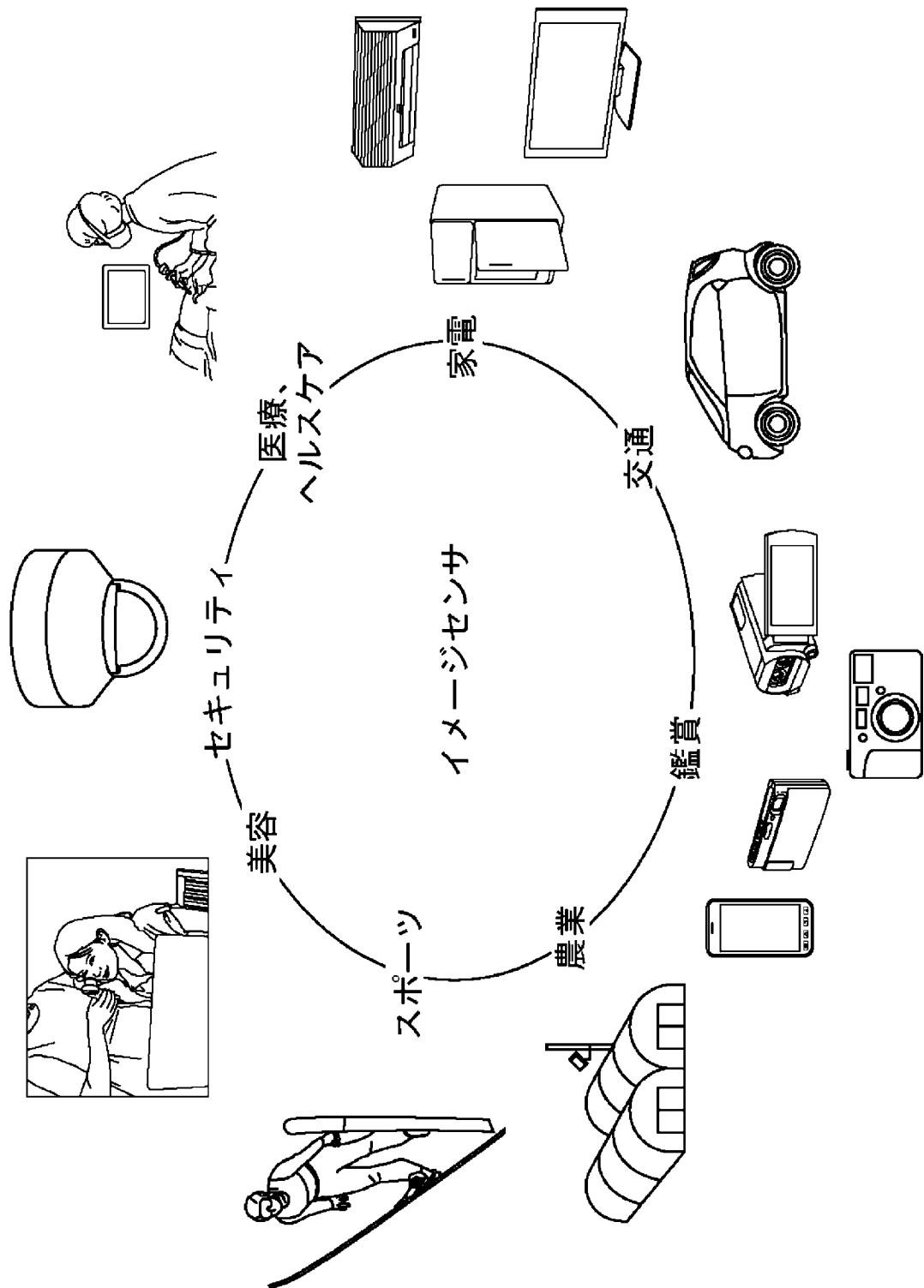
[図13]

図 13



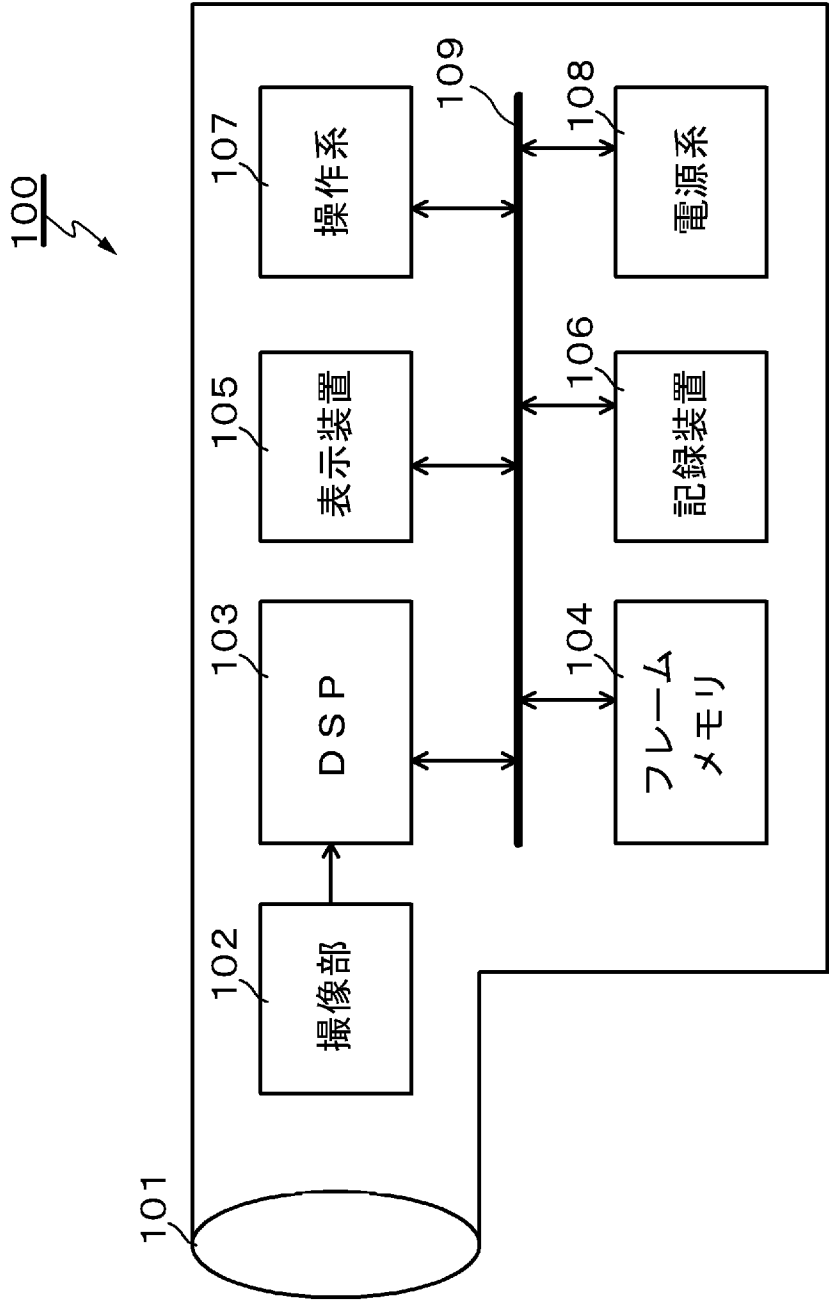
[図14]

図 1 4



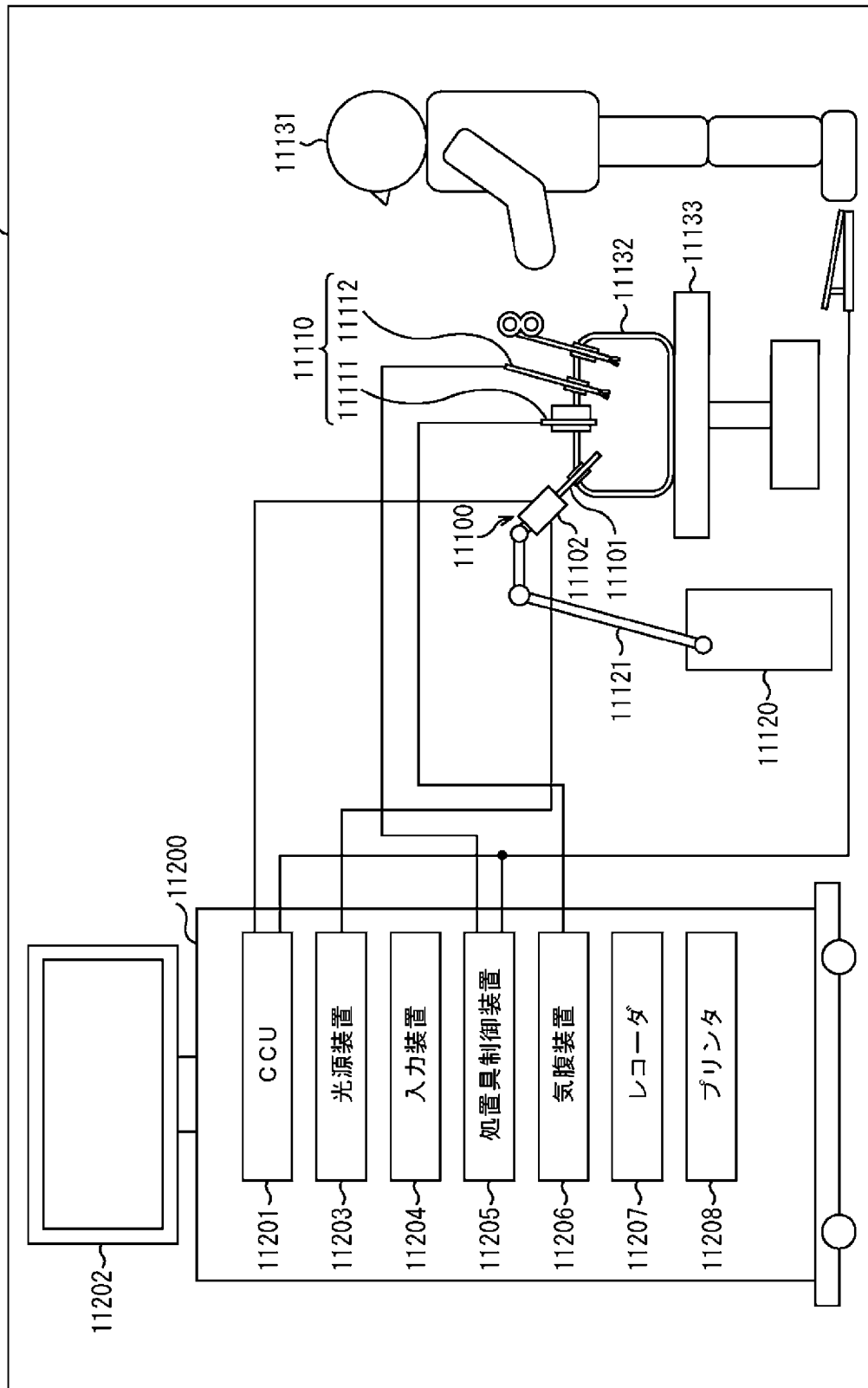
[図15]

図 1 5



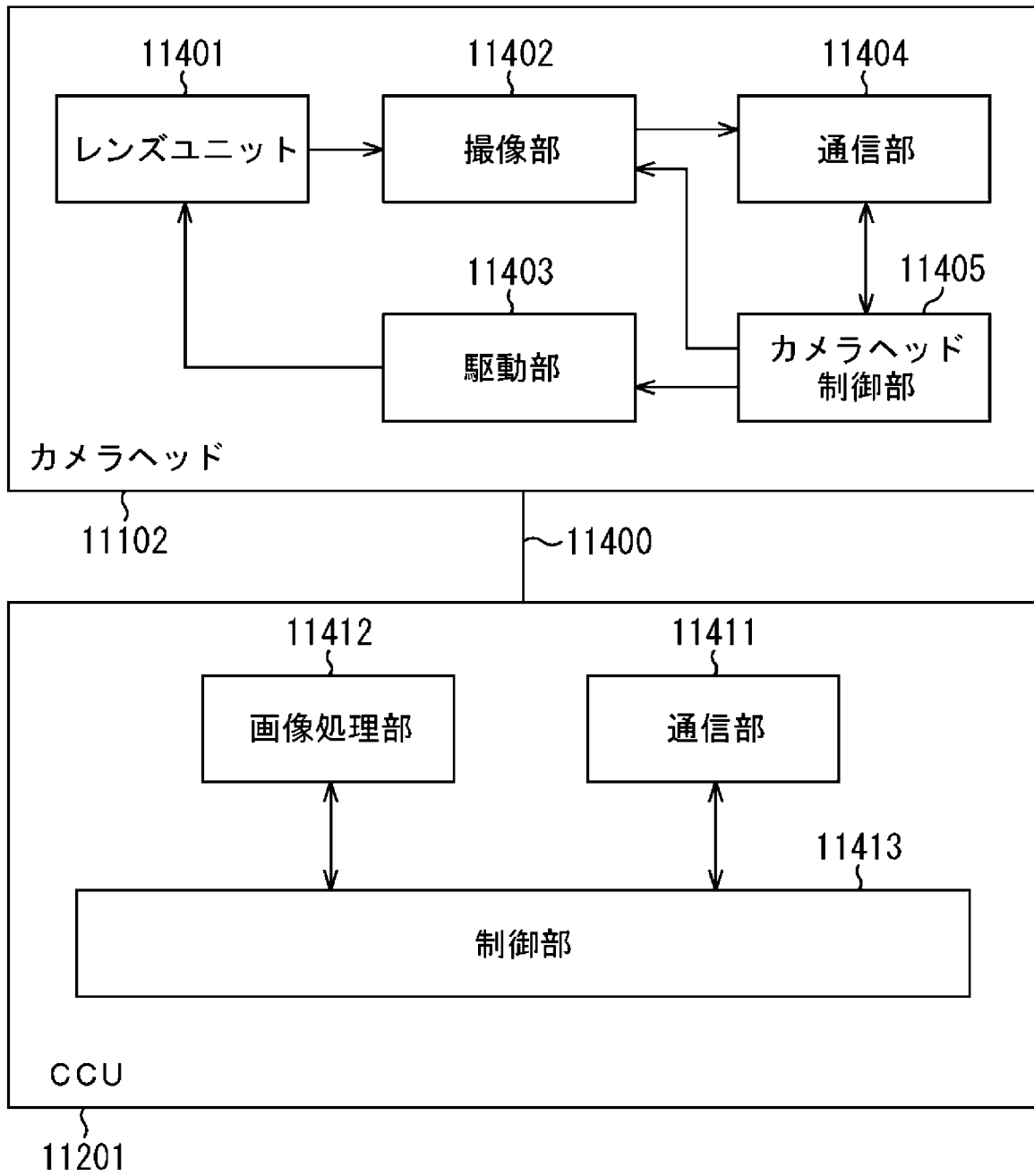
[図16]

図 1 6



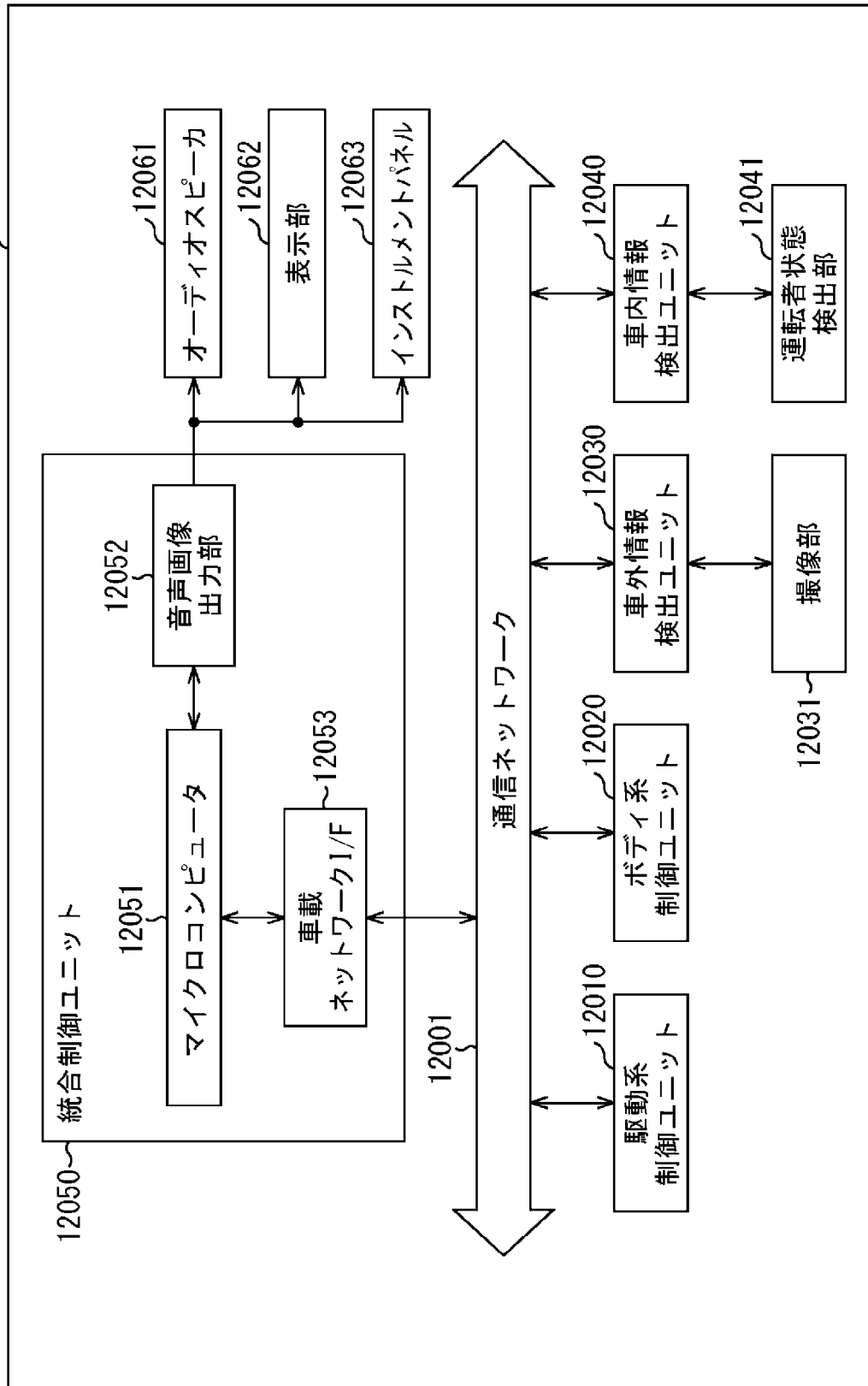
[図17]

図 17



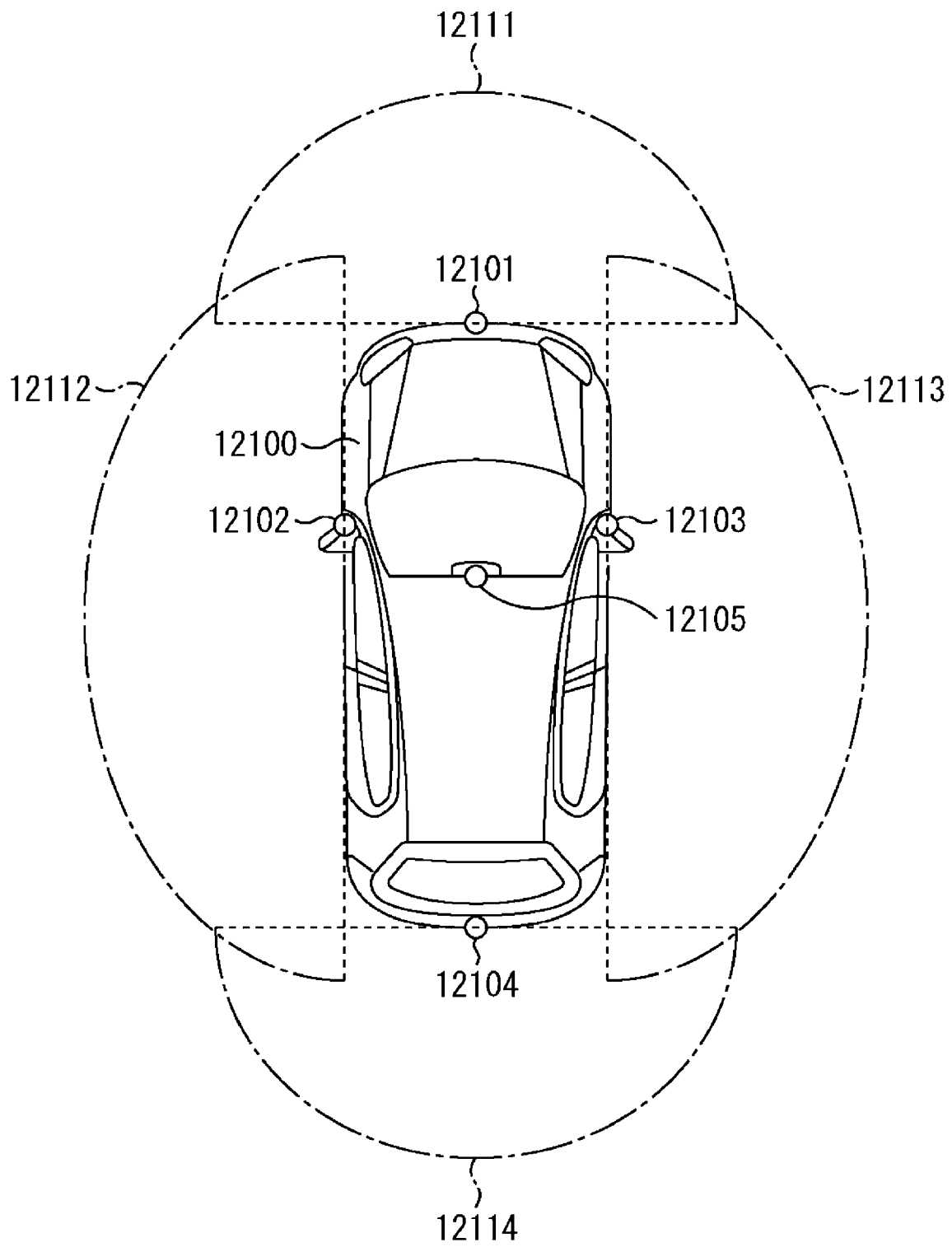
[図18]

図 18



[図19]

图 19



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/036091

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04N5/367(2011.01)i, G01R31/02(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i, H01L27/146(2006.01)i, H04N5/369(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04N5/367, G01R31/02, H01L21/3205, H01L21/768, H01L23/522, H01L27/146, H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 8575955 B1 (BROZEK, T.) 05 November 2013, entire text (Family: none)	1-8
A	JP 2001-237377 A (HITACHI, LTD.) 31 August 2001, entire text (Family: none)	1-8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 26.11.2019	Date of mailing of the international search report 03.12.2019
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/036091

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-23132 A (RENESAS ELECTRONICS CORP.) 02 February 2015, entire text (Family: none)	1-8
A	JP 2015-165544 A (DENSO CORPORATION) 17 September 2015, entire text (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H04N5/367(2011.01)i, G01R31/02(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i, H01L27/146(2006.01)i, H04N5/369(2011.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H04N5/367, G01R31/02, H01L21/3205, H01L21/768, H01L23/522, H01L27/146, H04N5/369

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 8575955 B1 (BROZEK, Tomasz) 2013. 11. 05, 全文 (ファミリーなし)	1-8
A	JP 2001-237377 A (株式会社日立製作所) 2001. 08. 31, 全文 (ファミリーなし)	1-8

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

26. 11. 2019

国際調査報告の発送日

03. 12. 2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

橘 高志

電話番号 03-3581-1101 内線 3571

5 V

8391

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2015-23132 A (ルネサスエレクトロニクス株式会社) 2015.02.02, 全文 (ファミリーなし)	1-8
A	JP 2015-165544 A (株式会社デンソー) 2015.09.17, 全文 (ファミリーなし)	1-8