



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

(22) Přihlášeno 22 12 77
(21) PV 8658-77

(40) Zveřejněno 31 07 79
(45) Vydáno 30 10 81

196885
(11) (B1)

(51) Int. Cl.³
H 02 M1/08

(75)
Autor vynálezu

BOHATA SVATOPLUK, Ing. a
KRKAVEC VLADIMÍR, Brno

(54) Zapojení logických obvodů tyristorového měniče frekvence

1

Vynález se týká zapojení logických obvodů tyristorového měniče frekvence.

Logické obvody tvoří součást zapojení tyristorového měniče frekvence a jsou určeny k zajištění synchronní činnosti střídače spolu s rezonančním kmitočtem připojené zátěže, například ozonizátoru. Tyristorový obvod s vysokonapětovým transformátorem a ozonizátorem je v podstatě spojen přes čidlo extrémního napětí střídače, zpožďovací logické obvody a vstupní logický obvod se zapalovacími obvody střídače. Druhý vstup zpožďovacích logických obvodů je ještě spojen s čidlem nulového proudu střídače. Výstupní impuls z čidla extrémního výstupního napětí střídače je vhodně fázově zpožděn, aby bylo umožněno zapálení dalšího tyristoru ze soustavy tyristorových spínacích obvodů a dosáhlo se spolehlivého kmitání střídače se zátěží. Pro větší bezpečnost je na druhý výstup logických obvodů zaveden signál z výstupu čidla nulového proudu střídače, který v případě poruchy provozu, to je nedoběhnutí rezonančního cyklu zablokuje další z připravených logických obvodů a tím zabrání otevření dalších tyristorů. Tímto způsobem se zamezuje případnému zkratu otevřením tyristorů. Při provozu střídače, jako napaječe ozonizátorů vzniká v ozonizátoru při každé půlperiodě střídavého napětí výboj, který

2

nemusí vždy naprosto pravidelně probíhat, neboť jej ovlivňují poměry v ozonizátoru jako tlak, vlhkost vzduchu, velikost jeho průtoku atd. Při nepravidelném hoření výboje vzniká také nepravidelný průběh napětí a čidlo extrémního napětí může způsobit falešný nebo posunutý řídicí impuls, který má za následek nepravidelný chod střídače.

Tyto dosavadní nevýhody odstraňuje zapojení logických obvodů tyristorového měniče frekvence, jehož základní část tvoří tyristorový střídač spojený přes vysokonapětový transformátor s ozonizátorem, jehož síťové přívodní svorky jsou spojeny se synchronizační jednotkou a s čidlem nulového proudu, vstupy střídače se zapalovacími obvody tyristorů, přičemž primární vinutí vysokonapětového transformátoru je spojeno s čidlem extrémního napětí, podle vynálezu, jehož podstatou je, že čidlo extrémního napětí je spojeno s R—S logickým obvodem spojeným s výstupním logickým obvodem, a to prvním výstupem s prvními vstupy prvního a třetího hradla a přes první zpožďovací obvod s druhými vstupy těchto hradel a svým druhým výstupem s prvními vstupy druhého a čtvrtého hradla a přes druhý zpožďovací obvod s druhými vstupy těchto hradel, přičemž třetí vstup prvního a druhého hradla je spojen s prvním výstu-

pem, třetí vstup třetího a čtvrtého hradla s druhým výstupem synchronizační jednotky, zatím co čtvrté vstupy všech čtyř hradel jsou spojeny s výstupem vypínacího obvodu a jejich výstupy se vstupy zapalovacího obvodu tyristorů, přičemž oba druhé vstupy zpožďovacích obvodů jsou spojeny s čidlem nulového proudu.

Zapojení podle vynálezu přináší především výhodu v tom, že vylučuje vliv rušivých výbojů vznikajících za provozu v ozonizátoru a tím odstraňuje vznik nepravidelných průběhů napětí, které jsou zdrojem nežádoucích nebo posunutých impulsů, způsobující nepravidelný chod střídače.

Vynález blíže objasní přiložený výkres, na kterém je uveden příklad zapojení v blokovém a částečně detailním zapojení.

Základ zapojení tvoří tyristorový obvod 12, sestávající z tyristorového střídače 21 a vysokonapětového transformátoru 10 s ozonizátorem 22, které jsou spojeny se silovými přívodními svorkami 23. Na tyto svorky jsou dále připojeny synchronizační jednotky 9 a čidlo nulového bodu 10. Tyristory střídače 21 jsou zapalovacími elektrodami spojeny se zapalovacími obvody 11. K primárnímu vinutí vysokonapětového transformátoru 10 jsou připojeny vstupy čidla 13 extrémního napětí střídače, jehož vstup je spojen se vstupem R-S vstupního logického obvodu 7 s jedním výstupem připojeným jednak přímo k prvním vstupům prvního a třetího čtyřvstupového hradla 1 a 3 a jednak přes první zpožďovací obvod 5 ke druhým vstupům těchto čtyřvstupových hradel 1 a 3. Druhý výstup R-S vstupního logického obvodu 7 je pak spojen rovněž jednak přímo s prvními vstupy druhého a čtvrtého hradla 2 a 4 a přes druhý zpožďovací obvod 6 s druhými vstupy těchto čtyřvstupových hradel 2 a 4. Třetí vstupy čtyřvstupových hradel 1 a 2 jsou společně připojeny k jednomu výstupu synchronizační jednotky 9, přičemž k jejímu druhému výstupu jsou připojeny třetí vstupy čtyřvstupových hradel 3 a 4. Čtvrté vstupy čtyřvstupových hradel 1, 2, 3, 4 jsou všechny navzájem propojeny s výstupem vypínacího obvodu 14 střídače. Výstupy všech čtyřvstupových hradel jsou spojeny s ovládacími vstupy zapalovacích obvodů 11 tyristorů a výstup z čidla 10 nulového proudu je spojen se společnými druhými vstupy obou zpožďovacích obvodů 5 a 6.

Zapojení pracuje za provozu takto: Signál z čidla 13 extrémního napětí střídače, jež je již ve formě impulsů, je ještě tvarován R-S logickým obvodem 7, jehož dva výstupy střídavě přímo připraví k otevření vždy dvě dvojice ze čtyřvstupových hradel 1, 2, 3, 4 výstupního logického obvodu 8. První dvojici tvoří první a třetí hradlo 1 a 3 a druhou dvojici tvoří druhé a čtvrté hradlo 2 a 4. Současně jsou oba signály z R-S vstupního logického obvodu 7 zpožděny zpožďovacími logickými obvody 5 a 6. Tyto signály jsou přiváděny z těchto zpožďovacích logických obvodů 5 a 6 s příslušným časovým zpožděním několika mikrosekund, toto zpoždění je pevně zvoleno velikostí kondenzátoru ve zpožďovacích logických obvodech 5 a 6. Tyto signály jsou ještě zavedeny ke stejným hradlům 1 a 3, 2 a 4 jako souhlasné signály nezpožděné, avšak na jejich druhé vstupy přímo z R-S vstupního logického obvodu 7. Toto opatření umožňuje, že hradla 1 a 3, 2 a 4 se mohou eventuálně otevírat až teprve při vedení zpožděného impulsu, ale zavírají se hned po odeznění nezpožděného impulsu. To se může dít ovšem ještě za předpokladu přítomnosti dalších dvou signálů na některém z následujících dvou vstupů hradel 1, 2, 3, 4. Například při přítomnosti signálu z výstupů synchronizační jednotky 9, jež dává vždy střídavě obdélníkové signály, časově souhlasné se změnou polarity střídavého napětí sítě, což znamená, že při přítomnosti kladné půlvlny napětí na tyristorovém obvodu 12, dává jeden výstup synchronizační jednotky 9 signál, zatímco při přítomnosti záporné půlvlny dává signál druhý výstup. Tím je dáván předpoklad, že se mohou otevírat podle polarity napětí sítě první a druhé hradlo 1 a 2 nebo třetí a čtvrté hradlo 3 a 4. Kombinací signálu z čidla 13 extrémního napětí a to přímých i zpožděných signálů se signály ze synchronizační jednotky 9 se docílí otevření vždy pouze jednoho hradla 1, 2, 3, 4 z výstupního obvodu 8, které uvede do činnosti příslušný zapalovací obvod k tyristoru. Zpožďovací logické obvody 5 a 6 zajišťují větší stabilitu činnosti zapalovacího obvodu 11 střídače a tím i spolehlivost provozu. Signál čidla 10 nulového proudu střídače pak stejně jako z předchozím případem blokuje činnost zapalovacího obvodu 11 střídače, jestliže nezanikne proud tak jej po tu dobu vyřadí z činnosti.

PŘEDMĚT VYNÁLEZU

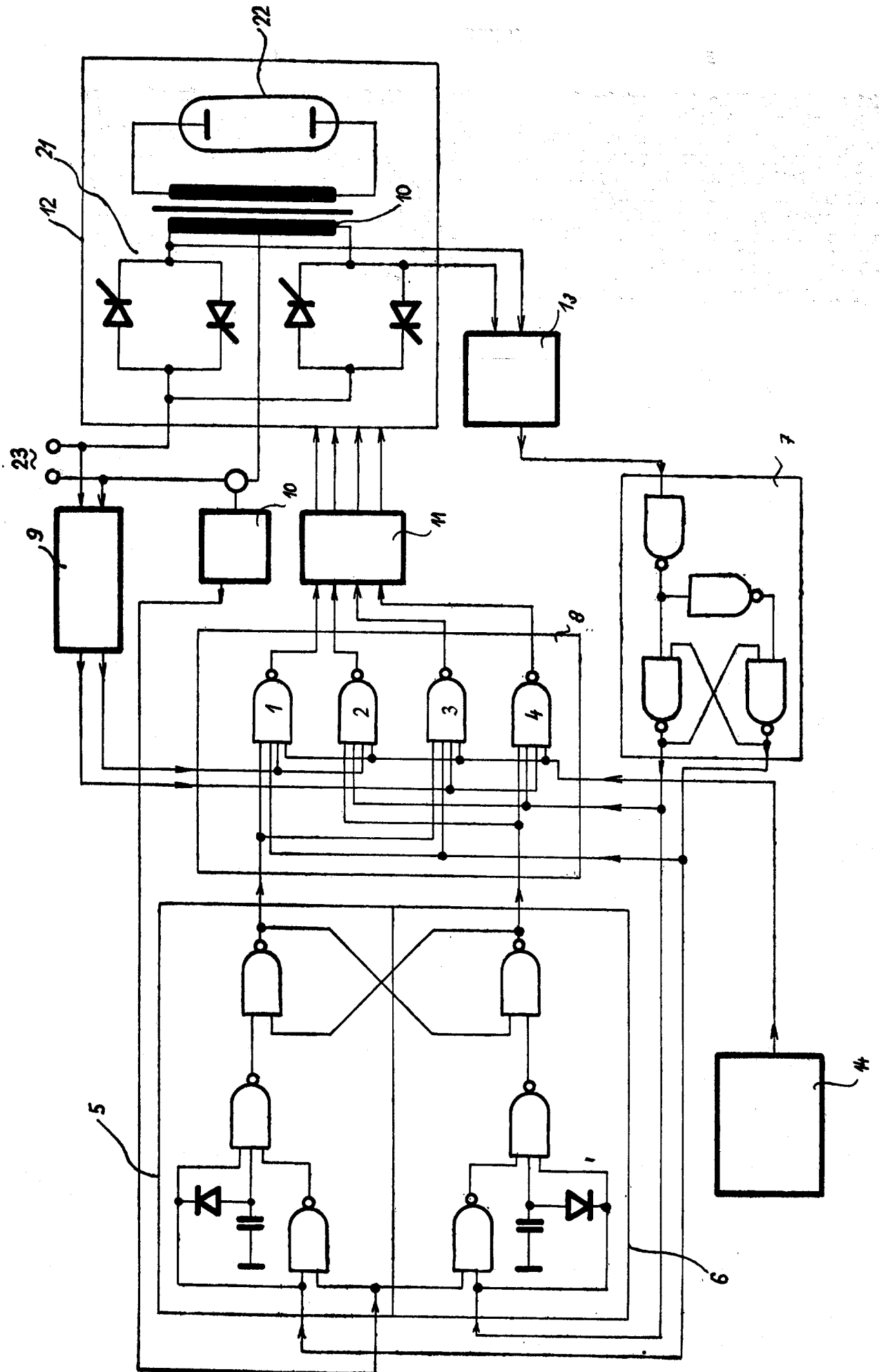
Zapojení logických obvodů tyristorového měniče frekvence, jehož základní částí tvoří tyristorový střídač spojený přes vysokonapětový transformátor s ozonizátorem, jehož silové přívodní svorky jsou spojeny se

synchronizační jednotkou a s čidlem nulového proudu, vstupy střídače se zapalovacím obvodem tyristorů, přičemž primární vinutí vysokonapětového transformátoru je spojeno s čidlem extrémního napětí, vyzna-

čující se tím, že čidlo (13) extrémního napětí je spojeno s R-S logickým obvodem (7) spojeným s výstupním logickým obvodem (8) a to prvním výstupem s prvními vstupy prvního a třetího hradla (1, 3) a přes první zpožďovací obvod (5) s druhými vstupy těchto hradel (1, 3) a svým druhým výstupem s prvními vstupy druhého a čtvrtého hradla (2, 4) a přes druhý zpožďovací obvod (6) s druhými vstupy těchto hradel (2, 4), přičemž třetí vstup prvního a druhého

hradla (1, 2) je spojen s prvním výstupem, a třetí vstup třetího a čtvrtého hradla (3, 4) s druhým výstupem synchronizační jednotky (9), zatímco čtvrté vstupy všech hradel (1, 2, 3, 4) jsou spojeny s výstupem vypínacího obvodu (14) a jejich výstupy se vstupy zapalovacího obvodu (11) tyristorů, přičemž oba druhé vstupy zpožďovacích obvodů (5, 6) jsou spojeny s čidlem (10) nulového proudu.

1 výkres



O P R A V A

**popisu vynálezu k autorskému osvědčení č. 196 865
(51) Int. Cl.³ — C 07 D 473/08**

V popisu vynálezu k autorskému osvědčení č. 196 865 má být v záhlaví
— autor vynálezu:

Místo: ... HOLÝ ANTON, RNDr. CSc., PRAHA ...

Správně: ... HOLÝ ANTONÍN, RNDr. CSc., PRAHA ...

ÚRAD PRO VYNÁLEZY A OBJEVY