

# 公告本

90年11月28日

修正頁

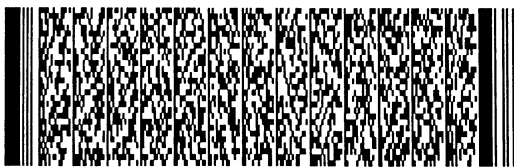
申請日期: 89. 1. 27	案號: 89101361	90. 11. 28	修正頁
類別: H01L 21/302, 21/31, 21/316, 21/324		年 月 日	補充頁

(以上各欄由本局填註)

## 發明專利說明書

479286

一、發明名稱	中文	層間絕緣膜之形成方法
	英文	METHOD FOR FORMING AN INTERLAYER INSULATING FILM
二、發明人	姓名 (中文)	1. 前田和夫
	姓名 (英文)	1.
	國籍	1. 日本
	住、居所	1. 東京都港區港南2丁目13番29號
三、申請人	姓名 (名稱) (中文)	1. 佳能販賣股份有限公司 2. 半導體工程研究所股份有限公司
	姓名 (名稱) (英文)	1. 2.
	國籍	1. 日本 2. 日本
	住、居所 (事務所)	1. 東京都港區三田3丁目11番28號 2. 東京都港區港南2丁目13番29號
	代表人姓名 (中文)	1. 村瀨治男 2. 前田和夫
	代表人姓名 (英文)	1. 2.



本案已向

國(地區)申請專利	申請日期	案號	主張優先權
日本 JP	1999/03/17	11-72241	有
日本 JP	2000/01/18	12-9418	有

有關微生物已寄存於

寄存日期

寄存號碼

無



## 五、發明說明 (1)

## 發明背景

本發明係有關於一種層間絕緣膜之形成方法，更特別地，是有關一種具有低介電常數之層間絕緣膜的形成方法，其對於高積集度的半導體裝置是必需的。近年來在高整合性半導體裝置上的進步，已導致在導線之間較窄的距離。因為導線之間較窄的距離會產生在導線之間電容的增加，因此對於可降低介電常數之層間絕緣膜的形成，就有其需求。

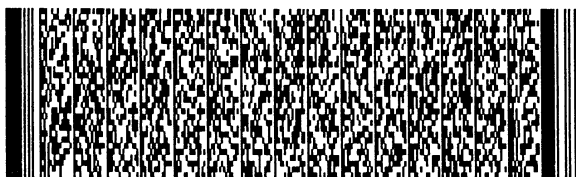
隨著近來在大規模積體電路(LSI)裝置之高整合性的進展，導線已經微小化以及多層化。在導線之間電容也是增加。這樣的電容增加，在操作的速度上產生很大的減低。因此，在這個顧慮上的改善已具有強大的需求。作為改善的措施，一種在導線之間降低電容的方法已被研究。此方法使用一層間絕緣膜，其具有低於目前使用作為層間絕緣膜的 $\text{SiO}_2$ 更低的介電常數。

目前所研究之典型低介電常數的層間絕緣膜是(1)一 $\text{SiOF}$ 膜，以及(2)一低介電常數的有機絕緣膜。現在說明這些膜。

(1) $\text{SiOF}$ 膜

$\text{SiOF}$ 膜是藉由使用含有F以及將 $\text{SiO}_2$ 中一部份Si-O鍵取代為Si-F鍵的原料氣體而形成。此 $\text{SiOF}$ 膜具有一相對的介電常數，其隨著F在膜中濃度的增加而單調地降低。

對於形成這樣的 $\text{SiOF}$ 膜，已有數種方法被報導(參見"半導體世界"月刊，1996二月號，頁82)。這些方法中，最



## 五、發明說明 (2)

有可能的是使用 $\text{SiH}_4$ 、 $\text{O}_2$ 、Ar 以及 $\text{SiF}_4$ 作為原料氣體，並藉由高密度電漿激發化氣相沈積法(HDPCVD法)而形成。藉由此方法所形成之 $\text{SiOF}$ 膜的相對介電常數，是在3.1到4.0的範圍內(根據膜中氟的濃度而改變)。這個值是低於 $\text{SiO}_2$ 的相對介電常數4.0，其已習知地使用於層間絕緣膜。

## (2) 低介電常數的有機絕緣膜

作為相較於 $\text{SiOF}$ 膜之低介電常數的絕緣膜(3.0或更低)，一種低介電常數的有機絕緣膜是目前注意的焦點。表1顯示一些已有報導之低介電常數的有機絕緣膜，以及個別的相對介電常數及其熱分解溫度。

表 1

有機絕緣膜	相對介電常數	熱分解溫度(°C)	備註
含氟樹脂	2.4	420	半導體世界月刊，1997 二月號，頁 82
Cytop	2.1	400	半導體世界月刊，1996 二月號，頁 90
非結晶 telon	1.9	400	半導體世界月刊，1996 二月號，頁 91

然而， $\text{SiOF}$ 膜是有缺點的，在於膜中氟濃度的增加，



## 五、發明說明 (3)

導致抵抗溼氣吸收的降低。抗溼氣吸收的降低會引起嚴重的問題，因為會影響電晶體的性質以及上層位障金屬層的黏附。

易於剝除可發生在低介電常數的有機絕緣膜，因為與矽晶圓或 $\text{SiO}_2$ 膜有差的黏附性。此外，有機絕緣膜是有缺點的，在於低的熱阻抗，因為熱分解溫度大約在 $400^\circ\text{C}$ 。低熱阻抗的缺點會引起晶圓在高溫退火的問題。

## 發明摘述

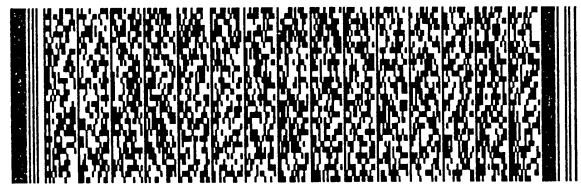
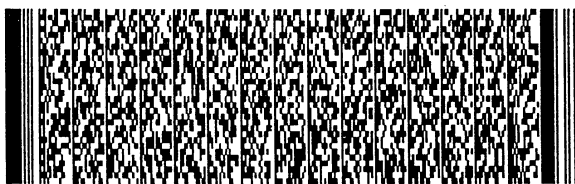
本發明之目的是提供一種低介電常數的層間絕緣膜之形成方法，其具有優良的抗溼氣吸收以及熱阻抗。本發明之另一目的是提供一種半導體裝置，其使用上述的方法。

根據本發明之層間絕緣膜的形成方法，首先，含有 $\text{H}_2\text{O}$ 、C或碳氫化合物的 $\text{SiO}_2$ 膜，在要形成的物體上形成。接著，使此 $\text{SiO}_2$ 膜進行電漿或真空退火。此真空退火是藉由在具有壓力設定等於0.1陶爾(Torr)或更低的真空中，加熱此要形成的物體而實施。如果壓力是0.1 Torr或更低，則小量的 $\text{N}_2$ 或Ar可包含於氣氛中。

然後，藉由退火，包含在 $\text{SiO}_2$ 膜中的氣體排放到膜的外部，並且 $\text{SiO}_2$ 膜變成有孔洞的 $\text{SiO}_2$ 膜。

藉由實驗，發明者證實有孔洞的 $\text{SiO}_2$ 膜之介電常數在2.0至3.0的範圍內。這個值是小於一般無孔洞性 $\text{SiO}_2$ 膜之4.0的介電常數。

因為有孔洞的 $\text{SiO}_2$ 膜是藉由一般的化學氣相沈積法而形成，因此提供較佳的熱阻抗。



## 五、發明說明(4)

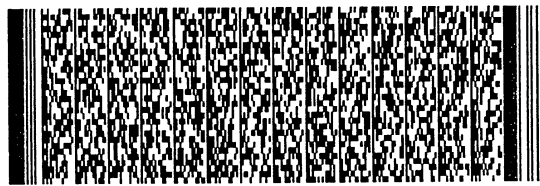
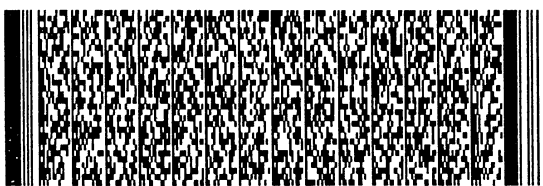
在有孔洞的 $\text{SiO}_2$ 膜形成之後，可藉由對 $\text{SiO}_2$ 膜實施H(氫)電漿處理，而使空的表面穩定。換言之，藉由將在空的表面中之懸浮的Si-O鍵取代成為Si-H鍵，就可避免水從空的表面流入。

接著，藉由在有孔洞的 $\text{SiO}_2$ 膜上形成一般的 $\text{SiO}_2$ 膜，而更可避免水的流入。

第二，根據本發明之層間絕緣膜的形成方法，第一膜是在要形成的物體(具有凹面及凸面)之凹面上形成。第一絕緣膜接著在第一膜上形成。第一絕緣膜具有低於第一膜的蝕刻率。然後，在第一絕緣膜中鑿孔，並經由此孔對第一膜進行選擇性蝕刻，以消除第一膜。然後，第二絕緣膜在第一絕緣膜上形成，以封閉在第一絕緣膜上形成的孔。

接著，在要形成的物體之凹面上以及第一和第二絕緣膜周圍環繞的部份變成孔洞。因此，具有孔洞的層間絕緣膜在要形成的物體上形成。此具有孔洞的層間絕緣膜之介電常數，是明顯地低於當沒有提供孔洞時的介電常數。藉由實驗，發明者證實具有孔洞的層間絕緣膜之介電常數是大約2.0。這個值是低於一般無孔洞性 $\text{SiO}_2$ 膜之4.0的介電常數。此外，因為孔洞是在要形成的物體及一般絕緣膜的周圍環繞，因此在孔洞中不會發生水的流入。換言之，上述的方法導致低介電常數的層間絕緣膜在要形成的物體上形成，其具有優良的抗溼氣吸收。

第三，根據本發明之層間絕緣膜的形成方法，第一膜是在要形成的物體上形成。然後，對於第一膜進行圖像蝕

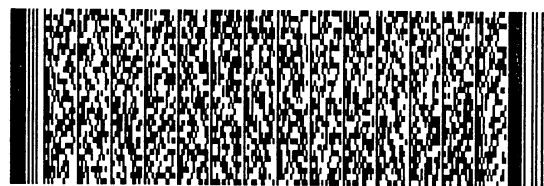
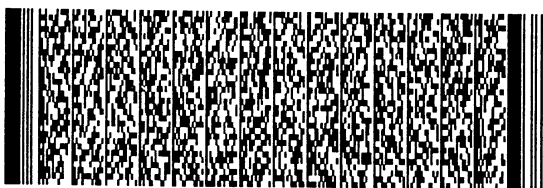


## 五、發明說明 (5)

刻，以形成到達此要形成的物體之嵌入式溝槽。接著，第一絕緣膜在第一膜上形成，在嵌入式溝槽的側邊及底邊。然後對第一絕緣膜進行非等方性的蝕刻，以消除在嵌入式溝槽底邊上所形成的第一絕緣膜，但卻留下在嵌入式溝槽側邊上所形成的第一絕緣膜。後續地，將銅箔膜埋置在此嵌入式溝槽中。在這個例子中，藉由先前在嵌入式溝槽側邊上所形成的第一絕緣膜，可避免第一膜中的成份分散到銅箔膜中。接著，一位障金屬膜在銅箔膜上形成。藉由此位障金屬膜，可避免形成於銅箔膜上的膜中之成份，分散到銅箔膜中。然後，第二絕緣膜在第一膜及位障金屬膜上形成，並且鑿孔。之後，經由此孔對第一膜進行選擇性蝕刻，以消除第一膜。因此，在第一膜所形成的部份變成孔洞。然後，第二絕緣膜在第一絕緣膜上形成以封閉此孔。此方法導致具有孔洞的層間絕緣膜，在要形成的物體上形成。

以上述方法形成之具有孔洞的層間絕緣膜之介電常數，是明顯地低於沒有孔洞的層間絕緣膜之介電常數。藉由實驗，發明者證實具有孔洞的層間絕緣膜之介電常數是大約2.0。這個值是低於一般無孔洞性 $\text{SiO}_2$ 膜之4.0的介電常數。此外，因為孔洞是在一般絕緣膜的周圍環繞，因此在孔洞中不會發生水的流入。換言之，上述的方法導致低介電常數的層間絕緣膜在要形成的物體上形成，其具有優良的抗溼氣吸收。

參考標號之說明



## 五、發明說明 (6)

101, 201, 301, 401, 501, 601: 矽基底; 102, 202, 302, 402, 502, 602: BPSG(硼磷矽玻璃)膜; 103, 203, 303, 403, 503, 603: 鋁線層; 104, 204, 304, 404, 504, 604: 要形成的物體; 105, 106, 107, 205, 206, 207, 305, 306, 307, 405, 406, 407, 506, 507, 605, 608, 612, 614: SiO<sub>2</sub>-膜; 503a: 凸面; 503b: 凹面; 505: 光阻; 506a: 孔; 606: 聚亞胺膜; 607: 嵌入式溝槽; 609: 接觸孔; 610: 銅箔膜; 611: 位障金屬TiN膜; 611a: 在嵌入式溝槽607上方的TiN膜; 613: 孔; 508, 615: 空腔。

## 圖示之簡單說明

第1A到1F圖係顯示根據本發明第一具體實施例所形成之層間絕緣膜的剖面圖;

第2A到2F圖係顯示根據本發明第二具體實施例所形成之層間絕緣膜的剖面圖;

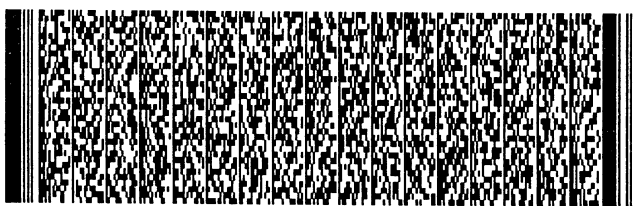
第3A到3F圖係顯示根據本發明第三具體實施例所形成之層間絕緣膜的剖面圖;

第4A到4F圖係顯示根據本發明第四具體實施例所形成之層間絕緣膜的剖面圖;

第5A到5H圖係顯示根據本發明第五具體實施例所形成之層間絕緣膜的剖面圖; 以及

第6A到6N圖係顯示根據本發明第六具體實施例所形成之層間絕緣膜的剖面圖。

較佳具體實施例之說明



## 五、發明說明 (7)

## (1) 第一具體實施例

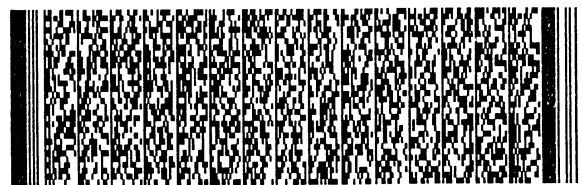
第1A到1F圖是顯示第一具體實施例的剖面圖。

首先，如第1A圖所顯示，BPSG(硼磷矽玻璃)膜102在矽基質101上形成。接著，在鋁膜於BPSG膜102上形成之後，對其進行圖像蝕刻，以形成一鋁線層103。矽基質101、BPSG膜102以及鋁線層103組成要形成的物體104。

然後，如第1B圖所顯示， $\text{SiO}_2$ 膜105在要形成的物體104上形成。此 $\text{SiO}_2$ 膜105是藉由使用 $\text{SiH}_4$ 及 $\text{N}_2\text{O}$ 作為原料氣體同時將矽基質101保持在 $400^\circ\text{C}$ ，並且藉由CVD法(化氣相沈積法)而形成。 $\text{SiO}_2$ 膜105可避免 $\text{H}_2\text{O}$ 分散到鋁線層103。

其後，如第1C圖所顯示， $\text{SiO}_2$ 膜106在 $\text{SiO}_2$ 膜105上形成。此 $\text{SiO}_2$ 膜106是藉由使用TEOS(四乙氧基矽烷)、 $\text{O}_2$ 以及小量的 $\text{H}_2\text{O}$ 作為原料氣體同時將矽基質101保持在 $100^\circ\text{C}$ ，施加具有13.56 MHz頻率的射頻(RF)功率，並在1 Torr的壓力下使用電漿激發化氣相沈積法而形成。此時原料氣體的流速，對TEOS、 $\text{O}_2$ 以及 $\text{H}_2\text{O}$ 分別是30~50 sccm、100~600 sccm以及50~60 sccm。在這個例子中，使用小量的 $\text{H}_2\text{O}$ 作為原料氣體，導致在 $\text{SiO}_2$ 膜106中OH基及少量 $\text{H}_2\text{O}$ 的流入。應注意的是，也使用TMS(三甲基矽烷)取代TEOS。TMS的流速是30~50 sccm。

然後，如第1D圖所顯示，對 $\text{SiO}_2$ 膜106在0.1 Torr的壓力下進行真空退火，同時將矽基質101保持在 $400^\circ\text{C}$ 。真空退火是定義為在減壓的氣氛中進行退火。在退火完成之後，包含在 $\text{SiO}_2$ 膜106中的OH基及 $\text{H}_2\text{O}$ 從膜中排放出來，並



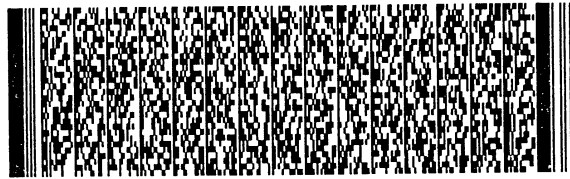
## 五、發明說明 (8)

且在此處形成許多空隙。

不但進行上述之真空退火，也對 $\text{SiO}_2$ 膜106進行電漿退火。電漿退火是定義為在電漿化的氣氛中進行退火。在本實施例中，RF功率藉由上電極(未顯示)以及下電極(未顯示)而施加至此氣氛，以便電漿化此氣氛。電漿退火方法的條件如下：將具有13.56 MHz頻率的RF功率及100瓦的功率施加至上電極，將具有400 kHz頻率的RF功率及400瓦的功率施加至下電極，壓力0.2 Torr，溫度400°C，退火時間60~120秒，以及包含在氣氛中的 $\text{O}_2$ 具有600 sccm的流速。

接著，如第1E圖所顯示，對 $\text{SiO}_2$ 膜106進行H(氫)電漿處理。H(氫)電漿是藉由上電極(未顯示)及下電極(未顯示)施加RF功率至含有氣氛的H(氫)而產生。在本實施例中，施加至上電極的RF功率具有13.56 MHz的頻率及50瓦的功率，以及施加至下電極的RF功率具有400 kHz的頻率及400瓦的功率。此外，含有氣氛的H之壓力是0.1~0.2 Torr，H的流速600 sccm，以及H電漿處理的時間是60秒。在經歷H電漿處理的期間，矽基質101的溫度維持在400°C。

此時，電漿H原子進入在 $\text{SiO}_2$ 膜106中形成的數個空隙，並且SiH鍵藉由其表面的H原子及Si原子，而在空隙的表面上形成。因此，空隙的表面是穩定的，並可減緩水流入 $\text{SiO}_2$ 膜106中，直到下一個步驟。另外，因為空隙內部充滿了 $\text{H}_2$ 分子，其不具有偶極矩，所以 $\text{SiO}_2$ 膜106的介電常



### 五、發明說明 (9)

數是3.0或更低。這個值是小於一般 $\text{SiO}_2$ 膜之4.0的介電常數。

在H(氫)電漿處理中，電漿H原子並沒有很深地進入在 $\text{SiO}_2$ 膜106下方所形成的 $\text{SiO}_2$ 膜105。因此，H原子可避免影響在 $\text{SiO}_2$ 膜105下方之要形成的物體104。

然後，如第1F圖所顯示， $\text{SiO}_2$ 膜107在 $\text{SiO}_2$ 膜106上形成。此 $\text{SiO}_2$ 膜107是藉由CVD法，其包含 $\text{SiH}_4$ 及 $\text{N}_2\text{O}$ 作為原料氣體，同時將矽基質101保持在 $400^\circ\text{C}$ 而形成。藉由 $\text{SiO}_2$ 膜107，可避免水流入到先前形成之具有孔洞的 $\text{SiO}_2$ 膜106，並且填充 $\text{SiO}_2$ 膜106的空隙內部之H原子，可避免從此膜排放出來。

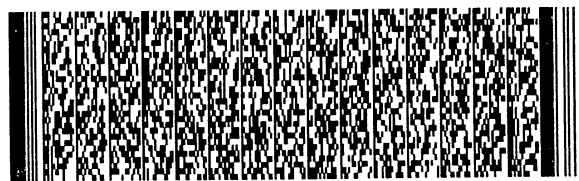
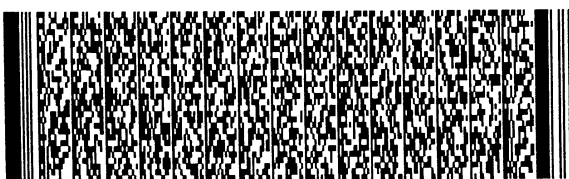
先前形成 $\text{SiO}_2$ 膜105、106及107的方法，導致低介電常數的層間絕緣膜，在要形成的物體104上形成。換言之，因為 $\text{SiO}_2$ 膜106具有孔洞性，並且空隙內部是以不具偶極矩的 $\text{H}_2$ 分子所充滿，所以其介電常數是小於一般 $\text{SiO}_2$ 膜之介電常數。另外， $\text{SiO}_2$ 膜107及105也分別在 $\text{SiO}_2$ 膜106的上方及下方形成。這些膜可避免水流入至具孔洞的 $\text{SiO}_2$ 膜106中，並且也避免空隙內部的 $\text{H}_2$ 分子從此膜排放出來。

### (2) 第二具體實施例

第2A到2F圖是顯示第二具體實施例的剖面圖。

第二具體實施例不同於第一具體實施例，在於使用 $\text{SiH}_4$ 作為原料氣體而非TEOS，以形成一孔洞性的 $\text{SiO}_2$ 膜。

首先，如第2A圖所顯示，BPSG(硼磷矽玻璃)膜202在



## 五、發明說明 (10)

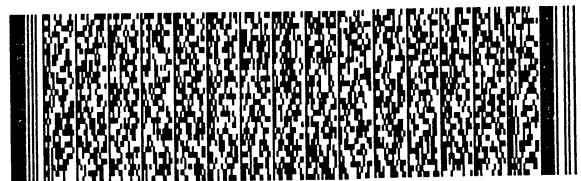
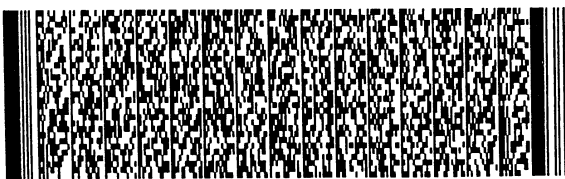
矽基質201上形成。接著，在鋁層於BPSG膜202上形成之後，對其進行圖像蝕刻，以形成一鋁線層203。矽基質201、BPSG膜202以及鋁線層203組成要形成的物體204。

然後，如第2B圖所顯示， $\text{SiO}_2$ 膜205在要形成的物體204上形成。此 $\text{SiO}_2$ 膜205是藉由CVD法，其使用 $\text{SiH}_4$ 及 $\text{N}_2\text{O}$ 作為原料氣體，同時將矽基質201保持在 $400^\circ\text{C}$ 而形成。 $\text{SiO}_2$ 膜205可避免 $\text{H}_2\text{O}$ 分散到鋁線層203。

其後，如第2C圖所顯示， $\text{SiO}_2$ 膜206在 $\text{SiO}_2$ 膜205上形成。此 $\text{SiO}_2$ 膜206是藉由CVD法，其使用 $\text{SiH}_4$ 、 $\text{O}_2$ 以及小量的 $\text{H}_2\text{O}$ 作為原料氣體，同時將矽基質201保持在 $100^\circ\text{C}$ ，在3 Torr的壓力下而形成。此時原料氣體的流速，對 $\text{SiH}_4$ 、 $\text{O}_2$ 、 $\text{H}_2\text{O}$ 以及Ar分別是30~50 sccm、90~100 sccm、30~50 sccm以及200~600 sccm。在這個例子中，使用小量的 $\text{H}_2\text{O}$ 作為原料氣體，導致在 $\text{SiO}_2$ 膜206中小量 $\text{H}_2\text{O}$ 的流入。

然後，如第2D圖所顯示，藉由將矽基質201保持在 $400^\circ\text{C}$ 以及0.1 Torr的壓力下，對 $\text{SiO}_2$ 膜206在進行真空退火。因此，包含在 $\text{SiO}_2$ 膜206中的 $\text{H}_2\text{O}$ 從膜中排放出來，並且在此處形成許多空隙。

不但進行真空退火，也對 $\text{SiO}_2$ 膜206進行電漿退火。在本實施例中，RF功率藉由上電極(未顯示)以及下電極(未顯示)而施加至此氣氛，以便電漿化此氣氛。電漿退火方法的條件如下：將具有13.56 MHz頻率的RF功率及100瓦的功率施加至上電極，將具有400 kHz頻率的RF功率及400瓦的功率施加至下電極，壓力0.2 Torr，溫度 $400^\circ\text{C}$ ，退



## 五、發明說明 (11)

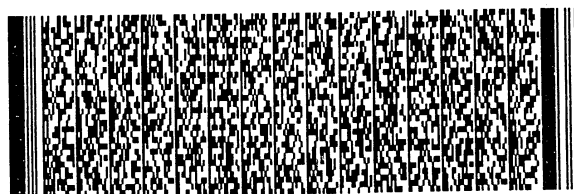
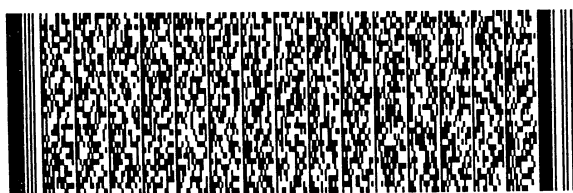
火時間60~120秒，以及包含在氣氛中的 $O_2$ 具有600 sccm的流速。

接著，如第2E圖所顯示，以相同於第一具體實施例的方法，對 $SiO_2$ 膜206進行H(氫)電漿處理。也就是，H(氫)電漿是藉由上電極(未顯示)及下電極(未顯示)施加RF功率至含有氣氛的H(氫)而產生。施加至上電極的RF功率具有13.56 MHz的頻率及50瓦的功率，以及施加至下電極的RF功率具有400 kHz的頻率及400瓦的功率。此外，含有氣氛的H之壓力是0.1~0.2 Torr，H的流速600 sccm，以及H電漿處理的時間是60秒。在經歷H電漿處理的期間，矽基質201的溫度維持在400°C。

此時，電漿H原子進入在 $SiO_2$ 膜206中形成的數個空隙。藉由在空隙表面上的H原子及Si原子，Si-H鍵在空隙的表面上形成。因此，空隙的表面是穩定的，並可減緩水流入 $SiO_2$ 膜206中，直到下一個步驟。另外，因為空隙內部充滿了不具偶極矩的 $H_2$ 分子，所以 $SiO_2$ 膜206的介電常數是在2.0到3.0的範圍內，這個值是小於一般 $SiO_2$ 膜之4.0的介電常數。

在H(氫)電漿處理中，電漿H原子並沒有很深地進入在 $SiO_2$ 膜206下方所形成的 $SiO_2$ 膜205。因此，H原子可避免影響在 $SiO_2$ 膜205下方之要形成的物體204。

然後，如第2F圖所顯示， $SiO_2$ 膜207在 $SiO_2$ 膜206上形成。此 $SiO_2$ 膜207是藉由CVD法，其包含 $SiH_4$ 及 $N_2O$ 作為原料氣體，同時將矽基質201保持在400°C而形成。藉由 $SiO_2$ 膜



## 五、發明說明 (12)

207，可避免水流入到先前形成之具有孔洞的 $\text{SiO}_2$ 膜206，並且填充 $\text{SiO}_2$ 膜206的空隙內部之 $\text{H}_2\text{O}$ 分子，可避免排放到膜的外部。

## (3) 第三具體實施例

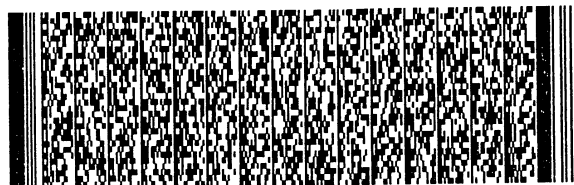
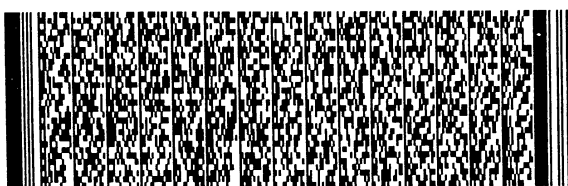
第3A到3F圖是顯示第三具體實施例的剖面圖。

第三具體實施例不同於第一及第二具體實施例，在於使用 $\text{B}_2\text{H}_6$ 作為原料氣體，以形成一孔洞性的絕緣-膜。

首先，如第3A圖所顯示，BPSG(硼磷矽玻璃)膜302在矽基質301上形成。接著，在鋁膜於其上形成之後，對其進行圖像蝕刻，以形成一鋁線層303。矽基質301、BPSG膜302以及鋁線層303組成要形成的物體304。

然後，如第3B圖所顯示， $\text{SiO}_2$ 膜305在要形成的物體304上形成。此 $\text{SiO}_2$ 膜305是藉由CVD法(化氣相沈積法)，其包含 $\text{SiH}_4$ 及 $\text{N}_2\text{O}$ 作為原料氣體，同時將矽基質301保持在 $400^\circ\text{C}$ 而形成。 $\text{SiO}_2$ 膜305可避免 $\text{H}_2\text{O}$ 分散到鋁線層303。

其後，如第3C圖所顯示，一含硼的 $\text{SiO}_2$ 膜306在 $\text{SiO}_2$ 膜305上形成。此 $\text{SiO}_2$ 膜306是藉由使用 $\text{SiH}_4$ 、 $\text{O}_2$ 以及 $\text{B}_2\text{H}_6$ 作為原料氣體，同時將矽基質301保持在 $100^\circ\text{C}$ ，施加具有13.56 MHz頻率的RF功率，並在1 Torr的壓力下使用電漿激發化氣相沈積法而形成。此時原料氣體的流速，對 $\text{SiH}_4$ 、 $\text{O}_2$ 以及 $\text{B}_2\text{H}_6$ 分別是30~50 sccm、120 sccm以及24~30 sccm。具有1000 sccm流速的 $\text{N}_2\text{O}$ 也可包含在原料氣體中。在膜305的形成期間，原料氣體中的 $\text{O}_2$ -以及包含在 $\text{SiH}_4$ 及 $\text{B}_2\text{H}_6$ 中的H，會產生 $\text{H}_2\text{O}$ 。因此，含硼的 $\text{SiO}_2$ 膜306包含小量



## 五、發明說明 (13)

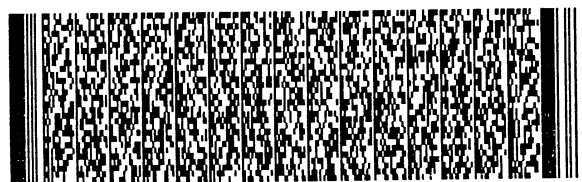
的 $H_2O$ 。

然後，如第3D圖所顯示，藉由將矽基質301保持在 $400^\circ C$ 以及 $0.1$  Torr的壓力下，對 $SiO_2$ 膜306在進行真空退火。因此，包含在 $SiO_2$ 膜306中的 $H_2O$ 及硼，從膜中排放出來，並且在此處形成許多空隙。

不但進行真空退火，也對 $SiO_2$ 膜306進行電漿退火。在本實施例中，RF功率藉由上電極(未顯示)以及下電極(未顯示)而施加至此氣氛，以便電漿化此氣氛。電漿退火方法的條件如下：將具有 $13.56$  MHz頻率的RF功率及 $100$ 瓦的功率施加至上電極，將具有 $400$  kHz頻率的RF功率及 $400$ 瓦的功率施加至下電極，壓力 $0.2$  Torr，溫度 $400^\circ C$ ，退火時間 $60\sim 120$ 秒，以及包含在氣氛中的 $O_2$ 具有 $600$  sccm的流速。

接著，如第3E圖所顯示，以相同於第一及第二具體實施例的方法，對 $SiO_2$ 膜306進行H(氫)電漿處理。也就是，H(氫)電漿是藉由上電極(未顯示)及下電極(未顯示)施加RF功率至含有氣氛的H(氫)而產生。施加至上電極的RF功率具有 $13.56$  MHz的頻率及 $50$ 瓦的功率，以及施加至下電極的RF功率具有 $400$  kHz的頻率及 $400$ 瓦的功率。此外，含有氣氛的H之壓力是 $0.1\sim 0.2$  Torr，H的流速 $600$  sccm，以及H電漿處理的時間是 $60$ 秒。在經歷H電漿處理的期間，矽基質301的溫度維持在 $400^\circ C$ 。

此時，電漿H原子進入在 $SiO_2$ 膜306中形成的數個空隙。藉由在空隙表面上的H原子及Si原子，Si-H鍵在空隙



## 五、發明說明 (14)

的表面上形成。因此，空隙的表面是穩定的，並可減緩水流入 $\text{SiO}_2$ 膜306中，直到下一個步驟。另外，因為空隙內部充滿了不具偶極矩的 $\text{H}_2$ 分子，所以 $\text{SiO}_2$ 膜306的介電常數是在2.0到3.0的範圍內，這個值是小於一般 $\text{SiO}_2$ 膜之4.0的介電常數。

然後，如第3F圖所顯示， $\text{SiO}_2$ 膜307在 $\text{SiO}_2$ 膜306上形成。此 $\text{SiO}_2$ 膜307是藉由CVD法，其包含 $\text{SiH}_4$ 及 $\text{N}_2\text{O}$ 作為原料氣體，同時將矽基質301保持在 $400^\circ\text{C}$ 而形成。藉由 $\text{SiO}_2$ 膜307，可避免水流入到先前形成之具有孔洞的 $\text{SiO}_2$ 膜306，並且填充 $\text{SiO}_2$ 膜305的空隙內部之 $\text{H}_2$ ，可避免排放到膜的外部。

先前形成 $\text{SiO}_2$ 膜305、306及307的方法，導致低介電常數的層間絕緣膜，在要形成的物體304上形成。換言之，因為 $\text{SiO}_2$ 膜306具有孔洞性，並且空隙內部是以不具偶極矩的 $\text{H}_2$ 分子所充滿，所以 $\text{SiO}_2$ 膜306的介電常數是小於一般 $\text{SiO}_2$ 膜之介電常數。另外， $\text{SiO}_2$ 膜307也在 $\text{SiO}_2$ 膜306上形成。因為此膜是一般的 $\text{SiO}_2$ 膜，因此可避免水流入至具孔洞的 $\text{SiO}_2$ 膜306中，並且也避免空隙內部的 $\text{H}_2$ 分子排放至此膜的外部。

## (4) 第四具體實施例

第4A到4F圖是顯示第四具體實施例的剖面圖。

第四具體實施例不同於第一到第三具體實施例，在於使用 $\text{C}_2\text{F}_6$ 作為原料氣體，以形成一孔洞性的 $\text{SiO}_2$ 膜。

首先，如第4A圖所顯示，BPSG(硼磷矽玻璃)膜402在



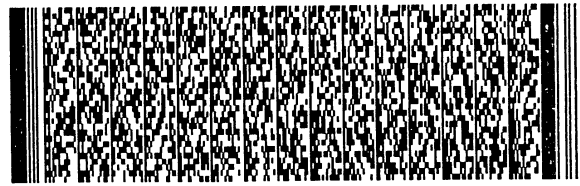
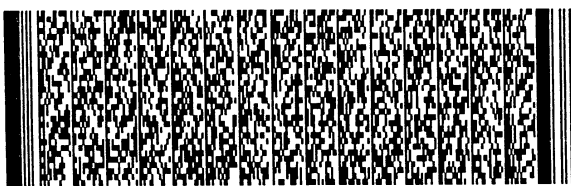
## 五、發明說明 (15)

矽基質401上形成。接著，在鋁膜於其上形成之後，對其進行圖像蝕刻，以形成一鋁線層403。矽基質401、BPSG膜402以及鋁線層403組成要形成的物體404。

然後，如第4B圖所顯示， $\text{SiO}_2$ 膜405在要形成的物體404上形成。此 $\text{SiO}_2$ 膜405是藉由CVD法(化氣相沈積法)，其包含 $\text{SiH}_4$ 及 $\text{N}_2\text{O}$ 作為原料氣體，同時將矽基質401保持在 $400^\circ\text{C}$ 而形成。 $\text{SiO}_2$ 膜405可避免 $\text{H}_2\text{O}$ 分散到鋁線層403。

其後，如第4C圖所顯示，一含氟的 $\text{SiO}_2$ 膜406(稍後將會是具有孔洞的絕緣膜)在 $\text{SiO}_2$ 膜405上形成。此 $\text{SiO}_2$ 膜406是藉由使用TEOS(四乙氧基矽烷)、 $\text{O}_2$ 以及 $\text{C}_2\text{F}_6$ 作為原料氣體，同時將矽基質401保持在 $100^\circ\text{C}$ ，施加具有13.56 MHz頻率的RF功率，並在1 Torr的壓力下使用電漿激發化氣相沈積法而形成。此時原料氣體的流速，對TEOS、 $\text{O}_2$ 以及 $\text{C}_2\text{F}_6$ 分別是30~50 sccm、600 sccm以及40~60 sccm。具有1000 sccm流速的 $\text{N}_2\text{O}$ 也可包含在原料氣體中。在膜406的形成期間，原料氣體中的 $\text{O}_2$ 以及包含在TEOS或 $\text{C}_2\text{F}_6$ 中的C，會產生碳氫化合物，並且原料氣體中的 $\text{O}_2$ 以及包含在TEOS中的H，會產生 $\text{H}_2\text{O}$ 。因此，含硼的 $\text{SiO}_2$ 膜406包含碳氫化合物及 $\text{H}_2\text{O}$ 。應注意的是，也使用TMS(三甲基矽烷)取代TEOS。TMS的流速是30~50 sccm。

然後，如第4D圖所顯示，藉由將矽基質401保持在 $400^\circ\text{C}$ 以及0.1 Torr的壓力下，對 $\text{SiO}_2$ 膜406在進行真空退火。因此，包含在 $\text{SiO}_2$ 膜406中的碳氫化合物及氟，從膜中排放出來，並且在此處形成許多空隙。



## 五、發明說明 (16)

不但進行真空退火，也對 $\text{SiO}_2$ 膜406進行電漿退火。在本實施例中，RF功率藉由上電極(未顯示)以及下電極(未顯示)而施加至此氣氛，以便電漿化此氣氛。電漿退火方法的條件如下：將具有13.56 MHz頻率的RF功率及100瓦的功率施加至上電極，將具有400 kHz頻率的RF功率及400瓦的功率施加至下電極，壓力0.2 Torr，溫度 $400^\circ\text{C}$ ，退火時間60~120秒，以及包含在氣氛中的 $\text{O}_2$ 具有600 sccm的流速。

接著，如第4E圖所顯示，以相同於第一至第三具體實施例的方法，對 $\text{SiO}_2$ 膜406進行H(氫)電漿處理。也就是，H(氫)電漿是藉由上電極(未顯示)及下電極(未顯示)施加RF功率至含有氣氛的H(氫)而產生。施加至上電極的RF功率具有13.56 MHz的頻率及50瓦的功率，以及施加至下電極的RF功率具有400 kHz的頻率及400瓦的功率。此外，含有氣氛的H之壓力是0.1~0.2 Torr，H的流速600 sccm，以及H電漿處理的時間是60秒。在經歷H電漿處理的期間，矽基質401的溫度維持在 $400^\circ\text{C}$ 。

此時，電漿H原子進入在 $\text{SiO}_2$ 膜406中形成的大量空隙。藉由在空隙表面上的H原子及Si原子，Si-H鍵在空隙的表面上形成。因此，空隙的表面是穩定的，並可減緩水流入 $\text{SiO}_2$ 膜406中，直到下一個步驟。另外，因為空隙內部充滿了不具偶極矩的 $\text{H}_2$ 分子，所以 $\text{SiO}_2$ 膜406的介電常數是在2.0到3.0的範圍內，這個值是小於一般 $\text{SiO}_2$ 膜之4.0的介電常數。



## 五、發明說明 (17)

在H(氫)電漿處理中，電漿H原子並沒有很深地進入在SiO<sub>2</sub>膜406下方所形成的SiO<sub>2</sub>膜405。因此，H原子可避免影響在SiO<sub>2</sub>膜405下方之要形成的物體404。

然後，如第4F圖所顯示，SiO<sub>2</sub>膜407在SiO<sub>2</sub>膜406上形成。此SiO<sub>2</sub>膜407是藉由CVD法，其包含SiH<sub>4</sub>及N<sub>2</sub>O作為原料氣體，同時將矽基質401保持在400℃而形成。藉由SiO<sub>2</sub>膜407，可避免水流入到先前形成之具有孔洞的SiO<sub>2</sub>膜406，並且填充SiO<sub>2</sub>膜406的空隙內部之H<sub>2</sub>分子，可避免排放到膜的外部。

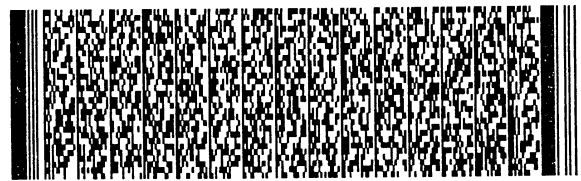
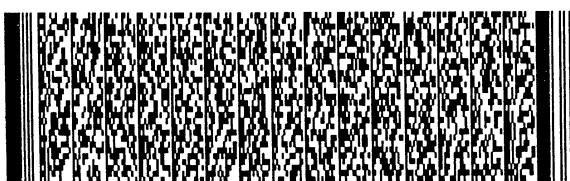
先前形成SiO<sub>2</sub>膜405、406及407的方法，導致低介電常數的層間絕緣膜，在要形成的物體404上形成。換言之，因為SiO<sub>2</sub>膜406具有孔洞性，並且空隙內部是以不具偶極矩的H<sub>2</sub>分子所充滿，所以SiO<sub>2</sub>膜406的介電常數是小於一般SiO<sub>2</sub>膜之介電常數。另外，一般的SiO<sub>2</sub>膜405及407也在SiO<sub>2</sub>膜406的下方及上方形成。藉由這些膜，可避免水流入至具孔洞的SiO<sub>2</sub>膜406中，並且也避免空隙內部的H<sub>2</sub>分子排放至此膜的外部。

## (5) 第五具體實施例

第5A到5H圖是顯示第五具體實施例的剖面圖。

根據第五具體實施例，一光阻埋置在要形成的物體中，並且藉由對其進行去灰(ashing)，而在層間絕緣膜中形成孔洞。

首先，如第5A圖所顯示，BPSG(硼磷矽玻璃)膜502在矽基質501上形成。接著，在鋁膜於其上形成之後，對其



## 五、發明說明 (18)

進行圖像蝕刻，以形成一鋁線層503。矽基質501、BPSG膜502以及鋁線層503組成要形成的物體504。

然後，如第5B圖所顯示，一光阻505覆蓋在要形成的物體504上，以便覆蓋線層的凸面503a。覆蓋線層凸面503a的光阻稍後將會被消除。因此，光阻505應覆蓋至具有易於消除的厚度。

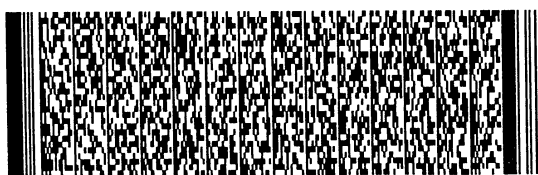
然後，如第5C圖所顯示，均勻地以離子強度的紫外光照射光阻505。關於此時要照射的紫外光，應使用具有低強度的紫外光，其只會使得覆蓋線層凸面503a的光阻被消除，但不使得在線層凹面503b中的光阻在以下的步驟被消除。

其後，如第5D圖所顯示，顯影並消除覆蓋線層凸面503a的光阻。

然後，如第5E圖所顯示，藉由電漿激發化氣相沈積法(HDPCVD法)， $\text{SiO}_2$ 膜506在線層凸面的503a以及剩下的光阻505上形成。因此，光阻505是侷限在線層的凹面503b以及 $\text{SiO}_2$ 膜506之間。

然後，如第5F圖所顯示，一孔506a在 $\text{SiO}_2$ 膜506中形成(506是在剩下的光阻505上形成)。此孔506a稍後將使用於侷限的光阻505之去灰。去灰之後，此孔將藉由另外的 $\text{SiO}_2$ 膜而封閉。因此，孔的直徑應設定成小到足以用於稍後的封閉。

其後，如第5G圖所顯示，藉由O電漿及經由孔506a，對侷限在線層的凹面503b以及 $\text{SiO}_2$ 膜506之間的光阻進行



## 五、發明說明 (19)

去灰。

然後，如第5H圖所顯示，具有膜厚度300 nm的 $\text{SiO}_2$ 膜507，藉由電漿激發化氣相沈積法，而在 $\text{SiO}_2$ 膜506上形成。因此，封閉了孔506a，並且空腔508在線層凹面503b以及 $\text{SiO}_2$ 膜506和507所環繞的區域內形成。

先前的方法導致具有空腔之 $\text{SiO}_2$ 的層間絕緣膜，在要形成的物體504上形成。此層間絕緣膜具有小於一般 $\text{SiO}_2$ 膜之層間絕緣膜的介電常數。換言之，因為空腔部份的介電常數小於 $\text{SiO}_2$ 的介電常數，因此整個膜的介電常數是大約2.0，其小於無空腔之4.0的介電常數。

## (6) 第六具體實施例

第6A到6N圖是顯示第六具體實施例的剖面圖。第六具體實施例是將第五具體實施例應用至嵌入式方法的例子。

首先，如第6A圖所顯示，BPSG(硼磷矽玻璃)膜602在矽基質601上形成。接著，在鋁層於其上形成之後，對其進行圖像蝕刻，以形成一鋁線層603。應注意的是，在圖示中的鋁線層603並沒有合宜地圖像蝕刻。矽基質601、BPSG膜602以及鋁線層603組成要形成的物體604。

然後，如第6B圖所顯示，具有膜厚度50 nm的 $\text{SiO}_2$ 膜605，藉由化氣相沈積法，而在鋁線層603上形成。

其後，如第6C圖所顯示，具有膜厚度500 nm的聚亞胺膜606，在 $\text{SiO}_2$ 膜605上形成。聚亞胺膜606稍後將進行去灰，如同第五實施例中的例子一樣，並且用於在一絕緣膜中形成空腔。



## 五、發明說明 (20)

然後，如第6D圖所顯示，對 $\text{SiO}_2$ 膜605以及聚亞胺膜606進行圖像蝕刻，以形成到達鋁線層603的嵌入式溝槽607。

其後，如第6E圖所顯示，具有膜厚度100 nm的 $\text{SiO}_2$ 膜608，藉由電漿激發化氣相沈積法，在聚亞胺膜606上形成。在這個例子中， $\text{SiO}_2$ 膜608也在嵌入式溝槽607的側邊及底邊形成。

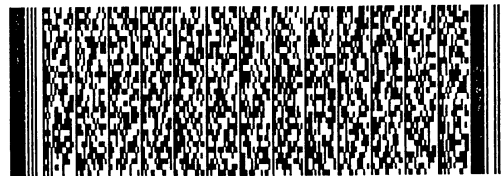
然後，如第6F圖所顯示，對 $\text{SiO}_2$ 膜608進行非等方性的蝕刻。因此，消除在嵌入式溝槽607的底邊所形成的 $\text{SiO}_2$ 膜608，並且形成一到達鋁線層603的接觸孔609。在這個例子中，留下在嵌入式溝槽607的側邊所形成的 $\text{SiO}_2$ 膜608，而沒有被消除。

然後，如第6G圖所顯示，銅箔膜610在 $\text{SiO}_2$ 膜608上以及嵌入式溝槽607中形成。在嵌入式溝槽607中的銅箔膜是使用作為銅導線。

然後，如第6H圖所顯示，銅箔膜610藉由化學機械研磨法(CMP)而研磨，並且消除在 $\text{SiO}_2$ 膜608上形成之過多的銅。因此，銅僅留在嵌入式溝槽607中。

然後，如第6I圖所顯示，一位障金屬TiN膜611在嵌入式溝槽607上方形成。因此，可避免在嵌入式溝槽607中的銅，分散至稍後形成於嵌入式溝槽607上方的 $\text{SiO}_2$ 膜。

其後，如第6J圖所顯示，進行圖像蝕刻，以留下形成於嵌入式溝槽607上方的TiN膜611a，並且在其他部份中的TiN膜611被蝕刻而消除。



## 五、發明說明 (21)

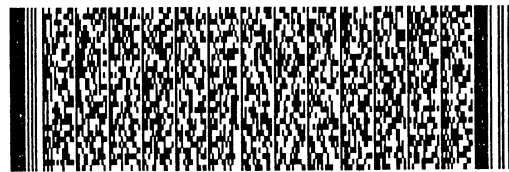
然後，如第6K圖所顯示，具有膜厚度100 nm的SiO<sub>2</sub>膜612，藉由電漿激發化氣相沈積法，在SiO<sub>2</sub>膜608及TiN膜611a上形成。

然後，如第6L圖所顯示，對於其上形成的SiO<sub>2</sub>膜608及SiO<sub>2</sub>膜612進行圖像蝕刻，以鑿出孔613，其用於將聚亞胺膜606去灰。因此，孔613應在不同於嵌入式溝槽607上方部份的區域中形成，也就是，在聚亞胺膜606留下來的區域，並且孔的直徑應設定成小到足以用於稍後的封閉。

其後，如第6M圖所顯示，藉由O電漿並經由孔613，而對聚亞胺膜606進行去灰。

然後，如第6N圖所顯示，具有膜厚度400 nm的SiO<sub>2</sub>膜614，藉由電漿激發化氣相沈積法，在SiO<sub>2</sub>膜612上形成。此SiO<sub>2</sub>膜614是用於封閉孔613。因此，空腔615在SiO<sub>2</sub>膜605、608和614所環繞的區域中形成。

先前的方法導致具有空腔之SiO<sub>2</sub>的層間絕緣膜，在要形成的物體604上形成。此層間絕緣膜具有小於一般SiO<sub>2</sub>膜之層間絕緣膜的介電常數。換言之，因為空腔部份的介電常數小於SiO<sub>2</sub>的介電常數，因此整個膜的介電常數是大約2.0，其小於無空腔之4.0的介電常數。



四、中文發明摘要 (發明之名稱：層間絕緣膜之形成方法)

本發明揭露一種用於層間絕緣膜之形成方法。此方法包括下列步驟：在要形成的物體上形成第一絕緣膜，此膜含有一種至少選擇自H<sub>2</sub>O、C以及碳氫化合物的物質；藉由對第一絕緣膜進行熱處理，而形成具有孔洞性的第一絕緣膜，以從其中排出H<sub>2</sub>O、C或碳氫化合物；以及在具有孔洞性的第一絕緣膜上形成第二絕緣膜。

英文發明摘要 (發明之名稱：METHOD FOR FORMING AN INTERLAYER INSULATING FILM)

A method for forming an interlayer insulating film is disclosed. This method comprises the steps of: forming a first insulating film on an object to be formed, the film containing one selected from at least H<sub>2</sub>O, C and a hydrocarbon; forming a first insulating film having porosity by performing heat treatment for the first insulating film to discharge H<sub>2</sub>O, C or hydrocarbon therefrom; and forming a second insulating film on the first insulating film having porosity.



六、申請專利範圍

1. 一種用於層間絕緣膜之形成方法，包括下列步驟：  
 在要形成的物體上形成第一絕緣膜，該膜含有一種至少選擇自 $H_2O$ 、C以及碳氫化合物的物質；  
 藉由對該第一絕緣膜進行熱處理，而形成具有孔洞性的第一絕緣膜，以從其中排出一種選擇自 $H_2O$ 、C以及碳氫化合物的物質；以及  
 在該具有孔洞性的第一絕緣膜上形成第二絕緣膜。
2. 如申請專利範圍第1項所述之方法，其中該熱處理是藉由電漿退火而進行。
3. 如申請專利範圍第1項所述之方法，其中該熱處理是藉由真空退火而進行。
4. 如申請專利範圍第1至3項中任一項所述之方法，其中該第一絕緣膜是藉由電漿激發化氣相沈積法而形成，其使用含矽的有機化合物氣體、 $O_2$ 以及 $H_2O$ 作為原料氣體。
5. 如申請專利範圍第1至3項中任一項所述之方法，其中該第一絕緣膜是藉由電漿激發化氣相沈積法而形成，其使用含矽的有機化合物氣體、 $O_2$ 以及含CF的氣體作為原料氣體。
6. 如申請專利範圍第4項所述之方法，其中該含矽的有機化合物氣體是一種擇自TEOS及TMS的氣體。
7. 如申請專利範圍第5項所述之方法，其中該含矽的有機化合物氣體是TEOS，以及該含CF的氣體是 $C_2F_6$ 。
8. 如申請專利範圍第1至3項中任一項所述之方法，其中該第一絕緣膜是藉由電漿激發化氣相沈積法而形成，其使用含 $SiH_4$ 的氣體、 $O_2$ 以及 $H_2O$ 作為原料氣體。



80年11月28日修正  
 補充案號

89101361

年 月 日

修正

#### 六、申請專利範圍

9. 如申請專利範圍第1至3項中任一項所述之方法，其中該第一絕緣膜是藉由電漿激發化氣相沈積法而形成，其使用含 $\text{SiH}_4$ 的氣體、 $\text{O}_2$ 以及含硼的氣體作為原料氣體。

10. 如申請專利範圍第8項所述之方法，其中該含 $\text{SiH}_4$ 的氣體是一種擇自 $\text{SiH}_4$ 及 $\text{SiH}_3(\text{CH}_3)$ 的氣體。

11. 如申請專利範圍第9項所述之方法，其中該含 $\text{SiH}_4$ 的氣體是一種擇自 $\text{SiH}_4$ 及 $\text{SiH}_3(\text{CH}_3)$ 的氣體，以及該含硼的氣體是 $\text{B}_2\text{H}_6$ 。

12. 如申請專利範圍第1項所述之方法，其中在該具有孔洞性的第一絕緣膜形成之後，對其進行H(氫)電漿處理。

13. 一種用於層間絕緣膜之形成方法，包括下列步驟：

在具有凹面及凸面之要形成的物體上形成一膜，提供該膜用以形成空腔；

在該要形成的物體上之凹面內，留下用以形成空腔的該膜；

在用以形成空腔的該膜上，形成第一絕緣膜，該絕緣膜具有一低於用以形成空腔的該膜之蝕刻率；

在該第一絕緣膜中鑿孔；

經由該孔，藉由選擇性地蝕刻用以形成空腔的該膜，而使該要形成空腔的物體製造凹面；以及

在該第一絕緣膜上形成第二絕緣膜，以封閉該孔洞。

14. 一種用於層間絕緣膜之形成方法，包括下列步驟：



六、申請專利範圍

在一要形成的物體上形成一膜，提供該膜用以形成空腔；

對該用以形成空腔之膜進行圖像蝕刻，以形成一到達該要形成的物體之嵌入式溝槽；

在該用以形成空腔之膜上、該嵌入式溝槽的側部及底部上，形成第一絕緣膜；

對該第一絕緣膜進行非等方性蝕刻，以消除該嵌入式溝槽底部上所形成的第一絕緣膜，但留下該嵌入式溝槽側部上所形成的第一絕緣膜；

在該嵌入式溝槽中埋置一銅箔膜；

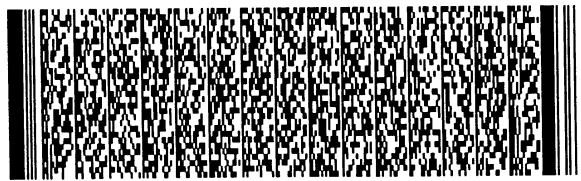
在該銅箔膜上形成一位障金屬膜；

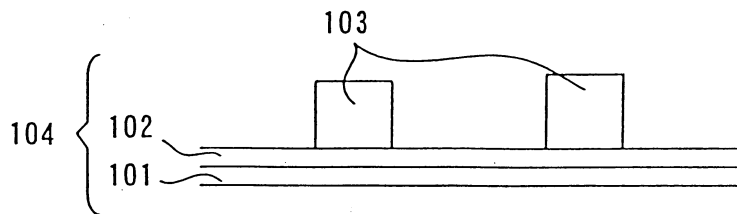
在該用以形成空腔之膜上方以及該位障金屬膜上，形成第二絕緣膜；

在該第二絕緣膜中鑿孔；

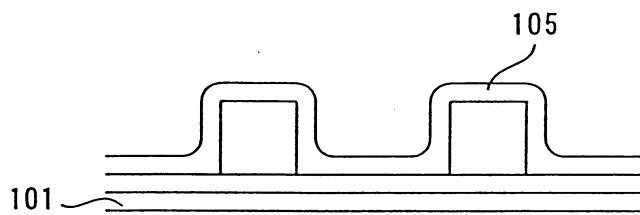
經由該孔，藉由對該用以形成空腔之膜進行選擇性蝕刻，以消除用以形成空腔之膜，使得用以形成空腔之膜形成空腔；

在該第二絕緣膜上形成第三絕緣膜，以封閉該孔。

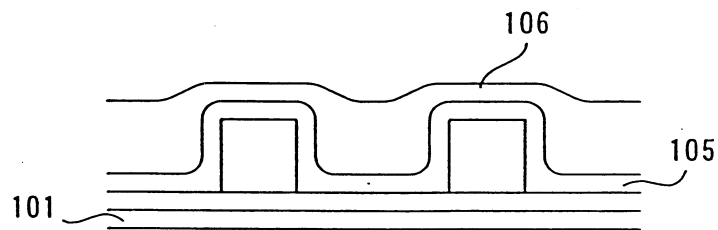




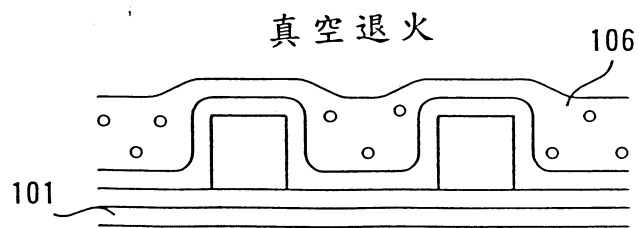
第 1A 圖



第 1B 圖



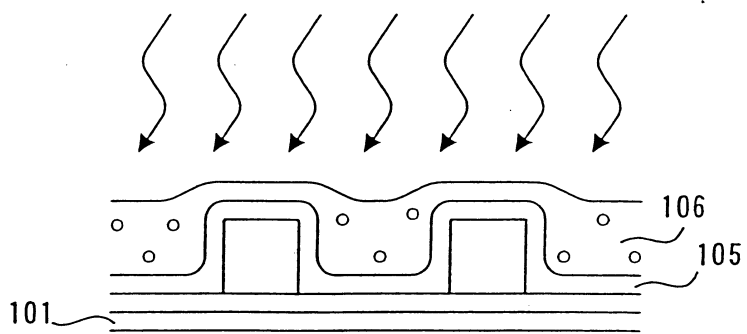
第 1C 圖



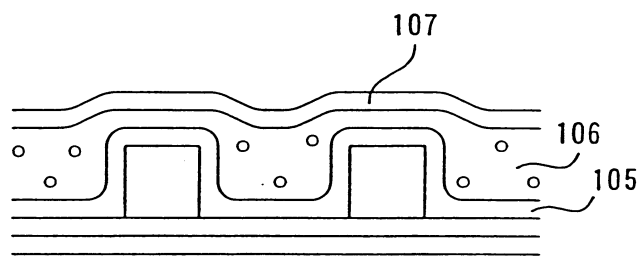
第 1D 圖

真空退火

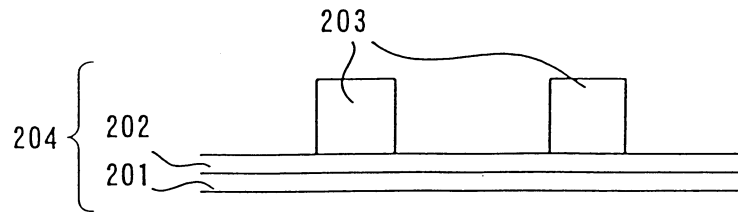
H 電漿處理



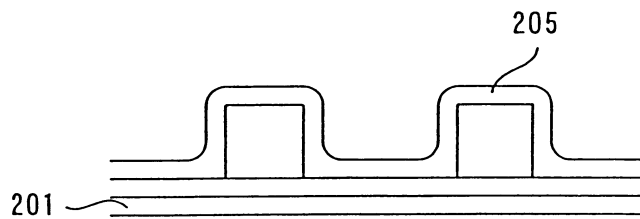
第 1E 圖



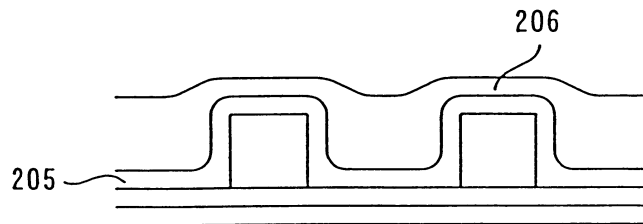
第 1F 圖



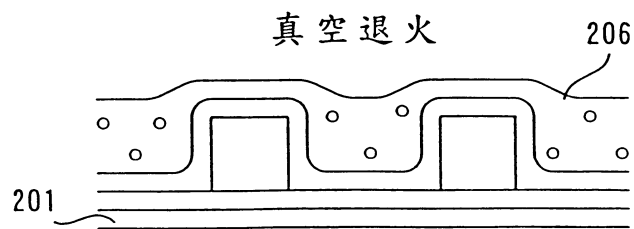
第 2A 圖



第 2B 圖

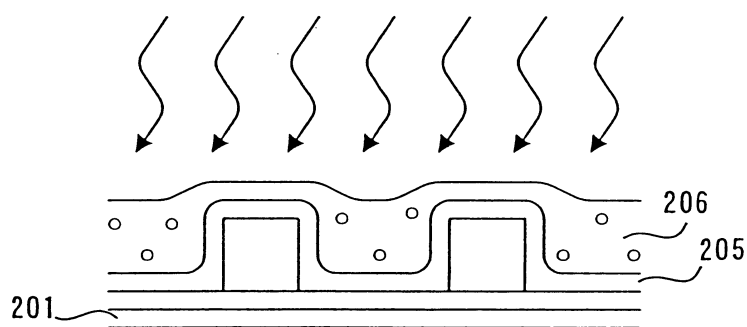


第 2C 圖

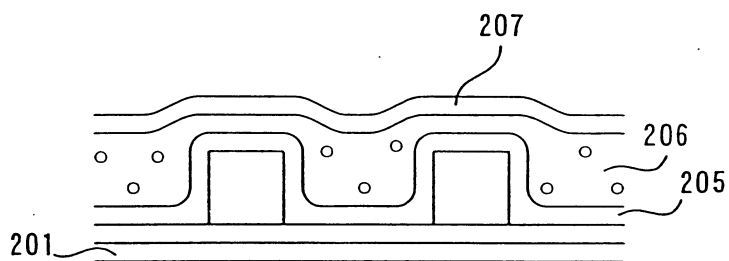


第 2D 圖

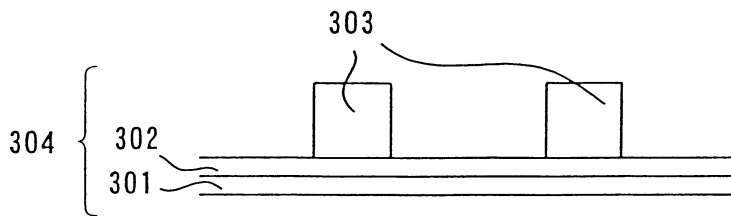
H 電漿處理



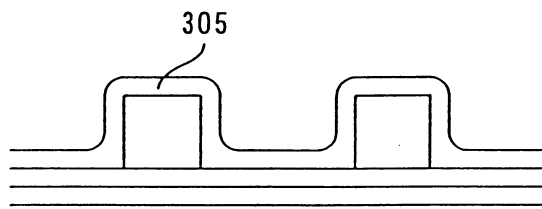
第 2E 圖



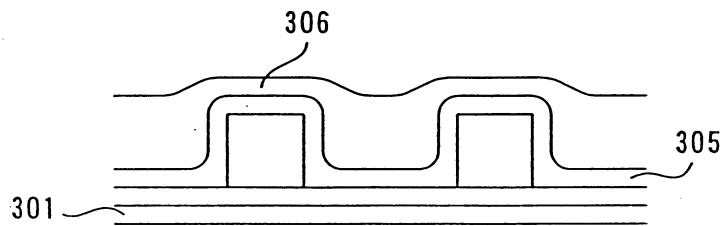
第 2F 圖



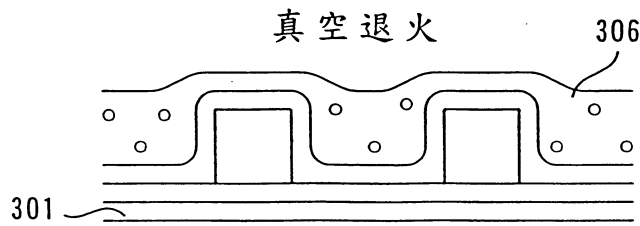
第3A圖



第3B圖



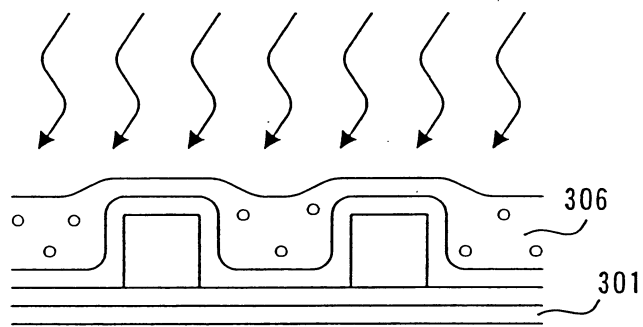
第3C圖



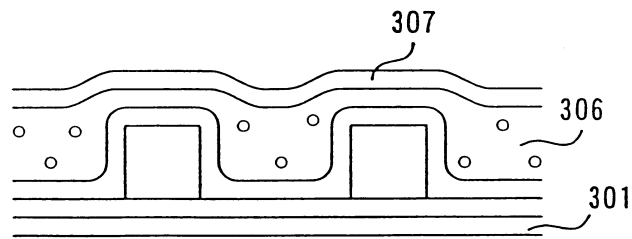
第3D圖

真空退火

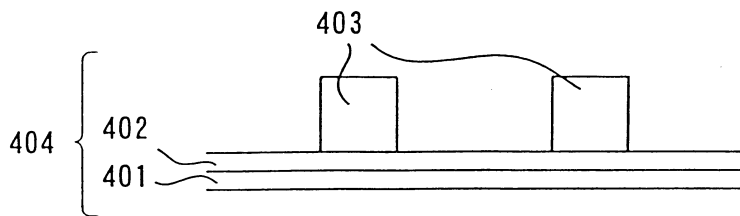
H 電漿處理



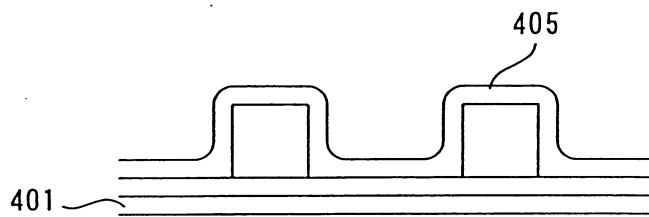
第 3E 圖



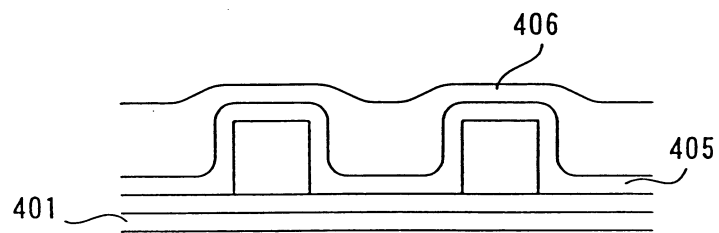
第 3F 圖



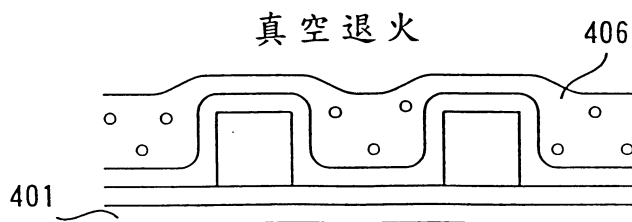
第4A圖



第4B圖



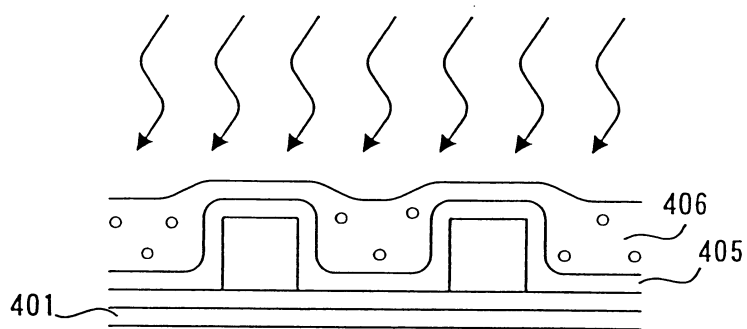
第4C圖



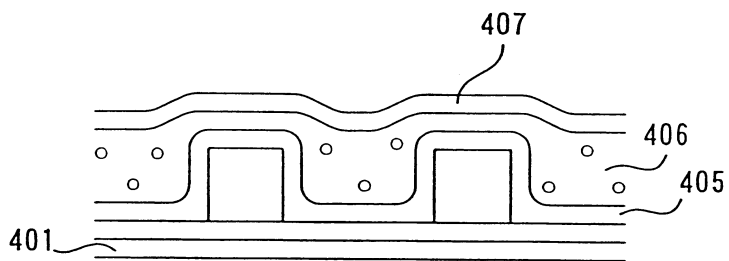
第4D圖

真空退火

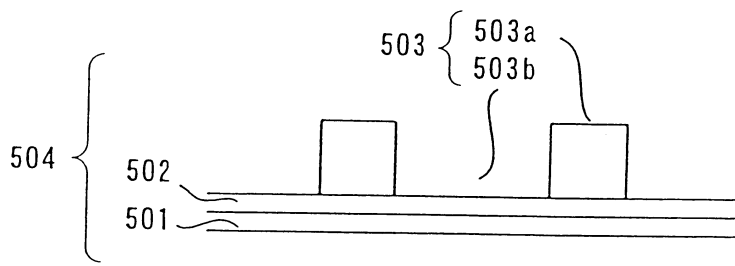
H 電漿處理



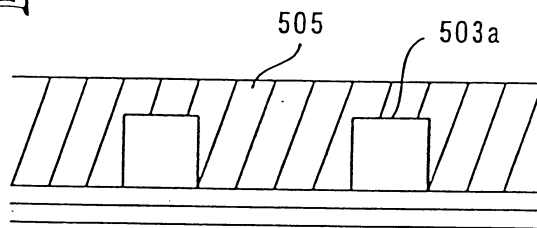
第 4E 圖



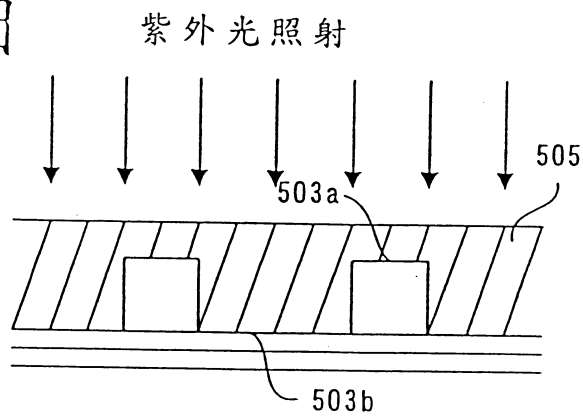
第 4F 圖



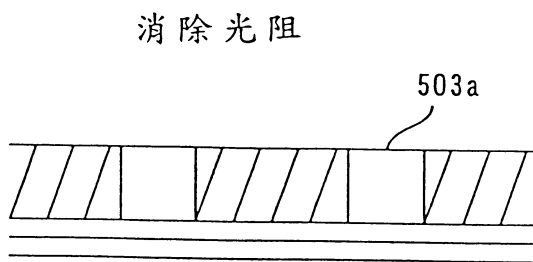
第5A圖



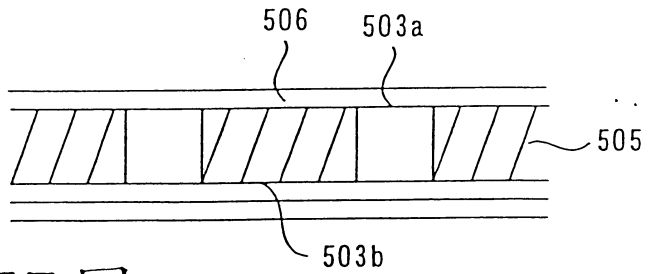
第5B圖



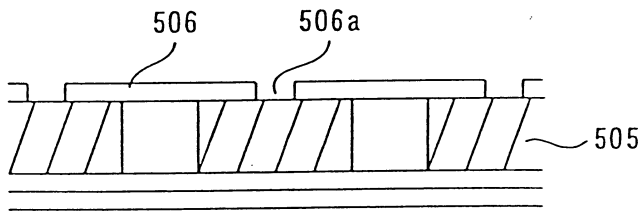
第5C圖



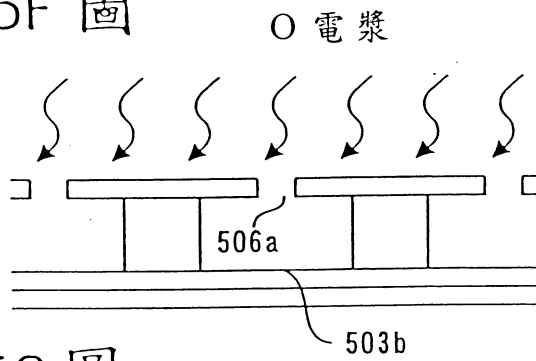
第5D圖



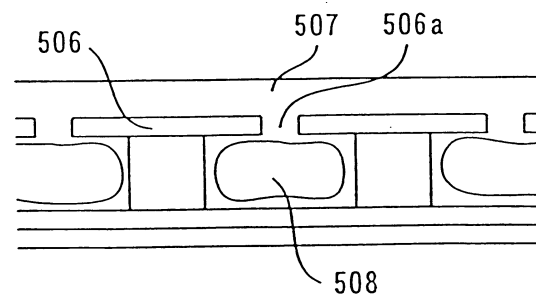
第 5E 圖



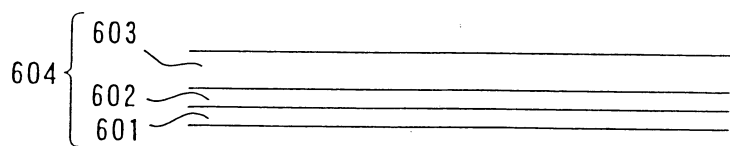
第 5F 圖



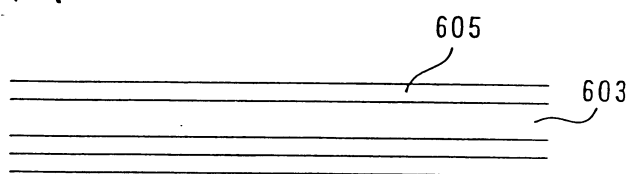
第 5G 圖



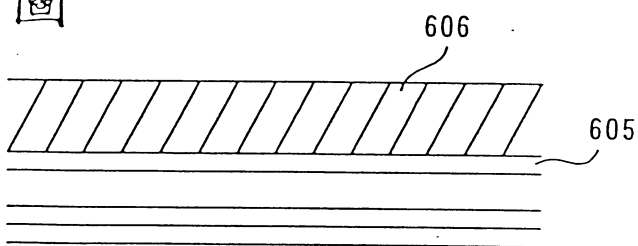
第 5H 圖



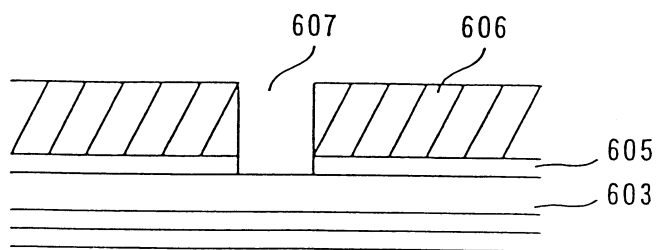
第 6A 圖



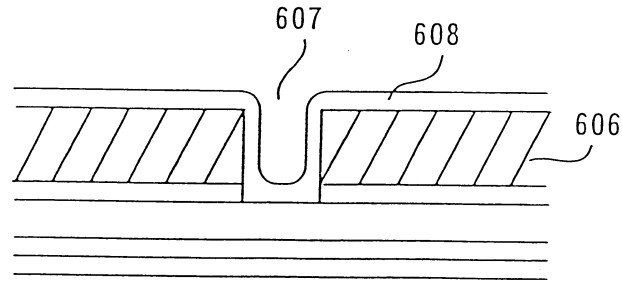
第 6B 圖



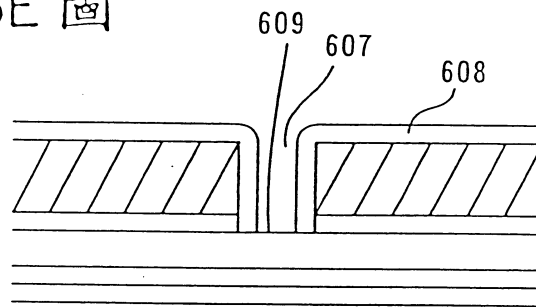
第 6C 圖



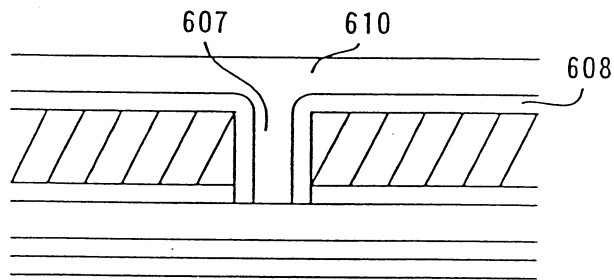
第 6D 圖



第 6E 圖

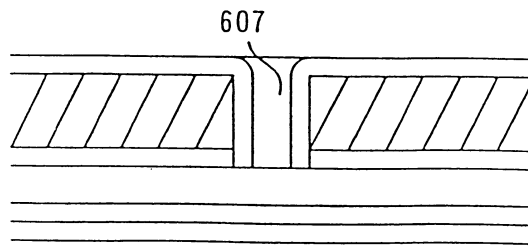


第 6F 圖

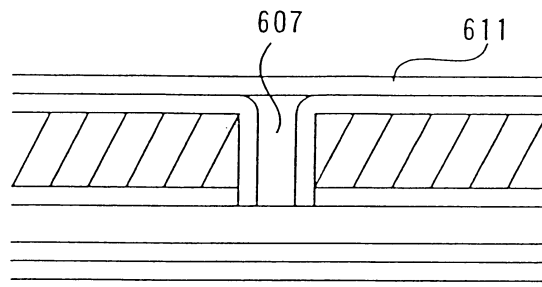


第 6G 圖

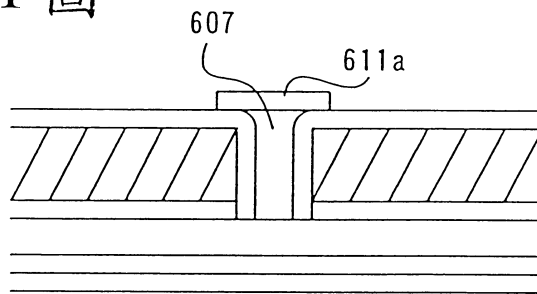
藉由 CMP 法研磨



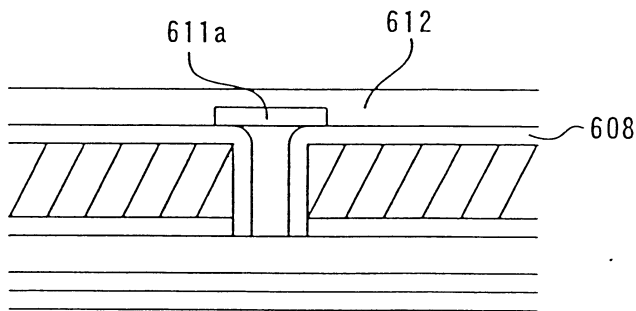
第 6H 圖



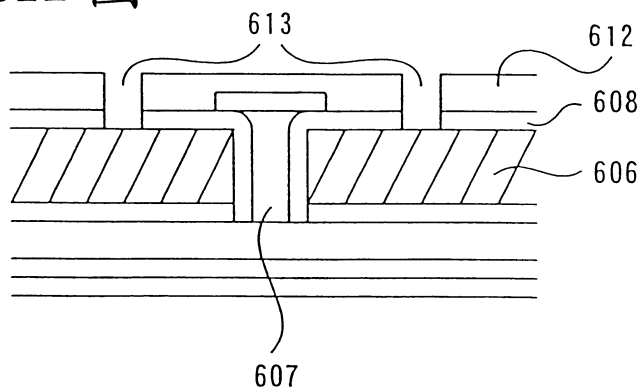
第 6I 圖



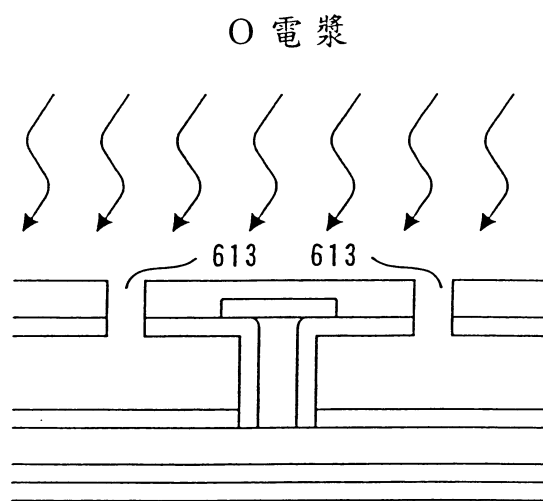
第 6J 圖



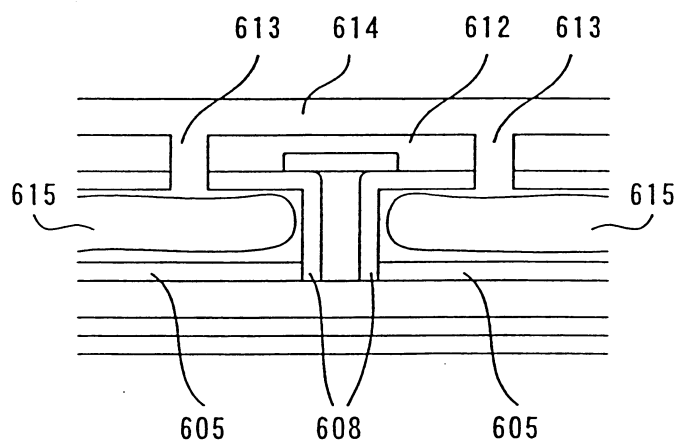
第 6K 圖



第 6L 圖



第 6M 圖



第 6N 圖