201714314

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 201714314 A

(43)公開日： 中華民國 106 (2017) 年 04 月 16 日

(21)申請案號：105119970 (22)申請日： 中華民國 103 (2014) 年 11 月 12 日

(51)Int. Cl.： *H01L29/788 (2006.01)* *H01L21/28 (2006.01)*

(30)優先權：2013/12/16 美國 14/108,265

(71)申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)
美國

(72)發明人：史泰格渥德 約瑟夫 STEIGERWALD, JOSEPH M. (US)；甘尼 塔何 GHANI, TAHIR (US)；胡瑞珍 HU, JENNY (US)；波斯特 伊恩 POST, IAN R. (US)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：23 項 圖式數：12 共 57 頁

(54)名稱

用於積體電路之元件和方法、以及計算裝置

APPARATUS AND METHOD FOR INTEGRATED CIRCUITS, AND COMPUTING DEVICE

(57)摘要

本發明之實施例描述多臨限電壓裝置及相關的技術和組態。於一實施例中，一種元件包括半導體基底、配置於該半導體基底上之通道體、與該通道體耦合而具有第一厚度之第一閘極電極及與該通道體耦合而具有第二厚度之第二閘極電極，其中該第一厚度係大於該第二厚度。其他實施例被描述及/或主張權利。

Embodiments of the present disclosure describe multi-threshold voltage devices and associated techniques and configurations. In one embodiment, an apparatus includes a semiconductor substrate, a channel body disposed on the semiconductor substrate, a first gate electrode having a first thickness coupled with the channel body and a second gate electrode having a second thickness coupled with the channel body, wherein the first thickness is greater than the second thickness. Other embodiments may be described and/or claimed.

指定代表圖：

TW 201714314 A

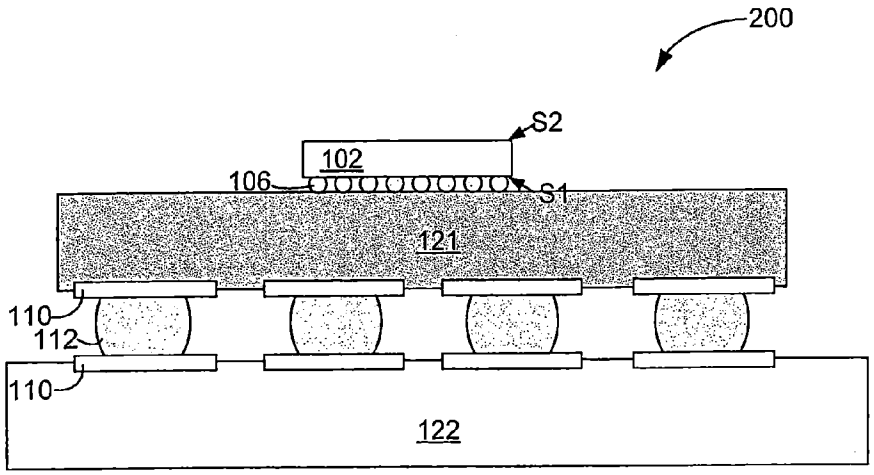



圖 2

符號簡單說明：

102・・・晶粒

106・・・晶粒級互連結構

110・・・墊

112・・・焊球

121・・・封裝基底

122・・・電路板

200・・・積體電路(IC)組合

S1・・・主動側

S2・・・非主動側

201714314

# 發明摘要

※申請案號：105119970（由103139211分割）

※申請日：103年11月12日　　※IPC分類：H01L 29/788 (2006.01)
H01L 21/28 (2006.01)

【發明名稱】(中文/英文)

用於積體電路之元件和方法、以及計算裝置

Apparatus and method for integrated circuits, and computing device

【中文】

本發明之實施例描述多臨限電壓裝置及相關的技術和組態。於一實施例中，一種元件包括半導體基底、配置於該半導體基底上之通道體、與該通道體耦合而具有第一厚度之第一閘極電極及與該通道體耦合而具有第二厚度之第二閘極電極，其中該第一厚度係大於該第二厚度。其他實施例被描述及/或主張權利。

【英文】

Embodiments of the present disclosure describe multi-threshold voltage devices and associated techniques and configurations. In one embodiment, an apparatus includes a semiconductor substrate, a channel body disposed on the semiconductor substrate, a first gate electrode having a first thickness coupled with the channel body and a second gate electrode having a second thickness coupled with the channel body, wherein the first thickness is greater than the second thickness. Other embodiments may be described and/or claimed.

【代表圖】

【本案指定代表圖】：第(2)圖。

【本代表圖之符號簡單說明】：

102：晶粒

106：晶粒級互連結構

110：墊

112：焊球

121：封裝基底

122：電路板

200：積體電路（IC）組合

S1：主動側

S2：非主動側

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

用於積體電路之元件和方法、以及計算裝置

Apparatus and method for integrated circuits, and computing device

【技術領域】

本發明之實施例一般係有關積體電路之領域，而更特別地，係有關多臨限電壓裝置及相關的技術和組態。

【先前技術】

電晶體洩漏及切換速度可由電晶體之臨限電壓（$V_{th}$）來調變。新式電路可利用具有多臨限電壓之電晶體以最佳化功率耗損及時脈頻率。例如，侷限電路性能之次電路可使用較低 $V_{th}$ 電晶體來增加切換速度，而不會侷限電路性能之次電路可使用較高 $V_{th}$ 電晶體來減少功率耗損。調變電晶體之臨限電壓的傳統方法可根據摻雜具有不同雜質量之通道區。例如，假如較多數量的 p 型摻雜物被植入通道，則 n 型裝置可具有較高的 $V_{th}$。當不同電晶體被植入以不同位準的通道摻雜物時，則可實現不同的臨限電壓。然而，摻雜通道（例如，藉由植入）可能不當地影響針對一既定洩漏位準之電晶體的切換速度。摻雜物原子可分散移動電荷載子而減少載子電荷移動率。此外，電晶

體性能變化可能隨著增加摻雜物位準而增加。例如，$V_{th}$之變化可能隨著增加的摻雜物位準（由於隨機的摻雜物波動）而增加。

【圖式簡單說明】

實施例將藉由以下配合後附圖形之詳細描述而被輕易地瞭解。為了協助此描述，類似的參考數字係指定類似的結構元件。實施例係藉由範例而非藉由後附圖形之圖中的限制來闡明。

圖 1 概略地闡明晶圓形式及單片化形式之範例晶粒的頂部視圖，依據某些實施例。

圖 2 概略地闡明一積體電路（IC）組合之橫斷面側視圖，依據某些實施例。

圖 3 概略地闡明具有各個臨限電壓之電晶體裝置的範例帶圖，依據某些實施例。

圖 4 概略地闡明於各個製造階段期間具有各個臨限電壓之電晶體裝置的橫斷面側視圖，依據某些實施例。

圖 5 概略地闡明一種用以形成圖 4 之電晶體裝置的範例圖案化技術，依據某些實施例。

圖 6 概略地闡明具有各個臨限電壓之電晶體裝置的另一範例帶圖，依據某些實施例。

圖 7 概略地闡明於各個製造階段期間具有各個臨限電壓之電晶體的橫斷面側視圖，依據某些實施例。

圖 8 概略地闡明一種用以形成圖 7 之電晶體裝置的範

例圖案化技術，依據某些實施例。

圖 9 概略地闡明具有各個臨限電壓之電晶體裝置的另一範例帶圖，依據某些實施例。

圖 10 概略地闡明於各個製造階段期間具有各個臨限電壓之電晶體的橫斷面側視圖，依據某些實施例。

圖 11 概略地闡明一種製造具有各個臨限電壓的電晶體裝置之方法的流程圖，依據某些實施例。

圖 12 概略地闡明一種可包括如文中所述之具有各個臨限電壓的電晶體裝置的範例系統，依據某些實施例。

【發明內容及實施方式】

本發明之實施例描述多臨限電壓裝置及相關的技術和組態。於以下詳細描述中，參考其形成描述之部分的後附圖形，其中類似的數字係指定遍及全文之類似部件，且其中係藉由可實現本發明之請求標的的說明性實施例來顯示。應理解其他實施例可被利用，且結構或邏輯改變可被實行而不背離本發明之範圍。因此，下列詳細描述並非被取其限制性意義，且實施例之範圍係由後附申請專利範圍及其同等物來界定。

為了本發明之目的，用語「A 及/或 B」表示（A）、（B）、或（A 及 B）。為了本發明之目的，用語「A、B 及/或 C」表示（A）、（B）、（C）、（A 及 B）、（A 及 C）、（B 及 C）、或（A、B 及 C）。

描述可使用透視圖為基的描述，諸如頂部/底部、側

面、上/下，等等。此等描述僅被用以協助討論而不想要將文中所述之實施例的應用限制於任何特定定向。

描述可使用用語「於一實施例中」、或「於實施例中」，其可指稱一或更多相同或者不同的實施例。再者，術語「包含」、「包括」、「具有」等等（如針對本發明之實施例所使用者）為同義的。

術語「耦合與」連同其衍生詞可被使用於文中。「耦合」可表示以下的一或更多者。「耦合」可表示二或更多元件係直接地物理或電氣接觸。然而，「耦合」亦可表示其二或更多元件間接地彼此接觸，但仍彼此合作或互動，且可表示其一或更多其他元件被耦合或連接於其被稱為彼此耦合的元件之間。術語「直接耦合」可表示二或更多元件係直接接觸。

於各個實施例中，用詞「形成、沈積、或者配置於第二特徵上之第一特徵」可表示其第一特徵被形成、沈積、或配置於第二特徵之上，且第一特徵之至少一部分可與第二特徵之至少一部分直接接觸（例如，直接物理及/或電氣接觸）或間接接觸（例如，具有介於第一特徵與第二特徵之間的一或更多其他特徵）。

如文中所使用，術語「模組」可指的是下列各者、下列各者之部分或者是包括：執行一或更多軟體或韌體程式之特定應用積體電路（ASIC）、電子電路、處理器（共用的、專屬的、或族群）及/或記憶體（共用的、專屬的、或族群）；組合式邏輯電路；及/或提供上述功能之

其他適當組件。

圖 1 概略地闡明晶圓形式 10 及單片化形式 100 之範例晶粒 102 的頂部視圖，依據某些實施例。於某些實施例中，晶粒 102 可為晶圓 11 的複數晶粒（例如，晶粒 102、102a、102b）之一，該晶圓 11 係由諸如（例如）矽或其他適當材料等半導體材料所組成。複數晶粒可被形成於晶圓 11 之表面上。每一晶粒可為包括多臨限電壓電晶體裝置（如文中所述）之半導體產品的重複單元。例如，晶粒 102 可包括具有諸如（例如）一或更多通道體 104（例如，鰭片結構、奈米線等等）等電晶體元件之電路，該些通道體係提供通道路徑給多臨限電壓電晶體裝置中之移動電荷載子。雖然一或更多通道體 104 被描繪於穿越圖 1 中之晶粒 102 的大部分之列中，但應理解其一或更多通道體 104 可被組態以晶粒 102 上之多種其他適當配置於其他實施例中。

在晶粒中所實現的半導體產品之製造程序完成後，晶圓 11 可經歷一種單片化程序，其中晶粒之每一者（例如，晶粒 102）被彼此分離以提供半導體產品之離散「晶片」。晶圓 11 可為多種尺寸之任一者。於某些實施例中，晶圓 11 具有範圍從約 25.4 mm 至約 450 mm 之直徑。晶圓 11 可包括其他尺寸及/或其他形狀於其他實施例中。依據各個實施例，一或更多通道體 104 可被配置於晶圓形式 10 或單片化形式 100 之半導體基底上。文中所述之一或更多通道體 104 可被結合於晶粒 102 中以用於邏輯

或記憶體、或其組合。於某些實施例中，一或更多通道體104可為一種晶片上系統（SoC）組合之部分。

圖2概略地闡明一積體電路（IC）組合200之橫斷面側視圖，依據某些實施例。於某些實施例中，IC組合200可包括電氣地及/或物理地耦合與封裝基底121之一或更多晶粒（於下文中為「晶粒102」）。晶粒102可包括作用為多臨限電壓電晶體裝置（如文中所述者）之通道體的一或更多通道體（圖1之一或更多通道體104）。於某些實施例中，封裝基底121可被電氣地耦合與電路板122，如圖所示。

晶粒102可代表從一種半導體材料（例如，矽）所製之離散產品，其係使用半導體製造技術，諸如配合形成CMOS裝置所使用之薄膜沈積、微影、蝕刻等等。於某些實施例中，晶粒102可為，可包括（或者為以下之一部分）處理器、記憶體、SoC或ASIC，於某些實施例中。於某些實施例中，諸如（例如）模製化合物或下填材料（未顯示）等電絕緣材料可囊封晶粒102及/或晶粒級互連結構106之至少一部分。

晶粒102可依據多種適當的組態而被裝附至封裝基底121，包括（例如）於倒裝晶片組態中與封裝基底121直接地耦合，如圖所示。於倒裝晶片組態中，包括電路之晶粒102的主動側（S1）被裝附至封裝基底121之表面，其係使用晶粒級互連結構106，諸如凸塊、柱、或其他亦可將晶粒102電耦合與封裝基底121之適當結構。晶粒102

之主動側 S1 可包括如文中所述之多臨限電壓電晶體裝置。非主動側 S2 可被配置相反於主動側 S1，如圖所示。

於某些實施例中，晶粒級互連結構 106 可組態成發送電信號於晶粒 102 與其他電氣裝置之間。電信號可包括（例如）輸入/輸出（I/O）信號及/或電力/接地信號，其係配合晶粒 102 之操作而被使用。

於某些實施例中，封裝基底 121 是具有核心及/或建立層之環氧為基的疊層基底，諸如（例如）Ajinomoto 建立膜（ABF）基底。封裝基底 121 可包括其他實施例中之其他適當類型的基底，包括（例如）從玻璃、陶瓷、或半導體材料所形成之基底。

封裝基底 121 可包括電發送特徵，組態成發送電信號至或自晶粒 102。電發送特徵可包括（例如）配置於封裝基底 121 之一或更多表面上的墊或軌線（未顯示）及/或內部發送特徵（未顯示），諸如（例如）用以透過封裝基底 121 而發送電信號之溝槽、通孔或其他互連結構。例如，於某些實施例中，封裝基底 121 可包括電發送特徵，諸如組態成承接晶粒 102 之個別晶粒級互連結構 106 的墊（未顯示）。

電路板 122 可為由諸如環氧樹脂疊層等電絕緣材料所組成之印刷電路板（PCB）。例如，電路板 122 可包括由以下所組成之電絕緣層：諸如（例如）聚四氟乙烯等材料；諸如阻燃 4（FR-4）、FR-1、棉紙等酚棉紙材料；諸如 CEM-1 或 CEM-3 等環氧樹脂材料；或使用環氧樹脂預

浸材料而被疊層在一起的編織玻璃材料。諸如軌線、溝槽、通孔等互連結構（未顯示）可被形成通過電絕緣層以將晶粒 102 之電信號發送通過電路板 122。電路板 122 可由其他適當材料所組成於其他實施例中。於某些實施例中，電路板 122 為主機板（例如，圖 12 之主機板 1002）。

諸如（例如）焊球 112 等封裝級互連可被耦合至封裝基底 121 上及/或電路板 122 上之一或更多墊（於下文中為「墊 110」），以形成相應的焊料接合，其被組態成進一步於封裝基底 121 與電路板 122 之間發送電信號。墊 110 可由任何適當的導電材料所組成，諸如包括（例如）鎳(Ni)、鈀(Pd)、金(Au)、銀(Ag)、銅(Cu)等金屬、及其組合。用以實體地及/或電氣地耦合封裝基底 121 與電路板 122 之其他適當技術可被使用於其他實施例中。

IC 組合 200 可包括其他實施例中之多種其他適當的組態，包括（例如）倒裝晶片及/或佈線接合組態、插入物、多晶片封裝組態，包括系統級封裝（SiP）及/或疊合式封裝（PoP）組態。用以於晶粒 102 與 IC 組合 200 的其他組件之間發送電信號的其他適當技術可被使用於某些實施例中。

圖 3 概略地闡明具有各個臨限電壓之電晶體裝置的範例帶圖 300，依據某些實施例。帶圖 300 可描繪相應與介於使用矽所形成的每一複數多臨限電晶體裝置（於下文中稱為「裝置」）n0、n1、n2、p2、p1、p0 之間的臨限電

壓差之工作函數能量位準（以虛線形式）。如圖所示，裝置 n0（例如，最接近矽之導通帶）之臨限電壓可小於裝置 n1 之臨限電壓，其小於裝置 n2 之臨限電壓。裝置 p2 之臨限電壓可小於裝置 p1 之臨限電壓，其可小於裝置 p0（例如，最接近矽之價帶）之臨限電壓。於某些實施例中，裝置 n2、p2 之工作函數可為相同的或實質上相同的。於某些實施例中，介於每一臨限電壓之間（例如，介於 n0 與 n1 之間，介於 n1 與 n2、p2 之間，等等）的差異係從 10 毫伏（mV）至 200 mV 或更大。於一實施例中，介於每一臨限電壓之間的差異係約 50 mV。介於每一臨限電壓之間的差異可具有其他的適當值於其他實施例中。

裝置 n0、n1、n2、p2、p1、p0 之臨限電壓的變化可使用不同厚度的閘極電極材料來達成，其可改變閘極之工作函數，以取代或除了藉由摻雜來產生下方通道體費米級之差之外。例如，n 型裝置之臨限電壓的變化可藉由改變 p 型閘極電極之厚度來達成，而 p 型裝置之臨限電壓的變化可藉由改變 n 型閘極電極之厚度來達成。於所述之實施例中，針對 n 型裝置陣列，層 Q1、Q2、Q3 及 Q4 可各具有一相應的箭號，其代表用以調變 n0、n1、n2/p2、p1 及 p0 之臨限電壓而形成於通道體上的 p 型工作函數金屬（pWFM）之不同厚度。亦即，層 Q1 可具有相應與裝置 p0 之 pWFM 的最大厚度，層 Q2 可具有相對於層 Q1 並相應與裝置 p1 之 pWFM 的較小厚度，層 Q3 可具有相對於層 Q2 並相應與裝置 n2、p2 之 pWFM 的較小厚度，而層

Q4 可具有相應與裝置 n1 之 pWFM 的最小厚度。裝置 n0 可完全不具有 pWFM 之厚度而可具有形成於個別通道體上之 n 型工作函數金屬（nWFM）。pWFM 與 nWFM 可被切換於上述範例中以提供多臨限電壓裝置給 p 型裝置陣列，依據各個實施例。雖然帶圖 300 已配合矽而被描述，但文中所述之類似原理可配合其他適當半導體材料而被使用於其他實施例中。再者，除了工作函數金屬之外的適當電極材料可被使用於其他實施例中。

圖 4 概略地闡明於各個製造階段期間具有各個臨限電壓之電晶體裝置的橫斷面側視圖，依據某些實施例。閘極電極材料之變化厚度可被形成於相應與裝置 n0、n1、n2、p2、p1 及 p0 之閘極電極區（於下文中稱為「區」）中，以提供變化的臨限電壓給裝置 n0、n1、n2、p2、p1 及 p0，依據配合圖 4 所述之技術。該些區可包括針對每一裝置 n0、n1、n2、p2、p1 及 p0 之通道體 104 上方的開口，如圖所示。依據各個實施例，裝置 n0、n1、n2、p2、p1 及 p0 可相應與圖 3 中之類似標示的裝置 n0、n1、n2、p2、p1 及 p0。

於 400a，電晶體結構被描繪為沿著通道體 104 之縱向方向（例如，由箭號 L 所指示），接續於：沈積和圖案化電介質材料 440 以形成針對裝置 n0、n1、n2、p2、p1 及 p0 之通道體 104 的個別區上方的開口、沈積閘極電介質 442 於通道體 104 之暴露表面上及沈積電極材料 444 之厚度於一相應與 p0 裝置之區中的通道體 104 上（例如，

於閘極電介質 442 上）。文中所使用之術語「電晶體結構」可包括一種包括多數電晶體之部分的結構，於某些實施例中。例如，於所述之實施例中，六個電晶體閘極被表示相應與裝置 n0、n1、n2、p2、p1 及 p0。於某些實施例中，所述實施例中之通道體 104 可為一種配置於半導體基底（例如，大塊或矽絕緣體（SOI））上之鰭片結構，而閘極電介質 442 及電極材料 444 可被進一步配置於鰭片結構之側壁表面的至少一部分上，除了鰭片結構之頂部表面以外。閘極電介質 442 可包括一膜，其被配置於電極材料 444 與通道體 104 之間。電極材料 444 可為一種修改電晶體裝置之臨限電壓的工作函數金屬。於某些實施例中，電極材料 444 可被稱為工作函數修改層。

依據各個實施例，於 400a，描繪電晶體結構，接續於將電極材料 444 之厚度沈積在相應與個別裝置 n0、n1、n2、p2、p1 及 p0 之所有區中的通道體 104 上並從相應與除了裝置 p0 外之所有裝置 n0、n1、n2、p2、p1 的區移除電極材料 444 之後。一種用以執行此沈積和移除製程於 400a 之範例技術係配合圖 5 而被描述。

圖 5 概略地闡明一種用以形成圖 4 之電晶體裝置的範例圖案化技術，依據某些實施例。於 500a，描繪一電晶體結構，接續於形成開口在電介質材料 440 上，在相應與圖 4 之裝置 p0 及 p1 的區中之通道體 104 上方。裝置 g1 可代表其中已移除了電極材料之圖 4 中的一或更多裝置。例如，裝置 g1 可代表於 400a 之裝置 n0、n1、n2、p2 和

p1；於 400b 之裝置 n0、n1、n2 和 p2 及於 400c 之裝置 n0 和 n1；及/或於 400d 之裝置 n0 的任何一或更多者。裝置 g0 可代表其中電極材料留存之圖 4 中的一或更多裝置。閘極電介質（例如，圖 4 之閘極電介質 442）可被沈積至開口中之通道體 104 上，但未顯示於圖 5 中以利簡化。

於 500b，描繪電晶體結構，接續於將電極材料 444 沈積至開口中之通道體 104 上以後。電極材料 444 之沈積可為保角的，如圖所示，於某些實施例中。

於 500c，描繪電晶體結構，接續於將圖案轉移層 550（例如，光敏材料）沈積於電極材料 444 上以後。

於 500d，描繪電晶體結構，接續於將其中欲移除下方電極材料 444 之區上方的圖案轉移層 550 之一部分移除以後。例如，可使用諸如微影或蝕刻製程等圖案化製程以暴露並移除圖案轉移層 550 之選擇部分。

於 500e，描繪電晶體結構，接續於蝕刻其未被圖案轉移層 550 所保護的電極材料 444 以後。於所述之實施例中，電極材料 444 被移除自裝置 p1 之區中的通道體 104，但留存於裝置 p0 之區中的通道體 104 上。

於 500f，圖案轉移層 550 可使用諸如（例如）光抗蝕劑剝除製程等任何適當技術而被移除。

再次參考圖 4，於 400b，描繪電晶體結構，接續於將電極材料 444 之厚度沈積在相應與個別裝置 n0、n1、n2、p2、p1 及 p0 之區中的通道體 104 上並從相應與裝置

n0、n1、n2、p2 的區（但未從相應與裝置 p0 及 p1 的區）移除電極材料 444 以後。以此方式，於 400b，電極材料 444 之另一厚度被沈積至於 400a 之裝置 p0 的區中之通道體 104 上所留存的電極材料 444 之厚度上，以提供比 p1 區中之電極材料 444 的厚度更大之電極材料 444 的厚度於 p0 區中。

於 400b 之電極材料 444 的沈積及移除製程可符合其配合圖 5 中之動作 500a 至 500f 所描述的實施例。於每一動作 400a-d 所沈積之電極材料 444 的厚度範圍可從~1 埃至 10 埃，於某些實施例中。於一實施例中，於每一動作 400a-d 所沈積之電極材料 444 的厚度約為 5 埃。於此實施例中，於 400b，p0 區中之電極材料 444 的厚度約為 10 埃而 p1 區中之電極材料的厚度約為 5 埃。其他適當厚度可被使用於其他實施例中。

於 400c，描繪電晶體結構，接續於將電極材料 444 之厚度沈積在相應與個別裝置 n0、n1、n2、p2、p1 及 p0 之區中的通道體 104 上並從相應與裝置 n0 及 n1 的區（但未從相應與裝置 p0、p1、p2 及 n2 的區）移除電極材料 444 以後。以此方式，於 400c，電極材料 444 之另一厚度被沈積至於 400b 之裝置 p0 及 p1 的區中之通道體 104 上所留存的電極材料 444 之厚度上，以提供比 p1 區中之電極材料 444 的厚度更大之電極材料 444 的厚度於 p0 區中以及比 p2、n2 區中之電極材料 444 的厚度更大之電極材料 444 的厚度於 p1 區中，如可從圖示所見。於 400c 之電

極材料 444 的沈積及移除製程可符合其配合圖 5 中之動作 500a 至 500f 所描述的實施例。

於 400d，描繪電晶體結構，接續於將電極材料 444 之厚度沈積在相應與個別裝置 n0、n1、n2、p2、p1 及 p0 之區中的通道體 104 上並從相應與裝置 n0 的區（但未從相應與裝置 p0、p1、p2、n2 及 n1 的區）移除電極材料 444 以後。以此方式，於 400d，電極材料 444 之另一厚度被沈積至於 400c 之裝置 p0、p1、p2 及 n2 的區中之通道體 104 上所留存的電極材料 444 之厚度上，以提供比 p1 區中之電極材料 444 的厚度更大之電極材料 444 的厚度於 p0 區中；比 p2、n2 區中之電極材料 444 的厚度更大之電極材料 444 的厚度於 p1 區中；及比 n1 區中之電極材料 444 的厚度更大之電極材料 444 的厚度於 p2、n2 區中，如可從圖示所見。於 400d 之電極材料 444 的沈積及移除製程可符合其配合圖 5 中之動作 500a 至 500f 所描述的實施例。

於 400e，描繪電晶體結構，接續於將另一電極材料 446 之厚度沈積於電極材料 444 上以後。配置於相應與裝置 p0、p1、p2、n2 及 n1 的區中之通道體 104 上的電極材料 444 具有相同的化學組成，而另一電極材料 446 可具有不同於電極材料 444 之化學組成。於某些實施例中，電極材料 444 可為 n 型或 p 型材料之一，而假如電極材料 444 為 p 型，則電極材料 446 可為 n 型，或者假如電極材料 444 為 n 型，則電極材料 446 可為 p 型。例如，於某些實

施例中，電極材料 444 可為 pWFM 而電極材料 446 可為 nWFM。裝置 n0 之區中的通道體 104 上之另一電極材料 446 的厚度可大於裝置 n1、n2、p2、p1、及 p0 之區中的通道體 104 上之電極材料 444 的厚度，如圖可見。於某些實施例中，電極材料 446 可為填充材料而於某些實施例中無法為工作函數金屬。

於某些實施例中，另一電極材料 444 可填充相應與裝置 p0、p1、p2、n2、n1 及 n0 之區上方的開口。可使用一種平坦化製程，諸如（例如）化學機械拋光（CMP），以移除過量的電極材料 444 並提供實質上平坦的表面。

於某些實施例中，通道體 104 可由未摻雜的半導體材料所組成。亦即，針對電晶體（例如，裝置 n0、n1、n2、p2、p1 及 p0）之臨限電壓的調變可僅藉由改變電極材料 444 之厚度而不以 n 型或 p 型雜質植入通道體 104 來完成，其可導致電晶體（例如，FINFET 電晶體）具有針對既定洩漏位準之較大切換速度、較大的載體移動率及減少的電晶體性能變化。

於某些實施例中，電極材料 444 之厚度通常增加或保持相同於與通道體 104 之縱向（例如，由箭號 L 所指示者）平行的第一方向，且通常減少或保持相同於與第一方向垂直的第二方向。例如，於 400c-e，裝置 p1 之區中的通道體 104 上之電極材料 444 可被配置於裝置 p0 和 p2 之區中的通道體 104 上之電極材料 444 之間，並可具有大於裝置 p2 之區中的通道體 104 上之電極材料 444 及小於裝

置 p0 之區中的通道體 104 上之電極材料 444 的厚度。於某些實施例中，在 400e，裝置 p0 之電極材料 444 的厚度等於 30 埃或更小。其他適當厚度可被使用於其他實施例中。

用以提供電極材料 444 之厚度的變化之其他適當技術可被使用於其他實施例中，包括（例如）圖案化製程，其容許 p0 裝置區中之選擇性沈積在 400a、p0 和 p1 中之選擇性沈積在 400b，等等。例如，遮罩或其他保護性障壁可被用以保護裝置 p1、p2、n2、n1 及 n0 之區於電極材料 444 之沈積期間（在 400a）及用以保護裝置 p2、n2、n1 及 n0 之區於電極材料 444 之沈積期間（在 400b），等等。

圖 6 概略地闡明具有各個臨限電壓之電晶體裝置的另一範例帶圖 600，依據某些實施例。帶圖 600 可描繪相應與介於使用矽所形成的每一複數多臨限裝置 n0、n1、n2、p2、p1、p0 之間的臨限電壓差之工作函數能量位準（以虛線形式）。如圖所示，裝置 n0（例如，最接近矽之導通帶）之臨限電壓可小於裝置 n1 之臨限電壓，其小於裝置 n2 之臨限電壓。裝置 p2 之臨限電壓可小於裝置 p1 之臨限電壓，其可小於裝置 p0（例如，最接近矽之價帶）之臨限電壓。於某些實施例中，裝置 n2、p2 之工作函數可為相同的或實質上相同的。於某些實施例中，介於每一臨限電壓之間（例如，介於 n0 與 n1 之間，介於 n1 與 n2、p2 之間，等等）的差異係從 10 毫伏（mV）至 200

mV 或更大。於一實施例中，介於每一臨限電壓之間的差異係約 50 mV。介於每一臨限電壓之間的差異可具有其他的適當值於其他實施例中。

裝置 n0、n1、n2、p2、p1、p0 之臨限電壓的變化可使用不同厚度的閘極電極材料來達成，其可改變閘極之工作函數，以取代或除了藉由摻雜來產生下方通道體費米級之差之外。例如，n 型裝置之臨限電壓的變化可藉由改變 p 型閘極電極（例如，工作函數修改層）之厚度來達成，而 p 型裝置之臨限電壓的變化可藉由改變 n 型閘極電極（例如，工作函數修改層）之厚度來達成。例如，n 型裝置之臨限電壓可藉由將 p 型工作函數金屬之薄層插入另一 n 型工作函數金屬堆疊（例如，n 型工作函數填充材料）而被修改。

於所述之實施例中，針對 n 型裝置陣列，層 Q1 及 Q2 可各具有一相應的箭號，其代表用以調變 n0、n1、n2/p2、p1 及 p0 之臨限電壓而形成於通道體上的 p 型工作函數金屬（pWFM）之不同厚度。亦即，層 Q1 可代表於兩區中之 pWFM 的相同厚度之沈積而層 Q2 可代表於該兩區的單一區中之 pWFM 的厚度（其係大於層 Q1 的厚度）之沈積。層 DMG 完全無法具有 pWFM 之厚度並可代表用以提供 nWFM 之取代（如配合圖 8 所述者）的犧牲材料之層。pWFM 與 nWFM 可被切換於上述範例中以提供多臨限電壓裝置給 p 型裝置陣列，依據各個實施例。雖然帶圖 600 已配合矽而被描述，但文中所述之類似原理可配合其

他適當半導體材料而被使用於其他實施例中。再者，除了工作函數金屬之外的適當電極材料可被使用於其他實施例中。

圖 7 概略地闡明於各個製造階段期間具有各個臨限電壓之電晶體裝置的橫斷面側視圖，依據某些實施例。閘極電極材料之變化厚度可被形成於相應與裝置 n0、n1、n2、p2、p1 及 p0 之區中，以提供變化的臨限電壓給裝置 n0、n1、n2、p2、p1 及 p0，依據配合圖 7 所述之技術。依據各個實施例，裝置 n0、n1、n2、p2、p1 及 p0 可相應與圖 6 中之類似標示的裝置 n0、n1、n2、p2、p1 及 p0。為了清晰及簡單之緣故，並非所有數字標記被重複於動作 700a 至 700e 之每一者中。

於 700a，電晶體結構被描繪為沿著通道體 104 之縱向方向（例如，由箭號 L 所指示），接續於：沈積和圖案化電介質材料 440 以形成針對裝置 n0、n1、n2、p2、p1 及 p0 之通道體 104 的個別區上方的開口及沈積閘極電介質 442 於通道體 104 之暴露表面上。於某些實施例中，所述實施例中之通道體 104 可為一種配置於半導體基底（例如，大塊或矽絕緣體（SOI））上之鰭片結構。通道體 104 之暴露表面可包括（例如）區（其中開口被形成於電介質材料 440 中）中之各鰭片結構的頂部表面及相對側壁表面之至少一部分。閘極電介質 442 可被配置於鰭片結構之側壁表面的至少一部分上，除了鰭片結構之頂部表面以外。於某些實施例中，閘極電介質 442 可被保角地沈積以

形成實質上均勻厚度之膜於電晶體結構之暴露表面上，包括於通道體 104 及電介質材料 440 上。閘極電介質 442 可適合其配合圖 4 所述的實施例，反之亦然。

於 700b，描繪電晶體結構，接續於將電極材料 444 之厚度沈積於相應與裝置 p2 及 n2 之區中的通道體 104 上（例如，於閘極電介質 442 上）以後。於某些實施例中，電極材料 444 之厚度可被沈積在相應與個別裝置 n0、n1、n2、p2、p1 及 p0 之所有區中的通道體 104 上並從相應與除了裝置 p2 和 n2 外之所有裝置 n0、n1、n2、p2、p1 的區移除電極材料 444 之後。於 700b 之電極材料 444 的沈積可相應與圖 6 之 Q1 層。於 700b 之電極材料 444 的沈積及移除製程可適合其配合圖 5 中之動作 500a 至 500f 所描述的實施例。

於 700c，描繪電晶體結構，接續於將電極材料 444 之厚度沈積在相應與個別裝置 n0、n1、n2、p2、p1 及 p0 之區中的通道體 104 上並從相應與裝置 n0 及 p1 的區（但未從相應與裝置 p0、p2、n2 及 n1 的區）移除電極材料 444 以後。以此方式，於 700c，電極材料 444 之另一厚度被沈積至於 700b 之裝置 p2、n2 的區中之通道體 104 上所留存的電極材料 444 之厚度上，以提供比 p0 和 n1 區中之電極材料 444 的厚度更大之電極材料 444 的厚度於 p2 和 n2 區中。於 700c 之電極材料 444 的沈積可相應與圖 6 之 Q2 層。

於 700c 之電極材料 444 的沈積及移除製程可適合其

配合圖 5 中之動作 500a 至 500f 所描述的實施例。於每一動作 700b 及 700c 所沈積之電極材料 444 的厚度範圍可從 ~1 埃至 25 埃，於某些實施例中。於某些實施例中，於每一動作 700b 及 700c 所沈積之電極材料 444 的厚度範圍係從 3 埃至 10 埃。於一實施例中，於每一動作 700b 及 700c 所沈積之電極材料 444 的厚度約為 5 埃。於此實施例中，於 700c，p2 及 n2 區中之電極材料 444 的厚度約為 10 埃而 p0 及 n1 區中之電極材料的厚度約為 5 埃。其他適當厚度可被使用於其他實施例中。

於 700d，描繪電晶體結構，接續於沈積另一電極材料 744 在區 p0 和 p1 中以及犧牲材料 740 在區 p2、n2、n1 及 n0 中。於某些實施例中，沈積在相應與裝置 p0、p2、n2 及 n1 之區中的通道體 104 上之電極材料 444 可具有相同的化學組成。於某些實施例中，電極材料 444 可為 p 型材料（例如，pWFM），而另一電極材料 744 可為作用為 pWFM 堆疊之填充材料的任何適當材料，包括（例如）其相對於電極材料 444 更為 n 型（例如，更遠離價帶邊緣）的 n 型或 p 型材料。於其中電極材料 444 為 n 型材料之情況下，另一電極材料 744 可為作用為 nWFM 堆疊之填充材料的任何適當材料，包括例如，其相對於電極材料 444 更為 p 型（例如，更接近價帶邊緣）的 n 型或 p 型材料。於某些實施例中，另一電極材料 744 可為一種合成材料，其提供依據該合成材料之工作函數能量位準的所欲工作函數。於某些實施例中，另一電極材料 744 可為如電極

材料 444 之相同材料，以致裝置 p0 與 p1 具有相同的工作函數。犧牲材料 740 可包括任何適當的犧牲材料，包括（例如）氧化矽。

用以從 700c 所述之電晶體結構製造 700d 所述之電晶體結構的範例技術係配合圖 8 而被描述。圖 8 概略地闡明一種用以形成圖 7 之電晶體裝置的範例圖案化技術，依據某些實施例。於 800a1、800b1、800c1、800d1、800e1、800f1、800g1、800h1、800i1、800j1 及 800k1 所描繪之電晶體結構為沿著單通道體 104 之縱向方向的橫斷面側視圖，而於 800a2、800b2、800c2、800d2、800e2、800f2、800g2、800h2、800i2、800j2 及 800k2 所描繪之電晶體結構為垂直於縱向方向並描繪彼此相鄰的多通道體 104a 之橫斷面側視圖。例如，於 800a1 所描繪之通道體 104 可為於 800a2 的通道體 104a 之一。於 800a1 及 800a2 之電晶體結構可處於製造之相同階段，同理針對 800b1 及 800b2、800c1 及 800c2，等等。電晶體結構可具有較其他實施例中所述者更多或更少的通道體 104。為了清晰及簡單之緣故，並非所有數字標記被重複於圖 8 之描繪中。

於 800a1 及 800a2，描繪電晶體結構，接續於在相應與裝置 g2 和 g3 之區上方的電介質材料 440 中形成開口以及在通道體 104 或通道體 104a 之暴露表面上沈積閘極電介質 442 後。裝置 g2 可代表組態成接收犧牲材料 740 之任何裝置而裝置 g3 可代表組態成接收電極材料 744 之任何裝置。例如，裝置 g2 可代表裝置 p2、n2、n1 及 n0，

而裝置 g3 可代表裝置 p0 及 p1，於圖 7 之 700d。於某些實施例中，裝置 g3 及/或 g2 可具有配置於個別開口中之電極材料 444，於 800a1 及 800a2。例如，於 800a1 及 800a2 之裝置 g3 可代表於 700c 之 p0 裝置，或者於 800a1 及 800a2 之裝置 g2 可代表於 700c 之 p2、n2、n1 裝置。圖 8 之後續動作可被執行於具有配合 700c 所述之電極材料 444 的厚度之裝置 g2 及/或 g3 上。

於 800b1 及 800b2，描繪電晶體結構，接續於將圖案轉移層 880 沈積在電介質材料 440 上以填充裝置 g2 及 g3 之區中的開口後。於某些實施例中，圖案轉移層 880 可包含碳並可被稱為碳下方層。圖案轉移層可由其他適當材料所組成於其他實施例中，包括（例如）氧化矽、光抗蝕劑材料，等等。

於 800c1 及 800c2，描繪電晶體結構，接續於從裝置 g2 上方之開口及/或組態成接收犧牲材料 740 之任何其他開口移除圖案轉移層 800 之材料後。圖案轉移層 800 可使用包括（例如）微影及/或蝕刻製程等任何適當的圖案化製程而被移除。於 800c1 及 800c2 之移除製程不會實質上移除裝置 g2 及 g3 之開口中的電極材料 444（假如有的話）。

於 800d1 及 800d2，描繪電晶體結構，接續於將犧牲材料 740 沈積在裝置 g2 上方之開口及/或其中圖案轉移層 800 已被移除之任何其他開口中後。

於 800e1 及 800e2，描繪電晶體結構，接續於執行拋

光製程或其他適當製程以暴露圖案轉移層 880 後。拋光製程可提供犧牲材料 740 及圖案轉移層 880 之實質上平坦的表面，如圖可見。

於 800f1 及 800f2，描繪電晶體結構，接續於移除裝置 g3 之區中的圖案轉移層 880 後。圖案轉移層可藉由任何適當的製程來移除，包括（例如）選擇性蝕刻製程，其係組態成移除圖案轉移層 880 之材料而留下犧牲材料 740 之材料。於 800f1 及 800f2 之移除製程不會實質上移除裝置 g2 及 g3 之開口中的電極材料 444（假如有的話）。

於 800g1 及 800g2，描繪電晶體結構，接續於電極材料 744 沈積在其中圖案轉移層 880 已被移除之開口中後。於某些實施例中，電極材料 744 可被稱為 PMOS 閘極堆疊材料。電極材料 744 可被沈積在裝置 g2 及 g3 之開口中的任何電極材料 444（假如有的話）上。

於 800h1 及 800h2，描繪電晶體結構，接續於拋光製程或其他適當製程後，其係移除已沈積的電極材料 744 之材料以暴露裝置 g2 之區中的犧牲材料 740 之下方材料。於 800h1 及 800h2 之電晶體結構可代表如圖 7 之電晶體結構 700d 的相同製造階段。

再次參考圖 7，於 700e，描繪電晶體結構，接續於以另一電極材料 446 取代犧牲材料 740 後。於某些實施例中，電極材料 444 可為 n 型或 p 型材料之一，而假如電極材料 444 為 p 型，則電極材料 446 可為 n 型，或者假如電極材料 444 為 n 型，則電極材料 446 可為 p 型。例如，於

某些實施例中，電極材料 444 可為 pWFM 而電極材料 446 可為 nWFM。於某些實施例中，電極材料 446 可具有與電極材料 744 不同的化學組成。裝置 n0 之區中的通道體 104 上之另一電極材料 446 的厚度可大於裝置 n1、n2、p2 及 p0 之區中的通道體 104 上之電極材料 444 的厚度，如圖可見。依據各個實施例，於 700e 之電晶體結構可依據配合於圖 8 之 800i1、800i2 至 800k1、800k2 的動作所述之技術而被形成。

再次參考圖 8，於 800i1 及 800i2，描繪電晶體結構，接續於從裝置 g2 之區移除犧牲材料 740 後。犧牲材料 740 可使用任何適當製程而被移除，包括（例如）一種僅移除犧牲材料 740 之選擇性蝕刻製程。於 800i1 及 800i2 之移除製程不會實質上移除裝置 g2 及 g3 之開口中的電極材料 444（假如有的話）。

於 800j1 及 800j2，描繪電晶體結構，接續於將另一電極材料 446 沈積在其中犧牲材料 740 已被移除的裝置 g2 之區中後。電極材料 446 可被沈積在裝置 g2 及 g3 之開口中的任何電極材料 444（假如有的話）上。

於 800k1 及 800k2，描繪電晶體結構，接續於移除並平坦化電極材料 446 及 744 後。移除及平坦化可（例如）使用拋光製程或任何其他適當技術而被執行。

於某些實施例中，圖 8 之技術可藉由使用一種可承受電極材料之沈積的圖案轉移層 880 之材料而被進一步簡化。例如，於 800d1 及 800d2，電極材料 446 或 744 可被

沈積以取代犧牲材料 740，而未被沈積於 800d1 及 800d2 之電極材料 446 或 744 的另一者可被沈積於 800g1 及 800g2，依據各個實施例。

圖 9 概略地闡明具有各個臨限電壓之電晶體裝置的另一範例帶圖 900，依據某些實施例。帶圖 900 可描繪相應與介於使用矽所形成的每一複數多臨限電晶體裝置 n0、n1、n2、p2、p1、p0 之間的臨限電壓差之工作函數能量位準（以虛線形式）。如圖所示，裝置 n0（例如，最接近矽之導通帶）之臨限電壓可小於裝置 n1 之臨限電壓，其小於裝置 n2 之臨限電壓。裝置 p2 之臨限電壓可小於裝置 p1 之臨限電壓，其可小於裝置 p0（例如，最接近矽之價帶）之臨限電壓。於某些實施例中，，裝置 n2、p2 之工作函數可為相同的或實質上相同的。於某些實施例中，介於每一臨限電壓之間（例如，介於 n0 與 n1 之間，介於 n1 與 n2、p2 之間，等等）的差異係從 10 毫伏（mV）至 200 mV 或更大。於一實施例中，介於每一臨限電壓之間的差異係約 50 mV。介於每一臨限電壓之間的差異可具有其他的適當值於其他實施例中。

裝置 n0、n1、n2、p2、p1、p0 之臨限電壓的變化可使用不同厚度的閘極電極材料來達成，其可改變閘極之工作函數，以取代或除了藉由摻雜來產生下方通道體費米級之差之外。例如，n 型裝置之臨限電壓的變化可藉由改變 p 型閘極電極之厚度來達成，而 p 型裝置之臨限電壓的變化可藉由改變 n 型閘極電極之厚度來達成。

於所述之實施例中，針對 n 型裝置陣列，層 Q1 及 Q2 可各具有一相應的箭號，其代表用以調變 n0、n1、n2/p2、p1 及 p0 之臨限電壓而形成於通道體上的 p 型工作函數金屬（pWFM）之不同厚度。層 Q1 及 Q3 之箭號可代表 pWFM 之厚度的沈積而層 Q2 之箭號可代表 nWFM 之厚度的沈積。pWFM 與 nWFM 可被切換於上述範例中以提供多臨限電壓裝置給 p 型裝置陣列，依據各個實施例。雖然帶圖 900 已配合矽而被描述，但文中所述之類似原理可配合其他適當半導體材料而被使用於其他實施例中。再者，除了工作函數金屬之外的適當電極材料可被使用於其他實施例中。

圖 10 概略地闡明於各個製造階段期間具有各個臨限電壓之電晶體裝置的橫斷面側視圖，依據某些實施例。於 1000a 及 1000b，描繪電晶體結構，接續於配合於圖 7 之 700a 及 700b 的個別動作及/或於圖 4 之 400a 的動作所述之動作後。於 1000b，描繪電晶體結構，接續於將電極材料 444 之厚度沈積在 p0 裝置之區中以後。於 1000b 之電極材料 444 的厚度可相應與圖 9 之層 Q3。

於 1000c，描繪電晶體結構，接續於將另一電極材料 1044 之厚度沈積在 p2、n2 及 n0 裝置之區中以後。沈積於 1000c 之電極材料 1044 的厚度可相應與圖 9 之層 Q2。例如，於某些實施例中，電極材料 1044 可被沈積在所有裝置 p0、p1、p2、n2、n1 及 n0 之區中，並接著僅從 p0、p1 及 n1 裝置之區移除，依據文中所述之技術（例

如，圖 5）。於某些實施例中，蝕刻製程可選擇性地移除電極材料 1044 而不實質上移除電極材料 444。

於 1000d，描繪電晶體結構，接續於將電極材料 444 之另一厚度沈積在 p0、p1、p2 及 n2 裝置之區中以後。沈積於 1000d 之電極材料 1044 的厚度可相應與圖 9 之層 Q1。例如，於某些實施例中，電極材料 444 可被沈積在所有裝置 p0、p1、p2、n2、n1 及 n0 之區中，並接著僅從 n1、n0 裝置之區移除，依據文中所述之技術（例如，圖 5）。於某些實施例中，蝕刻製程可選擇性地移除電極材料 444 而不實質上移除電極材料 1044（例如，從裝置 n0 之區）。

於 1000e，描繪電晶體結構，接續於沈積另一電極材料 446 以填充裝置 p0、p1、p2、n2、n1 及 n0 之區中的剩餘區（假如有的話）。於某些實施例中，電極材料 444 為 p 型材料（諸如 pWFM），電極材料 446 為 n 型材料（諸如 nWFM），而電極材料 1044 為 n 型材料。於某些實施例中，電極材料 446 可為一種 n 型或 p 型材料，其提供較電極材料 1044 更 p 型且較電極材料 444 更 n 型的填充材料。配合圖 10 所述之沈積動作的厚度之尺寸可適合其配合圖 4 及 7 所述之實施例。

圖 11 概略地闡明一種製造具有各個臨限電壓的電晶體裝置之方法 1100 的流程圖，依據某些實施例。方法 1100 可適合其配合圖 3-8 所述的各個技術及組態，反之亦然，依據各個實施例。

於 1102，方法 1100 可包括提供一配置於半導體基底（例如，晶粒 102）上之通道體（例如，圖 4-5 及 7-8 之通道體 104）。通道體可包括（例如）鰭片結構或任何其他適當通道體，其可受惠自文中所述之原理。於某些實施例中，提供通道體可包括藉由（例如）圖案化及蝕刻半導體材料以形成鰭片結構在該半導體材料中來形成通道體。

於 1104，方法 1100 可包括沈積電介質材料（例如，圖 4-5 及 7-8 之電介質材料 440）於通道體上。電介質材料可包括任何適當的材料並可使用任何適當的技術而被沈積。

於 1106，方法 1100 可包括形成開口在相應與至少第一閘極電極和第二閘極電極之電介質材料。開口可暴露通道體之部分並可相應與圖 4 及 7 之裝置 n0、n1、n2、p2、p1 及 p0 的二或更多者之區中所形成的開口。開口可使用包括圖案化（諸如微影及/或蝕刻）之任何適當技術而被形成。

於 1108，方法 1100 可包括沈積閘極電介質（例如，閘極電介質 442）於通道體上。於某些實施例中，閘極電介質被沈積於 1106 所形成之開口中的通道體之暴露表面上。閘極電介質可使用任何適當技術而被沈積。依據各個實施例，閘極電介質可由諸如二氧化矽（SiO2）或高 k 材料等材料所形成。可用於閘極電介質層之高 k 材料的範例包括（但不限定於）氧化鉿、氧化鉿矽、氧化鑭、氧化鑭鋁、氧化鋯、氧化鋯矽、氧化鉭、氧化鈦、氧化鋇鍶鈦、

氧化鋇鈦、氧化鍶鈦、氧化釔、氧化鋁、氧化鉛鈧鉭、及鈮酸鉛鋅。於某些實施例中，退火製程可被執行在閘極電介質層上以增進其品質，當使用高 k 材料時。

依據各個實施例，針對 PMOS 電晶體，其可用於閘極電極之金屬（例如，電極材料 444）包括（但不限定於）釕、鈀、鉑、鈷、鎳、及導電金屬氧化物，例如，氧化釕。p 型金屬層可致能一種具有介於約 4.9 eV 與約 5.2 eV 間之工作函數的 PMOS 閘極電極之形成。針對 NMOS 電晶體可用於閘極電極之金屬（例如，電極材料 446）包括（但不限定於）鉿、鋯、鈦、鉭、鋁、這些金屬之合金、及這些金屬之碳化物，諸如碳化鉿、碳化鋯、碳化鈦、碳化鉭、及碳化鋁。N 型金屬層可致能一種具有介於約 3.9 eV 與約 4.2 eV 間之工作函數的 NMOS 閘極電極之形成。其他適當材料可被用以形成閘極電極於其他實施例中。

於 1110，方法 1100 可包括形成與通道體耦合之第一閘極電極和第二閘極電極，其中該第一閘極電極具有第一厚度，該第二閘極電極具有第二厚度，且該第一厚度大於該第二厚度。第一閘極電極和第二閘極電極可依據配合圖 3-8 所述之任何技術而被形成。例如，第一閘極電極可為在裝置 p0、p1、p2、n2、n1 及 n0 之開口中所形成的工作函數電極（例如，圖 4-5 及 7-8 之電極材料 444），其具有大於在裝置 p0、p1、p2、n2、n1 及 n0 之開口中所形成的另一工作函數電極（例如，圖 4-5 及 7-8 之電極材料 444）之厚度。於某些實施例中，三或更多閘極電極可依

據文中所述之技術而被形成，以提供裝置之變化的臨限電壓。

於某些實施例中，形成第一閘極電極和第二閘極電極可包括同時地將電極材料（例如，圖 4-5 及 7-8 之電極材料 444）沈積在第一閘極電極之第一區以及第二閘極電極之第二區中而成為第一沈積之部分。電極材料可被選擇性地移除於第二區中，使用包括（例如）圖案化技術等任何適當技術。電極材料可被同時地沈積在第一區和第二區中而成為第二沈積之部分，接續於選擇性地移除第二區中之電極材料後。

於某些實施例中，於 1110 之動作可包括形成耦合與鰭片結構之第三閘極電極，該第三閘極電極具有小於第二厚度之第三厚度。於某些實施例中，於 1110 之動作可包括形成耦合與鰭片結構並具有第四厚度之第四閘極電極。第四厚度（例如，圖 4 中於 n0 上之電極材料 446 的厚度）可大於第一厚度，並可由具有與電極材料不同的化學成分之另一電極材料（例如，圖 4 之電極材料 446）所組成。

於某些實施例中，另一電極材料（例如，圖 4 之電極材料 446）可被沈積在第一閘極電極和第二閘極電極之電極材料上。於某些實施例中，其他電極材料可填充其未被該電極材料所填充之開口的剩餘者。

於某些實施例中，並無摻雜製程（例如，雜質之植入）可被執行在通道體上以調變一或更多電晶體之臨限電

壓。臨限電壓之調變僅可使用工作函數材料（例如，電極材料 444）之變化厚度來完成，於某些實施例中。於某些實施例中，形成第一閘極電極包含以第一閘極電極之材料取代犧牲材料（例如，配合圖 7-8 所述者）。於某些實施例中，第三閘極電極可被形成在第一閘極電極上而第四閘極電極可被形成在第三閘極電極上，其中第四閘極電極之材料為一種較第一閘極電極更 p 型且較第三閘極電極之材料更 n 型的填充材料（例如，如配合圖 10 所述者）。

各個操作被描述為多個輪流的離散操作，以一種最有助於瞭解所請求標的之方式。然而，描述之順序不應被當作暗示這些操作一定是跟順序相關的。本發明之實施例可被實施為使用任何適當硬體及/或軟體以組態如所欲的系統。

圖 12 概略地闡明一種可包括如文中所述之具有各個臨限電壓的電晶體裝置的範例系統（例如，計算裝置 1200），依據某些實施例。主機板 1202 可包括數個組件，包括（但不限定於）處理器 1204 及至少一通訊晶片 1206。處理器 1204 被實體地及電氣地耦合至主機板 1202。於某些實施方式中，至少一通訊晶片 1206 可亦被實體地及電氣地耦合至主機板 1202。於進一步實施方式中，通訊晶片 1206 為處理器 1204 之部分。

根據其應用，計算裝置 1200 可包括其他組件，其可被或可不被實體地及電氣地耦合至主機板 1202。這些其他組件包括（但不限定於）揮發性記憶體（例如，

DRAM）、非揮發性記憶體（例如，ROM）、快閃記憶體、圖形處理器、數位信號處理器、密碼處理器、晶片組、天線、顯示、觸控螢幕顯示、觸控螢幕控制器、電池、音頻編碼解碼器、視頻編碼解碼器、功率放大器、全球定位系統（GPS）裝置、羅盤、蓋革計數器、加速計、迴轉儀、揚聲器、相機、及大量儲存裝置（諸如硬碟機、光碟（CD）、數位光碟（DVD），等等）。

通訊晶片 1206 可致能無線通訊，以供資料之轉移至及自計算裝置 1200。術語「無線」及其衍生詞可被用以描述電路、裝置、系統、方法、技術、通訊頻道，等等，其可藉由使用透過非固體媒體之經調變的電磁輻射來傳遞資料。該術語並未暗示其相關裝置不含有任何佈線，雖然於某些實施例中其可能不含有。通訊晶片 1206 可實施任何數目的無線標準或協定，包括（但不限定於）電機電子工程師學會（IEEE）標準，其包括 Wi-Fi（IEEE 802.11 家族）、IEEE 802.16 標準（例如，IEEE 802.16-2005 修正）、長期演進（LTE）計畫連同任何修正、更新、及/或修訂（例如，先進 LTE 計畫、超行動寬頻（UMB）計畫（亦稱為「3GPP2」）等等）。IEEE 802.16 相容的 BWA 網路通常被稱為 WiMAX 網路，其為代表全球互通微波存取之縮寫，其為通過 IEEE 802.16 標準之符合性及可交互操作性測試的產品之驗證標記。通訊晶片 1206 可依據全球行動通訊系統（GSM）、通用封包無線電服務（GPRS）、環球行動電訊系統（UMTS）、高速封包存取

（HSPA）、演進的 HSPA（E-HSPA）、或 LTE 網路而操作。通訊晶片 1206 可依據 GSM 演進之增強資料（EDGE）、GSM EDGE 無線電存取網路（GERAN）、環球陸地無線電存取網路（UTRAN）、或演進的 UTRAN（E-UTRAN）而操作。通訊晶片 1206 可依據分碼多重存取（CDMA）、分時多重存取（TDMA）、數位增強的無線電訊（DECT）、演進資料最佳化（EV-DO）、其衍生者、以及其被指定為 3G、4G、5G 及更新之任何其他無線協定而操作。通訊晶片 1206 可依據其他實施例中之其他無線協定而操作。

計算裝置 1200 可包括複數通訊晶片 1206。例如，第一通訊晶片 1206 可專用於較短距離無線通訊，諸如 Wi-Fi 及藍牙；而第二通訊晶片 1206 可專用於較長距離無線通訊，諸如 GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO 及其他。

計算裝置 1200 之處理器 1204 可包括一具有使用工作函數修改層之已調變臨限電壓的電晶體結構之晶粒（例如，圖 1-2 之晶粒 102），如文中所述者。例如，圖 1-2 之晶粒 102 可被安裝於封裝組合，其被安裝於主機板 1202 上。術語「處理器」可指稱任何裝置或裝置之部分，其處理來自暫存器及/或記憶體之電子資料以將該電子資料轉變為其可被儲存於暫存器及/或記憶體中之其他電子資料。

通訊晶片 1206 亦可包括一具有使用工作函數修改層

之已調變臨限電壓的電晶體結構之晶粒（例如，圖 1-2 之晶粒 102），如文中所述者。於進一步實施方式中，裝入計算裝置 1200 內之另一組件（例如，記憶體裝置或其他積體電路裝置）可含有一具有使用工作函數修改層之已調變臨限電壓的電晶體結構之晶粒（例如，圖 1-2 之晶粒 102），如文中所述者。

於各種實施方式中，計算裝置 1200 可為行動計算裝置、膝上型電腦、小筆電、筆記型電腦、輕薄型筆電、智慧型手機、輸入板、個人數位助理（PDA）、超輕行動 PC、行動電話、桌上型電腦、伺服器、印表機、掃描器、監視器、機上盒、娛樂控制單元、數位相機、可攜式音樂播放器、或數位錄影機。於進一步實施方式中，計算裝置 1200 可為處理資料之任何其他電子裝置。

範例

依據各個實施例，本發明描述一種元件。元件之範例 1 可包括半導體基底、配置於該半導體基底上之通道體、與該通道體耦合而具有第一厚度之第一閘極電極及與該通道體耦合而具有第二厚度之第二閘極電極，其中該第一厚度係大於該第二厚度。範例 2 可包括範例 1 之元件，進一步包括與該通道體耦合而具有第三厚度之第三閘極電極，其中該第二厚度係大於該第三厚度，及其中該第一閘極電極、該第二閘極電極和該第三閘極電極係由具有相同化學成分之第一材料所組成。範例 3 可包括範例 2 之元件，進

一步包括與該通道體耦合而具有第四厚度之第四閘極電極，其中該第四厚度係大於該第一厚度且該第四閘極電極係由具有與該第一材料不同的化學成分之第二材料所組成。範例 4 可包括範例 3 之元件，其中該第二閘極電極被配置於該第一閘極電極與該第三閘極電極之間，而該第三閘極電極被配置於該第二閘極電極與該第四閘極電極之間。範例 5 可包括範例 3 之元件，其中該第一材料為 p 型工作函數金屬而該第二材料為 n 型工作函數金屬。範例 6 可包括範例 1 或 2 之元件，其中該第一閘極電極和該第二閘極電極係由具有相同的 n 型或 p 型成分之第一材料所組成，該元件進一步包含配置於該第一閘極電極和該第二閘極電極之該第一材料上的第二材料，其中假如該第一材料具有 p 型成分，則該第二材料具有 n 型成分，而假如該第一材料具有 n 型成分，則該第二材料具有 p 型成分。範例 7 可包括範例 1 之元件，其中該第一閘極電極和該第二閘極電極係由具有相同的 n 型或 p 型成分之第一材料所組成，該元件進一步包含配置於該第一閘極電極之該第一材料上的第二材料和配置於該第二閘極電極之該第一材料上的第三材料，其中假如該第一材料具有 p 型成分，則該第二材料具有 n 型成分，而假如該第一材料具有 n 型成分，則該第二材料具有 p 型成分；及其中該第二材料與該第三材料具有不同的化學成分。範例 8 可包括範例 1 之元件，其中該第一閘極電極和該第二閘極電極係由具有相同的 n 型或 p 型成分之第一材料所組成，該元件進一步包含配置

於該第一閘極電極之該第一材料上的第二材料和配置於該第二材料上的第三材料，其中該第三材料為較該第一材料更 p 型且較該第二材料更 n 型之填充材料。範例 9 可包括範例 1-8 之任一者的元件，進一步包含閘極電介質膜，其係配置於該第一閘極電極與該通道體之間以及於該第二閘極電極與該通道體之間。範例 10 可包括範例 1-8 之任一者的元件，其中該通道體係由未摻雜之半導體材料所組成的鰭片結構。範例 11 可包括範例 1-8 之任一者的元件，其中該第一厚度等於 30 埃或更小。

依據各個實施例，本發明描述一種方法。方法之範例 12 可包括提供配置於半導體基底上之通道體及形成與該通道體耦合之第一閘極電極和第二閘極電極，其中該第一閘極電極具有第一厚度，該第二閘極電極具有第二厚度，且該第一厚度大於該第二厚度。範例 13 可包括範例 12 之方法，其中形成該第一閘極電極和該第二閘極電極包含同時地將電極材料沈積在該第一閘極電極之第一區以及該第二閘極電極之第二區中而成為第一沈積之部分、選擇性地移除該第二區中之該電極材料、及接續於選擇性地移除該第二區中之該電極材料後，同時地將該電極材料沈積在該第一區以及該第二區中而成為第二沈積之部分。範例 14 可包括範例 13 之方法，進一步包含形成與該通道體耦合之第三閘極電極，其中該第三閘極電極具有第三厚度且該第二厚度係大於該第三厚度。範例 15 可包括範例 14 之方法，其中選擇性地移除該第二區中之該電極材料為第一移

除之部分，而形成該第三閘極電極包含當同時地將該電極材料沈積在該第一區以及該第二區中而成為第一沈積之部分時，同時地將該電極材料沈積在該第三閘極電極之第三區中；當選擇性地移除該第二區中之該電極材料為該第一移除之部分時，選擇性地移除該第三區中之該電極材料；當同時地將該電極材料沈積在該第一區以及該第二區中而成為第二沈積之部分時，同時地將該電極材料沈積在該第三區中；選擇性地移除該第三區中之該電極材料而成為第二移除之部分；及接續於選擇性地移除該第三區中之該電極材料而成為該第二移除之部分後，同時地將該電極材料沈積在該第一區、該第二區及該第三區中而成為第三沈積之部分。範例 16 可包括範例 13 之方法，進一步包形成與該通道體耦合而具有第四厚度之第四閘極電極，其中該第四厚度係大於該第一厚度且該第四閘極電極係由具有與該電極材料不同的化學成分之另一電極材料所組成。範例 17 可包括範例 13 之方法，其中該第一閘極電極和該第二閘極電極之該電極材料具有相同的 n 型或 p 型成分，該方法進一步包含將另一電極材料沈積在該第一閘極電極和該第二閘極電極之該電極材料上，其中假如該第一材料具有 p 型成分，則該第二材料具有 n 型成分，而假如該第一材料具有 n 型成分，則該第二材料具有 p 型成分。範例 18 可包括範例 12 之方法，其中形成該第一閘極電極包含以該第一閘極電極之材料取代犧牲材料。範例 19 可包括範例 12 之方法，進一步包含形成第三閘極電極於該第一閘

極電極上以及形成第四閘極電極於該第三閘極電極上，其中該第四閘極電極之材料為較該第一閘極電極之材料更 p 型且較該第三閘極電極之材料更 n 型的填充材料。範例 20 可包括範例 12-19 之任一者的方法，進一步包含在形成該第一閘極電極和該第二閘極電極之前，形成閘極電介質膜於該通道體上。範例 21 可包括範例 12-19 之任一者的方法，其中並無摻雜製程被執行在通道體上以調變一或更多電晶體之臨限電壓。

依據各個實施例，本發明描述一種系統（例如，計算裝置）。計算裝置之範例 22 包括電路板及與該電路板耦合之晶粒，該晶粒包括半導體基底、配置於該半導體基底上之通道體、與鰭片結構耦合而具有第一厚度之第一閘極電極、及與該通道體耦合而具有第二厚度之第二閘極電極，其中該第一厚度係大於該第二厚度。範例 23 可包括範例 22 之計算裝置，進一步包括與該通道體耦合而具有第三厚度之第三閘極電極，其中該第二厚度係大於該第二厚度，及該第一閘極電極、該第二閘極電極和該第三閘極電極係由具有相同化學成分之第一材料所組成。範例 24 可包括範例 22 或 23 之計算裝置，其中該晶粒為處理器而該計算裝置為行動計算裝置，其包括以下之一或更多者：天線、顯示、觸控螢幕顯示、觸控螢幕控制器、電池、音頻編碼解碼器、視頻編碼解碼器、功率放大器、全球定位系統（GPS）裝置、羅盤、蓋革計數器、加速計、迴轉儀、揚聲器、及相機。

各個實施例可包括上述實施例之任何適當組合，包括以結合形式（及）描述於上之實施例的替代（或）實施例（例如，「及」可為「及/或」）。再者，某些實施例可包括其上儲存有指令之一或更多製造物件（例如，非暫態電腦可讀取媒體），當被執行時，該些指令導致任何上述實施例之動作。此外，某些實施例可包括元件或系統，其具有用以執行上述實施例之各個操作的任何適當機構。

闡明的實施方式之上述描述（包括摘要中所述者）不是想要詳盡或者限制本發明之實施例於所揭露的精確形式。雖然特定實施方式及範例被描述於文中以供說明性目的，但於本發明之範圍內的各個同等修改是可能的，如那些熟悉相關技藝人士所將認可者。

可根據上述詳細描述以對本發明之實施例做出這些修改。以下申請專利範圍中所使用之術語不應被解讀為限制本發明之各個實施例於說明書及申請專利範圍中所揭露的特定實施方式。反之，範圍應完全由後附申請專利範圍所判定，該申請專利範圍應依據已建立的申請專利範圍解讀原理來解釋。

【符號說明】

10：晶圓形式

11：晶圓

100：單片化形式

102、102a、102b：晶粒

104：通道體

106：晶粒級互連結構

110：墊

112：焊球

121：封裝基底

122：電路板

200：積體電路（IC）組合

300：範例帶圖

440：電介質材料

442：閘極電介質

444：電極材料

446：另一電極材料

550：圖案轉移層

600：範例帶圖

740：犧牲材料

744：另一電極材料

880：圖案轉移層

900：範例帶圖

1044：電極材料

1200：計算裝置

1202：主機板

1204：處理器

1206：通訊晶片

# 申請專利範圍

1.一種積體電路，包含：

第一鰭片和第二鰭片，其中該些第一和第二鰭片包括矽；

第一 n 型金氧半導體（NMOS）電晶體之第一閘極電極，位於該第一鰭片之頂部表面和側壁上，該第一閘極電極包括於該第一鰭片之該頂部表面上方具有第一厚度的第一層；

第二 NMOS 電晶體之第二閘極電極，位於該第二鰭片之頂部表面和側壁上，其中該第二閘極電極包括於該第二鰭片之該頂部表面上方具有不同於該第一厚度之第二厚度的第二層，其中該第一層和該第二層包括鉭；及

介於該第一閘極電極與該第一鰭片之間的第一閘極電介質和介於該第二閘極電極與該第二鰭片之間的第二閘極電介質，該些第一和第二閘極電介質包括鉿及氧。

2.如申請專利範圍第 1 項之積體電路，其中該些第一和第二閘極電極包括複數層，其包括該些個別第一和第二層，其中該些第一和第二閘極電極之該些複數層係由相同的材料所形成，及其中該些第一和第二層具有相同的順序於該些個別複數層內。

3.如申請專利範圍第 2 項之積體電路，其中該些複數層進一步包括一或更多含鈦層。

4.如申請專利範圍第 1 項之積體電路，進一步包含：

第三鰭片；及

位於該第三鰭片之頂部表面和側壁上的第三閘極電極，其中該第三閘極電極包括於該第三鰭片之該頂部表面上方具有不同於該些第一和第二厚度之第三厚度的第三層，其中該第三層包括鉭。

5.如申請專利範圍第 1 項之積體電路，其中該些第一和第二層包括第一金屬，及其中該些第一和第二閘極電極進一步包含位於該些個別第一和第二層上之第二金屬。

6.如申請專利範圍第 5 項之積體電路，其中：

該第一金屬為 p 型工作函數金屬而該第二金屬為 n 型工作函數金屬，或

該第一金屬為 n 型工作函數金屬而該第二金屬為 p 型工作函數金屬。

7.如申請專利範圍第 1 項之積體電路，其中該些第一和第二工作函數金屬層包括第一金屬，

其中該第一閘極電極包括位於該第一層上並與該第一層接觸之第二金屬，及其中該第二閘極電極包括位於該第二層上並與該第二層接觸之第三金屬，其中該些第一、第二、和第三金屬具有不同的化學成分。

8.如申請專利範圍第 1 項之積體電路，其中該些第一和第二層包括第一金屬，及其中該些第一和第二閘極電極進一步包含：

位於該第一層上並與該第一層接觸之第二金屬；及

位於該第二金屬上並與該第二金屬接觸之第三金屬，其中該第三金屬之工作函數為較該第一金屬更 p 型且較該

第二金屬更 n 型。

9.如申請專利範圍第 1 項之積體電路，其中該些第一和第二鰭片為未摻雜的。

10.如申請專利範圍第 1 項之積體電路，其中該第一厚度為 5 埃或更小而該第二厚度為大於 5 埃。

11.如申請專利範圍第 1 項之積體電路，其中該第一電極之第一工作函數及該第二電極之工作函數係根據該個別的第一厚度及第二厚度。

12.一種用以形成積體電路之方法，該方法包含：

提供第一鰭片和第二鰭片，其中該些第一和第二鰭片包括矽；

形成第一閘極電介質於該第一鰭片之頂部表面和側壁上，該第一閘極電介質包括鉿及氧；

形成第二閘極電介質於該第二鰭片之頂部表面和側壁上，該第二閘極電介質包括鉿及氧；

形成第一閘極電極之第一層於該第一鰭片之該頂部表面和該些側壁上方的該閘極電介質上，該第一層具有第一厚度；及

形成第二閘極電極之第二層於該第二鰭片之該頂部表面和該些側壁上方的該閘極電介質上，該第二層具有第二厚度，其中該第一層和該第二層係由包括鉭之相同材料所組成。

13.如申請專利範圍第 12 項之方法，其中該些第一和第二層之材料為工作函數金屬，且其中該方法進一步包

含：

在形成該第一層之前形成犧牲材料於鄰接該第一閘極電極之閘極區中，以防止當形成該第一層時該第一層之形成於該閘極區中；

在形成該第一層之後從該閘極區移除該犧牲材料；及

形成第三層於該閘極區中，其中該第三層包括與該些第一和第二層之該工作函數金屬不同的工作函數金屬。

14.如申請專利範圍第 12 項之方法，其中形成該第一層和該第二層包含：

同時地沈積該材料於該第一閘極電極之第一區和該第二閘極電極之第二區中以成為第一沈積之部分；

選擇性地從該第二區移除該材料；及

同時地沈積該材料於該第一區和該第二區中以成為第二沈積之部分，接續於選擇性地從該第二區移除該材料以後。

15.如申請專利範圍第 14 項之方法，其中選擇性地從該第二區移除該材料為第一移除之部分，其中該方法進一步包含：

當同時地沈積該材料於該第一區和該第二區中以成為該第一沈積之部分時，同時地沈積該材料於第三閘極電極之第三區中；

當選擇性地移除該第二區中之工作函數金屬以成為該第一移除之部分時，選擇性地移除該第三區中之該材料；

當同時地沈積該材料於該第一區和該第二區中以成為

該第二沈積之部分時，同時地沈積該材料於第三區中；

選擇性地移除該第三區中之該材料以成為第二移除之部分；及

同時地沈積該材料於該第一區、該第二區和該第三區中以成為第三沈積之部分，接續於選擇性地移除該第三區中之該材料以成為該第二移除之部分以後，以提供該材料之第三層予該第三閘極電極，該第三層具有小於該些第一和第二厚度之第三厚度。

16.如申請專利範圍第 12 項之方法，進一步包含形成該些第一和第二閘極電極之複數層，包括該些個別第一和第二層，其中該些第一和第二閘極電極之該些複數層係由相同材料所組成。

17.如申請專利範圍第 12 項之方法，其中並無摻雜製程被執行在該些第一或第二鰭片上以調變一或更多電晶體之臨限電壓。

18.一種計算裝置，包含：

電路板；及

與該電路板耦合之晶粒，該晶粒包括

第一鰭片和第二鰭片，其中該些第一和第二鰭片包括矽；

第一 n 型金氧半導體（NMOS）電晶體之第一閘極電極，位於該第一鰭片之頂部表面和側壁上，該第一閘極電極具有第一堆疊的金屬層，包括具有第一厚度之第一金屬層；及

第二 NMOS 電晶體之第二閘極電極，位於該第二鰭片之頂部表面和側壁上，該第二閘極電極具有第二堆疊的金屬層，包括具有不同於該第一厚度的第二厚度之第二金屬層，其中該些第一和第二堆疊的金屬層具有相同的材料成分，其中該些第一和第二金屬層係相應於該些個別第一和第二堆疊的金屬層內之相同層，及其中該些第一和第二金屬層係由包括鉭之相同材料所組成。

19.如申請專利範圍第 18 項之計算裝置，進一步包含配置於該第一堆疊的金屬層與該第一鰭片之間以及配置於該第二堆疊的金屬層與該第二鰭片之間的電介質材料，其中該些第一和第二閘極電極係與該電介質材料直接接觸，及其中該電介質材料包括鉿及氧。

20.如申請專利範圍第 18 項之計算裝置，進一步包含：

位於第三鰭片之頂部表面和側壁上的第三閘極電極，該第三閘極電極具有第三堆疊的層，包括具有不同於該些第一和第二厚度的第三厚度之第三金屬層，其中該些第一、第二和第三金屬層係由相同的金屬所組成。

21.如申請專利範圍第 18 項之計算裝置，進一步包含：

位於第三鰭片之頂部表面和側壁上的第三閘極電極，該第三閘極電極包括具有不同於該第一厚度的第三厚度之第三金屬層，其中該第三金屬層係由與該些第一和第二金屬層不同的金屬所組成。

22.如申請專利範圍第 18 項之計算裝置，其中該些第一和第二堆疊的金屬層進一步包括一或更多含鈦層。

23.如申請專利範圍第 18 項之計算裝置，其中：

該晶粒為處理器；以及

該計算裝置為行動計算裝置，其包括以下之一或更多者：天線、顯示、觸控螢幕顯示、觸控螢幕控制器、電池、音頻編碼解碼器、視頻編碼解碼器、功率放大器、全球定位系統（GPS）裝置、羅盤、蓋革計數器、加速計、迴轉儀、揚聲器、及相機。

# 圖 式

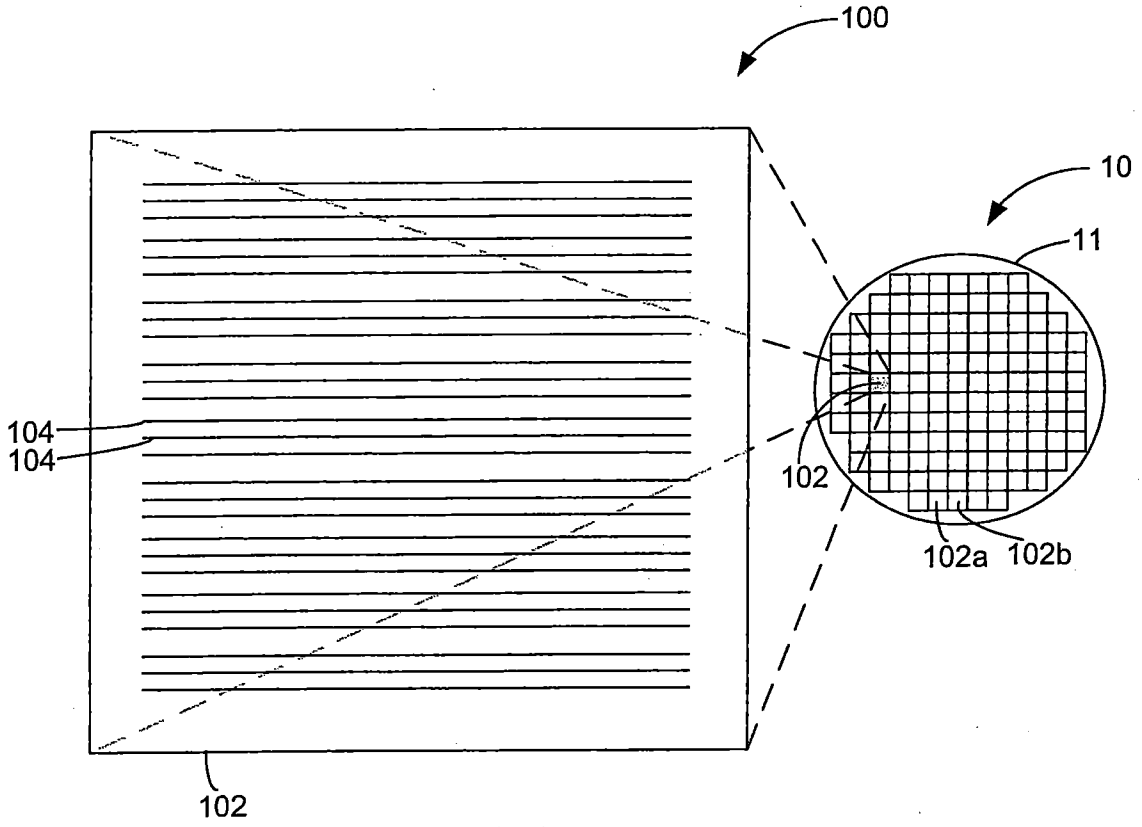

100
10
11
104
104
102
102a
102b
102

圖 1

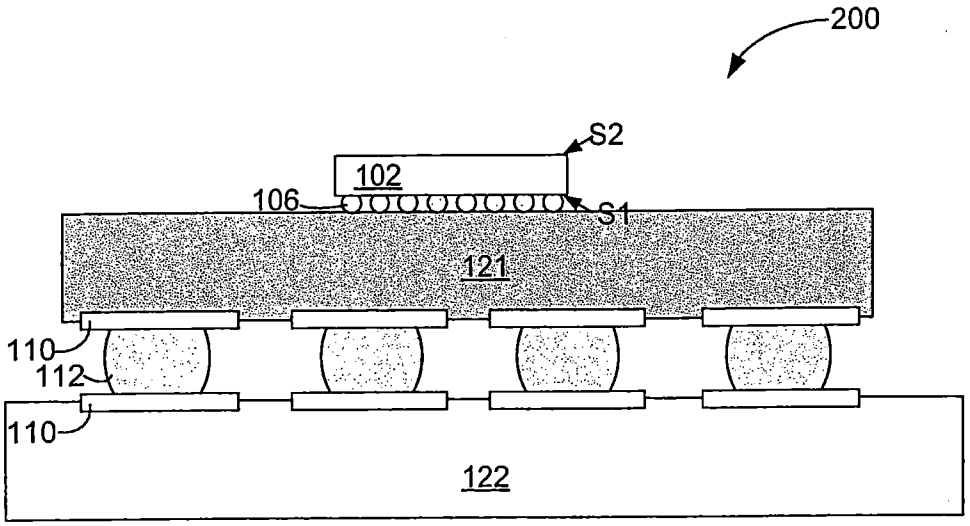

200
S2
102
106
S1
121
110
112
110
122

圖 2

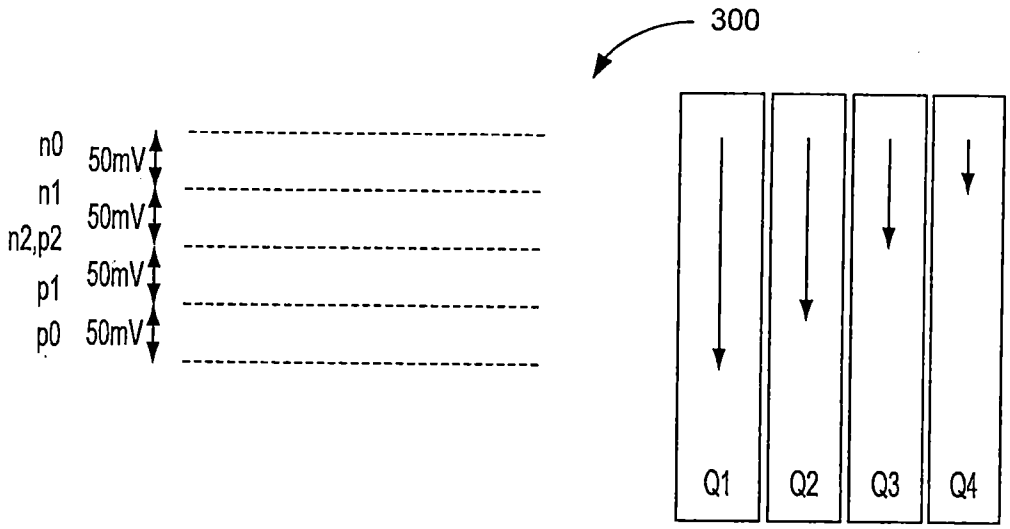

300
n0
50mV
n1
50mV
n2,p2
50mV
p1
50mV
p0
50mV
Q1
Q2
Q3
Q4

圖 3

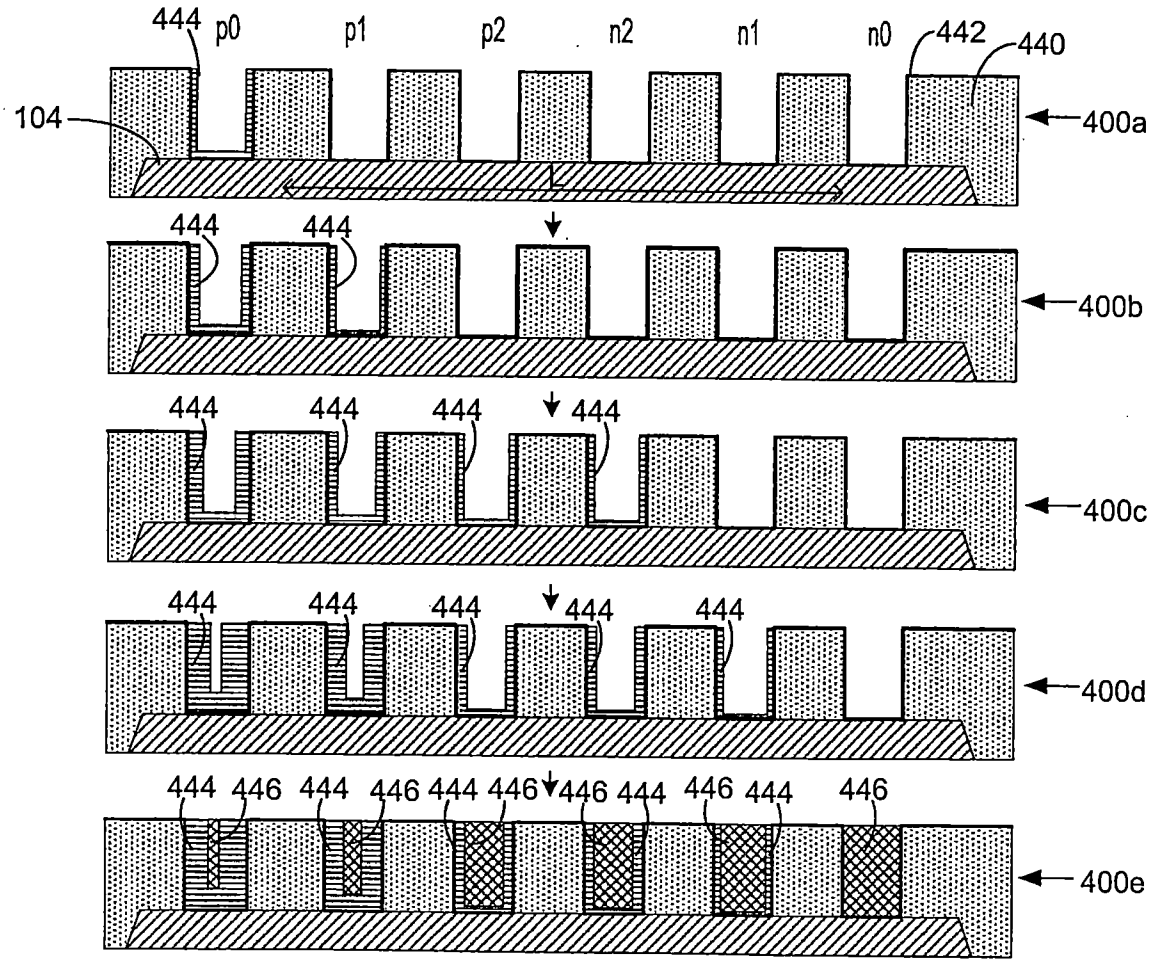

444
p0
p1
p2
n2
n1
n0
442
440
104
400a
400b
400c
400d
400e
446

圖 4

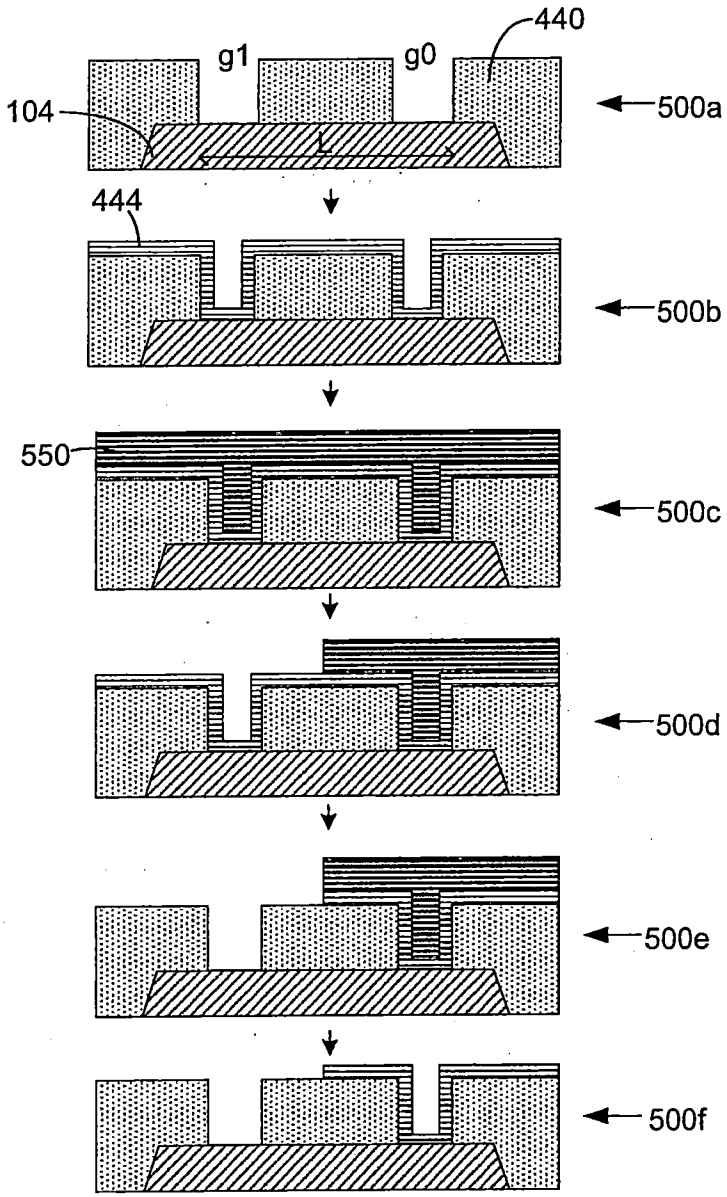



圖 5

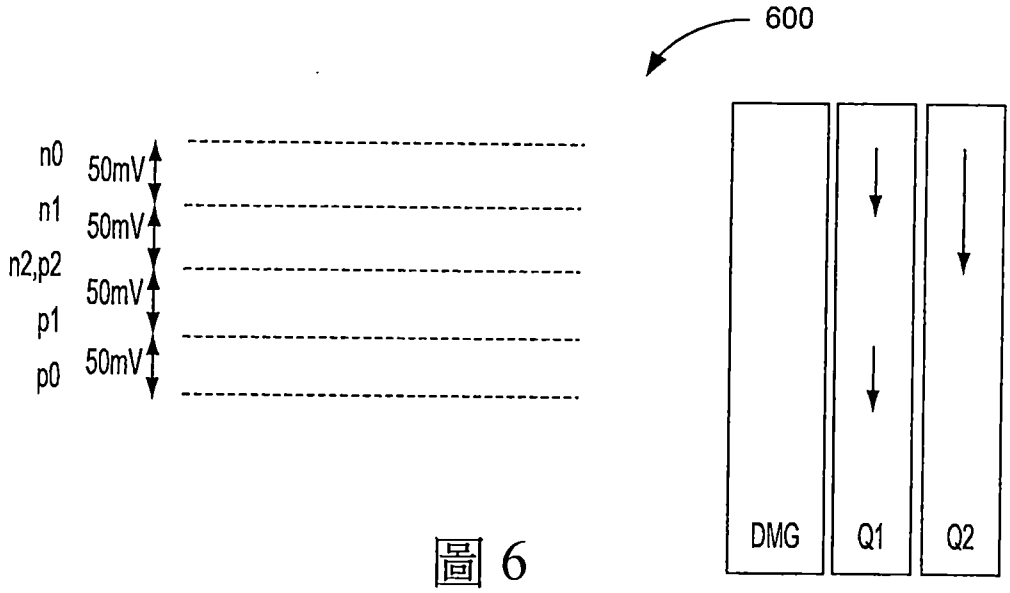

600
n0
50mV
n1
50mV
n2,p2
50mV
p1
50mV
p0
DMG
Q1
Q2

圖 6

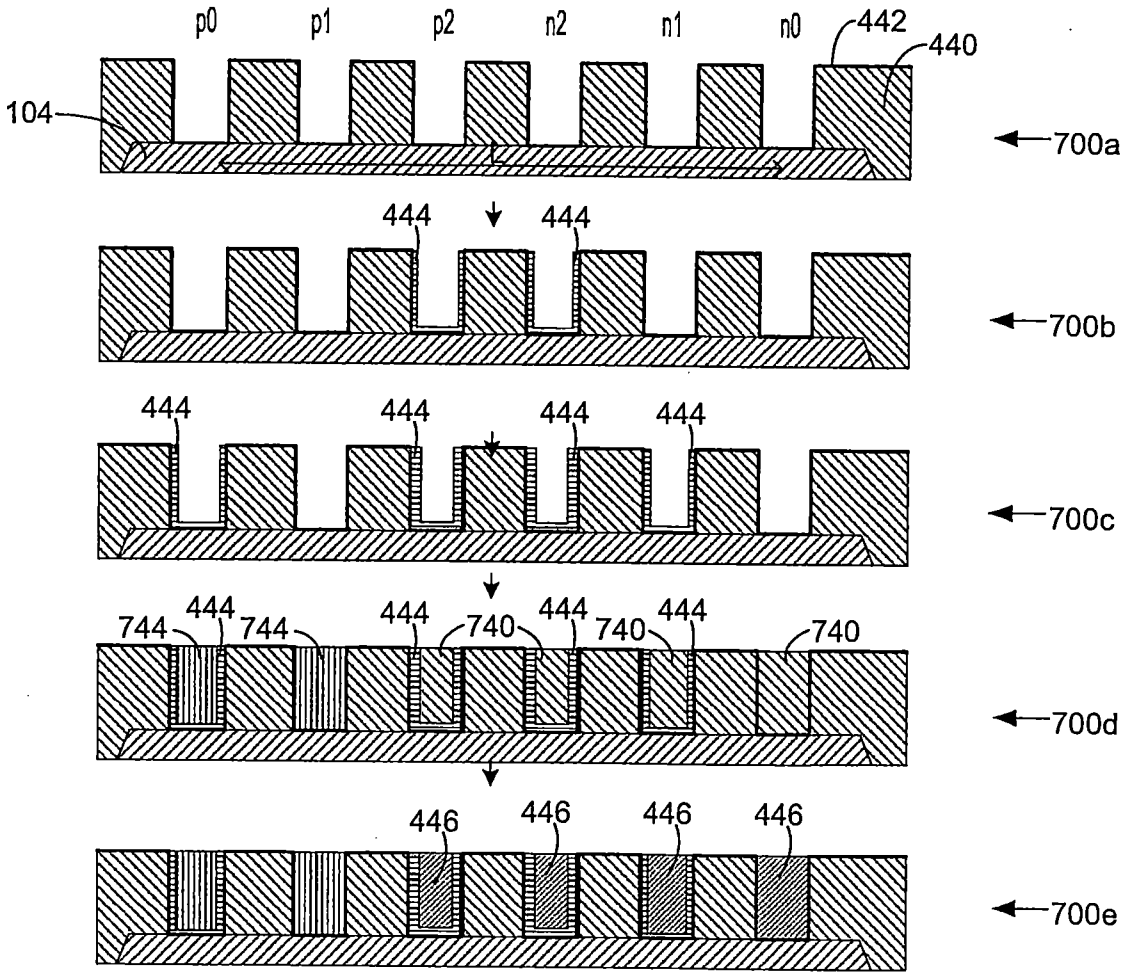

p0
p1
p2
n2
n1
n0
442
440
104
700a
444
444
700b
444
444
444
444
700c
744
444
744
444
740
444
740
444
740
700d
446
446
446
446
700e

圖 7

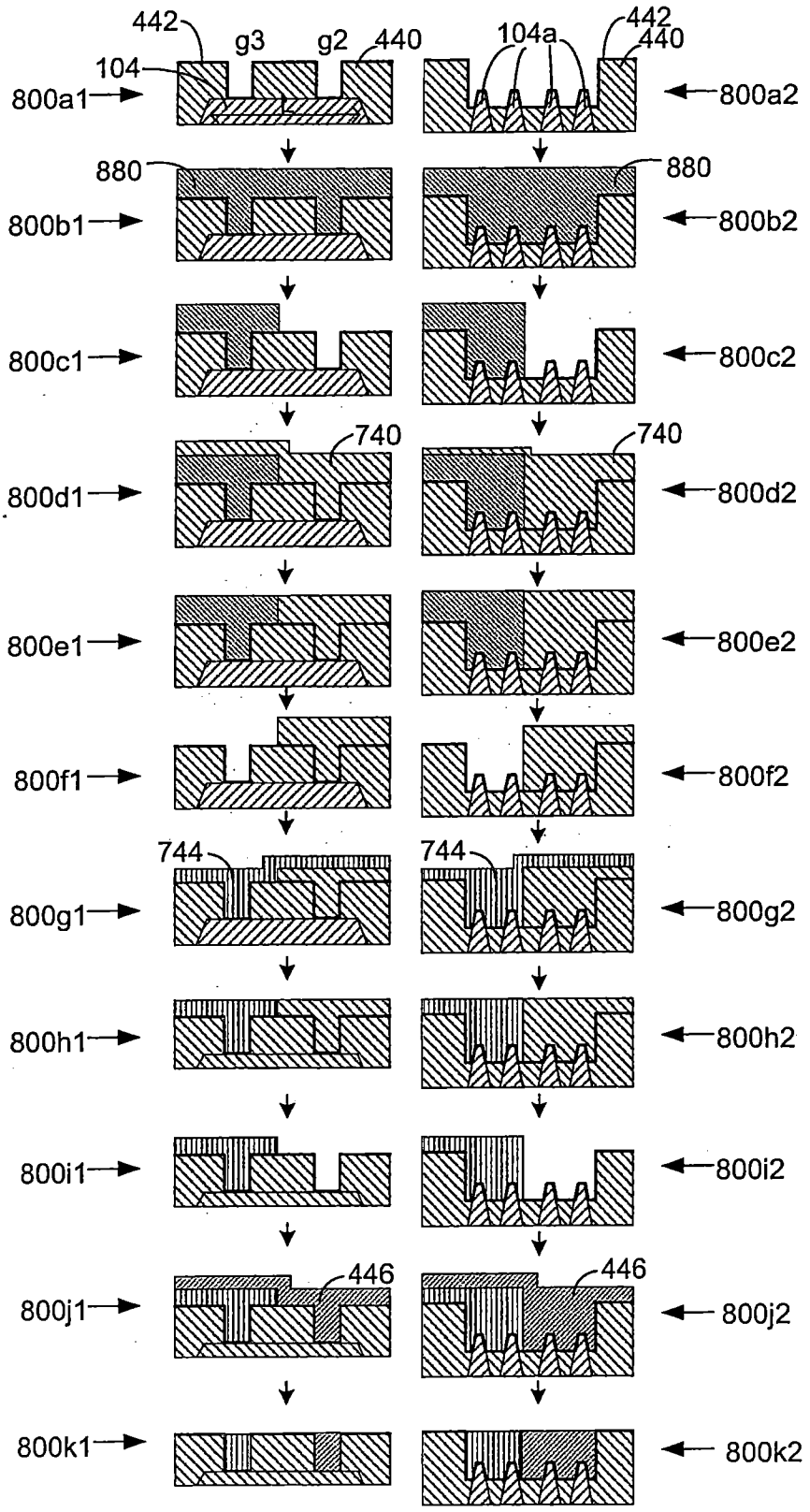

442
g3
g2
440
104
800a1
104a
442
440
800a2
880
800b1
880
800b2
800c1
800c2
740
800d1
740
800d2
800e1
800e2
800f1
800f2
744
800g1
744
800g2
800h1
800h2
800i1
800i2
446
800j1
446
800j2
800k1
800k2

圖 8

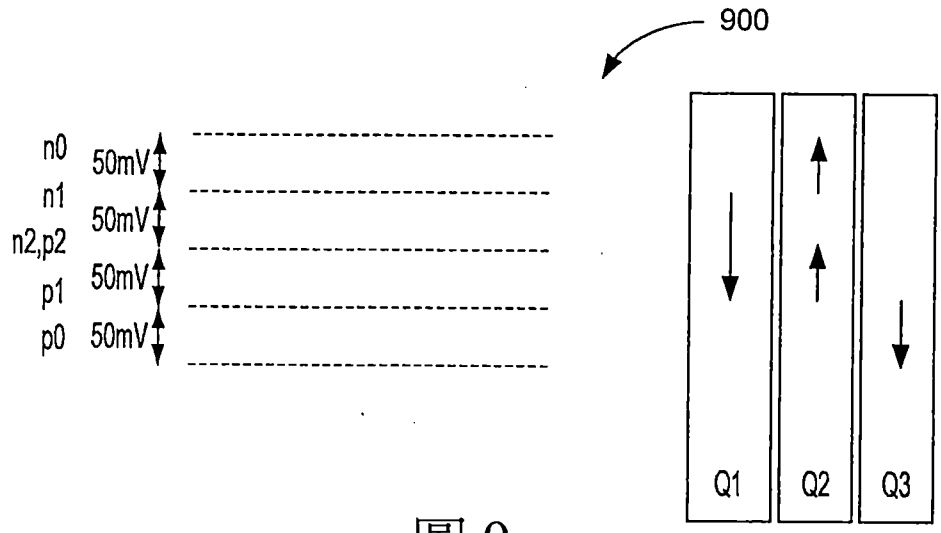

900
n0
50mV
n1
50mV
n2,p2
50mV
p1
50mV
p0
50mV
Q1
Q2
Q3

圖 9

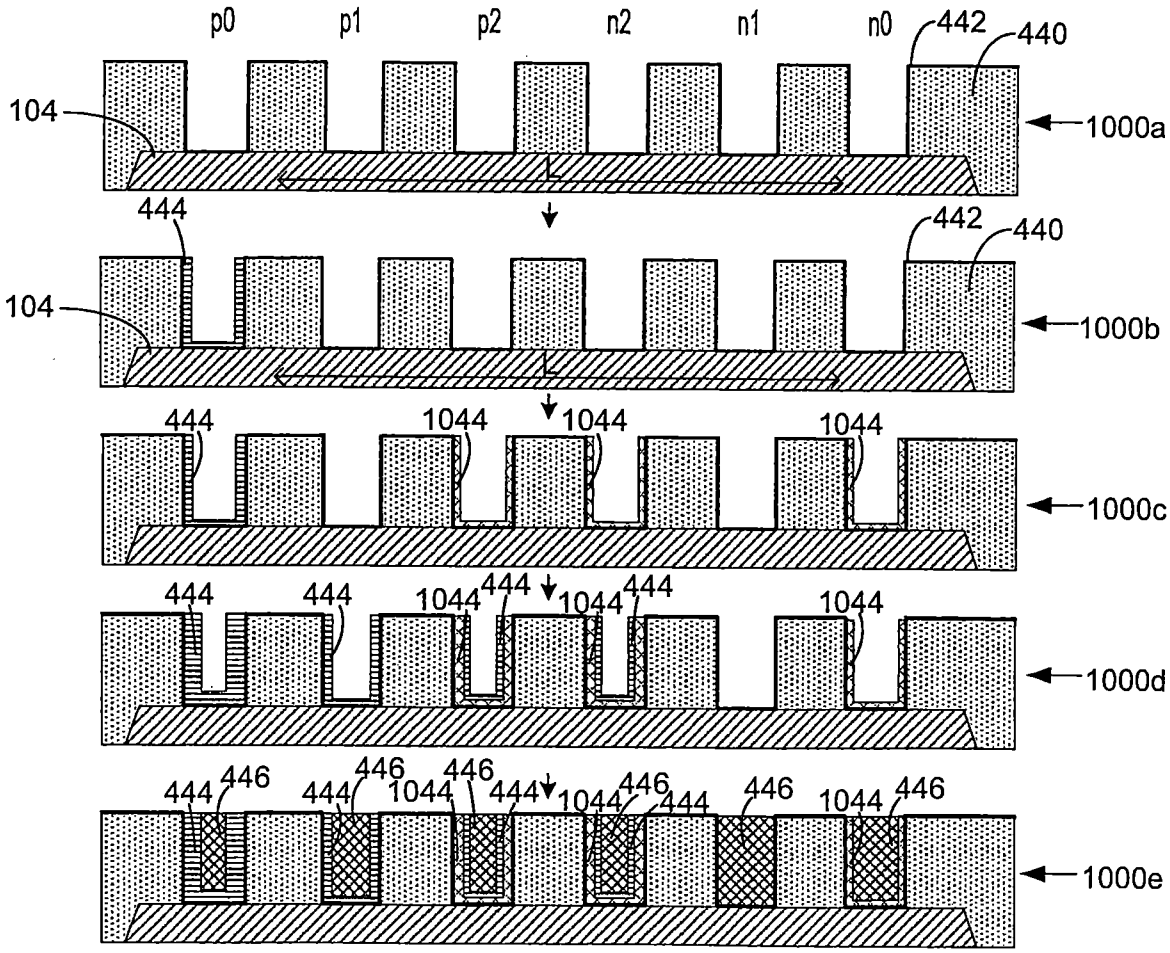

p0
p1
p2
n2
n1
n0
442
440
104
1000a
444
442
440
104
1000b
444
1044
1044
1044
1000c
444
444
1044
444
1044
444
1044
1000d
444
446
444
446
1044
446
444
1044
446
444
446
1044
446
1000e

圖 10

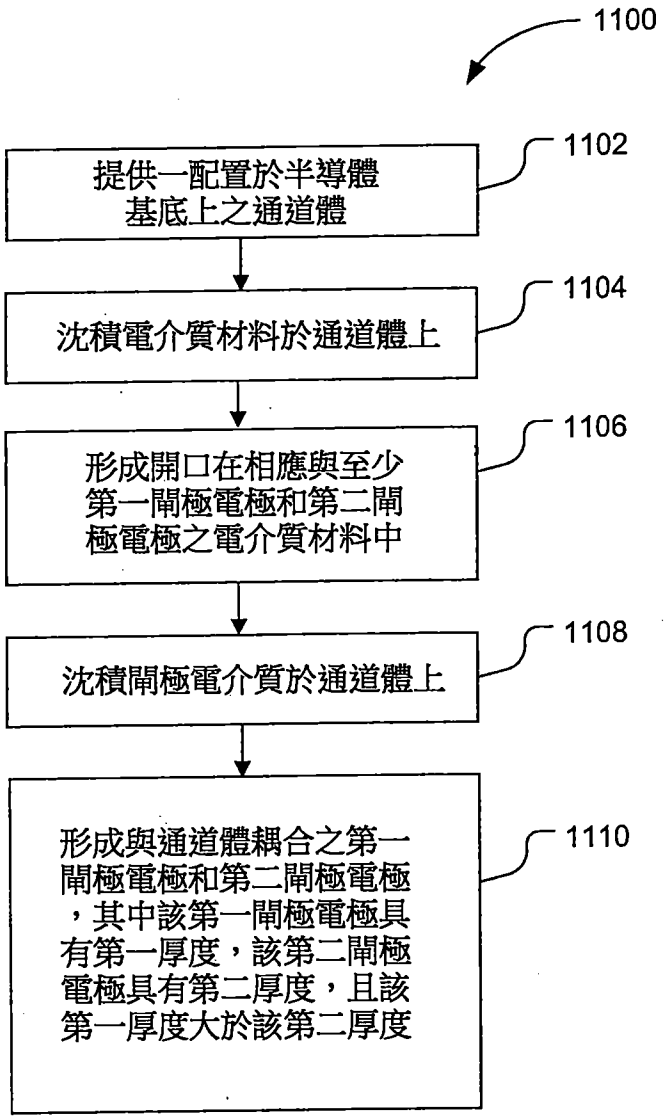

1100
提供一配置於半導體基底上之通道體
1102
沈積電介質材料於通道體上
1104
形成開口在相應與至少第一閘極電極和第二閘極電極之電介質材料中
1106
沈積閘極電介質於通道體上
1108
形成與通道體耦合之第一閘極電極和第二閘極電極，其中該第一閘極電極具有第一厚度，該第二閘極電極具有第二厚度，且該第一厚度大於該第二厚度
1110

圖 11

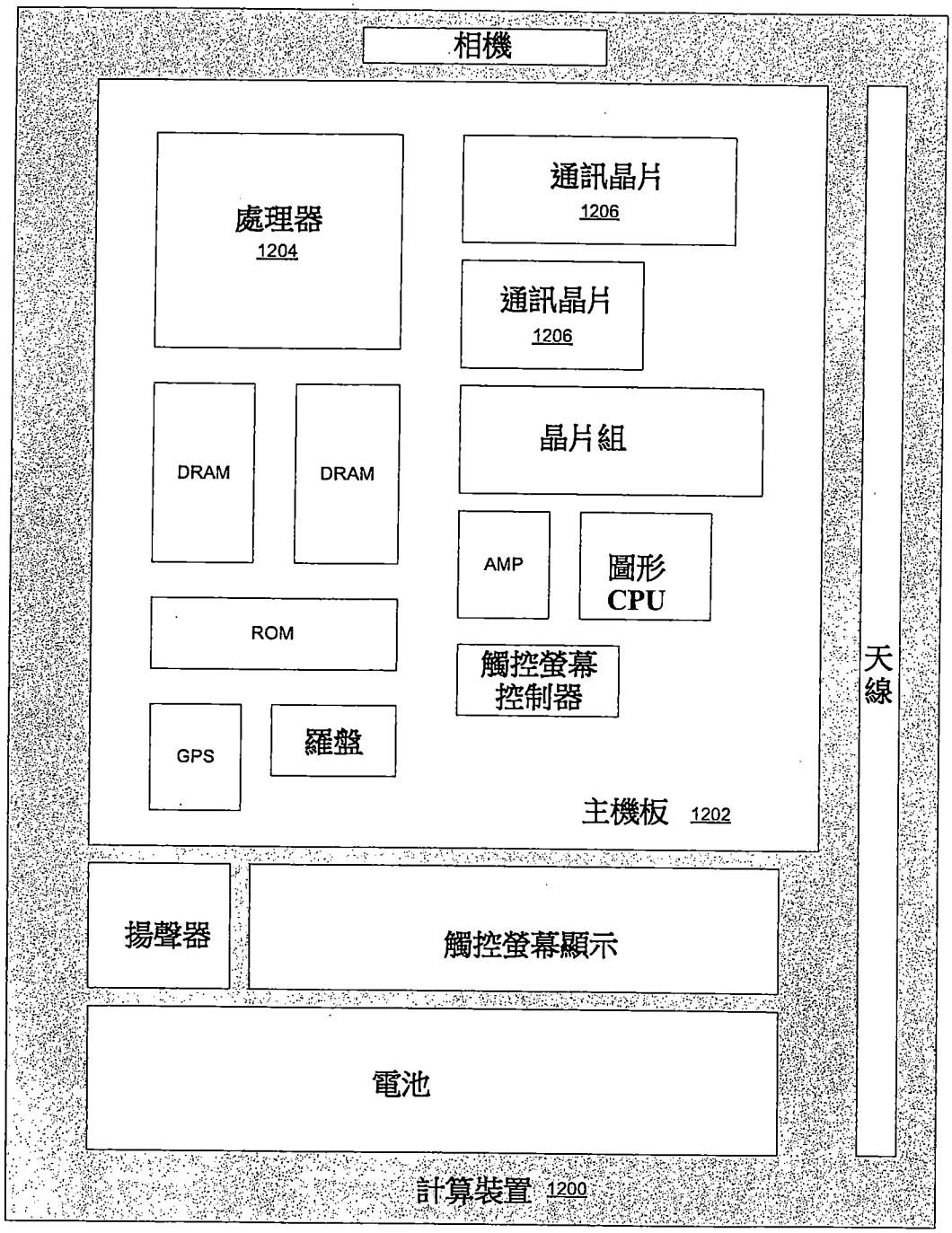

相機
處理器
1204
通訊晶片
1206
通訊晶片
1206
DRAM
DRAM
晶片組
AMP
圖形
CPU
ROM
觸控螢幕
控制器
GPS
羅盤
主機板 1202
天線
揚聲器
觸控螢幕顯示
電池
計算裝置 1200

圖 12