



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I463579 B

(45)公告日：中華民國 103 (2014) 年 12 月 01 日

(21)申請案號：101132952

(22)申請日：中華民國 101 (2012) 年 09 月 10 日

(51)Int. Cl. : H01L21/58 (2006.01)

H01L21/56 (2006.01)

(71)申請人：矽品精密工業股份有限公司 (中華民國) SILICONWARE PRECISION INDUSTRIES CO., LTD. (TW)

臺中市潭子區大豐路 3 段 123 號

(72)發明人：白裕呈 PAI, YU CHENG (TW)；孫銘成 SUN, MING CHEN (TW)；蕭惟中 HSIAO, WEI CHUNG (TW)；洪良易 HUNG, LIANG YI (TW)；林俊賢 LIN, CHUN HSIEN (TW)

(74)代理人：陳昭誠

(56)參考文獻：

US 7247526B1

US 2004/0038471A1

US 2005/0218499A1

US 2006/0170081A1

審查人員：郭子鳳

申請專利範圍項數：12 項 圖式數：2 共 21 頁

(54)名稱

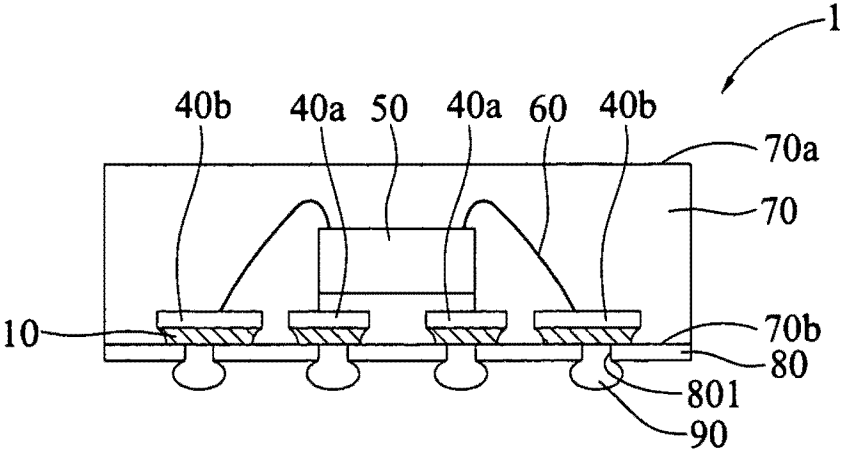
四方平面無導腳半導體封裝件及其製法

QUAD FLAT NO LEAD (QFN) SEMICONDUCTOR PACKAGE AND METHOD OF FORMING SAME

(57)摘要

一種四方平面無導腳半導體封裝件，係包括：封裝膠體、構形為上寬下窄且嵌設於該封裝膠體下表面之金屬層、埋於該封裝膠體中且結合於該金屬層上之複數電性連接墊、以及埋於該封裝膠體中並電性連接該些電性連接墊之半導體晶片，藉由該金屬層具有上寬下窄之構形，使得該電性連接墊不易自該封裝膠體中脫落，而能提升信賴性。

The invention provides a Quad Flat No Lead (QFN) semiconductor package and method of forming the same, the QFN package comprising a package encapsulant, a cone-shaped metallic layer having the shape wider on top and narrow down on bottom and embedded in the lower surface of the encapsulant, a plurality of electrical connecting pads embedded in the encapsulant and connecting onto the metallic layer, and a semiconductor chip embedded in the encapsulant and electrically connecting to the electrical connecting pads, such that the connecting pads can be prevented from falling off from the encapsulant by the cone shaped structure.



第1H圖

- 1 . . . 半導體封裝件
- 10 . . . 金屬層
- 40a . . . 置晶墊
- 40b . . . 電性連接墊
- 50 . . . 半導體晶片
- 60 . . . 鐸線
- 70 . . . 封裝膠體
- 70a . . . 第一表面
- 70b . . . 第二表面
- 80 . . . 防鐸層
- 801 . . . 防鐸層開口
- 90 . . . 導電元件

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101132952

※申請日：

101.9.10

※IPC分類：

H01L21/58 2006.01

H01L21/06 2006.01

一、發明名稱：(中文/英文)

四方平面無導腳半導體封裝件及其製法

QUAD FLAT NO LEAD (QFN) SEMICONDUCTOR PACKAGE AND
METHOD OF FORMING SAME

二、中文發明摘要：

一種四方平面無導腳半導體封裝件，係包括：封裝膠體、構形為上寬下窄且嵌設於該封裝膠體下表面之金屬層、埋於該封裝膠體中且結合於該金屬層上之複數電性連接墊、以及埋於該封裝膠體中並電性連接該些電性連接墊之半導體晶片，藉由該金屬層具有上寬下窄之構形，使得該電性連接墊不易自該封裝膠體中脫落，而能提升信賴性。

三、英文發明摘要：

The invention provides a Quad Flat No Lead (QFN) semiconductor package and method of forming the same, the QFN package comprising a package encapsulant, a cone-shaped metallic layer having the shape wider on top and narrow down on bottom and embedded in the lower surface of the encapsulant, a plurality of electrical connecting pads embedded in the encapsulant and connecting onto the metallic layer, and a semiconductor chip embedded in the encapsulant and electrically connecting to the electrical connecting pads, such that the connecting pads can be prevented from falling off from the encapsulant by the cone shaped structure.

四、指定代表圖：

(一)本案指定代表圖為：第 (1H) 圖。

(二)本代表圖之元件符號簡單說明：

1	半導體封裝件
10	金屬層
40a	置晶墊
40b	電性連接墊
50	半導體晶片
60	鐳線
70	封裝膠體
70a	第一表面
70b	第二表面
80	防鐳層
801	防鐳層開口
90	導電元件

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式。

六、發明說明：

【發明所屬之技術領域】

本發明係有關一種半導體封裝件及其製法，尤指一種四方平面無導腳半導體封裝件及其製法。

【先前技術】

隨著電子產業的蓬勃發展，許多高階電子產品都逐漸朝往輕、薄、短、小等高集積度方向發展，半導體封裝結構也發展出許多種不同的電路模組，其中，無導腳半導體封裝件是一種特殊電路模組，特徵是錫球皆外露於半導體封裝件底部，其結合係採用表面耦接方式。表面耦接係在半導體與印刷電路板作接合過程中，將封裝單元直接錫結至印刷電路板上，使得無導腳半導體封裝件的接腳與電路板能夠緊密接合。

舉例而言，如第 2A 至 2D 圖所示之習知四方平面無導腳半導體封裝件 2 之製法。

如第 2A 及 2A' 圖所示，提供一載體 21，其材質為銅，在該載體 21 上形成晶片座 41a 及複數個環設於該晶片座 41a 周圍之電性連接墊 41b，且如第 2A' 圖所示，至少部份該電性連接墊 41b 延伸有導電跡線 42b。

如第 2B 圖所示，於該晶片座 41a 頂面上接置半導體晶片 51，接著以錫線 61 電性連接該半導體晶片 51 與各該電性連接墊 41b，之後再於該載體 21 上形成封裝膠體 71，以包覆該晶片座 41a、電性連接墊 41b、半導體晶片 51 及錫線 61。

如第 2C 圖所示，移除該載體 21，以令晶片座 41a 及電性連接墊 41b 之底面外露出該封裝膠體 71 之底面。

如第 2D 圖所示，於該封裝膠體 71、晶片座 41a 及電性連接墊 41b 之底面形成防銲層 81，且該防銲層 81 具有複數外露晶片座 41a 及電性連接墊 41b 之部分底面之防銲層開口 811，接著於該防銲層開口 811 中形成銲球 91。

然而，該半導體封裝件 2 之晶片座 41a 及電性連接墊 41b 的側面大致上呈現平面，容易自該封裝膠體 71 中脫落，影響產品信賴性。

因此，如何提供一種四方平面無導腳半導體封裝件及製法，俾能確保產品的可靠度，實為一重要課題。

【發明內容】

鑒於上述習知技術之缺失，本發明提供一種四方平面無導腳半導體封裝件，係包括：封裝膠體，係具有相對之第一表面及第二表面；金屬層，係為上寬下窄之構形，且嵌設於該封裝膠體之第二表面上；複數電性連接墊，係埋於該封裝膠體中且結合於該金屬層之上寬構形上；以及半導體晶片，係埋於該封裝膠體中並電性連接該些電性連接墊。

前述之半導體封裝件及其製法中，該金屬層係為金屬鍍層。

本發明復提供一種四方平面無導腳半導體封裝件之製法，係包括：形成複數電性連接墊於一載體上之金屬層上；移除未被該電性連接墊覆蓋之金屬層，以外露出部份

該載體，且令該電性連接墊下方之金屬層具有上寬下窄之構形；接置半導體晶片於該載體上方，並使該半導體晶片電性連接該些電性連接墊；於該載體上形成封裝膠體，以包覆該半導體晶片與該電性連接墊及其下方之金屬層，且該封裝膠體具有相對之第一表面和第二表面，而該封裝膠體之第二表面係與該載體接觸；以及移除該載體，以顯露該封裝膠體之第二表面與該電性連接墊下方之金屬層。

前述之製法中，形成該電性連接墊之製程係包括：形成具有複數阻層開口之阻層於該載體之金屬層上，以外露出部分該金屬層；電鍍形成該電性連接墊於該阻層開口中；以及移除該阻層。

前述之製法中，該載體係為鐵合金載體。

前述之製法中，該載體之金屬層係經表面處理而得，且該表面處理之方式係為物理氣相沉積、電鍍、無電鍍或濺鍍。

前述之製法中，係以蝕刻方式移除未被該電性連接墊覆蓋之金屬層，以令該電性連接墊下方之金屬層具有上寬下窄之構形。

前述之半導體封裝件及其製法中，形成該金屬層之材質係為銅。

前述之半導體封裝件及其製法中，形成該電性連接墊之材質係為 Au/Pd/Ni/Pd、Au/Ni/Cu/Ni/Ag、Au/Ni/Cu/Ag、Pd/Ni/Pd、Au/Ni/Au 或 Pd/Ni/Au。

前述之半導體封裝件及其製法中，該載體之金屬層上

復具有至少一置晶墊，以設置該半導體晶片，且該些電性連接墊係位於該置晶墊周圍。

前述之半導體封裝件及其製法中，復包括形成防銲層於該封裝膠體之第二表面上，且該防銲層具有複數外露出該金屬層之防銲層開口。又包括形成導電元件於該防銲層開口中。

前述之半導體封裝件及其製法中，該半導體晶片係以導電凸塊或銲線電性連接該些電性連接墊。

由上可知，本發明係以鐵合金載體取代銅合金載體，可降低使用成本。再者，使用銅作為鐵合金載體表面之金屬鍍層可提升導電電性，有利於形成置晶墊和電性連接墊。

此外，根據本發明之製法，因預先形成金屬層於該載體上，故封裝製程無需於形成防銲層之前再形成保護層，另一方面，當該封裝膠體包覆住金屬層時，該金屬層上寬下窄之構形會形成錨狀嵌卡，避免該置晶墊和電性連接墊自封裝膠體中脫落，進一步提升信賴性。

【實施方式】

以下係藉由特定的具體實例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點與功效。本發明亦可藉由其他不同的具體實例加以施行或應用，本說明書中的各項細節亦可基於不同觀點與應用，在不悖離本發明之精神下進行各種修飾與變更。

須知，本說明書所附圖式所繪示之結構、比例、大小

等，均僅用以配合說明書所揭示之內容，以供熟悉此技藝之人士之瞭解與閱讀，並非用以限定本創作可實施之限定條件，故不具技術上之實質意義，任何結構之修飾、比例關係之改變或大小之調整，在不影響本創作所能產生之功效及所能達成之目的下，均應仍落在本創作所揭示之技術內容得能涵蓋之範圍內。同時，本說明書中所引用之如「第一」、「第二」、「第三」及「上」等之用語，亦僅為便於敘述之明瞭，而非用以限定本創作可實施之範圍，其相對關係之改變或調整，在無實質變更技術內容下，當亦視為本創作可實施之範疇。

第 1A 至 1H 圖係顯示本發明四方平面無導腳半導體封裝件 1 之製法之剖面示意圖。

如第 1A 圖所示，提供於一表面上具有材質如銅之金屬層 10 之載體 20。

在本實施例中，該載體 20 之頂面和底面皆具有金屬層 10，惟亦可僅在頂面或底面形成一金屬層 10。該載體 20 可為鐵合金載體，且預先表面處理該載體 20 而得金屬層 10，而該金屬層 10 係為金屬鍍層，如銅。

又，該載體 20 為鐵合金時，其可選自低碳鋼、中碳鋼、高碳鋼、灰鑄鐵、白鑄鐵及任何摻雜入其它雜質原子的鐵碳二元合金。另外，該表面處理方法包括：物理氣相沉積、電鍍、無電鍍或濺鍍。

如第 1B 圖所示，利用圖案化技術，形成具有複數阻層開口 301 之阻層 30 於該載體 20 頂面之金屬層 10 上，以

外露出部分該金屬層 10。

如第 1C 圖所示，以例如電鍍之方式形成複數置晶墊 40a 和電性連接墊 40b 於該阻層開口 301 中。在本實施例中，係形成複數置晶墊 40a，且該些電性連接墊 40b 係位於用以接置半導體晶片之複數置晶墊 40a 整體周圍；於另一實施例中，可僅形成複數電性連接墊 40b 而不形成該置晶墊 40a。該置晶墊 40a 和電性連接墊 40b 之材質係為 Au/Pd/Ni/Pd(金/鈰/鎳/鈰)、Au/Ni/Cu/Ni/Ag(金/鎳/銅/鎳/銀)、Au/Ni/Cu/Ag(金/鎳/銅/銀)、Pd/Ni/Pd(鈰/鎳/鈰)、Au/Ni/Au(金/鎳/金)或 Pd/Ni/Au(鈰/鎳/金)，依序自該金屬層 10 堆疊而成。

如第 1D 至 1E 圖所示，移除該阻層 30，然後以例如蝕刻之方式移除未被該置晶墊 40a 和電性連接墊 40b 覆蓋之金屬層 10，以外露出部份該載體 20。如第 1E' 圖所示，由於該金屬層 10 產生側蝕現象，各該置晶墊 40a 和電性連接墊 40b 下方之金屬層 10 具有上寬下窄之構形。

此外，於本實施例中，如第 1E' 圖所示，復顯示該置晶墊 40a 和電性連接墊 40b 係為包含例如 Au/Pd/Ni/Pd 四種材質者。

如第 1F 圖所示，於該置晶墊 40a 上接置至少一半導體晶片 50，並以複數鐳線 60 電性連接該半導體晶片 50 和該電性連接墊 40b，其中，本實施例係以該半導體晶片 50 之作動面朝上之方式與複數鐳線 60 進行電性連接。接著，於該載體 20 上形成封裝膠體 70，以包覆該半導體晶片 50、

銲線 60、置晶墊 40a、電性連接墊 40b、置晶墊 40a 與其下方之金屬層 10、及該電性連接墊 40b 與其下方之金屬層 10，其中，該封裝膠體 70 具有相對之第一表面 70a 和第二表面 70b，且該第二表面 70b 係與該載體 20 接觸。

如第 1G 圖所示，移除該載體 20，以顯露該封裝膠體 70 之第二表面 70b 和該置晶墊 40a 和電性連接墊 40b 下方之金屬層 10。接著，於該封裝膠體 70 之第二表面 70b 上形成一防銲層 80，且該防銲層 80 具有複數外露出該置晶墊 40a 和電性連接墊 40b 下方之部份金屬層 10 之防銲層開口 801。

如第 1H 圖所示，形成如銲球之導電元件 90 於該防銲層開口 801 中。由於當形成該置晶墊 40a 和電性連接墊 40b 之前，該載體 20 上已預先形成該金屬層 10，故形成防銲層 80 之前不需形成如化學鍍銅之保護層。

第 1H' 與 1H'' 係為第 1H 圖之其它實施例。

如第 1H' 圖所示，其與第 1H 圖之製法之差異在於未製作置晶墊 40a，故於第 1F 圖之製程中，該半導體晶片 50 係可選擇性地藉由黏著材料 500 接置於該載體 20。當移除該載體 20 後，係外露該半導體晶片 50 之底側（或黏著材料 500），使該防銲層 80 復形成於該半導體晶片 50 之底側（或黏著材料 500）上。

如第 1H'' 圖所示，其與第 1H 圖之製法之差異在於置晶方式，故於第 1F 圖之製程中，該半導體晶片 50 係藉由導電凸塊 62 覆晶結合於該電性連接墊 40b 上。當移除該載體

20 後，係外露該金屬層 10。

根據前述之製法，本發明提供一種四方平面無導腳半導體封裝件 1, 1', 1''，係包括：具有相對之第一表面 70a 及第二表面 70b 之封裝膠體 70；一金屬層 10，係由複數墊形或片形金屬片段所構成，且各該墊形或片形金屬片段係為上寬下窄之構形，且嵌設於該封裝膠體 70 之第二表面 70b 上；複數電性連接墊 40b，係埋於該封裝膠體 70 中且結合於該金屬層 10 之上寬構形上；以及埋於該封裝膠體 70 中並電性連接該些電性連接墊 40b 之一半導體晶片 50。

本發明之四方平面無導腳半導體封裝件 1, 1', 1'' 復可包括至少一埋於該封裝膠體 70 中之置晶墊 40a，且結合於該金屬層 10 之上寬構形上，用以設置該半導體晶片 50。

本發明之四方平面無導腳半導體封裝件 1, 1', 1'' 復可包括形成於該封裝膠體 70 之第二表面 70b 上之一防銲層 80，且該防銲層 80 具有複數外露出該置晶墊 40a 和電性連接墊 40b 下方之部份金屬層 10 之複數防銲層開口 801。

本發明之四方平面無導腳半導體封裝件 1, 1', 1'' 復可包括導電元件 90，係形成於該防銲層開口 801 中。

上述實施例僅例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修飾與改變。因此，本發明之權利保護範圍，應如後述之申請專利範圍所列。

【圖式簡單說明】

第 1A 至 1H 圖係顯示本發明四方平面無導腳半導體封裝件之製法示意圖，其中，第 1E' 圖係顯示電性連接墊之剖視放大示意圖，第 1H' 及 1H'' 係為第 1H 圖之其它實施例；以及

第 2A 至 2D 圖係顯示習知之四方平面無導腳半導體封裝件之製法示意圖，其中，第 2A' 圖係為第 2A 圖之上視示意圖。

【主要元件符號說明】

1, 1', 1'', 2 半導體封裝件

10 金屬層

20、21 載體

30 阻層

301 阻層開口

40a 置晶墊

41a 晶片座

40b、41b 電性連接墊

42b 導電跡線

50、51 半導體晶片

500 黏著材料

60、61 鐸線

62 導電凸塊

70、71 封裝膠體

70a 第一表面

70b 第二表面

80、81	防銲層
801、811	防銲層開口
90	導電元件
91	銲球

103. 9. 12 修正頁

七、申請專利範圍：

1. 一種四方平面無導腳半導體封裝件之製法，係包括：

提供於一表面上具有金屬層之載體；

形成複數電性連接墊於該載體上之金屬層上；

移除未被該電性連接墊覆蓋之該載體上之金屬層，以外露出部份該載體，且令該電性連接墊下方之金屬層具有上寬下窄之構形；

接置半導體晶片於該載體之上，並使該半導體晶片電性連接該些電性連接墊；

於該載體上形成封裝膠體，以包覆該半導體晶片、該電性連接墊及其下方之金屬層，且該封裝膠體具有相對之第一表面和第二表面，而該封裝膠體之第二表面係與該載體接觸；以及

移除該載體，以顯露該封裝膠體之第二表面與該電性連接墊下方之金屬層。

2. 如申請專利範圍第 1 項所述之四方平面無導腳半導體封裝件之製法，其中，形成該電性連接墊之製程係包括：

形成具有複數阻層開口之阻層於該金屬層上，以外露出部分該金屬層；

電鍍形成該電性連接墊於該阻層開口中；以及

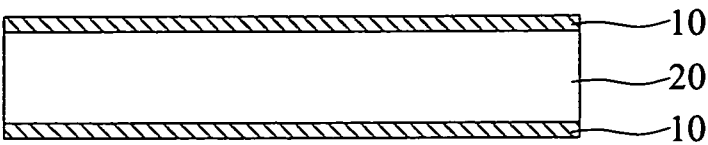
移除該阻層。

3. 如申請專利範圍第 1 項所述之四方平面無導腳半導體封裝件之製法，其中，該載體為鐵合金載體。

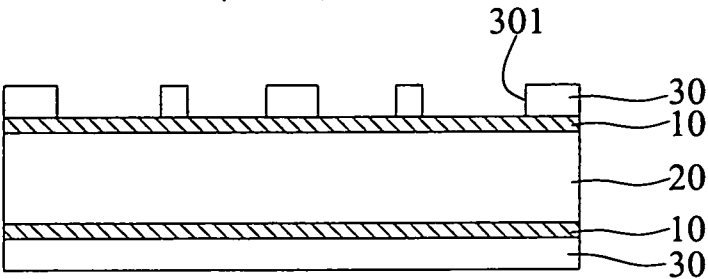
4. 如申請專利範圍第 1 項所述之四方平面無導腳半導體封裝件之製法，其中，該金屬層係經表面處理而得，且該表面處理之方式係為物理氣相沉積、電鍍、無電鍍或濺鍍。
5. 如申請專利範圍第 1 項所述之四方平面無導腳半導體封裝件之製法，其中，形成該金屬層之材質係為銅。
6. 如申請專利範圍第 1 項所述之四方平面無導腳半導體封裝件之製法，其中，係以蝕刻方式移除未被該電性連接墊覆蓋之金屬層，以令該電性連接墊下方之金屬層具有上寬下窄之構形。
7. 如申請專利範圍第 1 項所述之四方平面無導腳半導體封裝件之製法，其中，形成該電性連接墊之材質係為 Au/Pd/Ni/Pd、Au/Ni/Cu/Ni/Ag、Au/Ni/Cu/Ag、Pd/Ni/Pd、Au/Ni/Au 或 Pd/Ni/Au。
8. 如申請專利範圍第 1 項所述之四方平面無導腳半導體封裝件之製法，其中，該金屬層上復具有至少一置晶墊，以設置該半導體晶片。
9. 如申請專利範圍第 8 項所述之四方平面無導腳半導體封裝件之製法，其中，該些電性連接墊係位於該置晶墊周圍。
10. 如申請專利範圍第 1 項所述之四方平面無導腳半導體封裝件之製法，復包括形成防銲層於該封裝膠體之第二表面上，且該防銲層具有複數外露出該金屬層之防銲層開口。

11. 如申請專利範圍第 10 項所述之四方平面無導腳半導體封裝件之製法，復包括形成導電元件於該防銲層開口中。
12. 如申請專利範圍第 1 項所述之四方平面無導腳半導體封裝件之製法，其中，該半導體晶片係以導電凸塊或銲線電性連接該些電性連接墊。

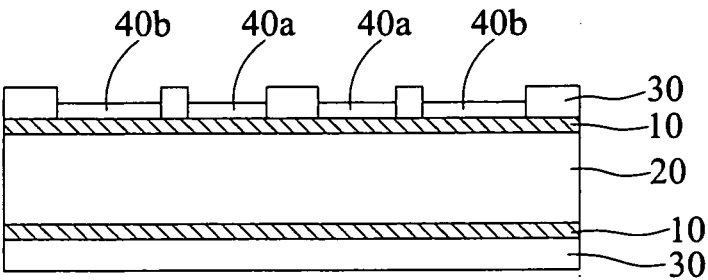
八、圖式：



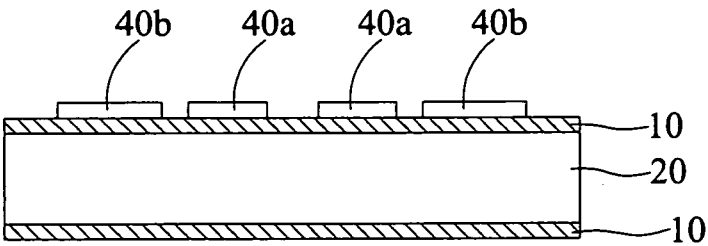
第1A圖



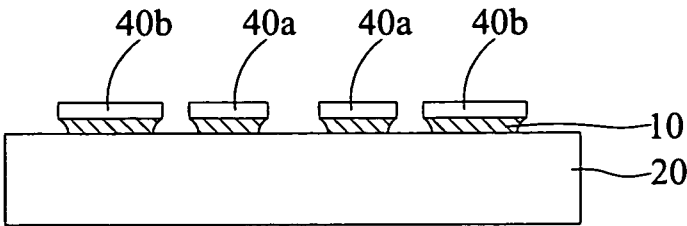
第1B圖



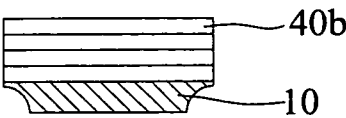
第1C圖



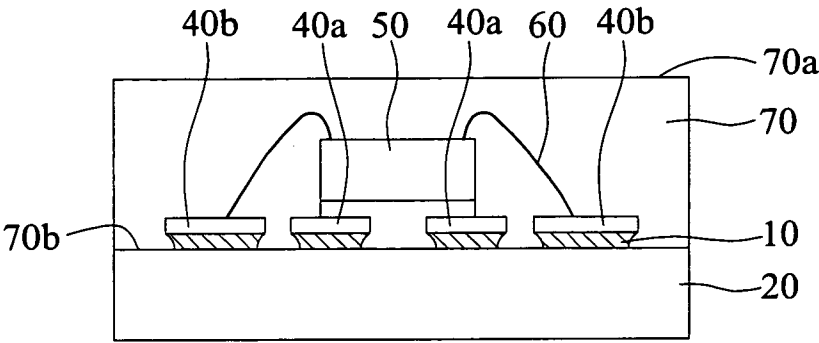
第1D圖



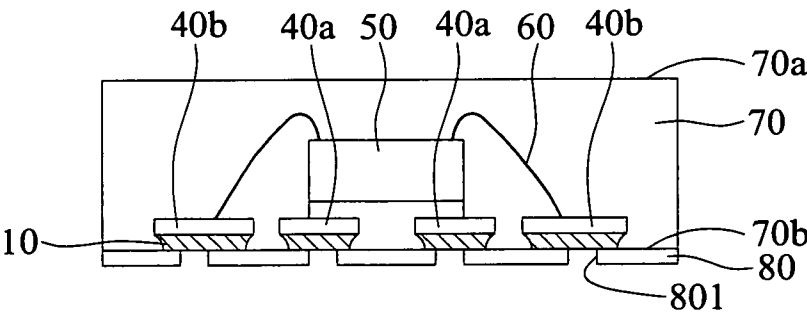
第1E圖



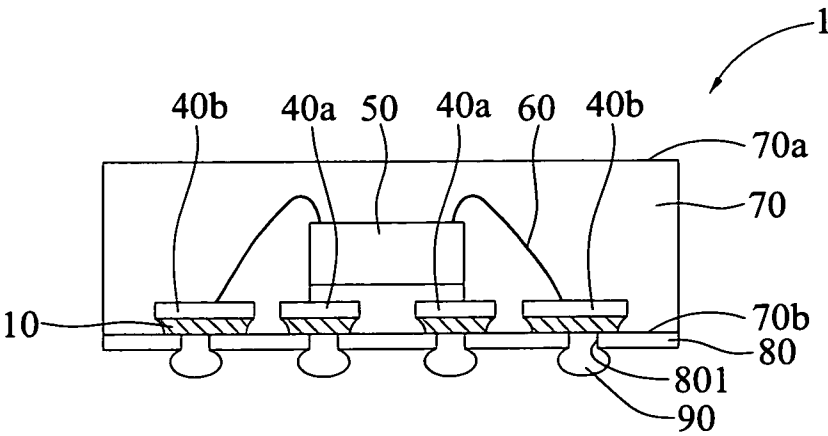
第1E'圖



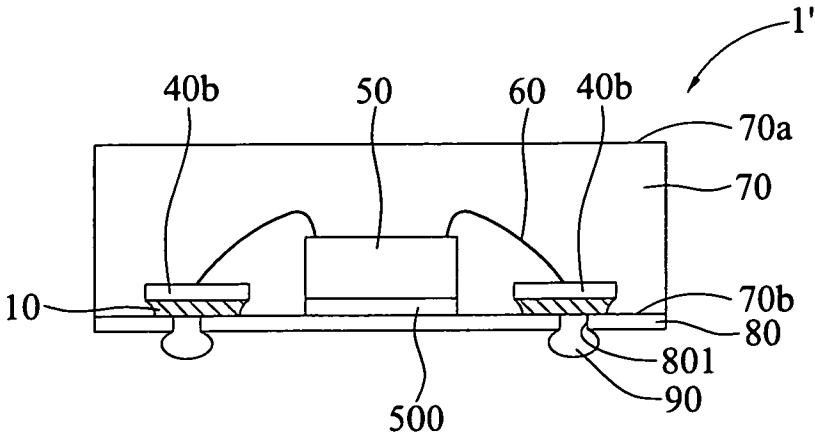
第1F圖



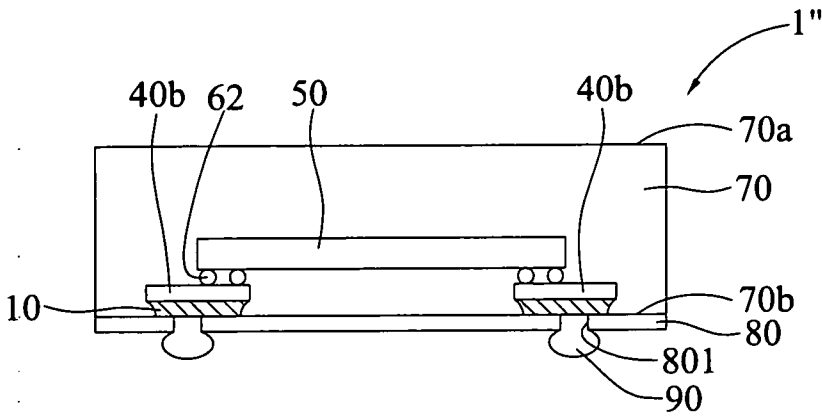
第1G圖



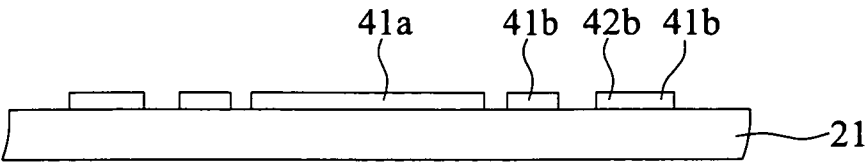
第1H圖



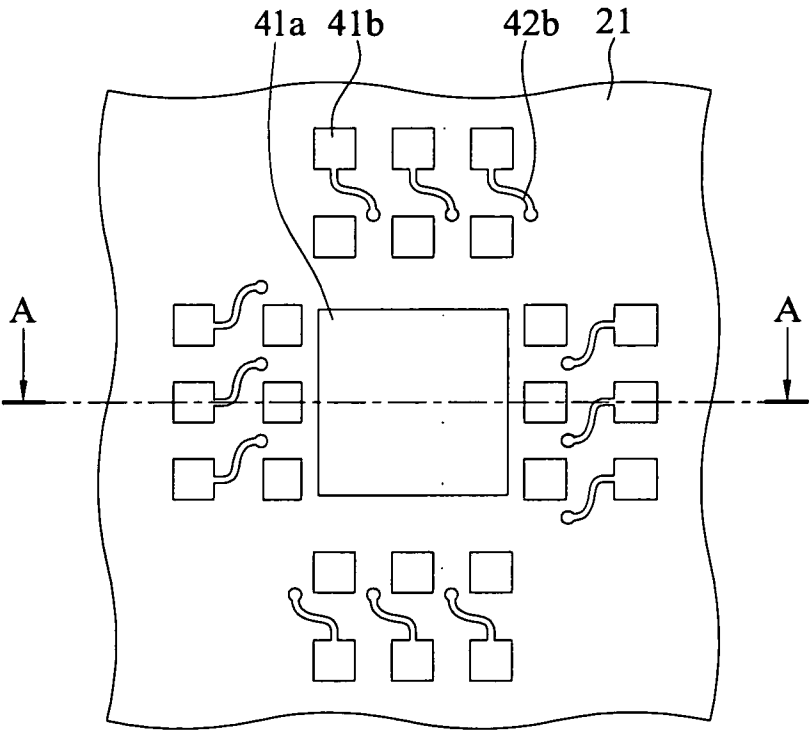
第1H'圖



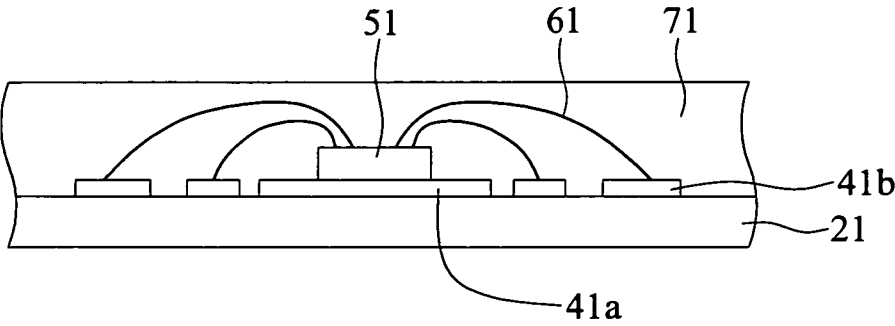
第1H''圖



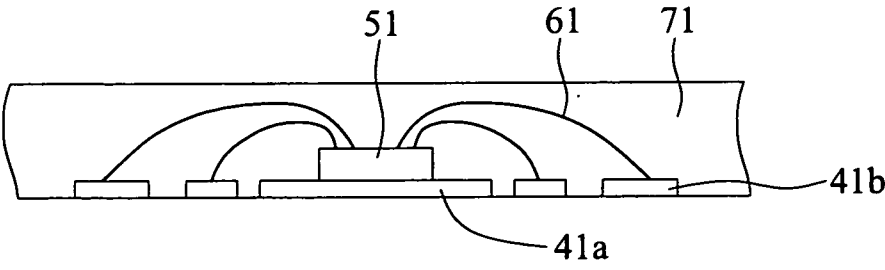
第2A圖



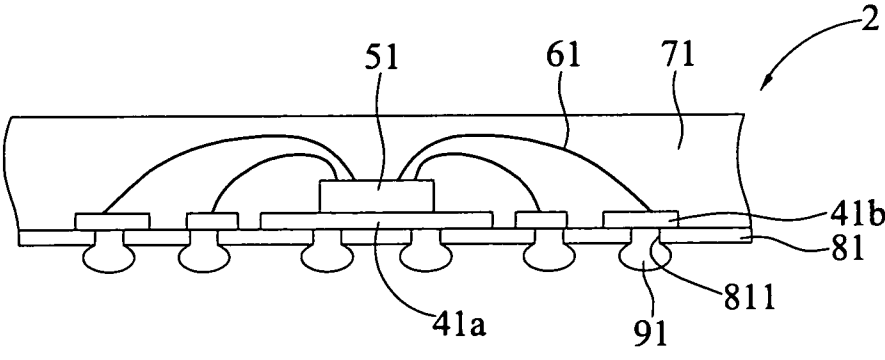
第2A'圖



第2B圖



第2C圖



第2D圖