

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200580027666.5

[51] Int. Cl.

C03C 25/68 (2006.01)

C23F 1/00 (2006.01)

[43] 公开日 2008 年 9 月 10 日

[11] 公开号 CN 101263092A

[22] 申请日 2005.6.14

[21] 申请号 200580027666.5

[30] 优先权

[32] 2004.6.30 [33] US [31] 10/883,282

[86] 国际申请 PCT/US2005/021047 2005.6.14

[87] 国际公布 WO2006/011996 英 2006.2.2

[85] 进入国家阶段日期 2007.2.14

[71] 申请人 朗姆研究公司

地址 美国加利福尼亚州

[72] 发明人 山口叶子 乔治·斯托亚科维奇
艾伦·米勒

[74] 专利代理机构 北京康信知识产权代理有限公司

代理人 余刚 尚志峰

权利要求书 4 页 说明书 13 页 附图 8 页

[54] 发明名称

在等离子体处理系统中优化抗蚀能力的方法和装置

[57] 摘要

描述了一种在包括等离子体处理室的等离子体处理系统中优化基板材料抗蚀能力的方法。该方法包括：使预涂气体混合物流入等离子体室，其中，预涂气体混合物对蚀刻剂气体混合物具有亲和力；从预涂气体混合物中撞击出第一等离子体；以及引入包括基板材料的基板。该方法还包括：使蚀刻剂气体混合物流入等离子体处理室；从蚀刻剂气体混合物中撞击出第二等离子体；以及利用第二等离子体蚀刻基板。其中，第一等离子体在等离子体处理室中的一组暴露表面上形成预涂残留物，并且保持基板材料的抗蚀能力。

1. 一种在包括等离子体处理室的等离子体处理系统中优化基板材料抗蚀能力的方法，包括以下步骤：

使预涂气体混合物流入所述等离子体处理室，其中，所述预涂气体混合物对蚀刻剂气流混合物具有亲和力；

从所述预涂气体混合物中撞击出第一等离子体；

引入包括所述基板材料的基板；

使所述蚀刻剂气体混合物流入所述等离子体处理室；

从所述蚀刻剂气体混合物中撞击出第二等离子体；以及

利用所述第二等离子体蚀刻所述基板，

其中，所述第一等离子体在所述等离子体处理室中的一组暴露表面上形成预涂残留物，并且基本上保持所述基板材料的所述抗蚀能力。

2. 根据权利要求1所述的方法，还包括步骤：在所述流入预涂物步骤之前，使用无晶室清洁工艺来清洁所述等离子体处理室。
3. 根据权利要求1所述的方法，其中，所述蚀刻剂气体混合物还包括蚀刻剂物。
4. 根据权利要求3所述的方法，其中，所述预涂残留物与所述蚀刻剂物进行化学作用，以生成钝化物。
5. 根据权利要求4所述的方法，其中，所述钝化物涂覆所述基板材料。

6. 根据权利要求1所述的方法,其中,所述基板材料包括光刻胶。
7. 根据权利要求1所述的方法,其中,所述基板材料包括BARC。
8. 根据权利要求1所述的方法,其中,所述基板材料包括无机材料。
9. 根据权利要求1所述的方法,其中,所述基板材料包括硅。
10. 根据权利要求1所述的方法,其中,所述预涂气体混合物包括 O_2 。
11. 根据权利要求1所述的方法,其中,所述预涂气体混合物包括HBr。
12. 根据权利要求1所述的方法,其中,所述预涂气体混合物包括 Cl_2 。
13. 根据权利要求1所述的方法,其中,所述预涂气体混合物包括He。
14. 根据权利要求1所述的方法,其中,所述预涂气体混合物包括 N_2 。
15. 根据权利要求1所述的方法,其中,所述预涂气体混合物包括Ar。
16. 根据权利要求1所述的方法,其中,所述预涂气体混合物包括 CF_4 。

17. 根据权利要求1所述的方法,其中,所述预涂气体混合物包括 CH_2F_2 。
18. 根据权利要求1所述的方法,其中,所述预涂气体混合物包括 CHF_3 。
19. 根据权利要求1所述的方法,其中,所述预涂气体混合物包括 CH_xF_y ,其中,x和y是整数。
20. 根据权利要求1所述的方法,其中,所述预涂气体混合物包括 SiCl_4 。
21. 根据权利要求1所述的方法,其中,所述预涂气体混合物包括 SF_6 。
22. 根据权利要求1所述的方法,其中,所述预涂气体混合物包括 NF_3 。
23. 根据权利要求1所述的方法,其中,所述基板为半导体晶片。
24. 根据权利要求1所述的方法,其中,所述基板为玻璃面板。
25. 一种在包括等离子体处理室的等离子体处理系统中优化基板材料抗蚀能力的方法,包括以下步骤:

使用无晶室清洁工艺清洁所述等离子体处理室;

使预涂气体混合物流入所述等离子体处理室,其中,所述预涂气体混合物对蚀刻剂气流混合物具有亲和力;

从所述预涂气体混合物中撞击出第一等离子体;

引入包括所述基板材料的基板;

使所述蚀刻剂气体混合物流入所述等离子体处理室；
从所述蚀刻剂气体混合物中撞击出第二等离子体；以及
利用所述第二等离子体蚀刻所述基板，

其中，所述第一等离子体在所述等离子体处理室中的一组暴露表面上形成钝化物，并且基本上保持所述基板材料的所述抗蚀能力。

在等离子体处理系统中优化 抗蚀能力的方法和装置

技术领域

总的来说，本发明涉及一种基板制造技术，具体地，涉及在等离子体处理系统中优化抗蚀能力的方法和装置。

背景技术

在诸如使用在平板显示器制造中的基板（例如半导体基板或玻璃面板）的处理中，经常使用等离子体。例如，作为基板处理的一部分，将基板分成多个管芯（die）或矩形区域，每个管芯或矩形区域都将成为集成电路。接着，通过一系列步骤处理基板，其中，选择性地去除（蚀刻）以及沉积材料。随后，由于目标栅极长度的每个纳米偏离都可直接转化为这些器件的运行速率，所以大约若干纳米的晶体管栅极临界尺寸（CD）的控制的优先级最高。

在基板上形成一组栅极的示例性等离子体处理中，p型外延层通常通过化学汽相沉积设置在硅基板上。随后可在外延层上方沉积氮化物层，随后根据特定图案掩盖并蚀刻，在外延层上留下暴露区域（即，不再被氮化物层覆盖的区域）。随后，这些暴露区域在遭受扩散或离子注入之前可再次被特定图案掩盖，以接收形成n阱的诸如磷的掺杂剂。

随后, 选择性地去除硬化的乳剂区域, 使得底层成分暴露。随后, 将基板放置在基板支撑结构上的等离子体处理室中, 该基板支撑结构 (称为卡盘或底座) 包括单极电极或双极电极。随后, 适当的蚀刻剂源流入室中并被撞击, 以形成等离子体, 从而蚀刻基板的暴露区域。

随后, 可热生长二氧化硅, 以形成将 n 阱与电路的其它部分隔离的场氧化物。之后可为另一掩盖/氧化循环, 以在 n 阱上方生长栅极氧化物层, 稍后用于 p 沟道 MOS 晶体管。该栅极氧化物层将作为这些晶体管中每一个的沟道和栅极之间的隔离物。之后可跟随另一掩盖和扩散/注入循环, 以调节外延层其它部分上的阈值电压, 稍后用于 n 沟道晶体管。

随后, 可完成在晶片上方沉积多晶硅, 然后进行掩盖/蚀刻循环, 以去除不想要的多晶硅区域, 其在 p 沟道晶体管的栅极氧化物上方限定多晶硅栅极。此时, 通过在正确的位置将氧化物刻除, 在 n 阱上形成用于源极和漏极驱入 (drive-in) 的开口。

之后可以进行另一轮掩盖/注入循环, 此次将硼掺杂剂掺入 n 阱的新开口中, 形成 p 型源极和漏极。随后, 可进行掩盖/注入循环, 以在 p 型外延层中形成 n 沟道晶体管的 n 型源极和漏极。

然而, 使用当前的等离子体处理技术 (其中, 亚微米过孔接触和沟槽具有高纵横比) 很难满足对基板上高电路密度逐渐增加的需求。具体地, 很难形成相对较深的栅极蚀刻, 特别是当栅极深度小于光刻工艺的照明波长。在一种通用方法中, 使用化学主蚀刻工艺 (chemically dominant etch process) 连续修整光刻胶掩模。即, 形成掩模, 其中, 当与期望结果 (即, 预蚀刻 CD) 相比时, 特征 CD 过大。当纵向 (即, 垂直于基板) 蚀刻底层基板沟槽时, 还横向 (即, 平行于基板) 蚀刻或修整光刻胶柱, 以形成最终的期望栅极 CD。

通常,对于光刻工艺(即,对比度、分辨率、内嵌粗糙度(in-line roughness)等)和集成工艺(蚀刻选择性、化学稳定性、灰化选择性等),必须优化光刻胶。倾向于对集成问题(例如,化学主蚀刻)敏感的这些类型的光刻胶通常被称为“软的(soft)”。

尤其在亚 100 nm 的光刻环境中,很难通过软光刻胶控制 CD。即,光刻胶必须足够薄以避免光刻胶柱的毁坏,并且必须足够厚以符合被蚀刻层的期望蚀刻选择性。然而,如果光刻胶柱的高度相比于其宽度不相称(即,高度与宽度比大于 4),则蚀刻工艺可能破坏柱,从而改变基板的电特性和功能特性,并且直接影响基板的性能和产量。

例如,由于蚀刻软蚀刻胶,所以可形成摆动状或波纹状图案,潜在地引起条纹、错误微负载(false micro-loading)、以及随机的蚀刻停止。以常规特征的形状而言,条纹是不规则的,其在掩模上形成额外的暴露区域。由于蚀刻剂去除了不想要的基板材料,所以可以改变晶片结果的电特性和功能特性。例如,一种效果可为柱表面粗糙度的增加。同样地,如果一组光刻胶摆动基本上集中,则形成的掩模图案可部分地或完全地阻止去除期望基板材料。

当基板的制品留在柱沟槽底部上时,产生错误微负载,形成物理上不均匀的底面。当在蚀刻工艺期间通过蚀刻气体有效防止柱入口时,产生随机的蚀刻停止。在一些情况下,其中,柱的高度与薄度不相称(即,高度与宽度比大于 4),可能意外地去除或剥去光刻胶柱的整个薄片。此外,通过在横向蚀刻速率与纵向蚀刻速率不同时所产生的不均匀压力,可使光刻胶柱褶皱、弯曲、或扭曲。

现参照图 1,示出了等离子体处理系统元件的简化图。通常,一组适当的气体从气体分配系统 122 通过入口 108 流进室 102。这些等离子体处理气体可随后被电离以形成等离子体 110,以便处理

(例如, 蚀刻或沉积) 基板 **114** (例如, 用边缘环 (edge ring) **115** 定位 在静电卡盘 **116** 上的半导体基板或玻璃平板) 的暴露区域。此外, 衬里 (liner) **117** 在等离子体和等离子体处理室之间提供阻热层, 也有助于在基板 **114** 上优化等离子体 **110**。

气体分配系统 **122** 通常由包括等离子体处理气体 (例如, C_4F_8 、 C_4F_6 、 CHF_3 、 CH_2F_3 、 CF_4 、 HBr 、 CH_3F 、 C_2F_4 、 N_2 、 O_2 、 Ar 、 Xe 、 He 、 H_2 、 NH_3 、 SF_6 、 BCl_3 、 Cl_2 、 WF_6 等) 的压缩气筒 **124a** 至 **124f** 组成。通过提供局部排气通风的外壳 **128** 可进一步保护气筒 **124a** 至 **124f**。质量流控制器 **126a** 至 **126f** 通常是在半导体工业中用于测量和调节等离子体处理系统的气体质量流的独立装置 (包括传感器、控制阀、以及控制与信号处理电子器件)。喷射器 **109** 将作为浮质的等离子体处理气体 **124** 引入室 **102**。

感应线圈 **131** 通过介电窗 (dielectric window) **104** 与等离子体分隔, 并且通常在等离子体处理气体中感应出随时间变化的电流, 以产生等离子体 **110**。该窗既保护感应线圈免受等离子体 **110** 的影响, 又可以使产生的 RF 场透入等离子体处理室。匹配网络 **132** 除了在导线 **130a** 和 **130b** 处与感应线圈 **131** 连接以外, 还可与 RF 发生器 **138** 连接。匹配网络 **132** 试图将通常运行于 13.56 MHz 及 50 ohms 的 RF 发生器 **138** 的阻抗与等离子体 **110** 的阻抗相匹配。

通常, 一些类型的冷却系统连接至卡盘, 以实现等离子体被点火时的热平衡。该冷却系统本身通常由通过卡盘中的空腔抽吸冷却剂的冷却器、以及在卡盘和基板之间被抽吸的氦气组成。除了除去生成的热量之外, 氦气还使冷却系统快速地控制散热。即, 连续增加的氦气压力随后也增加了传热速率。大部分等离子体处理系统还被包括运行软件程序的复杂计算机所控制。在典型的运行环境中, 通常为特定的等离子体处理系统和特定方法配置制造工艺参数 (例如, 电压、气流混合、气体流速、压力等)。

现参照图 2A 和图 2B，示出了层叠（layer stack）的理想截面图，其中，在等离子体工艺中制造一组栅极。图 2A 示出了层叠的理想截面图，表示光刻步骤之前的示意性半导体 IC 的层。在以下讨论中，这里讨论各层的空间关系所使用的例如“之上（上面）”和“之下（下面）”的术语可能是但不总是表示所涉及到的各层之间的直接接触。应当注意，在所示的层之上、之下、或之间也可存在其它层。进一步，不是所有示出的层都必须存在，一些或全部层可用其它不同的层代替。

在层叠的底部，示出了包括半导体（例如，多晶硅）的层 **204**。在层 **204** 上方设置有已通过光刻法处理过的光刻胶掩模层 **208** 以及 BARC 层 **206**。在该实例中，首先光刻形成光刻胶掩模图案 **216**，随后化学地进行修整，以形成一组栅极沟槽 **202a** 和 **202b**。

图 2B 示出了通过进一步延伸沟槽 **202a** 和 **202b**，层 **204** 已在等离子体处理系统中被蚀刻以形成一组栅极之后图 2A 中层叠的截面图。此外，通过一定量的蚀刻剂 **210** 来横向修整光刻胶掩模层以及底层半导体层 **204**。

现参照图 3A 至图 3C，示出层叠的理想截面图，其中，在等离子体工艺期间，不相称的高软光刻胶柱已经毁坏。在蚀刻工艺期间，通常可横向（即，平行于基板）或纵向（垂直于基板）去除光刻胶材料。然而，如果使柱宽充分小，则横向和纵向蚀刻的组合会产生可基本上去除柱大部分的有效对角蚀刻向量，接着破坏底层基板。

图 3A 示出了在光刻步骤之前层叠的理想截面图，表示示例性半导体 IC 的层。在层叠的底部，示出了包括半导体（例如，多晶硅）的层 **304**。在层 **304** 上方设置有已通过光刻法处理过的光刻胶掩模层 **308** 以及 BARC 层 **306**。在该实例中，通过一组沟槽 **302a** 至 **302c** 生成光刻胶掩模图案，以形成一组栅极。

图 3B 示出了在光刻胶层 **308** 已在等离子体系统中被蚀刻之后图 3A 的层叠截面图。然而，与图 2A 和图 2B 的柱 **216** 不同，通过蚀刻工艺，相对薄的柱 **316** 基本上已经破坏为 **312**。即，不仅仅是减小宽度，柱的高度也被大大降低。

图 3C 示出了在层 **304** 在等离子体系统中被蚀刻之后图 3B 层叠的截面图，在基板 **304** 中形成腔 **320**。

现参照图 4A 和图 4B，示出层叠的理想截面图，其中，在等离子体工艺期间，不相称的高软光刻胶柱扭曲。如上所述，通常可横向（即，平行于基板）或纵向（垂直于基板）地去除光刻胶材料。然而，如果使柱宽充分小，则横向和纵向蚀刻的组合可在柱上形成足以使其扭曲或弯曲的压力。

图 4A 示出了在光刻步骤之前层叠的理想截面图，表示示例性半导体 IC 的层。在层叠的底部，示出了包括半导体（例如，多晶硅）的层 **404**。在层 **404** 上方设置有已通过光刻法处理过的光刻胶掩模层 **408** 以及 BARC 层 **406**。在该实例中，通过一组沟槽 **402a** 至 **402c** 生成光刻胶掩模图案，以形成一组栅极。

图 4B 示出了在光刻胶层 **408** 在等离子体系统中被蚀刻之后图 4A 的层叠截面图。然而，与图 2A 和图 2B 的柱 **216** 不同，通过蚀刻工艺，相对薄的柱 **416** 基本上已经扭曲为 **412**，接着在底层基板 **404** 中形成非线性轮廓。

考虑到上述问题，期望提出一种在等离子体处理系统中优化抗蚀能力的方法和装置。

发明内容

在一个实施例中，本发明涉及在包括等离子体处理室的等离子体处理系统中优化基板材料抗蚀能力的方法。该方法包括：使预涂气体混合物流入等离子体处理室，其中，预涂气体混合物对蚀刻剂气流混合物具有亲和力；从预涂气体混合物中撞击出第一等离子体；以及引入包括基板材料的基板。该方法还包括使蚀刻气体混合物流入等离子体处理室；从蚀刻气体混合物中撞击出第二等离子体；以及利用第二等离子体蚀刻基板。其中，第一等离子体在等离子体处理室中一组暴露表面上形成预涂残留物，并且保持基板材料的抗蚀能力。

通过本发明的详细描述以及结合随后的附图，下面将更详细地描述本发明的这些和其它特征。

附图说明

参考实例示出本发明，而并未限制本发明，在附图中，相同的标号表示相同的元件，其中：

图 1 示出了等离子体处理系统部件的简化图；

图 2A-2B 示出了表示示例性半导体 IC 层的一组层叠理想截面图；

图 3A-3C 示出了表示示例性半导体 IC 层的一组层叠理想截面图，其中，光刻胶柱已经被破坏；

图 4A-4B 示出了表示示例性半导体 IC 层的一组层叠理想截面图，其中，光刻胶柱已经扭曲；

图 5 示出了根据本发明一个实施例的添加有预涂层的等离子体处理系统的简化图；

图 6A-图 6B 示出了根据本发明一个实施例的层叠的理想截面图，其中，预涂层优化了修整工艺；以及

图 7 示出了根据本发明实施例的用于在添加有预涂层的等离子体处理系统中蚀刻基板的简化工艺。

具体实施方式

现在，将参考附图中所示的本发明的几个优选实施例详细描述本发明。在以下的描述中，为了提供对本发明的透彻理解，将阐述多个具体细节。然而，本领域的技术人员应该明白，没有这些具体细节的一些或全部也可实施本发明。在其它情况下，为了避免对本发明造成不必要的混淆，没有详细描述众所周知的工艺步骤和/或结构。

如上所述，使用软光刻胶（即，易受集成问题影响的光刻胶）难以得到相对较深的栅极蚀刻。具体地，如果光刻胶柱的高度相比于其宽度不相称（即，高度与宽度比大于 4），则蚀刻工艺可破坏柱，随后破坏栅极基板。

例如，光刻胶柱上不均匀的压力可使其褶皱、弯曲、或扭曲。同样地，可仅在柱壁上生成刻面（facet）或非线性轮廓，其易于导致底层基板中的实质缺陷。在一些环境中，在柱的高度和薄度不相称的情况下，可能意外地去除或剥除光刻胶柱的整个薄片，进一步破坏 CD 轮廓以及基板。传统的钝化技术对此通常是无效的，这是因为尽管可保持相对 CD 轮廓，但是通过添加钝化层也可随后增加绝对 CD 轮廓。

尽管不希望被理论束缚,但发明人相信,利用与蚀刻剂(例如,光刻胶蚀刻剂)具有亲和力(或吸引力)的材料预涂等离子体处理室,可优化蚀刻剂的选择性以及将被蚀刻的材料的完整性。

通常,在每一组等离子体处理步骤之后,执行干洗、无晶清洁(waferless cleaning)、或预防性维护程序,以去除附着到反应室内表面的微粒以及残留聚合物。以不明显(non-obvious)的方式,通过在插入后来的基板之前利用与蚀刻剂具有亲和力的材料预涂等离子体室,可以减少等离子体中蚀刻剂自由基(radical)的有效量,因此,优化了蚀刻速率(例如,为了保持光刻胶完整性等)。

例如,许多光刻胶蚀刻剂包括氧。利用与氧具有亲和力的材料(例如, Cl_2)预涂室可减少用于蚀刻光刻胶的等离子体中氧自由基的有效量。通常,预涂材料的量越大,用于蚀刻工艺的可用氧自由基的量越少。此外,可通过预涂层与光刻胶蚀刻剂的反应,来生成可控聚合物钝化层,进一步优化了蚀刻工艺,以保持光刻胶的完整性。即,聚合物钝化层可抑制光刻胶掩模的垂直侵蚀和横向侵蚀,其对于保持基板的 CD 而言是有价值的。

在美国专利第 6,455,333 号中,提出了一种通过调整(condition)(陈化处理(season))具有调整晶片的蚀刻室来稳定深紫外线(DUV)抗蚀剂蚀刻速率的方法,该调整晶片具有产生一致且稳定 DUV 抗蚀剂蚀刻速率的唯一堆层。然而,与以不明显方式保持光刻胶完整性的本发明不同,该方法仅仅稳定蚀刻速率。此外,该方法特别包括使用调整晶片以对室进行陈化处理,在本发明中没有提供元件。

在美国专利第 6,626,187 号中,提出了一种重新调整蚀刻反应器反应室的方法。然而,与以不明显方式保持光刻胶完整性的本发

明不同，该方法仅仅通过将气态氮和氢与基板反应以生成高分子量粒子来稳定蚀刻工艺。

在美国专利第 6,420,274 号中，提出了一种利用处理分子、分子碎片、以及其上的原子来调整室表面的方法。然而，与以不明显方式保持光刻胶完整性的本发明不同，该方法仅调整室，以实现可重复的等离子体工艺。

在美国专利第 6,274,500 号中，提出了一种清洁和陈化处理等离子体蚀刻室的方法。然而，与以不明显方式保持光刻胶完整性的本发明不同，该方法仅仅首先进行清洁，随后陈化处理等离子体室，以实现可重复的等离子体工艺。此外，该方法特别包括使用调整晶片以陈化处理室，在本发明中没有提供的元件。

其它现有技术公开了隔离物蚀刻应用的使用 CH_xF_y 预涂方法。然而，与以不明显方式保持光刻胶完整性的本发明不同，这种类型的方法将金属分子密封，防止高级的金属（例如，铬）污染。

现在，参照图 5，示出根据本发明一个实施例的添加有预涂层的图 1 的等离子体处理系统的简图。如上所述，一组适当的气体从气体分配系统 122 通过入口 108 流进室 102。这些等离子体处理气体可随后被电离以形成等离子体 110，以便处理（例如，蚀刻或沉积）基板 114（例如，半导体基板或玻璃平板）的暴露区域。然而，在该步骤之前，已经添加了可与光刻胶蚀刻剂自由基进行反应的预涂层 117（例如， O_2 、 HBr 、 Cl_2 、 He 、 N_2 、 Ar 、 CF_4 、 CH_2F_2 、 CHF_3 、 SiCl_4 、 SF_6 、 NF_3 等），以随后优化蚀刻工艺。

现在，参照图 6A 和图 6B，示出根据本发明一个实施例的层叠的理想截面图，其中，预涂层优化了修整工艺。图 6A 示出在光刻步骤之前表示示例性半导体 IC 层的层叠理想截面图。在层叠的底

部，示出包括半导体（例如，多晶硅）的层 **604**。在层 **604** 的上方设置有已经过光刻处理的光刻胶掩模层 **608** 和 BARC 层 **606**。然而，与图 3A 至图 3C 和图 4A 至图 4B 不同，钝化层 **620** 形成在保持光刻胶完整性的沟槽 **602** 中，并且保持沟槽 **602** 的 CD。

图 6B 示出了通过将沟槽 **602a** 至 **602c** 进一步延伸到半导体层 **604** 中，在等离子体处理系统中蚀刻层 **604** 以生成一组栅极之后图 6A 层叠的截面图。

在一个实施例中，对于修整工艺的应用，利用包括从 O_2 、HBr、 Cl_2 、He、 N_2 、 CF_4 、和 Ar 的列表选取的至少一种的混合物来涂覆等离子体处理室。

在另一实施例中，对于 BARC 蚀刻工艺的应用，利用包括从 O_2 、HBr、 Cl_2 、He、 N_2 、Ar、 CF_x (CF_4)、 CH_xF_y (CH_2F_2 ， CHF_3 等)、 $SiCl_4$ 、 SF_6 、和 NF_3 的列表选取的至少一种混合物来涂覆等离子体处理室。

在另一实施例中，对于无机材料蚀刻工艺的应用，利用包括从 O_2 、HBr、 Cl_2 、He、 N_2 、Ar、 CF_x (CF_4)、 CH_xF_y (CH_2F_2 ， CHF_3 等)、 SF_6 、和 NF_3 的列表选取的至少一种混合物来涂覆等离子体处理室。

在另一实施例中，对于硅蚀刻（即，多晶硅、a-Si、外延层等）工艺的应用，利用包括从 O_2 、HBr、 Cl_2 、He、 N_2 、Ar、 CF_x (CF_4)、 CH_xF_y (CH_2F_2 ， CHF_3 等)、 $SiCl_4$ 、 SF_6 、和 NF_3 的列表选取的至少一种混合物来涂覆等离子体处理室。

在另一实施例中，在 2300 Versys™ 系列等离子体处理系统（例如，2300 Versys™、2300 Versys Star™、2300 Versys Kiyo™ 等）中，

在约 5 mT 至约 100 mT 的室压、约 350 W 至约 1400 W 的 TCP 功率、约 0 W 至约 20 W 的偏压功率、约 50 sccm 至约 250 sccm 的约 CH_2F_2 流、约 5 sccm 至约 150 sccm 的 CF_4 流、约 20°至约 60°的温度、以及约 5 秒至约 30 秒的时间的条件下，预涂层足以优化光刻胶蚀刻速率。

在另一实施例中，在 2300 Versys™ 系列等离子体处理系统中，在约 30 mT 至约 80 mT 的室压、约 600 W 至约 1200 W 的 TCP 功率、约 0 W 至约 10W 的偏压功率、约 50 sccm 至约 150 sccm 的约 CH_2F_2 流、约 10 sccm 至约 80 sccm 的 CF_4 流、约 30°至约 50°的温度、以及约 5 秒至约 15 秒的时间的条件下，预涂层足以优化光刻胶蚀刻速率。

在另一实施例中，在 2300 Versys Star™ 等离子体处理系统中，在约 50 mT 至约 70 mT 的室压、约 900 W 至约 1100 W 的 TCP 功率、约 0 W 至约 5 W 的偏压功率、约 75 sccm 至约 105 sccm 的约 CH_2F_2 流、约 20 sccm 至约 40 sccm 的 CF_4 流、约 30°至约 50°的温度、以及约 5 秒至约 15 秒的时间的条件下，预涂层足以优化光刻胶蚀刻速率。

在另一实施例中，预涂工艺可作为预蚀刻等离子体处理室调整步骤，其中，在将基板放入进行蚀刻之前涂覆室。

在另一实施例中，可将基板放入等离子体处理室用于蚀刻，随后修整工艺可用于将 CD（例如，行宽等）收缩到目标尺寸，可取出基板，进行预涂步骤，随后重新插入基板以完成全部叠层的蚀刻。

在另一实施例中，可使用两个等离子体处理室来完成蚀刻顺序。在第一室中，将 CD（例如，行宽等）修整到目标尺寸。随后，在第二室中，可在插入基板用于剩余层叠蚀刻之前，应用预涂。

现在，参照图 7，示出根据本发明一个实施例的用于在已添加有预涂层的等离子体处理系统中蚀刻基板的简化工艺。首先，在步骤 702 中，使预涂混合物流入等离子体处理系统的等离子体室中，包括 O_2 、HBr、 Cl_2 、He、 N_2 、Ar、 CF_x (CF_4)、 CH_xF_y (CH_2F_2 ， CHF_3 等)、 $SiCl_4$ 、 SF_6 、和 NF_3 中的至少一种。接下来，在步骤 704 中，从预涂混合物中撞击出等离子体。接下来，在步骤 706 中，将包括基板材料（例如，光刻胶、BARC 等）的基板引入等离子体反应器。接下来，在步骤 708 中，使蚀刻剂混合物流入等离子体处理系统的等离子体反应器中。随后，在步骤 710 中，从蚀刻剂混合物中撞击出等离子体。在步骤 712，利用等离子体蚀刻基板。最后，在步骤 714，取出基板。

尽管根据几个优选实施例描述了本发明，但是存在落入本发明范围内的变化、改变、和等同替换。例如，尽管结合 Lam Research 的等离子体处理系统（例如，ExelanTM、ExelanTM HP、ExelanTM HPT、2300TM、VersysTM Star 等）描述了本发明，但是也可使用其它等离子体处理系统。本发明还可以使用各种直径（例如，200 mm、300 mm 等）的基板。此外，也可以使用包括除氧气以外的气体的光刻胶等离子体蚀刻剂。此外，通过本发明也可以优化其它类型的基板材料的蚀刻。还应该注意，存在多种实施本发明方法的可选方式。

本发明的优点包括在等离子体处理系统中优化抗蚀能力。其它的优点可包括使由于暴露给基于氧的蚀刻剂而产生的光刻胶损坏最小化，使蚀刻工艺期间的沟槽和过孔刻面及栅栏最小，将预涂层作为蚀刻参数，以及基本维持基板重复性。

尽管已经公开了示例性实施例和最佳模式，但可对所公开的实施例做出的更改和改变，仍然保持在由所附权利要求限定的本发明的主题和精神的范围内。

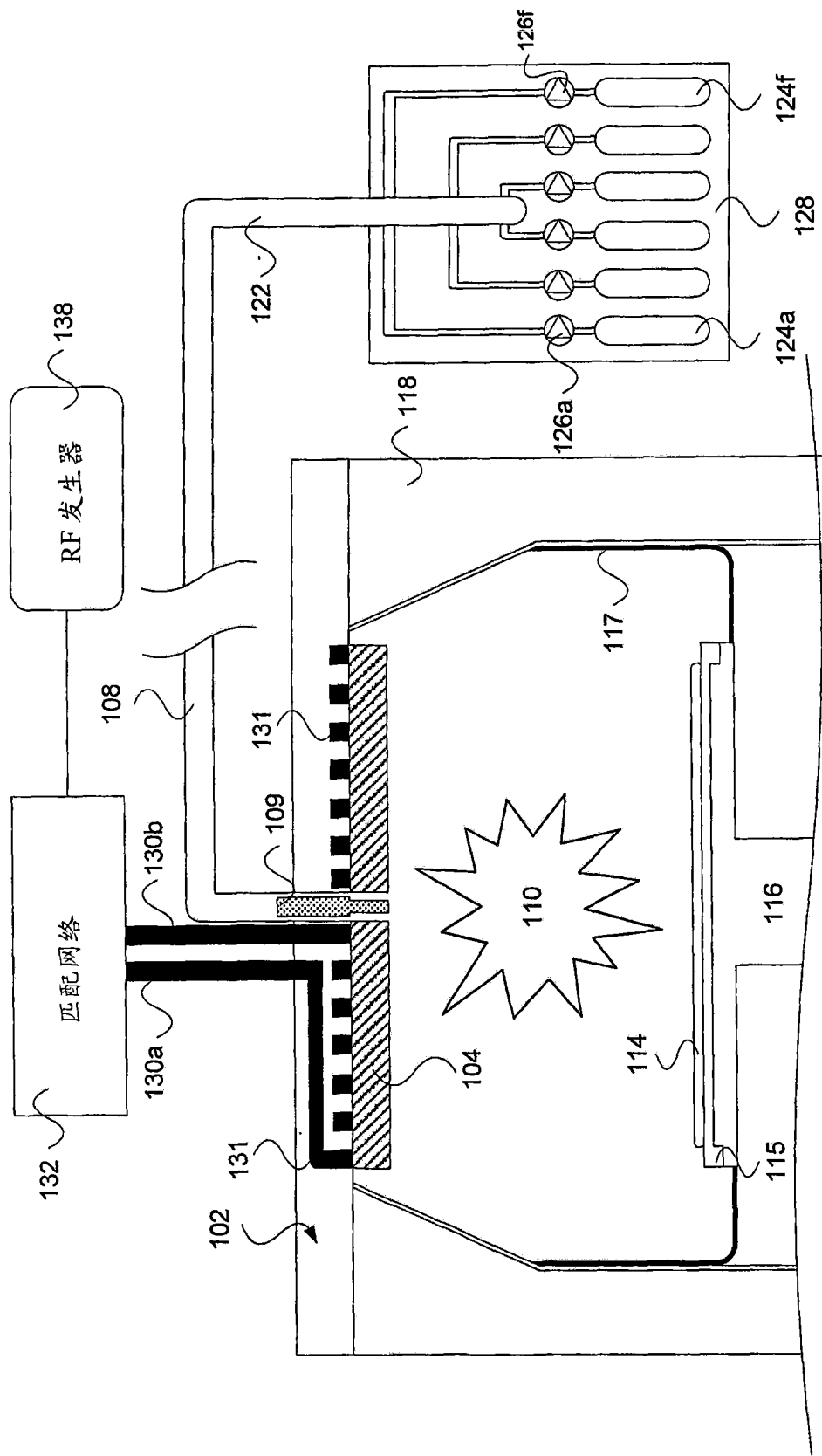


图 1

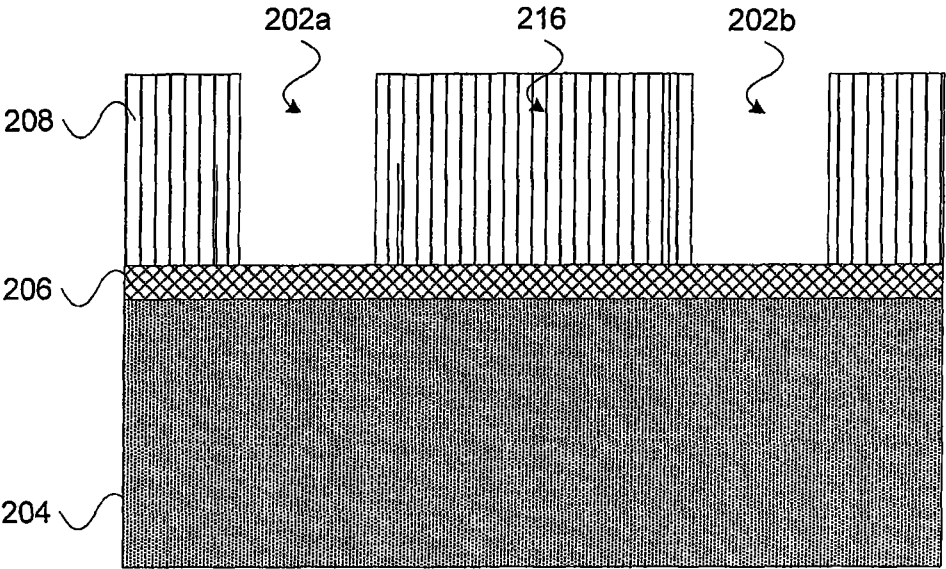


图 2A

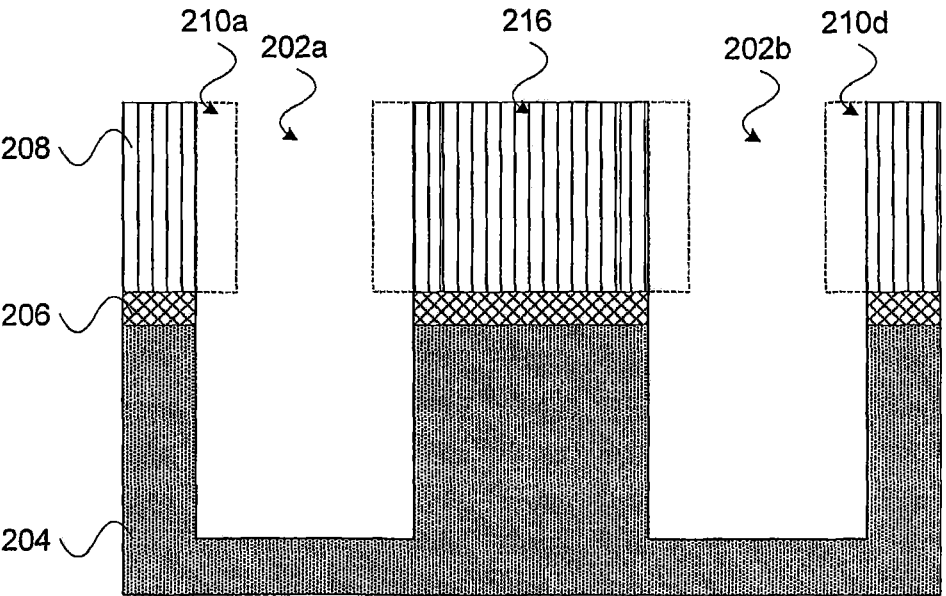


图 2B

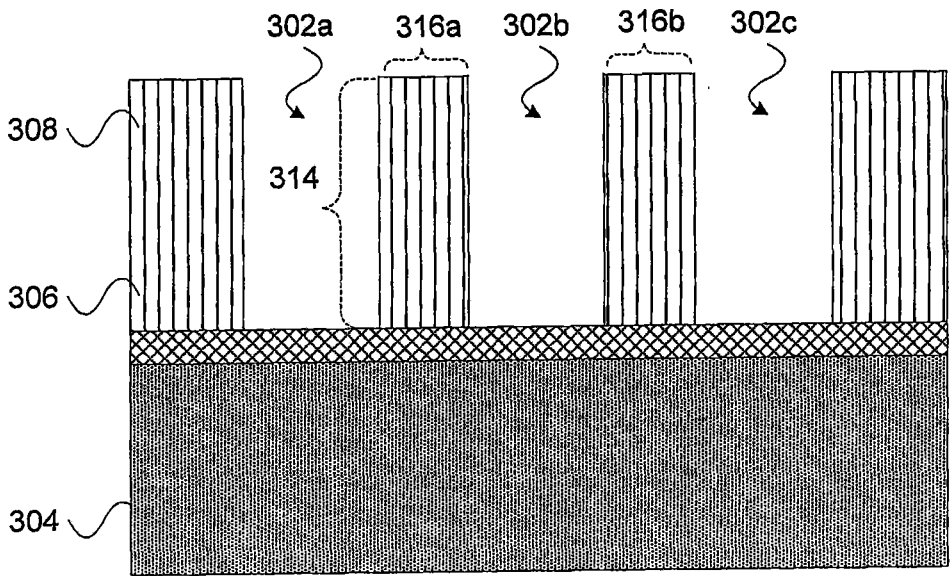


图 3A

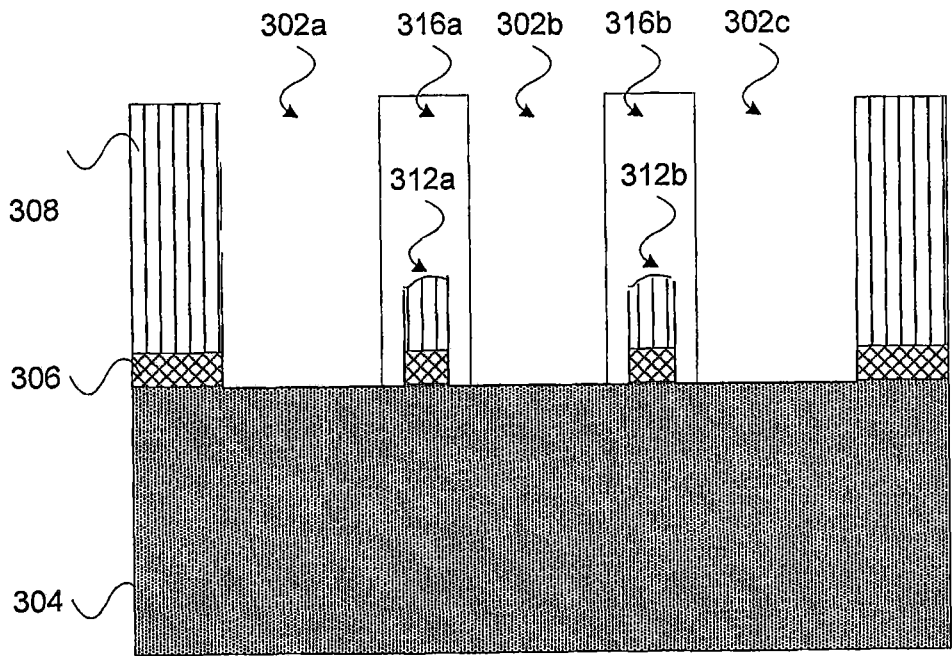


图 3B

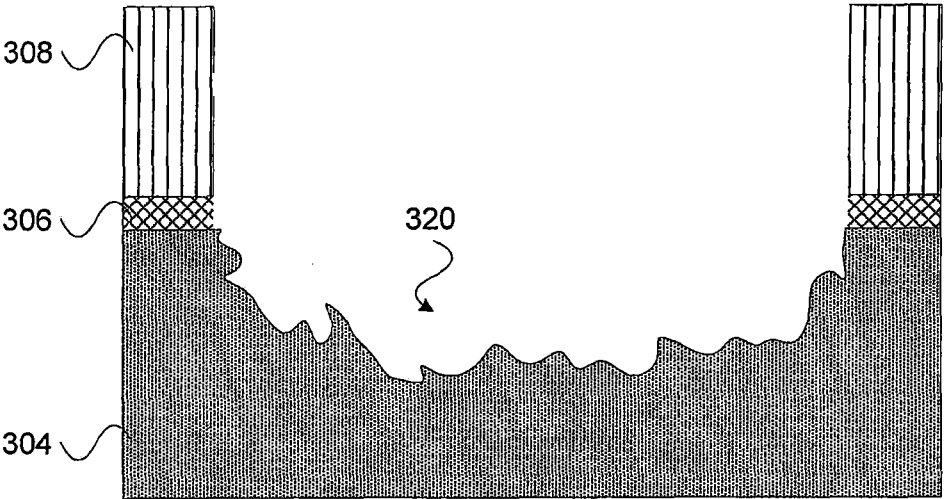


图 3C

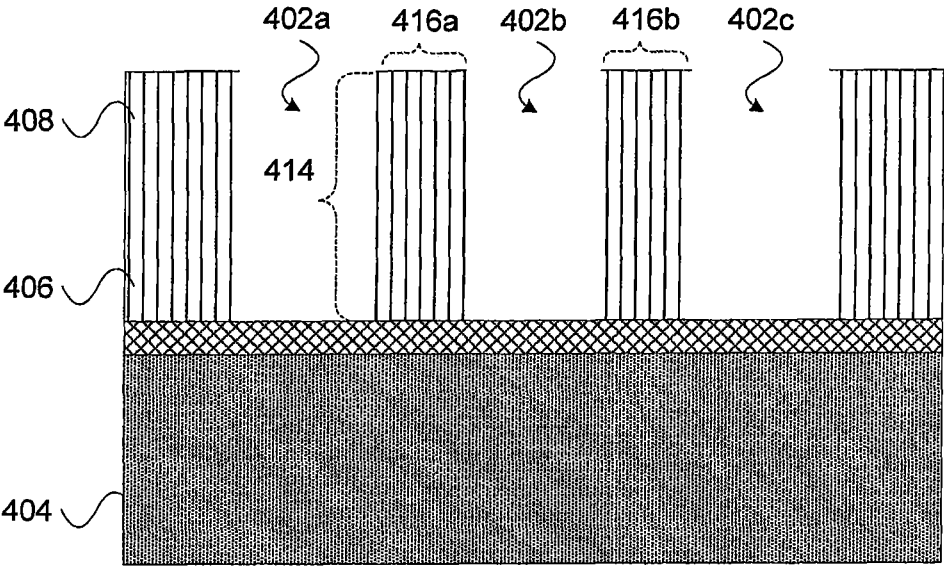


图 4A

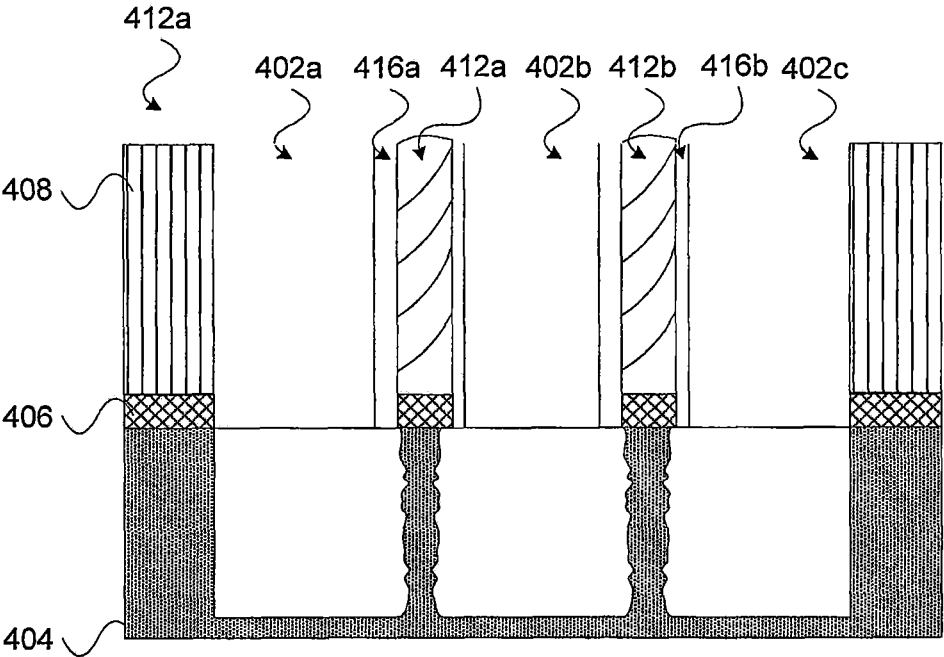


图 4B

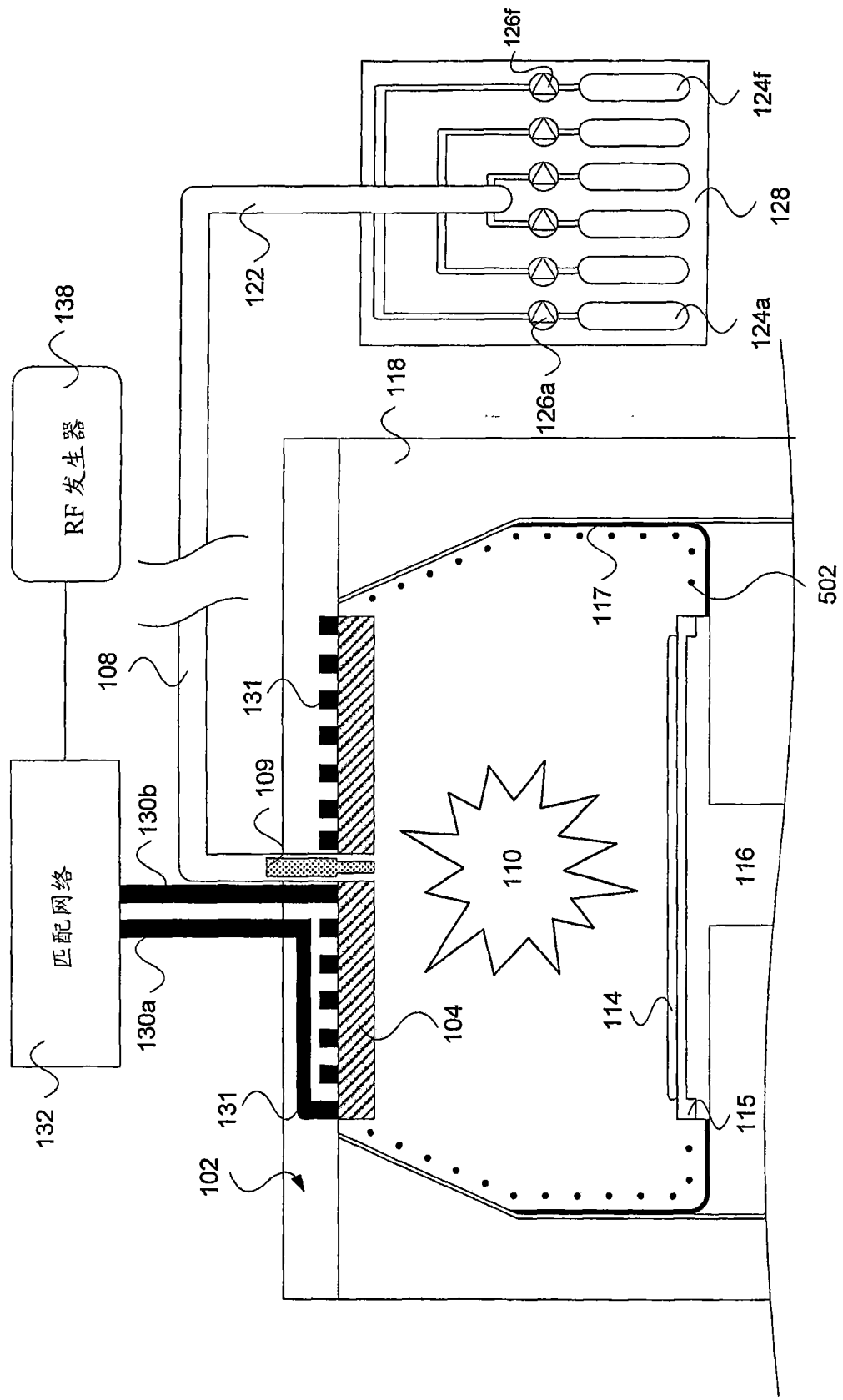


图 5

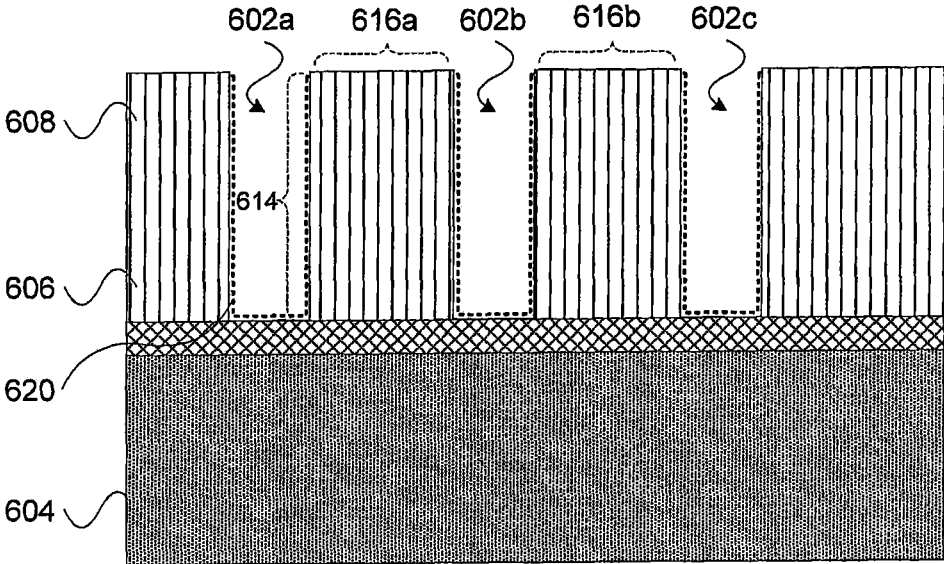


图 6A

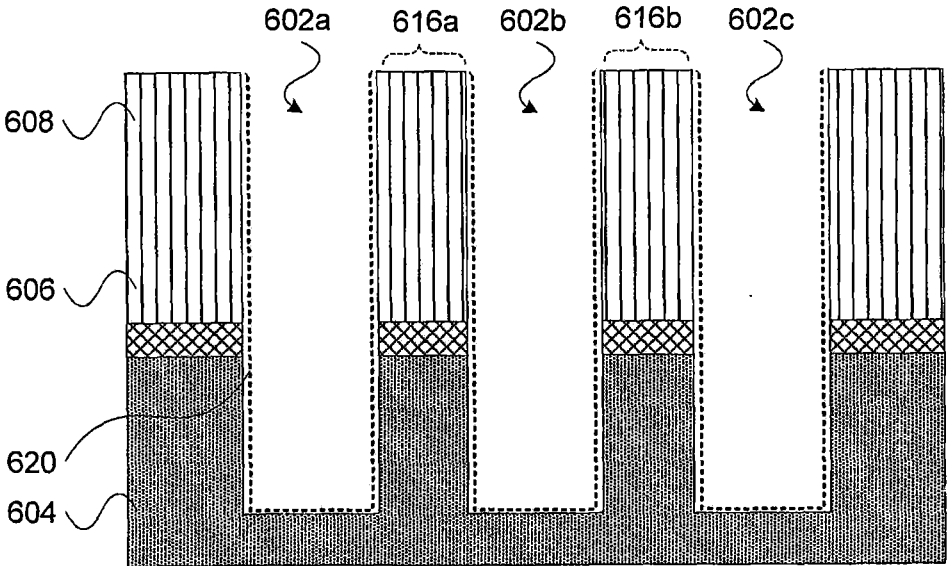


图 6B

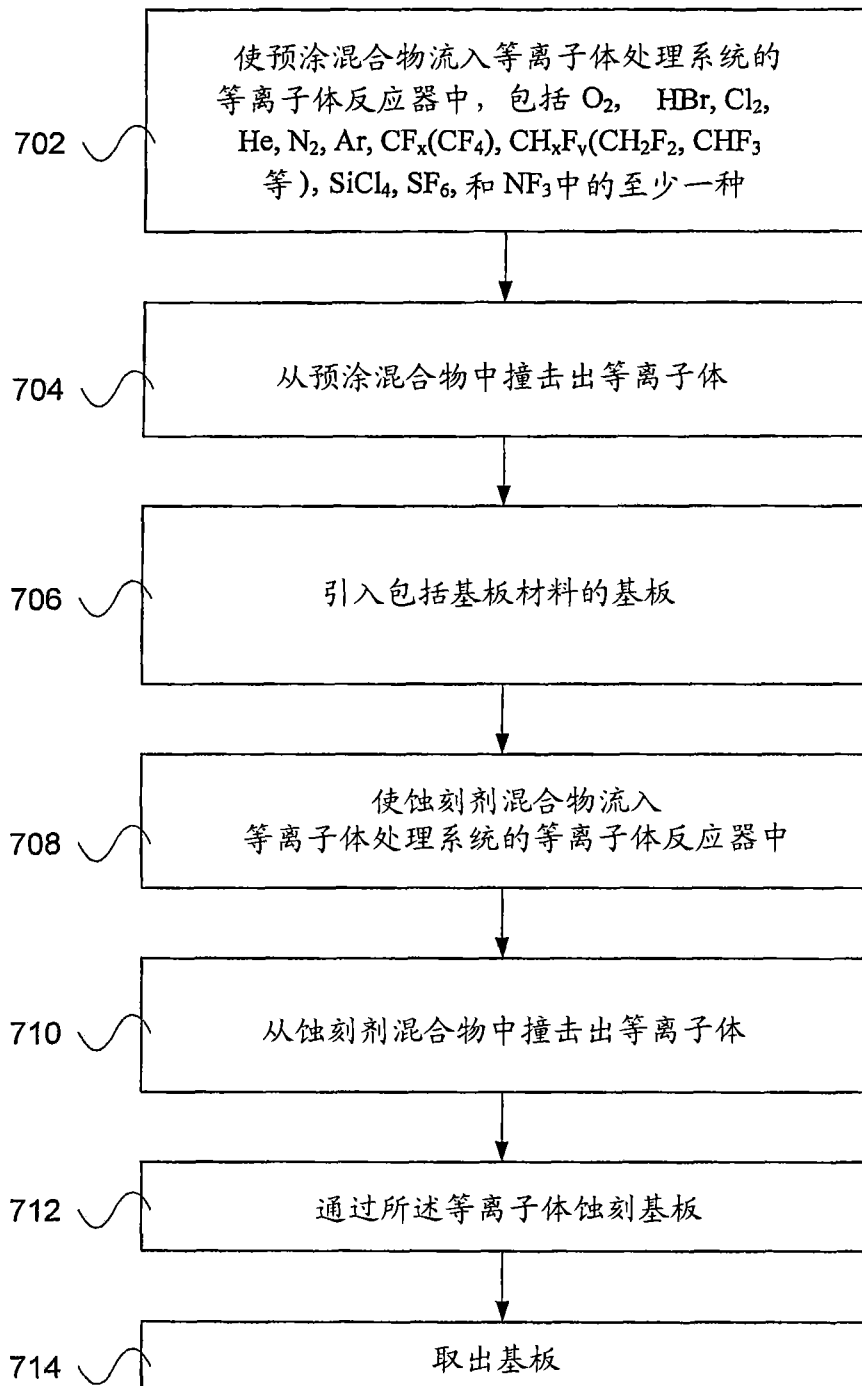


图 7