

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H03K 3/012 (2006.01)

H03K 3/356 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200610114287.6

[45] 授权公告日 2009年3月18日

[11] 授权公告号 CN 100471062C

[22] 申请日 2006.11.3

[21] 申请号 200610114287.6

[73] 专利权人 清华大学

地址 100084 北京市 100084-82 信箱

[72] 发明人 林赛华 杨华中 汪 蕙

[56] 参考文献

US2001054923A1 2001.12.27

CN1710806A 2005.12.21

WO2004109707A1 2004.12.16

US5418473A 1995.5.23

审查员 李劲娴

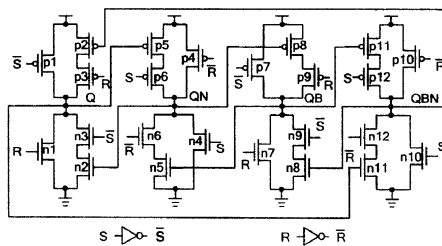
权利要求书 3 页 说明书 4 页 附图 8 页

## [54] 发明名称

具有自修正功能的 CMOS 对称输出 SR 锁存器

## [57] 摘要

本发明属于对称输出寄存器技术领域，其特征在于，在状态发生转变的充电或者放电支路状态发生翻转时均只有一个晶体管在起控制状态转换作用，因此也加快了翻转速度和提高了对称性。由于引入了冗余电路，因而两种电路在保持状态时，能够对宇宙射线等造成的软错误进行自动恢复，具有自我修复能力。



1, 具有自修正功能的 CMOS 对称输出由 NOR 电路变化而得的 SR 锁存器, 其特征在于, 包含:

第一锁存器包含第一状态信号 (Q) 和第二状态信号 (QN) 的锁存电路,

其中第一锁存器的第一状态 (Q) 锁存电路含有:

互相串联的第二 PMOS 管 (p2) 和第三 PMOS 管 (p3), 该第二 PMOS 管 (p2) 的栅极接第二锁存器的第四状态信号 (QBN), 该第三 PMOS 管 (p3) 的栅极接第一输入信号 (R),

第一 PMOS 管 (p1) 的源极和第二 PMOS 管 (p2) 的源极相连后接电源, 该第一 PMOS 管 (p1) 的漏极和第三 PMOS 管 (p3) 的漏极相连后形成第一状态信号 (Q) 的输出端, 第一 PMOS 管 (p1) 的栅极接第二输入信号 (S) 的反相信号,

互相串联的第二 NMOS 管 (n2) 和第三 NMOS 管 (n3), 该第二 NMOS 管 (n2) 的栅极接第二状态信号 (QN), 该第三 NMOS 管 (n3) 的栅极接第二输入信号 (S) 的反相信号,

第一 NMOS 管 (n1) 的漏极和第三 NMOS 管 (n3) 的漏极相连后形成第一状态信号 (Q) 的输出端, 该第一 NMOS 管 (n1) 的源极和第二 NMOS 管 (n2) 的源极相连后接地, 第一 NMOS 管 (n1) 的栅极接第一输入信号 (R),

其中第一锁存器的第二状态信号 (QN) 锁存电路含有:

互相串联的第五 PMOS 管 (p5) 和第六 PMOS 管 (p6), 该第五 PMOS 管 (p5) 的栅极接第一状态信号 (Q), 该第六 PMOS 管 (p6) 的栅极接第二输入信号 (S),

第四 PMOS 管 (p4) 的源极和第五 PMOS 管 (p5) 的源极相连后接电源, 该第四 PMOS 管 (p4) 的漏极和第六 PMOS 管 (p6) 的漏极相连后形成第二状态信号 (QN) 的输出端, 第四 PMOS 管 (p4) 的栅极接第一输入信号 (R) 的反相信号,

互相串联的第六 NMOS 管 (n6) 和第五 NMOS 管 (n5), 该第五 NMOS 管 (n5) 的栅极接第二锁存器的第三状态信号 (QB), 该第六 NMOS 管 (n6) 的栅极接第一输入信号 (R) 的反相信号,

第四 NMOS 管 (n4) 的漏极和第六 NMOS 管 (n6) 的漏极相连后形成第二状态信号 (QN) 的输出端, 该第四 NMOS 管 (n4) 的源极和第五 NMOS 管 (n5) 的源极相连后接地, 第四 NMOS 管 (n4) 的栅极接第二输入信号 (S),

第二锁存器包含第三状态信号 (QB) 和第四状态信号 (QBN) 的锁存电路,

其中第二锁存器的第三状态信号 (QB) 锁存电路含有:

互相串联的第八 PMOS 管 (p8) 和第九 PMOS 管 (p9), 该第八 PMOS 管 (p8) 的栅极接第二状态信号 (QN), 该第九 PMOS 管 (p9) 的栅极接第一输入信号 (R),

第七 PMOS 管 (p7) 的源极和第八 PMOS 管 (p8) 的源极相连后接电源, 该第七 PMOS 管 (p7) 的漏极和第九 PMOS 管 (p9) 的漏极相连后形成第三状态信号 (QB) 的输出端, 第七 PMOS 管 (p7) 的栅极接第二输入信号 (S) 的反相信号,

互相串联的第九 NMOS 管 (n9) 和第八 NMOS 管 (n8), 该第八 NMOS 管 (n8) 的栅极接第四状态信号 (QBN), 该第九 NMOS 管 (n9) 的栅极接第二输入信号 (S) 的反相信号,

第七 NMOS 管 (n7) 的漏极和第九 NMOS 管 (n9) 的漏极相连后形成第三状态信号 (QB) 的输出端, 该第七 NMOS 管 (n7) 的源极和第八 NMOS 管 (n8) 的源极相连后

接地，第七 NMOS 管 (n7) 的栅极接第一输入信号 (R)，  
其中第二锁存器的第四状态信号 (QBN) 锁存电路含有：

互相串联的第十一 PMOS 管(p11)和第十二 PMOS 管(p12)，该第十一 PMOS 管(p11)的栅极接第三状态信号 (QB)，该第十二 PMOS 管 (p12) 的栅极接第二输入信号 (S)，  
第十 PMOS 管 (p10) 的源极和第十一 PMOS 管 (p11) 的源极相连后接电源，该第十 PMOS 管(p10)的漏极和第十二 PMOS 管(p12)的漏极相连后形成第四状态信号(QBN)的输出端，第十 PMOS 管 (p10) 的栅极接第一输入信号 (R) 的反相信号，

互相串联的第十二 NMOS 管 (n12) 和第十一 NMOS 管 (n11)，该第十一 NMOS 管 (n11) 的栅极接第一状态信号 (Q)，该第十二 NMOS 管 (n12) 的栅极接第一输入信号 (R) 的反相信号，

第十 NMOS 管 (n10) 的漏极和第十二 NMOS 管 (n12) 的漏极相连后形成第四状态信号 (QBN) 的输出端，该第十 NMOS 管 (n10) 的源极和第十一 NMOS 管 (n11) 的源极相连后接地，第十 NMOS 管 (n10) 的栅极接第二输入信号 (S)。

2. 具有自修正功能的 CMOS 对称输出由 NAND 电路变化而得的 SR 锁存器，其特征在于，包含：

第一锁存器包含第一状态信号 (Q) 和第二状态信号 (QN) 的锁存电路，  
其中第一锁存器的第一状态信号 (Q) 锁存电路含有：

互相串联的第二 PMOS 管 (p2) 和第三 PMOS 管 (p3)，该第二 PMOS 管 (p2) 的栅极接第二锁存器的第四状态信号 (QBN)，该第三 PMOS 管 (p3) 的栅极接第一输入信号 (R) 的反相信号，

第一 PMOS 管 (p1) 的源极和第二 PMOS 管 (p2) 的源极相连后接电源，该第一 PMOS 管 (p1) 的漏极和第三 PMOS 管 (p3) 的漏极相连后形成第一状态信号 (Q) 的输出端，第一 PMOS 管 (p1) 的栅极接第二输入信号 (S)，

互相串联的第二 NMOS 管 (n2) 和第三 NMOS 管 (n3)，该第二 NMOS 管 (n2) 的栅极接第二状态信号 (QN)，该第三 NMOS 管 (n3) 的栅极接第二输入信号 (S)，

第一 NMOS 管 (n1) 的漏极和第三 NMOS 管 (n3) 的漏极相连后形成第一状态信号 (Q) 的输出端，该第一 NMOS 管 (n1) 的源极和第二 NMOS 管 (n2) 的源极相连后接地，第一 NMOS 管 (n1) 的栅极接第一输入信号 (R) 的反相信号，  
其中第一锁存器的第二状态信号 (QN) 锁存电路含有：

互相串联的第五 PMOS 管 (p5) 和第六 PMOS 管 (p6)，该第五 PMOS 管 (p5) 的栅极接第一状态信号 (Q)，该第六 PMOS 管 (p6) 的栅极接第二输入信号 (S) 的反相信号，

第四 PMOS 管 (p4) 的源极和第五 PMOS 管 (p5) 的源极相连后接电源，该第四 PMOS 管 (p4) 的漏极和第六 PMOS 管 (p6) 的漏极相连后形成第二状态信号 (QN) 的输出端，第四 PMOS 管 (p4) 的栅极接第一输入信号 (R)，

互相串联的第六 NMOS 管 (n6) 和第五 NMOS 管 (n5)，该第五 NMOS 管 (n5) 的栅极接第二锁存器的第三状态信号 (QB)，该第六 NMOS 管 (n6) 的栅极接第一输入信号 (R)，

第四 NMOS 管 (n4) 的漏极和第六 NMOS 管 (n6) 的漏极相连后形成第二状态信号 (QN) 的输出端，该第四 NMOS 管 (n4) 的源极和第五 NMOS 管 (n5) 的源极相连后接地，第四 NMOS 管 (n4) 的栅极接第二输入信号 (S) 的反相信号，

第二锁存器包含第三状态信号 (QB) 和第四状态信号 (QBN) 的锁存电路，  
其中第二锁存器的第三状态信号 (QB) 锁存电路含有：

互相串联的第八 PMOS 管 (p8) 和第九 PMOS 管 (p9), 该第八 PMOS 管 (p8) 的栅极接第二状态信号 (QN), 该第九 PMOS 管 (p9) 的栅极接第一输入信号 (R) 的反相信号,

第七 PMOS 管 (p7) 的源极和第八 PMOS 管 (p8) 的源极相连后接电源, 该第七 PMOS 管 (p7) 的漏极和第九 PMOS 管 (p9) 的漏极相连后形成第三状态信号 (QB) 的输出端, 第九 PMOS 管 (p7) 的栅极接第二输入信号 (S),

互相串联的第九 NMOS 管 (n9) 和第八 NMOS 管 (n8), 该第八 NMOS 管 (n8) 的栅极接第四状态信号 (QBN), 该第九 NMOS 管 (n9) 的栅极接第二输入信号 (S),

第七 NMOS 管 (n7) 的漏极和第九 NMOS 管 (n9) 的漏极相连后形成第三状态信号 (QB) 的输出端, 该第七 NMOS 管 (n7) 的源极和第八 NMOS 管 (n8) 的源极相连后接地, 第七 NMOS 管 (n7) 的栅极接第一输入信号 (R) 的反相信号, 其中第二锁存器的第四状态信号 (QBN) 锁存电路含有:

互相串联的第十一 PMOS 管 (p11) 和第十二 PMOS 管 (p12), 该第十一 PMOS 管 (p11) 的栅极接第三状态信号 (QB), 该第十二 PMOS 管 (p12) 的栅极接第二输入信号 (S) 的反相信号,

第十 PMOS 管 (p10) 的源极和第十一 PMOS 管 (p11) 的源极相连后接电源, 该第十 PMOS 管 (p10) 的漏极和第十二 PMOS 管 (p12) 的漏极相连后形成第四状态信号 (QBN) 的输出端, 第十 PMOS 管 (p10) 的栅极接第一输入信号 (R),

互相串联的第十二 NMOS 管 (n12) 和第十一 NMOS 管 (n11), 该第十一 NMOS 管 (n11) 的栅极接第一状态信号 (Q), 该第十二 NMOS 管 (n12) 的栅极接第一输入信号 (R),

第十 NMOS 管 (n10) 的漏极和第十二 NMOS 管 (n12) 的漏极相连后形成第四状态信号 (QBN) 的输出端, 该第十 NMOS 管 (n10) 的源极和第十一 NMOS 管 (n11) 的源极相连后接地, 第十 NMOS 管 (n10) 的栅极接第二输入信号 (S) 的反相信号。

## 具有自修正功能的 CMOS 对称输出 SR 锁存器

### 技术领域

“具有自修正功能的 CMOS 对称输出 SR 锁存器”直接应用的技术领域是高性能的集成电路设计。所提出电路是一类具有对因噪声，宇宙射线等造成的错误具有自我修正功能的 CMOS 对称输出锁存器单元。

### 背景技术

随着 CMOS 集成电路制造工艺逐渐进入纳米尺寸领域，集成电路的规模和复杂性日益增大，由于宇宙射线粒子轰击等造成软错误对于集成电路的可靠性造成一定的威胁。由于工艺的进步，CMOS 电路中节点电容随之减小，从而要使一个节点发生翻转所需要的总电荷减小，也即意味着在过去不会带来影响的低能量宇宙射线粒子现在会对电路造成足够的威胁。另外由于集成电路电源电压的下降，电路的噪声容限随之降低，因而也使得电路的内部节点更容易发生错误翻转。

为了减弱软错误的影响，研究者们提出了各种不同的电路增强方法。其中一种便是电路制造工艺流程的改进。研究发现，造成软错误的原因除了宇宙射线粒子的轰击外还包括封装中放射性杂质，硼10杂质等。因此，通过工艺改进如消除硼10，芯片的软错误就能大量减小。一个例子便是IBM从2002年起便开始在其工艺流程中消除硼10。但是这种方法的缺点是有时难以实现。因为要改变一个工艺流程是相当困难的一件事。另一种方法便是通过在电路中引入电容，电阻等元件来增强电路抗软错误的能力。但是引入电容，电阻一方面会降低电路的运行速度，另一方面便是其所能达到的抗软错误能力依旧有限。第三种方法便是从电路设计方法入手，设计出鲁棒性很强的电路。

图1和图2显示的是基本的4管NAND或者4管NOR组成CMOS SR锁存器电路。这两个电路的共同点是抗软错误能力较差且电路输出上升和下降转换不对称。图3显示的是一个具有抗软错误能力的SRAM电路单元。通过把图3电路的思想用到4管NAND和4管NOR组成的CMOS SR锁存器，James R. Hoff等人提出了一种具有抗软错误能力的SR锁存器图4，图5（见美国专利：Redundant single event upset suppression system, Patent No.: US 7,023,235 B2）。然而该电路依旧没有解决电路输出上升和下降转换不对称的问题。比如对于图4的NAND组成的SR锁存器，当S为低时R为高时，p1管导通，对节点Q充电使其变高。同样，QB经过p5晶体管的充电作用也逐渐升高。虽然此时R为高，n3管导通。但是在QB上升为高之前，n4管依旧关闭，因而QN不能立刻降为低电平。只有当QB或者Q上升到高之后，QN才能下降为低电平。同样当R为低时S为高，QN由于p3晶体管导通而充电变高，然而在QN变高之前，n2始终关闭，因此Q不能立刻变为低电平。只有在QN变为高电平之后，Q才能下降为低电平。因此Q和QN的延时是不对称的。同样的分析也可以用于传统的由NOR组成的SR锁存器电路。在高性能集成电路中，对称的延时对于信号的充分利用具有重要的地位。因此我们应当保证Q和QN具有相同的延时特性。

Borivoje Nikolic等人针对基于灵敏放大器的触发器曾提出过对于NAND构成的SR锁存器进行变换使的延时对称的电路结构（见文献 Borivoje Nikolic et al. “Improved sense-amplifier-based flip-flop: design and measurements,” in JSSC, vol. 35, no. 6, June 2000, pp. 876-884）。然而该结构只针对NAND构成的SR锁存器，没有提供NOR构成的SR锁存器的电路结构。并且更为重要的是，它并不具备自我修正的抗软错误的能力。综合以上各种因素的考虑，本发明将提出一种新的既有自我修正能力，又有对称输出能力的锁存器。

## 发明内容

本发明的目的是提出一种具有自修正能力的，具有对称延时输出性能的 SEUT\_SR 锁存器，结构如图 6，图 8 所示。

## 附图说明

图 1. 传统的由 4 管 NAND 组成的 SR 锁存器：a，原理图，b，电路图。

图 2. 传统的由 4 管 NOR 组成的 SR 锁存器：a，原理图，b，电路图。

图 3. 传统的具有自修正能力的 SRAM 单元电路。

图 4. 传统的具有自修正能力的非对称输出的由 NAND 组成的 SR 锁存器单元电路：a，原理图，b，电路图。

图 5. 传统的具有自修正能力的非对称输出的由 NOR 组成的 SR 锁存器单元电路：a，原理图，b，电路图。

图 6. 本发明所述的由 NOR 组成的具有自我修正能力的 CMOS 对称输出 SEUT\_SR 锁存器电路结构图。

图 7. NOR 组成的 CMOS 对称输出 SEUT\_SR 锁存器的真值表。

图 8. 本发明所述的由 NAND 组成的具有自我修正能力的 CMOS 对称输出 SEUT\_SR 锁存器电路结构图。

图 9. NAND 组成的 CMOS 对称输出 SEUT\_SR 锁存器的真值表。

图 10. NOR 组成的 CMOS 对称输出 SEUT\_SR 锁存器的波形仿真图。

图 11. NAND 组成的 CMOS 对称输出 SEUT\_SR 锁存器的波形仿真图。

图 12. 传统电路面对宇宙粒子等的轰击时，当粒子强度逐渐增强时，Q，QN 发生翻转错误。

图 13. 新的电路面对宇宙粒子等的轰击时，当粒子强度逐渐增强时，Q，QN 实现自我修正，仍然保持正确状态。

### 具体实施方式

本发明解决其技术问题的技术方案是：由 NOR 组成具有自修正功能的 CMOS 对称输出 SR 锁存器，如图 6 所示；由 NAND 组成的具有自修正功能的 CMOS 对称输出 SR 锁存器，如图 8 所示。首先，我们描述一下由 NOR 组成的 SEUT\_SR 的工作原理。

对于图 6 所示的 NOR 组成的 SR 锁存器， $\bar{R}$  表示 R 经过反相器反相后的信号， $\bar{S}$  表示 S 经过反相器反相后的信号。由于 R, S,  $\bar{R}$ , 和  $\bar{S}$  仅仅驱动 MOS 管的栅极，忽略栅极漏电流，

不会有额外电流通过栅流入 R, S,  $\bar{R}$ , 和  $\bar{S}$ ，从而避免反相驱动的问题。对于 NOR 组成 SR 锁存器，R 为高，S 为高是禁止出现的输入组合。因此，我们只考虑其他三种 R, S 组合状态。

当 S 为低，R 为高时，Q 通过 n1 放电至低电平，QB 通过 n7 放电至低电平，QN 通过 p4 充电至高电平，QBN 通过 p10 充电至高电平。

当 S 为高，R 为低时，Q 通过 p1 充电至高电平，QB 通过 p7 充电至高电平，QN 通过 n4 放电至低电平，QBN 通过 n10 放电至低电平。

当 S 为低，R 为低时，电路进入保持状态，Q, QN, QB, QBN 保持原始状态。

该电路的自我修正功能是这样的。假如初始 Q, QN, QB, QBN 状态为低，高，低，高，而 S 为低，R 为低，电路进入保持状态。由于宇宙射线，粒子轰击等原因，Q 发生错误翻转变为高。于是状态变为，高，高，低，高。然而首先由于 S 和 R 均为低，因此 p1 截止，n1 截止，p3 导通，n3 导通。但由于 QBN 为高，因此 p2 截止，从而 Q 不能始终维持为高。由于 QN 为高，n2 导通，因此 Q 的高电平将经过 n2, n3 支路放电。最终 Q 依旧为低电平，Q, QN, QB, QBN 状态依旧为低，高，低，高。同样，当一个错误发生在其他节点，如 QN, QB, QBN 时，该电路依旧能否自我修正回到初始状态。

在图 8 所示的由 NAND 组成的 SR 电路中， $\bar{R}$  表示 R 经过反相器反相后的信号， $\bar{S}$  表示 S 经过反相器反相后的信号。由于 R, S,  $\bar{R}$ , 和  $\bar{S}$  仅仅驱动 MOS 管的栅极，忽略栅极漏电流，

不会有额外电流通过栅流入 R, S,  $\bar{R}$ , 和  $\bar{S}$ ，从而避免反相驱动的问题。对于 NAND 组成 SR 锁存器，R 为低，S 为低是禁止出现的输入组合。因此，我们只考虑其他三种 R, S 组合状态。

当 S 为低，R 为高时，Q 通过 p1 充电至高电平，QB 通过 p7 充电至高电平，QN 通过 n4 放电至低电平，QBN 通过 n10 放电至低电平。

当 S 为高，R 为低时，Q 通过 n1 放电至低电平，QB 通过 n7 放电至低电平，QN 通过 p4 充电至高电平，QBN 通过 p10 充电至高电平。

当 S 为高，R 为高时，电路进入保持状态，Q, QN, QB, QBN 保持原始状态。

可以看到，在 Q, QN 发生转换时的充电或者放电支路上，均只有一个晶体管控制放电和充电，能够保持输出延时的对称性。同时，也由于充电或者放电支路上只有一个晶体管，该 SR 锁存器的速度得到了提升。

该电路的自我修正功能是这样的。假如初始 Q, QN, QB, QBN 状态为低，高，低，高，而 S 为高，R 为高，电路进入保持状态。由于宇宙射线，粒子轰击等原因，Q 发生错误翻转变为高。于是状态变为，高，高，低，高。然而首先由于 S 和 R 均为高，因此 p1 截止，n1 截止，p3 导通，n3 导通。但由于 QBN 为高，因此 p2 截止，从而 Q 不能始终维持为高。由于 QN 为高，n2 导通，因此 Q 的高电平将经过 n2, n3 支路放电。最终 Q 依旧为低电平，Q,

QN, QB, QBN 状态依旧为低, 高, 低, 高。同样, 当一个错误发生在其他节点, 如 QN, QB, QBN 时, 该电路依旧能否自我修正回到初始状态。

为了显示本电路结构的优越性, 我们以 NOR 和 NAND 组成的 SR 锁存器为例, 比较它们的延时性能。首先我们对这些电路晶体管的尺寸进行优化。其中对于传统的 SR 锁存器如图 1, 图 2 所示的电路的所有晶体管尺寸都允许优化。而对于新的电路如图 6, 图 8, 仅对其中的 n1, n4, n7, n10, p1, p4, p7, p10 允许尺寸优化, 其他晶体管尺寸取最小值。优化的目标是使得所有延时尽量一样且最小。所得到的结果如图 10, 图 11 所示。其延时性能总结如下:

传统由 NOR 组成的锁存器:

状态 S=0, R=0->1, Q 下降延时为 70.94ps    QN 上升延时为 114.3ps

新的由 NOR 组成的锁存器 SEUT\_SR:

状态 S=0, R=0->1, Q 下降延时为 41.17ps    QN 上升延时为 41.17ps

传统由 NAND 组成的锁存器:

状态 R=1, S=1->0, Q 下降延时为 286.3ps    QN 上升延时为 304.5ps

新的由 NAND 组成的锁存器 SEUT\_SR:

状态 R=1, S=1->0, Q 下降延时为 53.68ps    QN 上升延时为 53.68ps

可以看到, 新的电路延时得到大大减小。另外, 为了仿真新电路的自我修正功能, 我们假设 Q, QN 的初始状态分别为 1 和 0, Q 点的软错误用一个电流源来仿真。图 12, 图 13 显示了仿真的结果。可以看到, 对于传统的没有自我修复功能的电路, 随着粒子轰击能量的增强, 最终 Q 和 QN 状态发生翻转, 出现错误。而对于新的电路, Q 和 QN 则能够对这种错误进行自我修复, 最终仍保持 Q 为 1, QN 为 0 的状态。



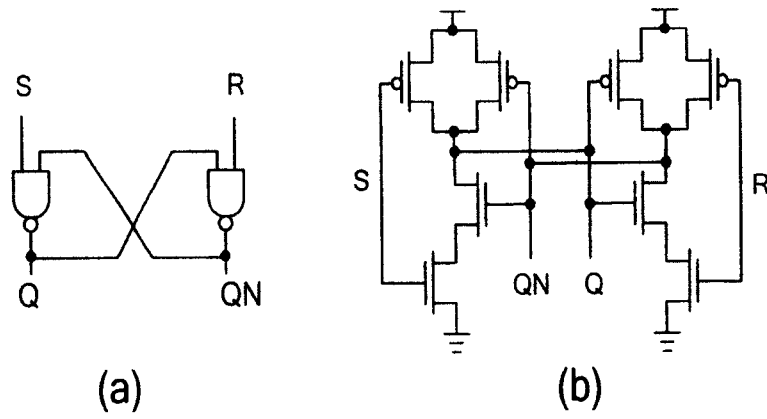


图1

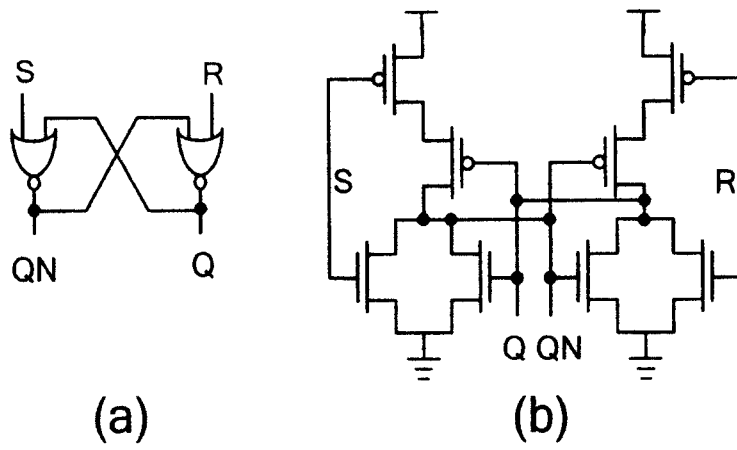


图2

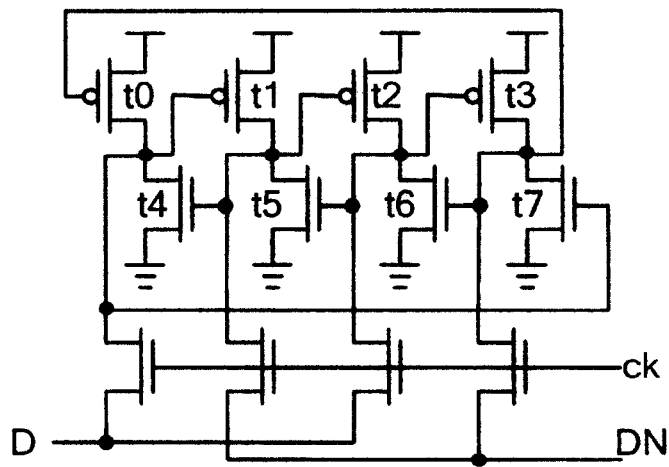


图3

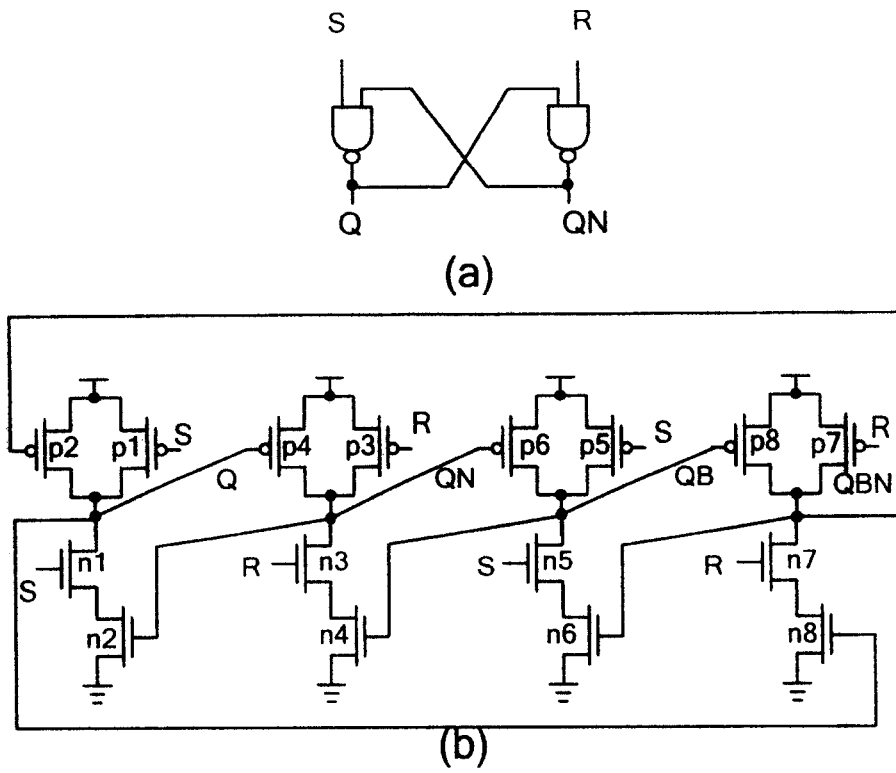


图 4

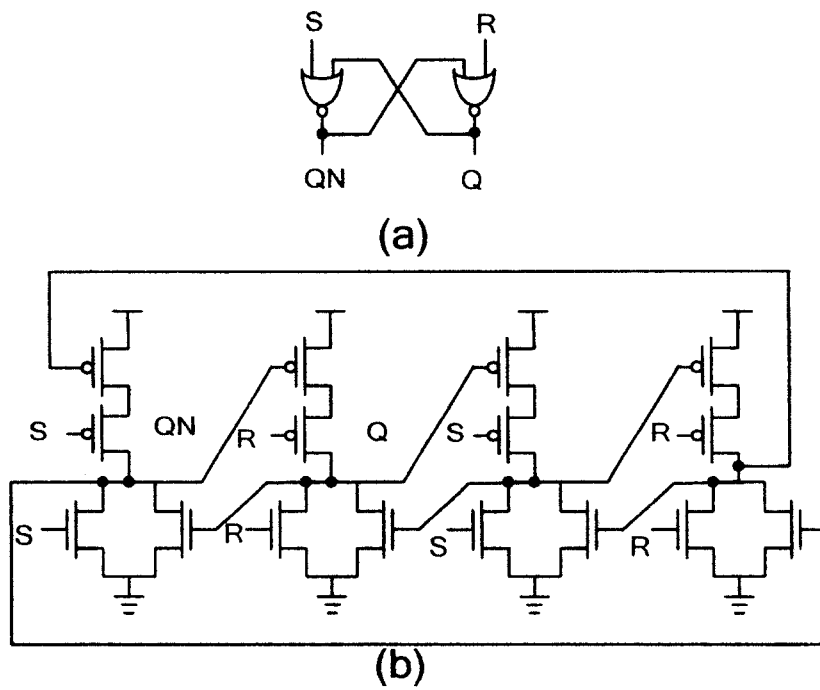


图 5

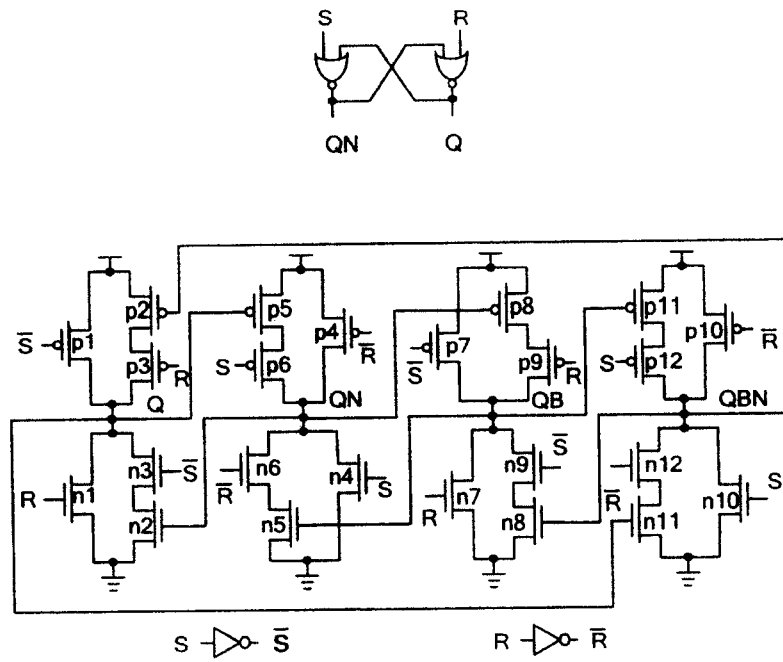


图 6

S	R	Present State Q	Next State Q
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	U
1	1	1	U

图 7

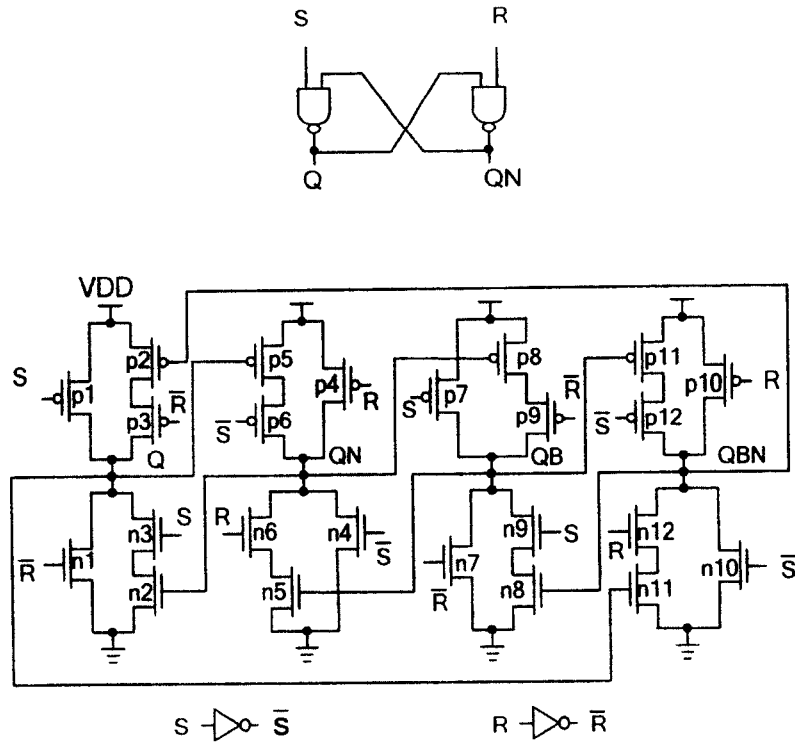


图 8

S	R	Present State Q	Next State
0	0	0	U
0	0	1	U
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

图 9

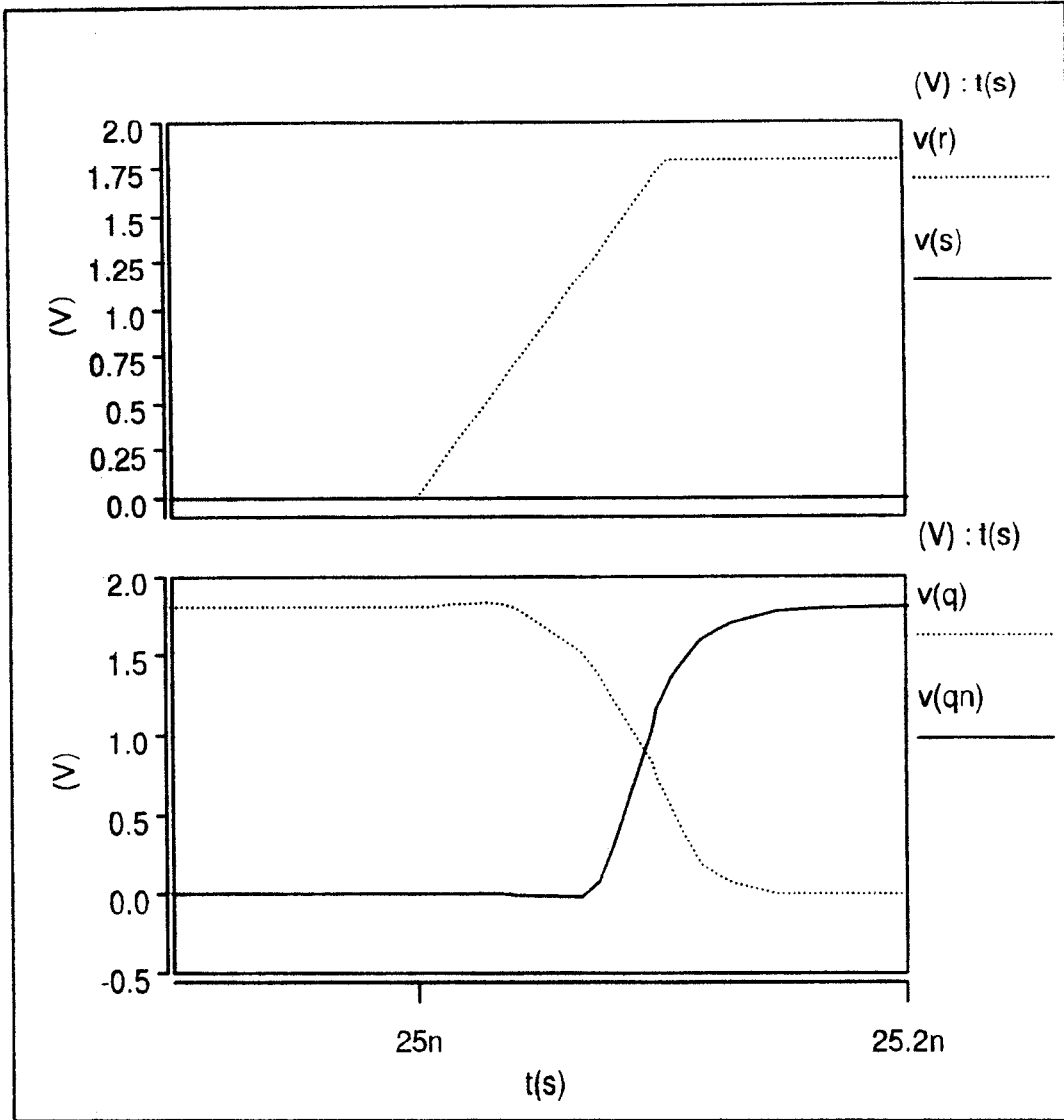


图 10

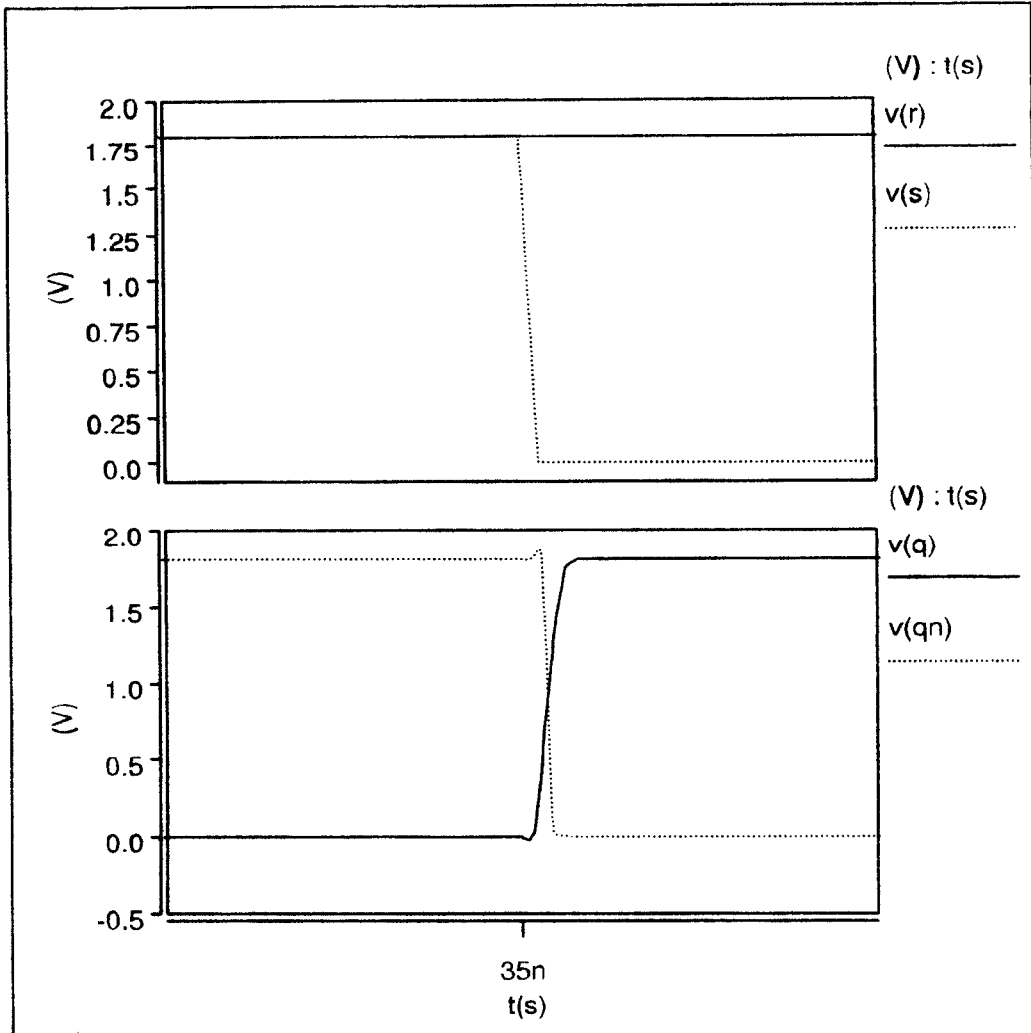


图 11

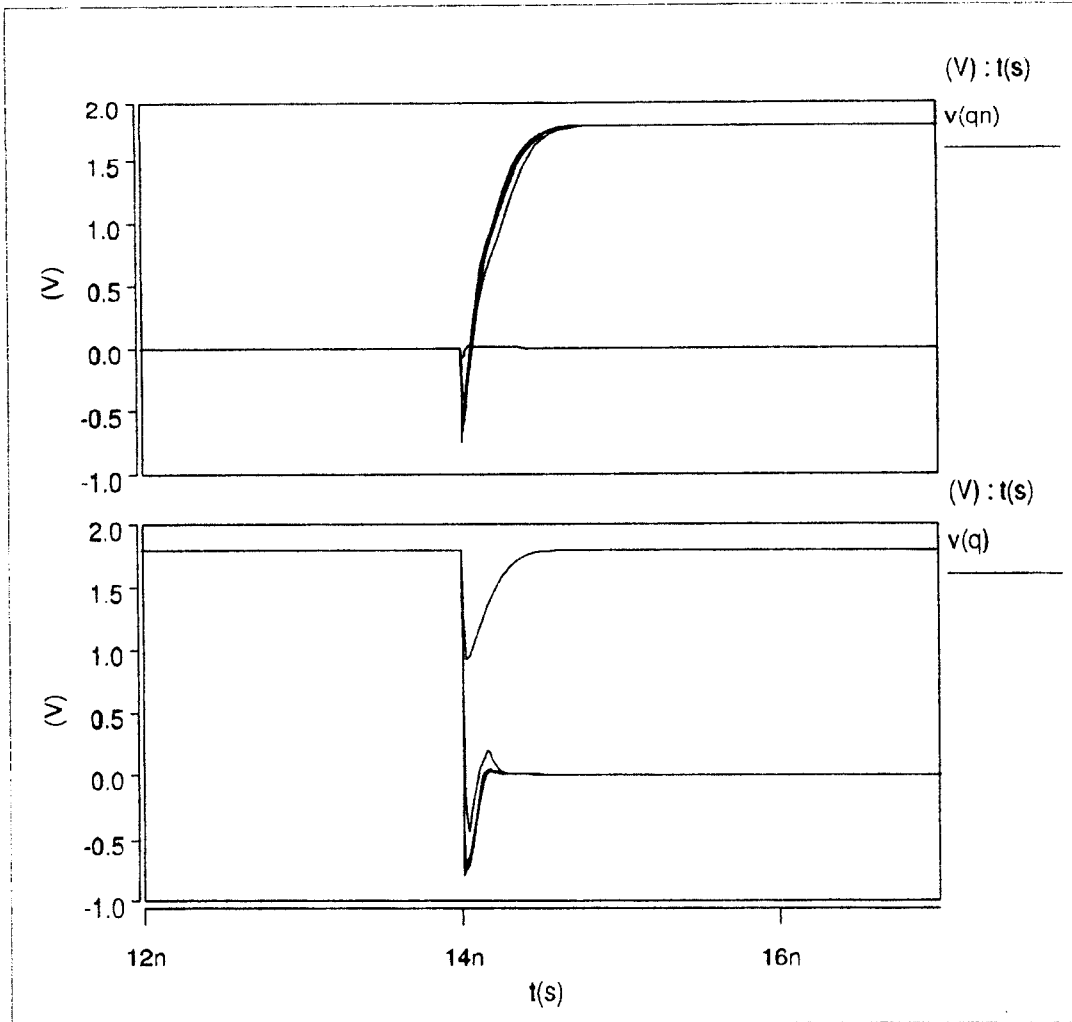


图 12

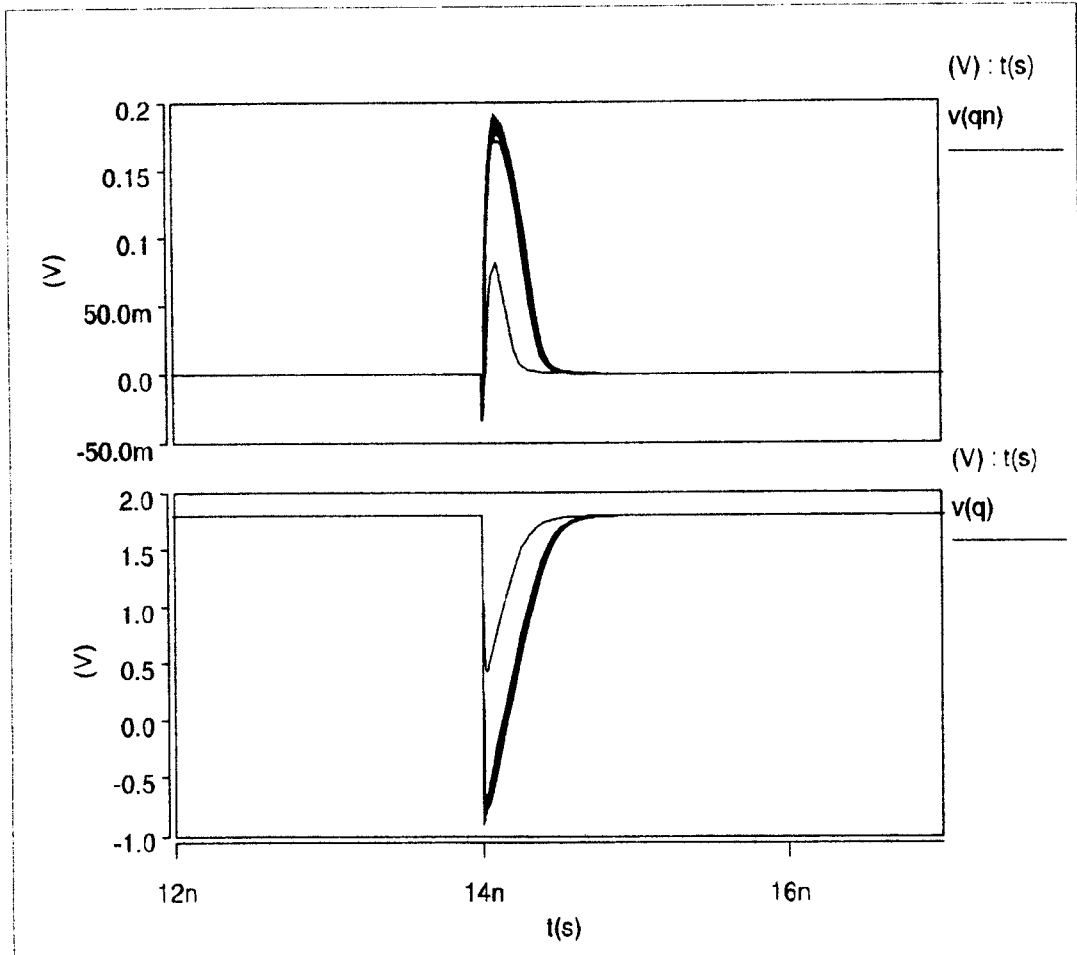


图 13