

(12) 发明专利申请

(10) 申请公布号 CN 102354684 A

(43) 申请公布日 2012. 02. 15

(21) 申请号 201110360287. 5

(22) 申请日 2011. 11. 14

(71) 申请人 杭州士兰集成电路有限公司
地址 310018 浙江省杭州市(下沙)经济技术
开发区东区 10 号路 308 号

(72) 发明人 杨彦涛 李小锋 冯荣杰 罗宁

(74) 专利代理机构 上海专利商标事务所有限公
司 31100

代理人 陈亮

(51) Int. Cl.

H01L 21/768(2006. 01)

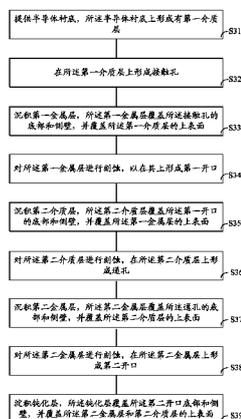
权利要求书 1 页 说明书 7 页 附图 5 页

(54) 发明名称

布线结构的形成方法

(57) 摘要

本发明提供了一种布线结构的形成方法,包括:提供半导体衬底,在其上形成第一介质层;在第一介质层上形成接触孔;沉积第一金属层,覆盖接触孔的底部和侧壁并覆盖第一介质层的上表面;对所述第一金属层进行刻蚀,以在其上形成碗口状的第一开口;沉积第二介质层,覆盖第一开口的底部和侧壁并覆盖第一金属层的上表面;对第二介质层进行刻蚀,形成倒梯形通孔;沉积第二金属层,覆盖通孔的底部和侧壁并覆盖第二介质层的上表面;对第二金属层进行刻蚀湿法刻蚀、然后再进行干法刻蚀,形成碗口状的第二开口。本发明能在不采用 SOG 平坦化、带胶回刻 SOG 平坦化等的前提下,满足临近 1.5 μm 及其以下工艺平台对平坦化的需求。



1. 一种布线结构的形成方法,其特征在于,包括:

提供半导体衬底,在所述半导体衬底上形成第一介质层;

在所述第一介质层上形成接触孔;

沉积第一金属层,所述第一金属层覆盖所述接触孔的底部和侧壁,并覆盖所述第一介质层的上表面;

对所述第一金属层进行刻蚀湿法刻蚀、然后再进行干法刻蚀,形成所述第一开口,其中湿法刻蚀所腐蚀的第一金属层厚度占所述第一金属层总厚度的 25%至 40%,所述第一金属层剩余厚度由干法刻蚀刻净,以在其上形成碗口状的第一开口;

沉积第二介质层,所述第二介质层覆盖所述第一开口的底部和侧壁,并覆盖所述第一金属层的上表面;

对所述第二介质层进行刻蚀,方法为对所述第二介质层进行光刻,形成图形,带胶高温烘烤后,然后再进行湿法刻蚀,在所述第二介质层上形成倒梯形通孔;

沉积第二金属层,所述第二金属层覆盖所述通孔的底部和侧壁,并覆盖所述第二介质层的上表面;

对所述第二金属层进行刻蚀湿法刻蚀、然后再进行干法刻蚀,形成所述第一开口,其中湿法刻蚀所腐蚀的第一金属层厚度占所述第一金属层总厚度的 20%至 35%,所述第二金属层剩余厚度由干法刻蚀刻净,以在其上形成碗口状的第二开口。

2. 根据权利要求 1 所述的布线结构的形成方法,其特征在于,所述接触孔的侧壁包括上下相接的上侧壁和下侧壁,所述上侧壁与所述第一介质层上表面水平方向的夹角为 30° 至 60° ,所述下侧壁与所述半导体衬底上表面水平方向的夹角为 85° 至 90° 。

3. 根据权利要求 1 所述的布线结构的形成方法,其特征在于,所述第二介质层的厚度为 $7000 \sim 9000 \text{ \AA}$,折射率为 $1.4 \sim 1.5$,膜厚均匀性在 3%以内。

4. 根据权利要求 1 所述的布线结构的形成方法,其特征在于,覆盖在所述第一开口侧壁的第二介质层的厚度与覆盖在所述第一开口底部的第二介质层的厚度之比为 $0.6 \sim 0.8$,覆盖在所述第一开口侧壁的第二介质层的厚度与覆盖在所述第一金属层上表面的第二介质层的厚度之比为 $0.45 \sim 0.65$,覆盖在所述第一开口底部的第二介质层的厚度与覆盖在所述第一金属层上表面的第二介质层的厚度之比为 $0.6 \sim 0.9$ 。

5. 根据权利要求 1 所述的布线结构的形成方法,其特征在于,对所述第二金属层进行刻蚀之后,还包括:

淀积钝化层,所述钝化层覆盖所述第二开口底部和侧壁,并覆盖所述第二金属层和第二介质层的上表面。

6. 根据权利要求 5 所述的布线结构的形成方法,其特征在于,所述钝化层为叠层结构,包括:第一无掺杂硅玻璃层、位于所述第一无掺杂硅玻璃层上的磷硅玻璃层、位于所述磷硅玻璃层上的第二无掺杂硅玻璃层以及位于所述第二无掺杂硅玻璃层上的氮化硅层。

布线结构的形成方法

技术领域

[0001] 本发明涉及半导体器件以及半导体工艺技术领域,尤其涉及一种临近亚微米级(1.5 μm 及其以下)无 SOG 的布线结构的形成方法。

背景技术

[0002] 在集成电路制造工艺中,往往采用 SiO_2 等绝缘材料来形成介质层以隔离不同的金属层,防止不同金属层以及其他导电层穿通导电层次。介质层的厚度一般为 4000 \AA 至 10000 \AA 之间,具体可以按照不同的耐压以及寄生参数的要求来选择。由于介质层的厚度相对较厚,再加上开孔以及前道金属层的高度差导致部分区域台阶高度过高,使得后续加工以及运用过程中出现台阶覆盖性不佳、工艺异常、参数失效和可靠性问题。为了消除台阶高度带来的不良影响,旋涂玻璃(SOG, Spin OnGlass coating)平坦化、带胶回刻平坦化以及化学机械抛光(CMP)等工艺被广泛应用于现代半导体制造过程中,特别是对于亚微米级以下及临近亚微米级小规则工艺来说尤为重要。

[0003] 图 1 示出了现有技术中的一种布线结构的剖面示意图,包括:半导体衬底 10;覆盖在半导体衬底 10 上的第一介质层 11,第一介质层 11 上形成有开孔;第一金属层 12,覆盖第一介质层 11 并填充其中的开孔,第一金属层 12 上也形成有开孔;第二介质层 13,覆盖第一金属层 12 并填充其中的开孔,第二介质层 13 上也形成有开孔;第二金属层 14,覆盖第二介质层 13 并填充其中的开孔。由于在临近亚微米级 1.5 μm 及其以下工艺平台中,对于开孔的形貌、金属层、介质层、钝化层的爬坡形貌有很高要求,如果台阶高度太高太陡,那么由于薄膜淀积特性会导致在台阶侧面处的金属层、介质层、钝化层的厚度偏薄甚至出现裂缝。导致在后续清洗工艺中酸液等清洗溶液会沿着裂缝侵蚀到下层的介质层、金属层,可能会造成前道金属缺失,通孔对地导通等工艺异常,从而带来测试良率下降以及芯片可靠性隐患等问题。

[0004] SOG 平坦化工艺是将含有介电材料的液态溶剂以旋转涂布的方式均匀的涂在晶片表面,以填补淀积介质层凹陷的孔洞,之后再经过热处理,可去除溶剂,在晶片表面留下固化的如 SiO_2 等介电材料。在生产工艺中,SOG 平坦化工艺主要包括 SOG 涂布、SOG 回流、SOG 回刻等步骤。采用 SOG 平坦化形成的布线结构如图 2 所示,包括:半导体衬底 20;第一介质层 21,覆盖半导体衬底 20 且其上形成有开孔;第一金属层 22,覆盖第一介质层 21 并填充其中的开孔,第一金属层 22 上也形成有开孔;SOG 填充层 25,填充在所述第一金属层 22 的凹陷处及其上的开孔中;第二介质层 23,覆盖第一金属层 22 以及 SOG 填充层 25,第二介质层 23 上也形成有开孔;第二金属层 24,覆盖第二介质层 23 并填充其上的开孔。

[0005] 带胶回刻平坦化工艺是另外一种平坦化工艺,主要包括以下步骤:先沉积一层 10 $\text{K}\text{\AA}$ 左右的 SiO_2 层,然后在 SiO_2 层上涂布 1.0 μm 左右的光刻胶;之后采用刻蚀设备,如 Lam4520 等,采用 CF_4 、 CHF_3 、 O_2 等刻蚀气体,调整气体流量和功率,将 SiO_2 和光刻胶的刻蚀选择比调整为 1 : 1,刻蚀后凹坑内形成 SiO_2 填充;之后再继续进行后续膜层的沉积,这样就可以形成较为平坦的介质层形貌,从而能够具有良好的介质层覆盖和填充能力。

[0006] SOG 平坦化工艺,特别是带胶回刻 SOG 平坦化工艺需要增加多步工艺步骤以及相应的设备,而且 SOG 平坦化工艺中所使用的 SOG 材料的成本较高,存储以及应用过程对温度、湿度等要求较严格,导致 SOG 平坦化工艺加工成本较高,同时容易产生膜裂,出现 SOG 吸潮、通孔孔洞等工艺问题,不利于制造成本的控制以及工艺质量的稳定性;同时带胶回刻 SOG 平坦化工艺在增加工艺步骤的同时还需要增加昂贵的设备,也不利于成本的控制。

发明内容

[0007] 本发明要解决的技术问题是提供一种布线结构的形成方法,在不采用 SOG 平坦化、带胶回刻 SOG 平坦化等工艺的前提下,满足临近亚微米级 $1.5\mu\text{m}$ 及其以下工艺平台对平坦化的需求,并有利于降低成本。

[0008] 为解决上述技术问题,本发明提供了一种布线结构的形成方法,包括:

[0009] 提供半导体衬底,在所述半导体衬底上形成第一介质层;

[0010] 在所述第一介质层上形成接触孔(contact,也称为引线孔);

[0011] 沉积第一金属层,所述第一金属层覆盖所述接触孔的底部和侧壁,并覆盖所述第一介质层的上表面;

[0012] 对所述第一金属层进行刻蚀湿法刻蚀、然后再进行干法刻蚀,形成所述第一开口,其中湿法刻蚀所腐蚀的第一金属层厚度占所述第一金属层总厚度的 25% 至 40%,所述第一金属层剩余厚度由干法刻蚀刻净,以在其上形成碗口状的第一开口;

[0013] 沉积第二介质层,所述第二介质层覆盖所述第一开口的底部和侧壁,并覆盖所述第一金属层的上表面;

[0014] 对所述第二介质层进行刻蚀,方法为对所述第二介质层进行光刻,形成图形,带胶高温烘烤后,然后再进行湿法刻蚀,在所述第二介质层上形成倒梯形通孔

[0015] 沉积第二金属层,所述第二金属层覆盖所述通孔的底部和侧壁,并覆盖所述第二介质层的上表面;

[0016] 对所述第二金属层进行刻蚀湿法刻蚀、然后再进行干法刻蚀,形成所述第一开口,其中湿法刻蚀所腐蚀的第一金属层厚度占所述第一金属层总厚度的 20% 至 35%,所述第二金属层剩余厚度由干法刻蚀刻净,以在其上形成碗口状的第二开口。

[0017] 可选地,所述接触孔的侧壁包括上下相接的上侧壁和下侧壁,所述上侧壁与所述第一介质层上表面水平方向的夹角为 30° 至 60° ,所述下侧壁与所述半导体衬底上表面水平方向的夹角为 85° 至 90° 。

[0018] 可选地,所述第二介质层的厚度为 $7000 \sim 9000 \text{ \AA}$,折射率为 $1.4 \sim 1.5$,膜厚均匀性在 3% 以内。

[0019] 可选地,覆盖在所述第一开口侧壁的第二介质层的厚度与覆盖在所述第一开口底部的第二介质层的厚度之比为 $0.6 \sim 0.8$,覆盖在所述第一开口侧壁的第二介质层的厚度与覆盖在所述第一金属层上表面的第二介质层的厚度之比为 $0.45 \sim 0.65$,覆盖在所述第一开口底部的第二介质层的厚度与覆盖在所述第一金属层上表面的第二介质层的厚度之比为 $0.6 \sim 0.9$ 。

[0020] 可选地,对所述第二金属层进行刻蚀之后,所述方法还包括:

[0021] 淀积钝化层,所述钝化层覆盖所述第二开口底部和侧壁,并覆盖所述第二金属层

和第二介质层的上表面。

[0022] 可选地,所述钝化层为叠层结构,包括:第一无掺杂硅玻璃层、位于所述第一无掺杂硅玻璃层上的磷硅玻璃层、位于所述磷硅玻璃层上的第二无掺杂硅玻璃层以及位于所述第二无掺杂硅玻璃层上的氮化硅层。

[0023] 与现有技术相比,本发明具有以下优点:

[0024] 本发明实施例的布线结构的形成方法中,第一介质层上的接触孔为斜孔,其侧壁包括上下相接的上侧壁和下侧壁,其中上侧壁与第一介质层上表面水平方向的夹角为 30° 至 60° ,下侧壁与所述半导体衬底上表面水平方向的夹角为 85° 至 90° ,有利于改善覆盖在其上的第一金属层的台阶形貌,而且第一金属层上的第一开口的形状为碗口状,有利于覆盖在其上的第二介质层的爬坡形貌的形成,从而能够在不采用 SOG 平坦化工艺的前提下满足台阶覆盖性、台阶形貌等参数的要求,同时也有利于降低成本。

[0025] 进一步的,本发明实施例中的第二介质层采用液态正硅酸乙酯沉积形成,与传统的扩散炉管 SiCl_4 淀积相比,具有较高的迁移率、很高的台阶覆盖性和间隙填充能力,同时通孔刻蚀形状为倒梯形,有利于改善后续金属层和钝化层的台阶形貌。

[0026] 进一步的,本发明实施例中的第二金属层上的第二开口形状为碗口形,有利于改善覆盖其上的钝化层台阶形貌。

[0027] 此外,本发明实施例的钝化层采用氧化硅-氮化硅多层复合结构,具有抗划伤、抗潮湿、高致密度、低膜应力、较高的吸杂能力、较好的台阶覆盖、以及优良的光电性能等优势。

附图说明

[0028] 图 1 是现有技术中一种布线结构的剖面结构示意图;

[0029] 图 2 是现有技术中另一种布线结构的剖面结构示意图;

[0030] 图 3 是本发明实施例的布线结构的形成方法的流程示意图;

[0031] 图 4 至图 13 是本发明实施例的布线结构的形成方法中各步骤的剖面结构示意图。

具体实施方式

[0032] 现有技术的布线结构形成工艺中,往往采用 SOG 平坦化工艺等方法来填充前层介质层、金属层中的凹陷,但是此类方法工艺较为复杂,而且不利于成本的控制。

[0033] 本实施例在不采用 SOG 平坦化工艺的前提下,通过采用斜孔接触孔和倒梯形的通孔结构,以及碗口状的金属层开口来改善各膜层的爬坡形貌,以满足台阶覆盖性、台阶形貌等参数的要求,同时也有利于降低成本。

[0034] 下面结合具体实施例和附图对本发明作进一步说明,但不应以此限制本发明的保护范围。

[0035] 图 3 示出了本实施例的布线结构的形成方法的流程示意图,包括:

[0036] 步骤 S31,提供半导体衬底,所述半导体衬底上形成有第一介质层;

[0037] 步骤 S32,在所述第一介质层上形成接触孔;

[0038] 步骤 S33,沉积第一金属层,所述第一金属层覆盖所述接触孔的底部和侧壁,并覆盖所述第一介质层的上表面;

- [0039] 步骤 S34, 对所述第一金属层进行刻蚀, 以在其上形成第一开口;
- [0040] 步骤 S35, 沉积第二介质层, 所述第二介质层覆盖所述第一开口的底部和侧壁, 并覆盖所述第一金属层的上表面;
- [0041] 步骤 S36, 对所述第二介质层进行刻蚀, 在所述第二介质层上形成通孔;
- [0042] 步骤 S37, 沉积第二层金属层, 所述第二金属层覆盖所述通孔的底部和侧壁, 并覆盖所述第二介质层的上表面;
- [0043] 步骤 S38, 对所述第二金属层进行刻蚀, 以在其上形成第二开口;
- [0044] 步骤 S39, 淀积钝化层, 覆盖所述第二开口的底部和侧壁, 并覆盖所述第二金属层和第二介质层的上表面
- [0045] 图 4 至图 13 示出了本实施例的布线结构的形成方法中各步骤对应的剖面示意图, 下面结合图 3 和图 4 至图 13 进行详细说明。
- [0046] 结合图 3 和图 4, 执行步骤 S31, 提供半导体衬底 40, 半导体衬底 40 上形成有第一介质层 41。
- [0047] 其中, 半导体衬底 40 可以是硅衬底、锗硅衬底、III-V 族元素化合物衬底或本领域技术人员公知的其他半导体材料衬底, 本实施例中采用的是硅衬底。更具体地, 本实施例中采用的是硅衬底, 半导体衬底 40 中可以形成有 MOS 场效应晶体管、双极型晶体管等半导体器件。第一介质层 41 可以采用氧化硅、掺杂的硅玻璃等。
- [0048] 结合图 3、图 5 和图 6, 其中图 6 是图 5 中接触孔 42 的局部放大图, 执行步骤 S32, 在第一介质层 41 上形成接触孔 42, 接触孔 42 的侧壁包括上下相接的上侧壁 42a 和下侧壁 42b, 上侧壁 42a 与第一介质层 41 上表面水平方向的夹角 θ_1 为 30° 至 60° , 下侧壁 42b 与半导体衬底 40 上表面水平方向的夹角 θ_2 为 85° 至 90° 。
- [0049] 接触孔 42 的形成过程可以采用干法刻蚀加湿法刻蚀来实现, 形成接触孔 42 之后可以对第一介质层 41 的表面进行清洗。
- [0050] 接触孔 42 采用上述形状, 有利于后续沉积的膜层形成爬坡形貌, 改善台阶覆盖率。
- [0051] 结合图 3 和图 7, 执行步骤 S33, 沉积第一金属层 43, 第一金属层 43 覆盖接触孔 42 的底部和侧壁, 并覆盖第一介质层 41 的上表面。本实施例中, 第一金属层 43 为叠层结构, 包括覆盖在第一介质层 41 上表面上的 Al/Si 合金层 43a 和位于 Al/Si 合金层 43a 上的 Al/Si/Cu 合金层 43b。
- [0052] 第一金属层 43 的总厚度为 $6000 \sim 9000 \text{ \AA}$, 反射率在 $210 \sim 250\%$ 之间。
- [0053] 具体的, Al/Si 合金层 43a 与半导体衬底 40 接触, 有利于降低接触电阻, 减小开启电压。Al/Si/Cu 合金层 43b 中 Si 占 0.5% , Cu 占 1% , 其余为 Al, 能够有效减少硅析出和电迁移, 改善整个器件的性能。
- [0054] 结合图 3 和图 8, 执行步骤 S34, 对第一金属层 43 进行刻蚀, 以在其上形成第一开口 44。
- [0055] 第一开口 44 主要是通过湿法刻蚀加干法刻蚀形成的, 具体可以包括但不限于: 涂布 $1.8 \sim 2.2 \mu\text{m}$ 正胶, 经过匀胶、曝光、显影、刻蚀前烘烤、打胶、湿法刻蚀、干法刻蚀前烘烤、干法刻蚀、冲水、干法去胶、后处理等, 从而形成碗口状的第一开口 44。第一开口 44 采用碗口状有利于后续膜层爬坡形貌的形成。

[0056] 第一开口 44 的侧壁包括上下相接的弧形侧壁 44a 和平面侧壁 44b, 其中弧形侧壁 44a 是湿法刻蚀工艺形成的, 其垂直高度 a 占第一金属层 43 总厚度的 25% 至 40%, 即湿法刻蚀过程中所腐蚀的第一金属层 43 的厚度 a 占第一金属层 43 总厚度的 25% 至 40%。

[0057] 结合图 3 和图 9, 执行步骤 S35, 沉积第二介质层 45, 第二介质层 45 覆盖第一开口 44 的底部和侧壁, 并覆盖第一金属层 43 的上表面。

[0058] 作为一个优选的实施例, 第二介质层 45 采用液态正硅酸乙酯沉积形成, 与传统的扩散炉管 SiCl_4 淀积相比, 具有较高的迁移率、很高的台阶覆盖性和间隙填充能力, 同时通孔刻蚀形状为倒梯形, 有利于改善后续金属层和钝化层的台阶形貌。。而在传统的小尺寸工艺中, 在形成介质层之后还需要进行 SOG 平坦化工艺, 但是 SOG 由于受到温度、湿度、等待时间等条件的限制, 容易出现膜裂等问题, 同时受到设备、工艺及成本限制, 但如果采用传统的硅烷 (SiH_4) 沉积, 则容易出现裂缝导致工艺及可靠性风险。

[0059] 具体的, 在本实施例中, 采用液态正硅酸乙酯沉积形成第二介质层 45 的工艺参数为: 沉积腔内的压强为 5.0 ~ 7.0 Torr, 沉积温度为 350 ~ 450°C, 射频功率为 350 ~ 450W, 并在沉积过程中通入适量的氦气和氧气。

[0060] 本实施例中, 第二介质层 45 的厚度为 7000 ~ 9000 Å, 其折射率为 1.4 ~ 4.5, 膜厚均匀性在 3% 以内, 刻蚀速率为 1100 ~ 1300 Å/s。更加具体的, 覆盖在第一开口 44 侧壁的第二介质层 45 的厚度 c 与覆盖在第一开口 44 底部的第二介质层 45 的厚度 b 之比为 0.6 ~ 0.8, 覆盖在第一开口 44 侧壁的第二介质层 45 的厚度 c 与覆盖在第一金属层 43 上表面的第二介质层 45 的厚度 d 之比为 0.45 ~ 0.65, 覆盖在第一开口 44 底部的第二介质层 45 的厚度 b 与覆盖在第一金属层 43 上表面的第二介质层 45 的厚度 d 之比为 0.6 ~ 0.9。

[0061] 之后结合图 3 和图 10, 执行步骤 S36, 对所述第二介质层 45 进行刻蚀, 在第二介质层 45 上形成通孔 46。通孔 46 的底部暴露出第一金属层 43 的上表面。通孔 46 的形成过程可以包括: 采用 1.8 ~ 2.2 μm 厚度的正胶, 经过匀胶、曝光、显影、显影后烘烤等步骤形成光刻胶图形, 之后采用干法刻蚀结合终点检测技术形成通孔 46, 之后再继续进行干法去胶、后处理、冲水等。其中, 显影后烘烤的温度为 145 ~ 155°C, 与传统的烘烤温度相比, 该步骤的高温烘烤可以使得台阶位置的光刻胶能够形成很好的粘附性, 不易产生皱胶, 同时也可以使得光刻胶图形形成较好的倒梯形结构; 干法刻蚀过程中, 真空度为 0.7 ~ 0.9 Torr, 并通入一定比例的 O_2 和 CHF_3 。

[0062] 倒梯形的通孔 46 的侧壁与第一金属层 43 的上表面水平方向的夹角 θ_3 为 55° 至 70°, 有利于后续形成在第二介质层 45 上的金属层的爬坡。

[0063] 之后结合图 3 和图 11, 执行步骤 S36, 沉积第二金属层 47, 第二金属层 47 覆盖通孔 46 的底部和侧壁, 并覆盖第二介质层 45 的上表面。

[0064] 在形成第二金属层 47 之前, 可以进行 RF 反溅, 射频功率为 850KW, 时间为 100 ~ 140 秒, 从而将第一金属层 43 上表面的氧化铝以及其他杂质去除, 从而提高两层金属层之间的键合能力。

[0065] 本实施例中, 第二金属层 47 的材料为 Al/Si/Cu 合金层, 沉积温度为 240 ~ 260°C, 功率为 7 ~ 9KW, 腔体压力位 2 ~ 4 Torr, 所形成的第二金属层 47 的厚度为 10000 Å ~ 15000 Å, 反射率为 190 ~ 230%。

[0066] 之后结合图 3 和图 12, 执行步骤 S38, 对第二金属层 47 进行刻蚀, 形成第二开口

48,其形成过程主要包括湿法刻蚀和干法刻蚀,更具体包括:采用 $1.8 \sim 2.2 \mu\text{m}$ 正胶,经过匀胶、曝光、显影、刻蚀前烘烤、打胶、湿法刻蚀、干法刻蚀前烘烤、干法刻蚀、冲水、干法去胶、后处理。具体的,湿法刻蚀过程中采用的是铝腐蚀液,温度为 $29 \sim 31^\circ\text{C}$,湿法刻蚀所腐蚀的厚度占第二金属层47总厚度的 $20 \sim 35\%$,即第二开口48上部的弧形侧壁的垂直高度占第二金属层47总厚度的 $20 \sim 35\%$;干法刻蚀中,采用的刻蚀气体主要有 CF_4 、 BCl_3 以及适量的 N_2 和 O_2 等。碗口状的第二开口48有利于后续层次的覆盖性,能够形成良好的爬坡形貌。

[0067] 之后结合图3和图13,执行步骤S39,淀积钝化层49,覆盖第二开口48的底部和侧壁,并覆盖第二金属层47和第二介质层45的上表面。本实施例中,钝化层49为叠层结构,具体包括:第一无掺杂硅玻璃层(USG)、位于第一无掺杂硅玻璃层上的磷硅玻璃层(PSG)、位于该磷硅玻璃层上的第二无掺杂硅玻璃层以及位于该第二无掺杂硅玻璃层上的氮化硅层。其中,第一USG层的厚度为 $900 \sim 1100 \text{ \AA}$,PSG层的厚度为 $1800 \sim 2200 \text{ \AA}$,第二USG层的厚度为 $900 \sim 1100 \text{ \AA}$,氮化硅层的厚度为 $4500 \sim 5500 \text{ \AA}$ 。钝化层49的形成过程可以包括前烘、曝光、显影、坚膜、干法刻蚀、干法去胶等。

[0068] 至此,本实施例所形成的布线结构如图13所示,包括:半导体衬底40;位于半导体衬底40上的第一介质层41;形成于第一介质层41上的接触孔;第一金属层43,第一金属层43覆盖接触孔的底部和侧壁,并覆盖第一介质层41的上表面;形成于第一金属层43上的第一开口;第二介质层45,第二介质层45覆盖第一开口的底部和侧壁,并覆盖第一金属层43的上表面;形成于第二介质层45上的通孔;第二金属层47,第二金属层47覆盖通孔的底部和侧壁,并覆盖第二介质层45的上表面;形成于第二金属层47上的第二开口48;钝化层49,覆盖第二开口48的底部和侧壁,并覆盖第二金属层47和第二介质层48的上表面。

[0069] 其中,接触孔的侧壁包括上下相接的上侧壁和下侧壁,上侧壁与第一介质层41上表面水平方向的夹角为 30° 至 60° ,下侧壁与半导体衬底40上表面水平方向的夹角为 85° 至 90° ;第一开口和第二开口为碗口状;通孔为倒梯形状;第一开口和第二开口的侧壁包括上下相接的弧形侧壁和平面侧壁,优选的,对于第一开口,弧形侧壁的垂直高度占第一金属层43总厚度的 25% 至 40% ,对于第二开口,弧形侧壁的垂直高度占第二金属层47总厚度的 20% 至 35% 。

[0070] 关于该布线结构的更多详细参数及内容,请参见上述实施例中布线结构的形成方法的具体过程,这里不再赘述。

[0071] 需要说明的是,虽然本实施例中所形成的布线结构中具有两层金属层,但是本领域技术人员应当可以理解的是,在实际应用中,可以根据需要形成其他数量的金属层,如1层、3层等,并将钝化层形成在最上层的金属层上。

[0072] 综上,上述实施例通过对接触孔形貌、第一金属层、第二金属层上的开口形貌的优化,以及对第二介质层及其上的通孔形貌的优化,能够在 $1.5 \mu\text{m}$ 工艺平台下,开发出满足 $1.2 \mu\text{m}$ 工艺条件的无SOG平坦化的布线结构及工艺方法,能够解决现有技术中接触孔偏大、介质层断裂导致的第一层金属层被腐蚀、开启短路、电源漏电、通孔对地通等问题,提高了产品的可靠性,能够提高晶体管的小电流放大系数,改善芯片的光电性能,提升产品良率,降低产品成本,在提升产品性能以及可靠性的同时,也提高了企业的效益。

[0073] 本发明虽然以较佳实施例公开如上,但其并不是用来限定本发明,任何本领域技

术人员在不脱离本发明的精神和范围内,都可以做出可能的变动和修改,因此本发明的保护范围应当以本发明权利要求所界定的范围为准。

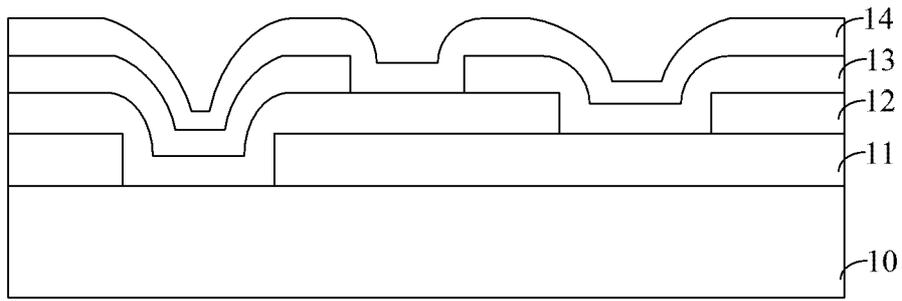


图 1

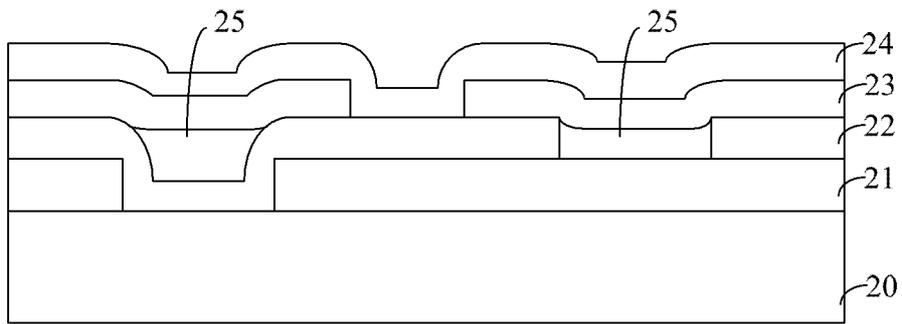


图 2

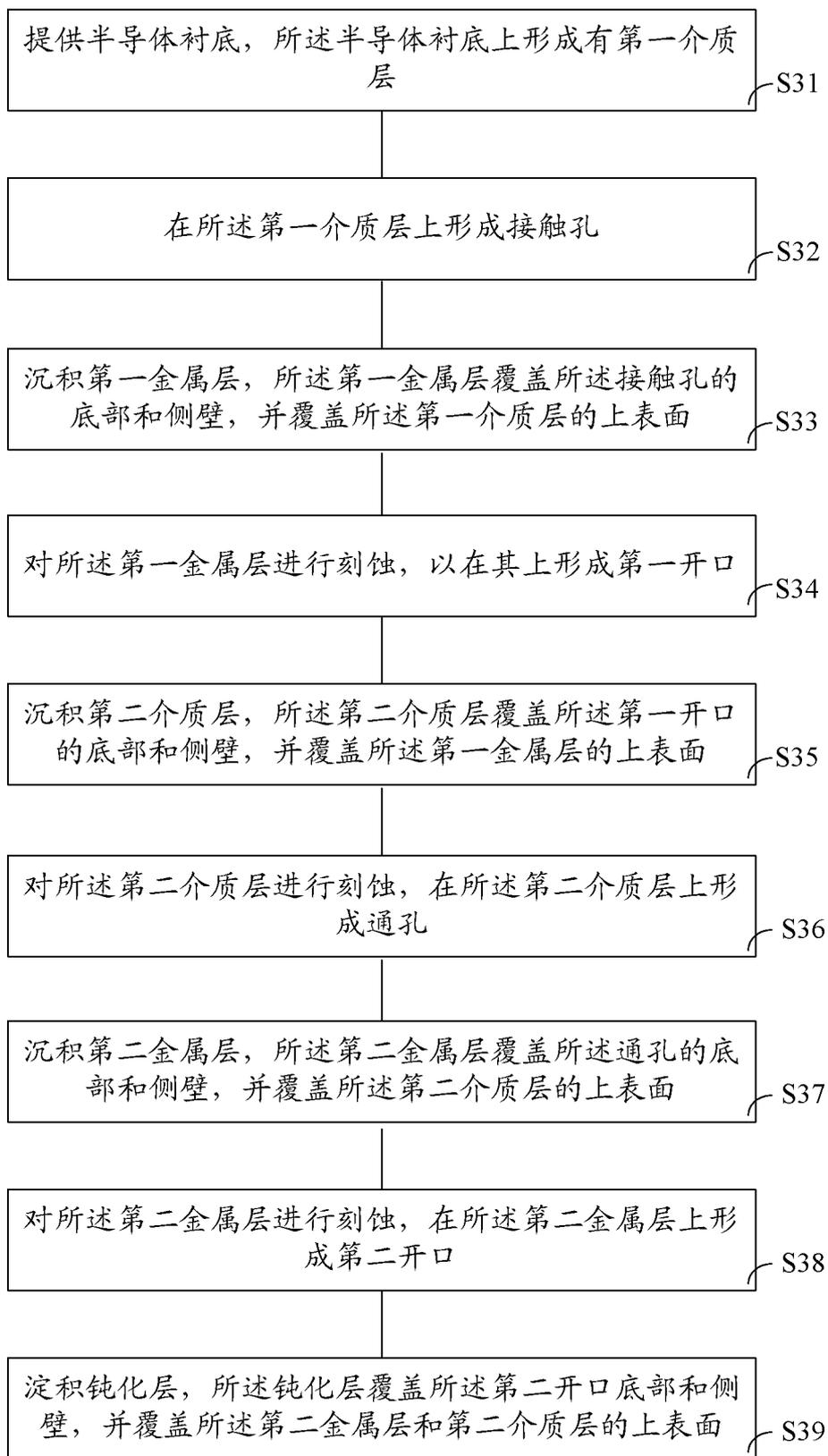


图 3

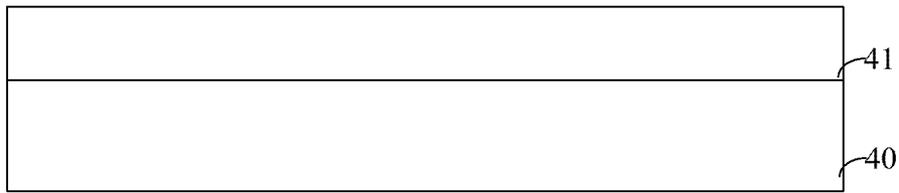


图 4

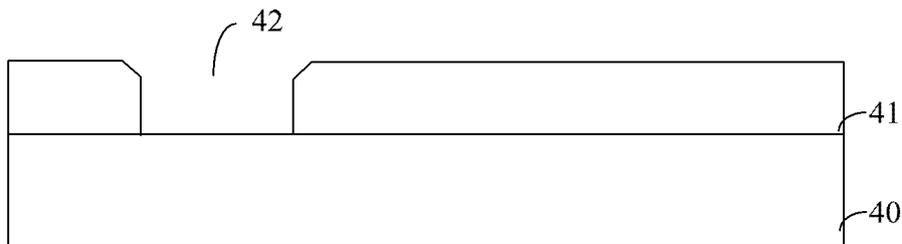


图 5

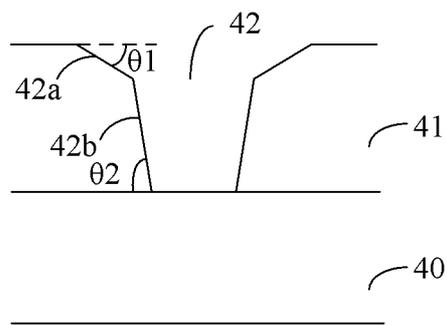


图 6

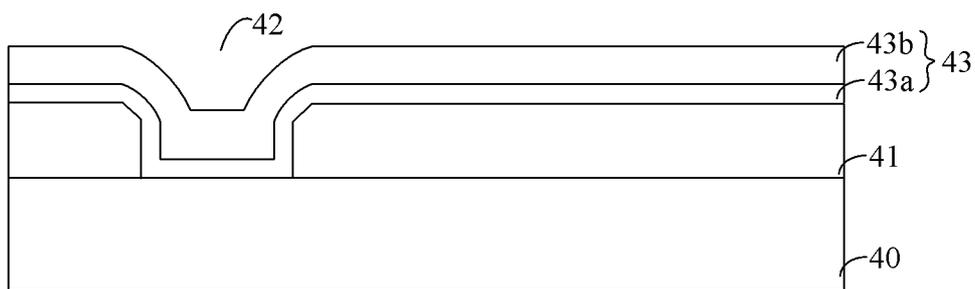


图 7

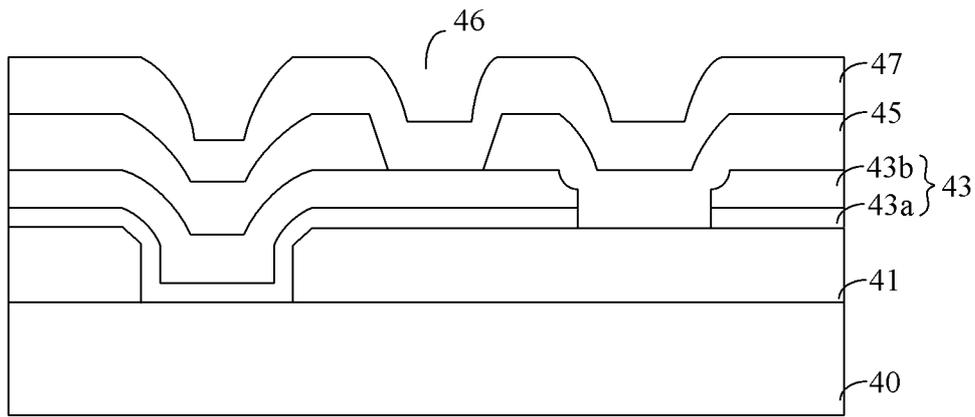


图 11

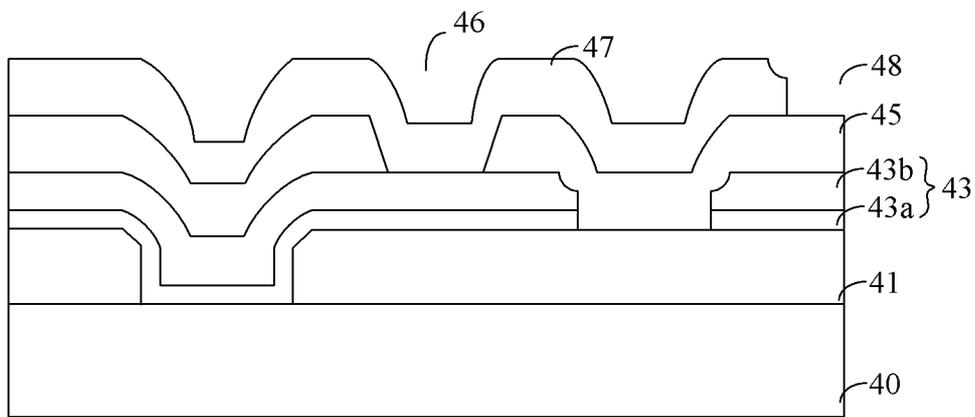


图 12

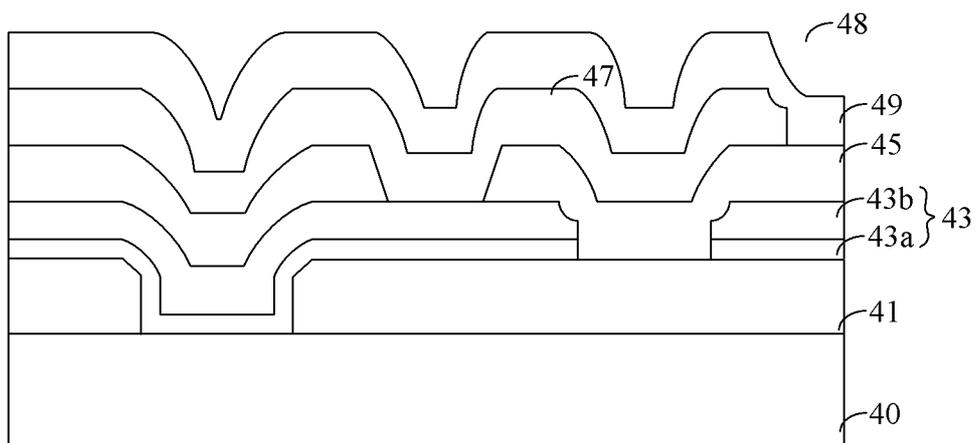


图 13