

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2023-111096

(P2023-111096A)

(43)公開日 令和5年8月10日(2023.8.10)

(51)国際特許分類

H 0 1 S 5/22 (2006.01)

F I

H 0 1 S 5/22

テーマコード(参考)

5 F 1 7 3

審査請求 未請求 請求項の数 15 O L (全27頁)

(21)出願番号 特願2022-12749(P2022-12749)  
 (22)出願日 令和4年1月31日(2022.1.31)

(71)出願人 520133916  
 ヌヴォンテクノロジージャパン株式会社  
 京都府長岡京市神足焼町1番地  
 (74)代理人 100109210  
 弁理士 新居 広守  
 (74)代理人 100137235  
 弁理士 寺谷 英作  
 (74)代理人 100131417  
 弁理士 道坂 伸一  
 (72)発明者 中津 浩二  
 京都府長岡京市神足焼町1番地 ヌヴォ  
 ンテクノロジージャパン株式会社内  
 (72)発明者 大川内 良彦  
 京都府長岡京市神足焼町1番地 ヌヴォ  
 最終頁に続く

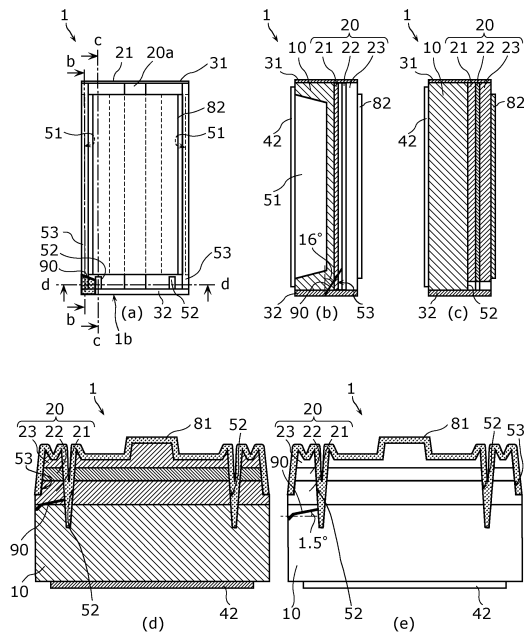
(54)【発明の名称】 半導体レーザ素子及び半導体レーザ素子の製造方法

(57)【要約】

【課題】製造工程中で発生するクラックにより信頼性が低下することを抑制できる半導体レーザ素子等を提供する。

【解決手段】半導体レーザ素子1は、基板10と、基板10の一方の面に形成され、複数の半導体層が積層された半導体積層構造体20と、を備え、半導体積層構造体20は、半導体レーザ素子1の共振器長方向に沿って延在する光導波路を有し、基板10の他方の面には、半導体レーザ素子1の一对の側面を切り欠くように共振器長方向に沿って延在する一对の第1溝51が形成されており、一对の第1溝51の各々における共振器長方向における両端部は、半導体積層構造体20の端面から後退した位置に存在し、半導体積層構造体20には、半導体積層構造体20の端面から共振器長方向に沿って第2溝52が形成されており、上面視において、第2溝52は、光導波路の両側に形成され、且つ、第1溝51と光導波路との間に形成されている。

【選択図】図6



## 【特許請求の範囲】

## 【請求項 1】

共振器端面と前記共振器端面に交差する一对の側面とを有する半導体レーザ素子であつて、

基板と、

前記基板の一方の面に形成され、複数の半導体層が積層された半導体積層構造体と、を備え、

前記半導体積層構造体は、前記半導体レーザ素子の共振器長方向に沿って延在する光導波路を有し、

前記基板の他方の面には、前記一对の側面を切り欠くように前記共振器長方向に沿って延在する一对の第 1 溝が形成されており、 10

前記一对の第 1 溝の各々における前記共振器長方向における両端部は、前記半導体積層構造体の端面から後退した位置に存在し、

前記半導体積層構造体には、前記半導体積層構造体の端面から前記共振器長方向に沿って第 2 溝が形成されており、

上面視において、前記第 2 溝は、前記光導波路の両側に形成され、且つ、前記第 1 溝と前記光導波路との間に形成されている、

半導体レーザ素子。

## 【請求項 2】

前記半導体積層構造体には、前記半導体積層構造体の側面を切り欠くように前記共振器長方向に沿って延在する第 3 溝が形成されている、 20

請求項 1 に記載の半導体レーザ素子。

## 【請求項 3】

前記第 2 溝の深さは、前記半導体積層構造体の表面のうち最も前記基板側に位置する部分よりも深いか、それに等しい

請求項 2 に記載の半導体レーザ素子。

## 【請求項 4】

前記第 2 溝の深さは、前記第 3 溝の深さよりも深いか、それに等しい

請求項 2 に記載の半導体レーザ素子。

## 【請求項 5】

前記第 2 溝の前記共振器長方向の長さは、前記半導体積層構造体の端面から 10  $\mu\text{m}$  以上、かつ、前記第 3 溝と前記第 2 溝との間の距離の 2.5 倍以下である、 30

請求項 2 ~ 4 のいずれか 1 項に記載の半導体レーザ素子。

## 【請求項 6】

前記半導体積層構造体は、PN 接合部を有し、

前記第 3 溝の深さは、前記 PN 接合部の位置よりも深い、

請求項 2 ~ 5 のいずれか 1 項に記載の半導体レーザ素子。

## 【請求項 7】

前記第 3 溝の側面は、傾斜している、

請求項 2 ~ 6 のいずれか 1 項に記載の半導体レーザ素子。 40

## 【請求項 8】

上面視において、前記第 2 溝と前記光導波路との距離は、4  $\mu\text{m}$  以上である、

請求項 1 ~ 7 のいずれか 1 項に記載の半導体レーザ素子。

## 【請求項 9】

前記第 2 溝は、前記半導体積層構造体のレーザ光が出射される面と反対側の端面から形成されている、

請求項 1 ~ 8 のいずれか 1 項に記載の半導体レーザ素子。

## 【請求項 10】

前記第 2 溝の側面は、傾斜している、

請求項 1 ~ 9 のいずれか 1 項に記載の半導体レーザ素子。 50

## 【請求項 1 1】

前記第 2 溝の前記共振器長方向の長さは、前記第 1 溝と前記半導体積層構造体の端面との距離の 1 / 2 以上である、

請求項 1 ~ 1 0 のいずれか 1 項に記載の半導体レーザ素子。

## 【請求項 1 2】

半導体レーザ素子であって、  
基板と、

前記基板の一方の面に形成され、複数の半導体層が積層された半導体積層構造体と、を備え、

前記半導体積層構造体は、前記半導体レーザ素子の共振器長方向に延在するリッジ部と、前記リッジ部の両側に前記リッジ部と同じ高さで形成されるウイング部とを有し、

前記半導体積層構造体の端面の近傍には、前記ウイング部が形成されていないウイングレス部が形成されており、

前記ウイングレス部における前記半導体積層構造体の前記共振器長方向に直交する方向の端縁の表面に、突起が形成されている、

半導体レーザ素子。

## 【請求項 1 3】

前記半導体積層構造体には、前記半導体積層構造体の端面から前記共振器長方向に沿って溝が形成されており、

前記端縁は、前記半導体積層構造体の表面と前記溝の側面との境界である、

請求項 1 2 に記載の半導体レーザ素子。

## 【請求項 1 4】

前記半導体積層構造体には、前記半導体積層構造体の側面を切り欠くように前記共振器長方向に沿って延在する溝が形成されており、

前記端縁は、前記半導体積層構造体の表面と前記溝の側面との境界である、

請求項 1 2 に記載の半導体レーザ素子。

## 【請求項 1 5】

基板の一方の面に複数の半導体層を積層することで半導体積層構造体を有する半導体積層基板を作製する工程と、

前記半導体積層構造体をエッチングする第 1 エッチング工程と、

前記第 1 エッチング工程の後に、前記半導体積層構造体をエッチングする第 2 エッチング工程と、

前記半導体積層基板を分割することで、各々が複数の光導波路を有する複数のバー状基板を作製する分割工程と、

前記半導体積層基板又は前記バー状基板の裏面に第 1 溝を形成する工程と、

前記第 1 溝に沿って前記バー状基板を分割することで、各々が 1 つの光導波路を有する複数の半導体レーザ素子を作製する分割工程と、を含み、

前記第 1 エッチング工程では、前記半導体積層構造体に凹部を形成し、

前記第 2 エッチング工程では、前記凹部をさらにエッチングして第 2 溝を形成するとともに、前記光導波路として前記半導体積層構造体にリッジ部を形成し、

上面視において、前記第 2 溝は、前記光導波路の両側において、前記半導体積層構造体の端面から前記半導体レーザ素子の共振器長方向に沿って延在するように形成されており、且つ、前記第 1 溝と前記光導波路との間に形成されている、

半導体レーザ素子の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0 0 0 1】

本開示は、半導体レーザ素子及び半導体レーザ素子の製造方法に関する。

## 【背景技術】

## 【0 0 0 2】

10

20

30

40

50

半導体レーザ素子は、長寿命、高効率及び小型等のメリットがあるため、プロジェクタ、光ディスク、車載ヘッドランプ、照明装置又はレーザ加工装置等の様々な製品の光源に用いられている。近年、半導体レーザ素子として、紫外から青色までの波長帯をカバーすることができる窒化物系半導体レーザの研究開発が進められている。

【0003】

半導体レーザ素子は、ウエハの上に複数の半導体層が積層された半導体積層基板を分割することで複数のバー状基板を切り出し、さらに、このバー状基板を複数に分割して個片化することで作製することができる。このような分割工程においては、予定の分割線から逸れて分割されてしまったり一部が欠けてしまったりする等の不具合が発生する。

【0004】

特に、窒化物系半導体レーザは、光ピックアップ又は光通信で使われていた砒化ガリウム系レーザとは異なり、分割工程においては、劈開面ではない結晶面で分割を行っているため、予定の分割線から逸れて分割されてしまったり一部が欠けたりする等の不具合が発生しやすい。

【0005】

そこで、従来、ガイド溝を用いてウエハを分割して半導体レーザ素子を作製する技術が提案されている。例えば、特許文献1には、複数の半導体層が積層されたウエハの裏面にレーザ光を照射して分割用の溝を形成することで、ウエハを分割する方法が開示されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】国際公開第2008/047751号

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献1に開示された方法を用いたとしても、ウエハの上に複数の半導体層が積層された半導体積層基板を分割する分割工程又は半導体積層基板を分割したバー状基板を分割する分割工程において半導体レーザ素子にクラックが発生し、半導体レーザ素子の信頼性が低下するという課題がある。

【0008】

本開示は、このような課題を解決するためになされたものであり、製造工程中で発生するクラックにより信頼性が低下することを抑制できる半導体レーザ素子及びその半導体レーザ素子の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記目的を達成するために、本開示に係る第1の半導体レーザ素子の一態様は、共振器端面と前記共振器端面に交差する一对の側面とを有する半導体レーザ素子であって、基板と、前記基板の一方の面に形成され、複数の半導体層が積層された半導体積層構造体と、を備え、前記半導体積層構造体は、前記半導体レーザ素子の共振器長方向に沿って延在する光導波路を有し、前記基板の他方の面には、前記一对の側面を切り欠くように前記共振器長方向に沿って延在する一对の第1溝が形成されており、前記一对の第1溝の各々における前記共振器長方向における両端部は、前記半導体積層構造体の端面から後退した位置に存在し、前記半導体積層構造体には、前記半導体積層構造体の端面から前記共振器長方向に沿って第2溝が形成されており、上面視において、前記第2溝は、前記光導波路の両側に形成され、且つ、前記第1溝と前記光導波路との間に形成されている。

【0010】

また、本開示に係る第2の半導体レーザ素子の一態様は、基板と、前記基板の一方の面に形成され、複数の半導体層が積層された半導体積層構造体と、を備え、前記半導体積層構造体は、前記半導体レーザ素子の共振器長方向に延在するリッジ部と、前記リッジ部の

10

20

30

40

50

両側に前記リッジ部と同じ高さで形成されるウイング部とを有し、前記半導体積層構造体の端面の近傍には、前記ウイング部が形成されていないウイングレス部が形成されており、前記ウイングレス部における前記半導体積層構造体の前記共振器長方向に直交する方向の端縁の表面に、突起が形成されている。

【0011】

また、本開示に係る半導体レーザ素子の製造方法の一態様は、基板の一方の面に複数の半導体層を積層することで半導体積層構造体を有する半導体積層基板を作製する工程と、前記半導体積層構造体をエッチングする第1エッチング工程と、前記第1エッチング工程の後に、前記半導体積層構造体をエッチングする第2エッチング工程と、前記半導体積層基板を分割することで、各々が複数の光導波路を有する複数のバー状基板を作製する分割工程と、前記半導体積層基板又は前記バー状基板の裏面に第1溝を形成する工程と、前記第1溝に沿って前記バー状基板を分割することで、各々が1つの光導波路を有する複数の半導体レーザ素子を作製する分割工程と、を含み、前記第1エッチング工程では、前記半導体積層構造体に凹部を形成し、前記第2エッチング工程では、前記凹部をさらにエッチングして第2溝を形成するとともに、前記光導波路として前記半導体積層構造体にリッジ部を形成し、上面視において、前記第2溝は、前記光導波路の両側において、前記半導体積層構造体の端面から前記半導体レーザ素子の共振器長方向に沿って延在するように形成されており、且つ、前記第1溝と前記光導波路との間に形成されている。

10

【発明の効果】

【0012】

本開示によれば、製造工程中で発生するクラックにより信頼性が低下することを抑制できる半導体レーザ素子を得ることができる。

20

【図面の簡単な説明】

【0013】

【図1】図1は、実施の形態に係る半導体レーザ素子の上面図である。

【図2A】図2Aは、図1のIIA-IIA線における実施の形態に係る半導体レーザ素子の断面図である。

【図2B】図2Bは、図1のIIB-IIB線における実施の形態に係る半導体レーザ素子の断面図である。

【図2C】図2Cは、図1のIIC-IIC線における実施の形態に係る半導体レーザ素子の断面図である。

30

【図3】図3は、実施の形態に係る半導体レーザ素子の側面図である。

【図4A】図4Aは、実施の形態に係る半導体レーザ素子の製造方法において、半導体積層構造体を形成する工程を説明するための図である。

【図4B】図4Bは、実施の形態に係る半導体レーザ素子の製造方法において、第1レジストを形成する工程を説明するための図である。

【図4C】図4Cは、実施の形態に係る半導体レーザ素子の製造方法において、第1エッチング工程を説明するための図である。

【図4D】図4Dは、実施の形態に係る半導体レーザ素子の製造方法において、第1レジストを削除する工程を説明するための図である。

40

【図4E】図4Eは、実施の形態に係る半導体レーザ素子の製造方法において、第2レジストを形成する工程を説明するための図である。

【図4F】図4Fは、実施の形態に係る半導体レーザ素子の製造方法において、第2エッチング工程を説明するための図である。

【図4G】図4Gは、実施の形態に係る半導体レーザ素子の製造方法において、絶縁膜を形成する工程を説明するための図である。

【図4H】図4Hは、実施の形態に係る半導体レーザ素子の製造方法において、絶縁膜を除去する工程を説明するための図である。

【図4I】図4Iは、実施の形態に係る半導体レーザ素子の製造方法において、p側電極を形成する工程を説明するための図である。

50

【図 4 J】図 4 J は、実施の形態に係る半導体レーザ素子の製造方法において、n 側電極を形成する工程を説明するための図である。

【図 5】図 5 は、図 4 H の ( d ) における破線で囲まれる領域 V に対応する部分の断面 SEM 像である。

【図 6】図 6 は、実施の形態に係る半導体レーザ素子の製造方法により作製された半導体レーザ素子の構成を示す図である。

【図 7】図 7 は、変形例に係る半導体レーザ素子の断面図である。

【図 8】図 8 は、バー状基板を複数の半導体レーザ素子に分割する工程（個片分割工程）を説明するための図である。

【図 9】図 9 は、比較例の半導体レーザ素子の構成を示す図である。

10

【発明を実施するための形態】

【0014】

（本開示の一態様を得るに至った経緯）

まず、本開示の実施の形態を説明することに先立ち、本開示の一態様を得るに至った経緯を説明する。

【0015】

一般的に、半導体レーザ素子を量産する場合、ウエハである基板の上に複数の半導体層が積層された半導体積層基板を分割することで複数本のバー状基板を作製し（一次分割工程）、このバー状基板の両端面にコート膜を形成した後に、バー状基板をさらに複数に分割する個片分割を行うことで複数の半導体レーザ素子に分離する（二次分割工程）。これにより、1 枚のウエハからレーザチップとなる複数の半導体レーザ素子を得ることができる。

20

【0016】

従来、バー状基板を個片分割する際、半導体積層基板又はバー状基板に予め分割用の溝（ガイド溝）を形成しておいて、この溝に沿ってバー状基板を複数に分割する方法が提案されている。この場合、特許文献 1 に開示された方法を用いて、分割用の溝を形成することが考えられる。具体的には、半導体積層基板又はバー状基板の裏面にレーザ光を照射することで、分割用の溝を形成することが考えられる。このとき、溝を形成する際のレーザ光によって半導体レーザ素子の共振器端面が熱損傷を受けないようにするために、溝の共振器方向の端部が共振器端面から後退した位置となるようにレーザ光を照射する。つまり、バー状基板のフロント側及びリア側の共振器端面となる位置まで分割用の溝が到達しないようにレーザ光を照射している。

30

【0017】

しかしながら、このような方法によって本願発明者らが実際に半導体レーザ素子を作製してみたところ、バー状基板を複数に分割する個片分割工程において、半導体レーザ素子にクラックが生じることが分かった。この点について、以下詳細に説明する。

【0018】

図 8 に示すように、基板 10 X の裏面に分割用の溝 51 X が形成されたバー状基板 3 X を粘着シート 101 と保護フィルム 102 とで挟んで、分割用の溝 51 X に対応する位置においてバー状基板 3 X の上からカッター等の刃状治具 103 を順次押し込んでいく。これにより、バー状基板 3 X を複数に分割して、複数の半導体レーザ素子 1 X を得ることができる。

40

【0019】

このとき、得られた半導体レーザ素子 1 X を観察すると、図 9 に示すように、半導体レーザ素子 1 X における共振器端面と側面との角部において、基板 10 X と半導体積層構造体 20 X との界面近傍からリッジ部 20 a の下方に向かって斜め上方に伸びるクラック 90 X が発生することが分かった。このように、クラック 90 X がリッジ部 20 a の下方にまで延在すると、半導体レーザ素子 1 X の信頼性が低下することになる。

【0020】

なお、図 9 は、特許文献 1 の方法によって作製したときの比較例の半導体レーザ素子 1

50

Xの構成を示す図である。図9において、(a)は、半導体レーザ素子1Xの上面図であり、(b)は、(a)のb-b線における断面図であり、(c)は、(a)のc-c線における断面図である。図9の(d)は、端面のコート膜32Xを省略して半導体レーザ素子1Xを後端面側から見たときの側面図である。また、図9における太線は、半導体レーザ素子1Xに発生したクラック90Xを示しており、図9の(a)におけるドットのハッチング領域は、クラック90Xが発生した領域を示している。

#### 【0021】

得られた複数の半導体レーザ素子1Xを調べてみると、図9の(a)に示すように、クラック90Xは、三角形の面状に広がって発生することが分かった。具体的には、図9の(b)及び(d)に示すように、発生する多くのクラック90Xは、半導体レーザ素子1Xの共振器長方向に直交する断面では、半導体積層構造体20Xの側面から、まず溝51近傍では斜め上方にクラックが進行した後、溝51から離れたところでは基板10Xの主面に対して約1.5°の角度でやや斜め上方に向かって伸びるとともに、半導体レーザ素子1Xの側面と平行な断面では、半導体積層構造体20Xの端面から基板10Xの主面に対して約16°の角度で斜め上方に向かって伸びることが分かった。さらに、多くのクラック90Xは、半導体積層構造体20Xの表面のうち最も基板10X側に位置する部分(図9(d)では、分離溝53Xの上面)から2μm程度下方の部分の部分を起点にして発生することも分かった。しかも、クラック90Xは、特に半導体レーザ素子1の後端面側に多く発生することも分かった。

#### 【0022】

なお、刃状治具103(図8参照)により分割された左右2つの半導体レーザ素子1Xは、いずれにおいても、左側の側面を起点にクラック90Xが発生することが多かったが、右側の側面を起点にクラック90Xが発生することもあった。また、クラック90Xは、上面視において、第1溝51Xに重なる位置まで伸びていないが、第1溝51Xに重なる位置まで伸びる場合もあった。

#### 【0023】

このようにクラック90Xが発生する原因について本願発明者らが検討したところ、個片分割するための分割用の溝51Xを基板10Xの裏面に形成したことと、その分割用の溝51Xをフロント側及びリア側の共振器端面となる位置まで達しないように形成したことで、共振器端面近傍が割れにくくなったことが原因であると推測した。

#### 【0024】

また、共振器端面のリア側に形成するコート膜32Xの膜厚は、レーザ光をフロント方向に射出させるために、共振器端面のフロント側に形成するコート膜31Xの膜厚に比べて厚くなっている(例えば約8倍程度)ことから、リア側の共振器端面近傍がフロント側の共振器端面に比べて割れにくくなっている。このため、リア側の共振器端面にクラック90Xが多く発生したと考えられる。

#### 【0025】

そこで、このような課題に対して、本願発明者らが鋭意検討した結果、個片分割の際にクラック90Xが発生したとしても、クラック90Xがリッジ部20aの下方にまで進行することを阻止する構造を設けるという着想を得た。具体的には、半導体積層構造体20Xに、クラック90Xの進行を阻止するための溝を形成するという着想を得た。

#### 【0026】

このように、本開示は、クラック発生課題に対してなされたものであり、個片分割の際にクラックが発生したとしても、クラックがリッジ部の下方にまで進行することを抑制できる半導体レーザ素子を得ることを第1の目的とする。

#### 【0027】

また、ウエハを分割する分割工程(一次分割工程、二次分割工程)では、ウエハの上にSiO<sub>2</sub>等の保護部材を載置することがあるが、この場合、半導体レーザ素子のリッジ部20aに分割時の応力がかかってリッジ部に欠け(端面段差等)が発生することがある。

#### 【0028】

10

20

30

40

50

本開示は、このような課題に対してもなされたものであり、分割工程の際にリッジ部となる部分にクラックが発生することを抑制できる半導体レーザ素子を得ることを第2の目的とする。

【0029】

以下、本開示の実施の形態について、図面を参照しながら説明する。なお、以下に説明する実施の形態は、いずれも本開示の一具体例を示すものである。したがって、以下の実施の形態で示される、数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、並びに、ステップ（工程）及びステップの順序等は、一例であって本開示を限定する主旨ではない。よって、以下の実施の形態における構成要素のうち、本開示の最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される

10

【0030】

また、各図は、模式図であり、必ずしも厳密に図示されたものではない。したがって、各図において縮尺等は必ずしも一致していない。各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略又は簡略化する。

【0031】

また、本明細書において、「上方」及び「下方」という用語は、絶対的な空間認識における上方向（鉛直上方）及び下方向（鉛直下方）を指すものではなく、積層構成における積層順を基に相対的な位置関係により規定される用語として用いる。また、「上方」及び「下方」という用語は、2つの構成要素が互いに間隔をあけて配置されて2つの構成要素

20

【0032】

（実施の形態）

まず、実施の形態に係る半導体レーザ素子1の構成について、図1～図3を用いて説明する。図1は、実施の形態に係る半導体レーザ素子1の上面図である。図2A～図2Cは、実施の形態に係る半導体レーザ素子1の断面図である。図2Aは、図1のIIA-IIA線における断面図であり、図2Bは、図1のIIB-IIB線における断面図であり、図2Cは、図1のIIC-IIC線における断面図である。図3は、実施の形態に係る半導体レーザ素子1の側面図である。なお、図1において、絶縁膜82は省略している。

30

【0033】

図1に示すように、半導体レーザ素子1は、各々が共振器端面である前端面1a及び後端面1bと、各々が共振器端面に交差する面である第1側面1c及び第2側面1dとを有する。

【0034】

前端面1aは、半導体レーザ素子1のフロント側の端面であり、レーザ光が出射する共振器端面である。後端面1bは、半導体レーザ素子1のリア側の端面であり、レーザ光が出射しない共振器端面である。前端面1aと後端面1bとは、一对の共振器端面として、互いに対向している。後端面1bは、前端面1aとは反対側の端面である。

【0035】

第1側面1cは、半導体レーザ素子1の側方の一方の面である。第2側面1dは、半導体レーザ素子1の側方の他方の面である。第1側面1cと第2側面1dとは、一对の側面として、互いに対向している。第1側面1c及び第2側面1dは、前端面1a及び後端面1bに直交する面である。

40

【0036】

図1～図3に示すように、半導体レーザ素子1は、基板10と、基板10の一方の面である上面に形成された半導体積層構造体20とを有する。半導体積層構造体20は、複数の半導体層が積層された構造であり、PN接合部を有する。

【0037】

本実施の形態における半導体レーザ素子1は、窒化物系半導体材料によって構成された

50

窒化物半導体レーザである。したがって、半導体積層構造体20は、各々が窒化物系半導体材料を用いて作製された複数の窒化物半導体層が積層された窒化物半導体積層体である。具体的には、半導体レーザ素子1は、GaN系の窒化物半導体レーザである。半導体レーザ素子1から出射するレーザ光は、例えば、紫外から青色までの波長帯域の光である。

#### 【0038】

半導体レーザ素子1は、前端面1aと後端面1bとを共振器反射ミラーとする光導波路を有する。具体的には、半導体積層構造体20が光導波路を有する。光導波路は、半導体レーザ素子1の共振器長方向に沿って延在している。本実施の形態では、半導体積層構造体20には、光導波路としてリッジ部20aが形成されている。したがって、リッジ部20aは、半導体レーザ素子1の共振器長方向に沿って延在するように形成されている。リッジ部20aは、凸状であり、半導体積層構造体20を掘り込むことで形成されている。なお、半導体レーザ素子1は、共振器長方向に長尺をなす形状になっている。半導体レーザ素子1の共振器長方向の長さは、一例として、800 $\mu$ m以上であり、本実施の形態では、1200 $\mu$ mである。

10

#### 【0039】

半導体レーザ素子1では、前端面1aと後端面1bとによってレーザ共振器が形成されている。このため、後端面1bは、前端面1aよりも反射率が高くなっている。一例として、前端面1aの反射率は、5%であり、後端面1bの反射率は、95%である。

#### 【0040】

具体的には、図1に示すように、半導体レーザ素子1のフロント側には、反射膜として第1コート膜31が形成されており、半導体レーザ素子1のリア側には、反射膜として第2コート膜32が形成されている。第1コート膜31は、半導体積層構造体20の前端面に形成されており、第2コート膜32は、半導体積層構造体20の後端面に形成されている。第1コート膜31及び第2コート膜32は、複数の誘電体膜が積層された誘電体多層膜によって構成されている。本実施の形態において、リア側の第2コート膜32の膜厚は、フロント側の第1コート膜31の膜厚よりも厚くなっている。一例として、第2コート膜32の膜厚は、第1コート膜31の膜厚の2倍以上であり、本実施の形態では、約8倍になっている。

20

#### 【0041】

基板10は、GaNやSiC等からなる半導体基板、又は、サファイア基板等の絶縁基板である。基板10は、例えば、六方晶系GaN単結晶からなるn型GaN基板である。本実施の形態では、基板10として、主面が(0001)面であるn型GaN基板を用いている。

30

#### 【0042】

図2A~図2Cに示すように、半導体積層構造体20は、基板10の上に、n側の第1半導体層21と、活性層22と、p側の第2半導体層23とを順に有する。活性層22は、半導体積層構造体20におけるPN接合部である。第1半導体層21、活性層22及び第2半導体層23は、有機金属気相成長法(Metal Organic Chemical Vapor Deposition; MOCVD)法を用いて、窒化物系半導体材料をエピタキシャル成長させることで形成することができる。第1半導体層21、活性層22及び第2半導体層23の各々は、例えば、以下のように構成される。

40

#### 【0043】

第1半導体層21は、少なくともn型クラッド層を含む。本実施の形態において、第1半導体層21は、n型クラッド層を含むn側クラッド層と、n側クラッド層の上に形成されたn側ガイド層とを有する。n側クラッド層及びn側ガイド層は、単層及び複数層のいずれであってもよい。

#### 【0044】

一例として、n側クラッド層は、シリコンがドーパされたAlGaNからなるn側クラッド層(n-AlGaN層)である。

#### 【0045】

50

n側光ガイド層は、アンドープのGa<sub>n</sub>Nからなる光ガイド層(un-GaN層)である。

【0046】

活性層22は、量子井戸活性層である。活性層22は、アンドープのInGa<sub>n</sub>Nからなるウェル層(井戸層)と、アンドープのInGa<sub>n</sub>Nからなるバリア層(障壁層)とが交互に積層された積層構造である。活性層22は、単一量子井戸構造(SQW; Single Quantum Well)及び多重量子井戸構造(MQW; multi quantum well)のいずれであってもよい。本実施の形態において、活性層22は、InGa<sub>n</sub>Nからなるバリア層と、InGa<sub>n</sub>Nからなるウェル層と、InGa<sub>n</sub>Nからなるバリア層と、InGa<sub>n</sub>Nからなるウェル層と、InGa<sub>n</sub>Nからなるバリア層との5層構造である。

10

【0047】

第2半導体層23は、少なくともp型クラッド層を含む。本実施の形態において、第2半導体層23は、p側光ガイド層と、p側光ガイド層の上に形成されたOFS層(オーバーフロー抑制層)と、OFS層の上に形成され、p型クラッド層を含むp側クラッド層と、p側クラッド層の上に形成されたコンタクト層とを有する。p側光ガイド層、OFS層、p側クラッド層及びコンタクト層は、単層及び複数層のいずれであってもよい。

【0048】

一例として、p側光ガイド層は、アンドープのGa<sub>n</sub>Nからなるp側光ガイド層(un-GaN層)である。

【0049】

OFS層は、不純物としてマグネシウムがドーピングされたAlGa<sub>n</sub>Nからなるp型のOFS層(p-AlGa<sub>n</sub>N層)である。

20

【0050】

p側クラッド層は、不純物としてマグネシウムがドーピングされたp型のp側クラッド層(p-AlGa<sub>n</sub>N層)である。

【0051】

コンタクト層は、不純物としてマグネシウムがドーピングされたGa<sub>n</sub>Nからなるp型のコンタクト層(p-GaN層)である。

【0052】

このように構成される半導体積層構造体20には、図1～図2Cに示すように、凹部24が形成されている。凹部24が形成されることで、半導体積層構造体20にリッジ部20aとリッジ部20aの根元から横方向に広がる平坦部20bとが形成されている。凹部24は、エッチングによって半導体積層構造体20を掘り込むことで形成される。図2A～図2Cに示すように、本実施の形態において、凹部24は、第2半導体層23を掘り込んでいる。つまり、リッジ部20a及び平坦部20bは、第2半導体層23に形成されている。具体的には、リッジ部20aは、p側クラッド層とコンタクト層とに形成されている。一例として、リッジ部20aは、p側クラッド層に形成された凸部と、凸部の上に形成されたコンタクト層とによって構成されており、リッジ部20aの最上層はコンタクト層になっている。また、平坦部20bは、p側クラッド層に形成されている。平坦部20bの平坦面は、凹部24の底であり、凹部24におけるp側クラッド層の表面である。

30

40

【0053】

リッジ部20aの幅及び高さは、特に限定されるものではないが、一例として、リッジ部20aのリッジ幅(ストライプ幅)は1μm以上100μm以下であり、リッジ部20aの高さは100nm以上1000nm以下である。なお、コンタクト層の幅は、リッジ部20aのリッジ幅と同じであるが、これに限らない。

【0054】

また、本実施の形態では、半導体積層構造体20に凹部24を形成することで、図1及び図2Bに示すように、半導体積層構造体20には、さらに凸状のウイング部20cが形成されている。つまり、半導体積層構造体20は、凸状構造として、リッジ部20aとウイング部20cとを有する。上記のように、本実施の形態において、凹部24は、第2半

50

導体層 23 を掘り込むことで形成されている。したがって、ウイング部 20c は、第 2 半導体層 23 によって構成され、高さはリッジ部と同じである。具体的には、ウイング部 20c は、リッジ部 20a と同様に、p 側クラッド層とコンタクト層とによって構成されている。なお、リッジ部 20a とウイング部 20c の上面は、いずれも平面である。

#### 【0055】

図 1 及び図 2 B に示すように、ウイング部 20c は、リッジ部 20a の両側に形成されている。つまり、半導体積層構造体 20 は、一对のウイング部 20c を有する。リッジ部 20a は、凹部 24 を介して一对のウイング部 20c に挟まれている。一对のウイング部 20c は、リッジ部 20a と同様に、半導体レーザ素子 1 の共振器長方向に沿って延在している。このように、リッジ部 20a の両側にウイング部 20c を設けることによって、半導体レーザ素子 1 をジャンクションダウンで実装する時に、リッジ部 20a にかかる圧力を低減することができる。

10

#### 【0056】

本実施の形態において、一对のウイング部 20c の各々の幅は、リッジ部 20a の幅よりも大きくなっているが、これに限らない。また、一对のウイング部 20c の幅は、互いに同じであるが、異なってもよい。

#### 【0057】

また、図 1 に示すように、半導体積層構造体 20 の端面の近傍には、ウイング部 20c が形成されていないウングレス部 20d が形成されている。つまり、ウングレス部 20d は、凹部 24 の一部である。本実施の形態において、ウングレス部 20d は、半導体積層構造体 20 における前端面及び後端面の各々に近傍に形成されている。

20

#### 【0058】

図 2 C に示すように、ウングレス部 20d における半導体積層構造体 20 の共振器長方向に直交する方向の端縁の表面には、突起 25 が形成されている。具体的には、突起 25 は、半導体積層構造体 20 の表面と、後述する第 2 溝 52 の側面との境界に形成されている。この場合、突起 25 が形成された半導体積層構造体 20 の端縁は、半導体積層構造体 20 の表面と第 2 溝 52 の側面との境界になる。また、突起 25 は、半導体積層構造体 20 の表面と、後述する第 3 溝 53 の側面との境界にも形成されている。この場合、突起 25 が形成された半導体積層構造体 20 の端縁は、半導体積層構造体 20 の表面と第 3 溝 53 の側面との境界になる。本実施の形態において、突起 25 は、断面三角形のツノ状に形成されている。

30

#### 【0059】

図 2 B に示すように、第 2 半導体層 23 のリッジ部 20a の上には p 側電極 41 が形成されている。具体的には、p 側電極 41 は、コンタクト層の上に形成されている。本実施の形態において、p 側電極 41 は、リッジ部 20a の上面のみに形成されている。p 側電極 41 の幅は、リッジ部 20a の幅よりも狭くなっているが、リッジ部 20a の幅と同じであってもよい。

#### 【0060】

p 側電極 41 は、例えば、Pt、Ti、Cr、Ni、Mo 及び Au 等の金属材料を少なくとも 1 つ以上用いて形成されている。p 側電極 41 は、単層及び複数層のいずれであってもよい。本実施の形態において、p 側電極 41 は、Pd からなる膜厚 40 nm の Pd 層と Pt からなる膜厚 35 nm の Pt 層との 2 層構造の電極である。なお、p 側電極 41 の上には、パッド電極が形成されていてもよい。

40

#### 【0061】

一方、基板 10 の他方の面である下面（裏面）には、n 側電極 42 が形成されている。n 側電極 42 は、半導体基板である基板 10 とオーミック接触するオーミック電極である。n 側電極 42 は、例えば、Cr、Ti、Ni、Pd、Pt、Au 及び Ge 等の金属材料を少なくとも 1 つ以上用いて形成されている。また、n 側電極 42 は、単層及び複数層のいずれであってもよい。

#### 【0062】

50

図 2 A ~ 図 2 C に示すように、半導体積層構造体 20 は、リッジ部 20 a の上の p 側電極 41 を除き、 $\text{SiO}_2$  又は  $\text{SiN}$  等の誘電体膜からなる絶縁膜 81 で覆われている。具体的には、絶縁膜 81 は、リッジ部 20 a の上面を除き、第 2 半導体層 23 を覆うように形成されている。つまり、絶縁膜 81 は、コンタクト層のリッジ部 20 a の上に開口を有するように形成されている。絶縁膜 81 は、電流ブロック膜として機能する。したがって、絶縁膜 81 の開口は、電流が通過する電流注入窓となる。なお、絶縁膜 81 は、半導体積層構造体 20 の側面にまで形成されていてもよい。

【0063】

また、図 2 B に示すように、p 側電極 41 の上にはパッド電極 82 が形成されている。パッド電極 82 は、p 側電極 41 に接触している。本実施の形態において、パッド電極 82 は、リッジ部 20 a よりも幅広であって、ウイング部 20 c の上にまで形成されている。つまり、パッド電極 82 は、リッジ部 20 a、平坦部 20 b (凹部 24) 及びウイング部 20 c を覆うように、絶縁膜 81 の上に形成されている。パッド電極 82 は、例えば Au 等の金属材料によって構成されている。また、パッド電極 82 は、Ti などの密着補助層を介して形成されていてもよい。この場合、密着補助層もパッド電極 82 の一部であってもよい。

10

【0064】

このように構成される半導体レーザ素子 1 には、複数の溝が形成されている。具体的には、図 1 ~ 図 3 に示すように、半導体レーザ素子 1 には、複数の溝として、第 1 溝 51、第 2 溝 52 及び第 3 溝 53 が形成されている。

20

【0065】

第 1 溝 51 は、半導体レーザ素子 1 の裏側に形成されている。具体的には、第 1 溝 51 は、基板 10 の裏面に形成されている。一方、第 2 溝 52 及び第 3 溝 53 は、半導体レーザ素子 1 の表側に形成されている。具体的には、第 2 溝 52 及び第 3 溝 53 は、半導体積層構造体 20 に形成されている。

【0066】

基板 10 の裏面に形成された第 1 溝 51 は、複数の半導体層が積層されたウエハを分割する際のガイド溝である。具体的には、後述するように、第 1 溝 51 は、ウエハの上に複数の半導体層が積層された半導体積層基板を分割した後の複数のパー状基板の各々を個片分割する際のガイド溝である。第 1 溝 51 は、スクライブ溝であり、例えば、基板 10 の裏面にレーザ光を照射することで形成することができる。このように、第 1 溝 51 を基板 10 の上面ではなく下面 (裏面) に形成することで、個片分割時に半導体レーザ素子 1 にかかる応力を軽減できるので、クラックの発生を抑制することができる。

30

【0067】

図 1 及び図 3 に示すように、第 1 溝 51 は、半導体レーザ素子 1 の共振器方向に延在するように形成されている。また、第 1 溝 51 は、半導体レーザ素子 1 の一对の側面の各々に形成されている。つまり、半導体レーザ素子 1 には、一对の第 1 溝 51 が形成されている。図 2 B に示すように、一对の第 1 溝 51 の各々は、基板 10 の裏面から半導体レーザ素子 1 の側面を切り欠くように形成されている。一对の第 1 溝 51 は、基板 10 の側面に形成されている。具体的には、一对の第 1 溝 51 の一方は、第 1 側面 1c に対応する基板 10 の一方の側面を切り欠くように共振器長方向に沿って延在している。また、一对の第 1 溝 51 の他方は、第 2 側面 1d に対応する基板 10 の他方の側面を切り欠くように共振器長方向に沿って延在している。

40

【0068】

図 1 及び図 3 に示すように、一对の第 1 溝 51 の各々における共振器長方向における両端部は、半導体積層構造体 20 の端面から後退した位置に存在している。つまり、各第 1 溝 51 において、共振器長方向における両端部の各々は、半導体積層構造体 20 の端面に到達しないように形成されている。具体的には、半導体積層構造体 20 における前端側近傍において、第 1 溝 51 の共振器長方向における後方側の端部と半導体積層構造体 20 の後端面との間には、第 1 溝 51 を形成せずに半導体積層構造体 20 を残した部分 (残しシ

50

口)が存在する。同様に、半導体積層構造体20における後端側近傍において、第1溝51の共振器長方向における前方側の端部と半導体積層構造体20の前端面との間には、第1溝51を形成せずに半導体積層構造体20を残した部分(残しシロ)が存在する。

#### 【0069】

本実施の形態において、第1溝51の底は、基板10の内部に位置している。つまり、第1溝51は、基板10の下面(裏面)から基板10の上面側の半導体積層構造体20にまで到達しないように形成されている。一例として、基板10の厚さは83 $\mu\text{m}$ であり、第1溝の深さは55 $\mu\text{m}$ であり、残しシロは13 $\mu\text{m}$ である。

#### 【0070】

半導体積層構造体20に形成された第2溝52は、パー状基板を個片分割する際に発生するクラックの進行を阻止するためのクラック阻止溝である。第2溝52は、半導体積層構造体20をエッチングすることで形成することができる。

10

#### 【0071】

図1に示すように、第2溝52は、半導体積層構造体20の端面から半導体レーザ素子1の共振器方向に沿って形成されている。本実施の形態において、第2溝52は、半導体積層構造体20の後端面から前端面に向かって形成されている。また、第2溝52は、半導体積層構造体20の後端面近傍にのみ形成されている。具体的には、第2溝52は、半導体積層構造体20のウイングレス部20dに形成されているが、ウイング部20cにまたがって形成されていてもよい。なお、第2溝52は、半導体積層構造体20の前端面近傍にも形成されていてもよい。

20

#### 【0072】

また、図1に示すように、上面視において、第2溝52は、光導波路であるリッジ部20aの両側に形成されている。つまり、半導体レーザ素子1には、一对の第2溝52が形成されている。一对の第2溝52の各々は、第1溝51とリッジ部20aとの間に形成されている。具体的には、一对の第2溝52の一方は、半導体レーザ素子1の共振器長方向に直交する方向において、一对の第1溝51の一方とリッジ部20aとの間に形成されている。また、一对の第2溝52の他方は、半導体レーザ素子1の共振器長方向に直交する方向において、一对の第1溝51の他方とリッジ部20aとの間に形成されている。

#### 【0073】

第2溝52の共振器長方向の長さは、第1溝51と半導体積層構造体20の後端面との距離(残しシロ)の1/2以上であるとよい。本実施の形態において、第2溝52の共振器長方向の長さは、半導体積層構造体20の後端面から10 $\mu\text{m}$ 以上、かつ、第3溝53と第2溝52との間の距離の2.5倍以下である。一例として、第2溝52の共振器長方向の長さは、共振器長方向の長さが1200 $\mu\text{m}$ の半導体レーザ素子1に対して、14 $\mu\text{m}$ である。なお、一对の第2溝52の共振器方向の長さは、互いに同じであるが、異なってもよい。

30

#### 【0074】

また、第2溝52の幅は、一例として、10 $\mu\text{m}$ 以下である。本実施の形態において、各第2溝52の幅は、8 $\mu\text{m}$ であるが、エッチングできる幅であれば、さらに狭くしてもよい。なお、一对の第2溝52の幅は、互いに同じであるが、異なってもよい。

40

#### 【0075】

第2溝52の深さは、半導体積層構造体20の表面のうち最も基板10側に位置する部分よりも深い。本実施の形態において、半導体積層構造体20の表面のうち最も基板10側に位置する部分は、第3溝53の底である。つまり、図2Cに示すように、各第2溝52の深さは、第3溝53の深さよりも深くなっている。一例として、第2溝52の底は、半導体積層構造体20の表面のうち最も基板10側に位置する部分から2 $\mu\text{m}$ 程度下方の位置である。なお、第2溝52の深さは、第3溝53の深さと等しくてもよい。また、一对の第2溝52の深さは、互いに同じであるが、異なってもよい。

#### 【0076】

また、第2溝52の側面(内面)は、傾斜している。具体的には、第2溝52において

50

、対向する一对の側面の各々が傾斜している。本実施の形態において、第2溝52は、深さ方向に沿って溝幅が漸次狭まるようにテーパ状に形成されている。

【0077】

半導体積層構造体20に形成された第3溝53は、エピタキシャル成長によりウエハの上に複数の半導体層が積層された半導体積層基板において、積層された複数の半導体層を光導波路ごとに分離するための分離溝（素子分離溝）である。したがって、図2A～図2Cに示すように、第3溝53は、半導体レーザ素子1の一对の側面の各々に形成されている。つまり、半導体レーザ素子1には、一对の第3溝53が形成されている。第3溝53は、積層された複数の半導体層をエッチングすることで形成することができる。

【0078】

一对の第3溝53の各々は、半導体積層構造体20の上面から半導体積層構造体20の側面を切り欠くように形成されている。また、図1に示すように、第3溝53は、半導体レーザ素子1の共振器方向に延在するように形成されている。具体的には、一对の第3溝53の一方は、半導体積層構造体20の一方の側面を切り欠くように共振器長方向に沿って延在している。また、一对の第3溝53の他方は、半導体積層構造体20の他方の側面を切り欠くように共振器長方向に沿って延在している。本実施の形態において、一对の第3溝53は、いずれも半導体積層構造体20の前端面から後端面にわたって形成されている。

【0079】

第3溝53は、半導体積層構造体20の上面から積層方向に掘り込むことで形成することができる。図2A～図2Cに示すように、第3溝53の深さは、半導体積層構造体20におけるPN接合部である活性層22の位置よりも深い。また、本実施の形態において、第3溝53の側面は、傾斜している。具体的には、第3溝53の側面は、深さ方向に沿って裾が広がるように傾斜している。

【0080】

次に、実施の形態に係る半導体レーザ素子1の製造方法について、図4A～図4Jを用いて説明する。図4A～図4Jは、実施の形態に係る半導体レーザ素子1の製造方法における各工程を説明するための図である。図4A～図4Jにおいて、(a)は、半導体レーザ素子1の上面図であり、(b)は、(a)のb-b線における断面図であり、(c)は、(a)のc-c線における断面図であり、(d)は、(a)のd-d線における断面図である。なお、図4A～図4Jの(a)においては、上面に見える部材の対応関係を分かりやすくするために、便宜上ハッチングを施している。ただし、絶縁膜82は省略している。また、図4A～図4Jでは、ウエハである基板10上に形成された半導体積層構造体20Aのうちの1つの半導体レーザ素子1に対応する部分のみが示されている。

【0081】

まず、図4Aに示すように、ウエハである基板10の一方の面に複数の半導体層を積層することで、半導体積層構造体20Aを有する半導体積層基板2を作製する。具体的には、MOCVD法により、基板10の上面に、第1半導体層21、活性層22及び第2半導体層23を順次エピタキシャル成長させることにより半導体積層構造体20Aを形成する。その後、半導体積層構造体20Aの上に絶縁膜61（第1絶縁膜）を形成する。本実施の形態では、絶縁膜61としてSiO<sub>2</sub>膜を形成した。一例として、絶縁膜61の膜厚は、300nmである。なお、絶縁膜61は、形成しなくてもよい。

【0082】

次に、図4Bに示すように、半導体積層構造体20Aの上方に、第1開口部71a及び第2開口部71bを有する所定形状の第1レジスト71を形成する。第1開口部71aは、後述する第2溝52を形成する位置に形成される。また、第2開口部71bは、後述する第3溝53を形成する位置に形成される。なお、本実施の形態では、半導体積層構造体20Aの上には絶縁膜61が形成されているので、第1開口部71a及び第2開口部71bを有する第1レジスト71は、絶縁膜61の上に形成される。

【0083】

10

20

30

40

50

次に、図 4 C に示すように、半導体積層構造体 20 A をエッチングする（第 1 エッチング工程）。具体的には、第 1 開口部 7 1 a 及び第 2 開口部 7 1 b を有する第 1 レジスト 7 1 をマスクとして半導体積層構造体 20 A をエッチングする。これにより、半導体積層構造体 20 A における第 1 開口部 7 1 a に対応する部分に凹部 5 2 a を形成することができるとともに、半導体積層構造体 20 A における第 2 開口部 7 1 b に対応する部分に第 3 溝 5 3 を形成することができる。なお、半導体積層構造体 20 A のエッチング方法としては、反応性イオンエッチング等のドライエッチングを用いることができる。

【0084】

凹部 5 2 a と第 3 溝 5 3 は、同じエッチング工程で形成されるので、凹部 5 2 a の深さと第 3 溝 5 3 の深さとは同じである。本実施の形態では、凹部 5 2 a の底及び第 3 溝 5 3 の底がいずれも第 1 半導体層 2 1 の途中にまで到達するように半導体積層構造体 20 A をエッチングする。つまり、凹部 5 2 a 及び第 3 溝 5 3 は、第 2 半導体層 2 3 及び活性層 2 2 を貫通し、第 1 半導体層 2 1 の内部にまで形成される。なお、本実施の形態では、半導体積層構造体 20 A の上に絶縁膜 6 1 が形成されているので、絶縁膜 6 1 もエッチングされる。つまり、凹部 5 2 a 及び第 3 溝 5 3 は、絶縁膜 6 1 も貫通している。

【0085】

次に、図 4 D に示すように、マスクとして用いた第 1 レジスト 7 1 を除去する。これにより、絶縁膜 6 1 が露出する。

【0086】

次に、図 4 E に示すように、半導体積層構造体 20 A の上方に、開口部 7 2 a を有する所定形状の第 2 レジスト 7 2 を形成する。開口部 7 2 a は、半導体積層構造体 20 A に形成する凹部 2 4 を形成する位置に形成される。また、第 2 レジスト 7 2 の開口部 7 2 a は、第 2 溝 5 2 に対応する位置にも形成されている。つまり、開口部 7 2 a は、半導体積層構造体 20 A に形成された凹部 5 2 a と重なるように形成されており、凹部 5 2 a は、第 2 レジスト 7 2 で覆われていない。一方、半導体積層構造体 20 A に形成された第 3 溝 5 3 は、第 2 レジスト 7 2 で覆われている。つまり、第 3 溝 5 3 には第 2 レジスト 7 2 が埋め込まれている。なお、本実施の形態では、半導体積層構造体 20 A の上には絶縁膜 6 1 が形成されているので、開口部 7 2 a を有する第 2 レジスト 7 2 は、絶縁膜 6 1 の上に形成される。

【0087】

次に、図 4 F に示すように、凹部 5 2 a が形成された半導体積層構造体 20 A をエッチングする（第 2 エッチング工程）。具体的には、開口部 7 2 a を有する第 2 レジスト 7 2 をマスクとして半導体積層構造体 20 A をエッチングする。これにより、半導体積層構造体 20 A における開口部 7 2 a に対応する部分に凹部 2 4 が形成されて、半導体積層構造体 20 A には、リッジ部 2 0 a 及びウイング部 2 0 c が形成される。なお、半導体積層構造体 20 A のエッチング方法としては、反応性イオンエッチング等のドライエッチングを用いることができる。

【0088】

このとき、凹部 2 4 の底が第 2 半導体層 2 3 の途中にまで到達するように半導体積層構造体 20 A をエッチングする。つまり、リッジ部 2 0 a 及びウイング部 2 0 c は、第 2 半導体層 2 3 に形成される。なお、本実施の形態では、半導体積層構造体 20 A の上に絶縁膜 6 1 が形成されているので、絶縁膜 6 1 もエッチングされる。これにより、リッジ部 2 0 a の上にだけ絶縁膜 6 1 が残ることになる。

【0089】

また、第 1 エッチング工程により半導体積層構造体 20 A に形成された凹部 5 2 a は第 2 レジスト 7 2 で覆われていないので、このエッチング工程では、凹部 5 2 a がさらにエッチングされることになる。これにより、凹部 5 2 a の底がさらに深くなって第 2 溝 5 2 が形成される。具体的には、第 1 半導体層 2 1 まで形成されていた凹部 5 2 a がさらにエッチングされて基板 1 0 の内部まで掘り込まれる。

【0090】

10

20

30

40

50

このように、第2溝52は、第3溝53を形成する第1エッチング工程と、リッジ部20aを形成する第2エッチング工程とを利用して形成されている。したがって、第2溝52を形成するための工程を追加することなく、第2溝52を形成することができる。つまり、本実施の形態における製造方法によれば、第2溝52を形成するためのマスクを用いる必要がない。

【0091】

なお、その後、図示しないが、マスクとして用いた第2レジスト72を除去する。これにより、リッジ部20a上の絶縁膜61が露出するとともに、凹部24が形成された第2半導体層23が露出する。

【0092】

また、この第2エッチング工程において、図4Fの(d)に示すように、半導体積層構造体20Aのウイングレス部20dにおいて、第2溝52及び第3溝53における半導体積層構造体20Aの上面(本実施の形態では第2半導体層23の上面)の端縁には突起25が形成される。このような突起25は、以下の理由により形成されると考えられる。

【0093】

リッジ部20aを形成する際の最初の段階である絶縁膜61のドライエッチング時に、ウイングレス部20dにおける半導体積層構造体20Aの第2溝52及び第3溝53の側壁上部に、ドライエッチング時の飛散物が堆積して堆積物が形成される。この堆積物は、絶縁膜61(本実施の形態ではSiO<sub>2</sub>膜)よりもエッチングレートが遅いため、エッチング後にも第2溝52及び第3溝53の側壁上部に僅かに堆積物が残留することになる。続いてリッジ部20aを形成する際の次の段階である半導体積層構造体20A(窒化物半導体)及び基板10(GaN)のドライエッチング時に、第2溝52及び第3溝53の側壁上部に残留した堆積物がマスクとなって突起25が形成されることになる。なお、最初の段階で第2溝52及び第3溝53の側壁上部に残留した堆積物は、半導体積層構造体20A及び基板10のドライエッチングによってエッチングされるため、次の段階であるドライエッチング中に消失することになる。

【0094】

次に、図4Gに示すように、リッジ部20a上の絶縁膜61を覆うように絶縁膜62(第2絶縁膜)を形成する。具体的には、半導体積層構造体20Aの上面の全面を覆うようにして絶縁膜62を形成する。本実施の形態では、絶縁膜61としてSiO<sub>2</sub>膜を形成した。一例として、絶縁膜62の膜厚は、200nmである。

【0095】

その後、p型半導体層のドーパントの活性化を行うためにアニール処理を行う。このとき、本実施の形態では、リッジ部20aの上に絶縁膜62だけではなく絶縁膜61が形成されているので、リッジ部20aは2つの絶縁膜で保護されている。これにより、アニール処理の熱によってリッジ部20aがダメージを受けることを抑制することができる。

【0096】

次に、図4Hに示すように、絶縁膜62を除去するとともに絶縁膜61を除去する。これにより、リッジ部20a及びウイング部20cが形成された半導体積層構造体20Aの表面全面が露出する。したがって、半導体積層構造体20Aに形成された第2溝52及び第3溝53も露出することになる。

【0097】

このとき、図4Hの(d)における破線で囲まれる領域Vに対応する部分について、実際に作製した半導体レーザ素子1を確認したところ、図5に示されるように、第2溝52及び第3溝53における半導体積層構造体20Aの上面の端縁に突起25が形成されることが確認できる。さらに、突起25は絶縁膜81で覆われていることが確認できる。図5は、図4Hの(d)における破線で囲まれる領域Vに対応する部分の断面SEM像を示している。なお、図4Hでは、第2溝52の深さを第3溝53の深さよりも深くしているが、図5では、第2溝52の深さと第3溝53の深さとを同じにして半導体レーザ素子1を作製したときのものを示している。

10

20

30

40

50

## 【0098】

次に、図4Iに示すように、リッジ部20aの上にp側電極41を形成する。具体的には、リッジ部20aの上面に開口部を有する絶縁膜81を形成し、リッジ部20aの上面を覆うようにp側電極41を形成する。p側電極41は、例えば、蒸着法及びリフトオフ法を用いて所定形状に形成することができる。その後、さらに、p電極41と絶縁膜81にまたがるようにしてパッド電極82を形成する。

## 【0099】

次に、図4Jに示すように、基板10の裏面にn側電極42を形成する。n側電極42は、例えば、蒸着法及びリフトオフ法を用いて所定形状に形成することができる。

## 【0100】

その後、図示しないが、半導体積層基板2を分割することで、各々が複数の光導波路を有する複数のバー状基板を作製する（一次分割工程）。本実施の形態では、半導体積層基板2を劈開して分割することで、複数のバー状基板を作製している。

## 【0101】

なお、半導体積層基板2又はバー状基板の裏面には第1溝51を形成しておく。第1溝51は、バー状基板を複数の半導体レーザ素子1に個片分割するためのガイド溝である。したがって、第1溝51は、隣り合う2つの半導体レーザ素子1の境界ごとに形成される。つまり、第1溝51は、リッジ部20aの長手方向と平行に形成される。また、第1溝51は、半導体積層基板2を複数のバー状基板に分割したときの両端面から後退した位置に存在している。つまり、第1溝51は、複数のバー状基板の両端面となる位置に到達しないように形成される。このような第1溝51は、基板10の裏面にレーザ光を照射することで形成することができる。具体的には、第1溝51は、レーザスクライブ法によって形成されたレーザスクライブ溝である。

## 【0102】

半導体積層基板2を分割して複数のバー状基板を作製した後は、バー状基板の端面に第1コート膜31及び第2コート膜32を形成し、その後、第1溝51に沿ってバー状基板を複数に分割することで、各々が1つの光導波路（リッジ部20a）を有する複数の半導体レーザ素子1を作製する（二次分割工程）。具体的には、図8に示される方法と同様にして、バー状基板を複数に分割する。これにより、図1～図3に示される半導体レーザ素子1を得ることができる。この中の一部には、図6に示すようにクラックの発生したものも含まれる。

## 【0103】

なお、図6において、(a)は上面図であり、(b)は(a)のb-b線における断面図であり、(c)は(a)のc-c線における断面図であり、(d)は(a)のd-d線における断面図であり、(e)は第2コート膜32を省略して半導体レーザ素子1をリア側から見たときの側面図である。なお、図6における太線は、半導体レーザ素子1に発生したクラック90を示している。クラック90の面に傾きがあるために、半導体積層構造体20の側面のクラック90の深さ位置は、d-d線の断面のクラック90の深さ位置よりも深いところにある。また、図9の(a)におけるドットのハッチング領域は、クラック90が発生した領域を示している。

## 【0104】

図6に示すように、上記のようにして作製された半導体レーザ素子1には、半導体積層構造体20に第2溝52が形成されている。第2溝52は、半導体積層構造体20の端面から共振器長方向に沿って形成されている。

## 【0105】

この構成により、図6に示すように、バー状基板を複数に分割する個片分割工程（二次分割工程）において、基板10と半導体積層構造体20との界面近傍からリッジ部20aの下方に向かって斜め上方に向かって伸びるクラック90が発生したとしても、第2溝52によってクラック90の進行が阻止される。これにより、クラック90がリッジ部20aの下方にまで延在しないので、クラック90によって半導体レーザ素子1の信頼性が低

10

20

30

40

50

下することを抑制することができる。

【0106】

また、本実施の形態における半導体レーザ素子1では、半導体積層構造体20に第3溝53が形成されている。第3溝53は、半導体積層構造体20の側面を切り欠くように半導体レーザ素子1の共振器長方向に沿って延在している。

【0107】

この構成により、個片分割工程の分割時において、分割の直進性を向上させることができる。

【0108】

また、本実施の形態における半導体レーザ素子1において、第2溝52の深さは、半導体積層構造体20の表面のうち最も基板10側に位置する部分よりも深い。具体的には、図6の(d)及び(e)に示すように、第2溝52の深さは、第3溝53の深さよりも深くなっている。

10

【0109】

なお、図7に示される半導体レーザ素子1Aでは、第2溝52Aの深さと第3溝53の深さとは同じになっており、クラック90の発生位置はそれより深い位置にある。この場合、破線に示すように、クラック90の平均の進行方向と第2溝52Aとは交差しないが、実線に示すように、途中で表面までの距離が急に短くなることなどにより、クラック90の進行の角度が変わり、結果的にリッジ部20aへのクラック90の進行を阻止できる場合がある。そこで、第2溝52の深さを第3溝53の深さよりも深いかそれと等しくすることで、第2溝52によってクラック90の進行を効果的に阻止することができる。

20

【0110】

なお、クラック90は、半導体積層構造体20の表面のうち最も基板10側に位置する部分(例えば第3溝53の上面)から2μm程度下方の部分から多く発生することから、第2溝52の深さは、半導体積層構造体20の表面のうち最も基板10側に位置する部分から2μm以上にするとよい。

【0111】

また、上記のように、半導体レーザ素子1の共振器長方向に直交する断面(図6の(d)参照)において、発生する多くのクラック90は、半導体積層構造体20の側面から基板10の主面に対して1.5°の角度で斜め上方に向かって伸びる。この場合、ウイングレス部20dにおいて、半導体積層構造体20の上面から第3溝53の深さをAとし、第3溝53の底からクラック90の発生起点の深さ方向の位置までの長さをBとし、半導体積層構造体20の上面における第3溝53の幅をCとし、第3溝53の壁面から第2溝52の外側の内面までの距離をDとし、半導体レーザ素子1の共振器長方向に直交する断面における基板10の主面に対するクラック90の角度を $\theta$ とすると、第2溝52の深さZは、 $Z = (A + B) - (C + D) \times \tan \theta$ で表される。

30

【0112】

ここで、上記のように、 $B = 2 \mu\text{m}$ であり、 $\theta = 1.5^\circ$ であるので、 $A = 1 \mu\text{m}$ 、 $C = 4 \mu\text{m}$ 、 $D = 8 \mu\text{m}$ とすると、 $Z = (1 + 2) - (4 + 8) \tan(1.5^\circ) = 2.69 \mu\text{m}$ となる。つまり、第2溝52の深さZを2.69μm以上にすることで、個片分割時に発生するクラック90がリッジ部20aの下方に到達することを回避することができる。また、第3溝53の底の部分は個片分割時に欠けることがあるため、発生起点付近のクラック90の角度は1.5°より大きくなることもある。一例として、第2溝52の深さは1μm、3μmであり、第3溝53と第2溝52との距離は9μm以下(4μm、7μm、8μm、9μm)であり、第3溝53の幅は4μmである。

40

【0113】

また、上記のように、半導体レーザ素子1の側面と平行な断面(図6の(b)参照)において、発生する多くのクラック90は、半導体積層構造体20の端面から基板10の主面に対して16°の角度で斜め上方に向かって形成する。この場合、ウイングレス部20dにおいて、半導体レーザ素子1の側面と平行な断面における基板10の主面に対するク

50

ラック 90 の角度を  $\theta$  とすると、半導体積層構造体 20 の後端面からの第 2 溝 52 の共振器長方向の長さ Y は、上記の A 及び B を用いて、 $Y = (A + B) / \tan \theta$  で表される。

【0114】

ここで、上記のように、 $B = 2 \mu\text{m}$  であり、 $\theta = 16^\circ$  であるので、 $A = 1 \mu\text{m}$  とすると、 $Y = (1 + 2) / \tan(16^\circ) \approx 10.5 \mu\text{m}$  となる。つまり、第 2 溝 52 の共振器長方向の長さ Y を  $10.5 \mu\text{m}$  以上（少なくとも  $10 \mu\text{m}$  以上）にすることで、個片分割時に発生するクラック 90 がリッジ部 20a の下方に到達することを回避することができる。

【0115】

なお、半導体積層構造体 20 の後端面からの第 2 溝 52 の共振器長方向の長さ Y は、第 3 溝 53 と第 2 溝 52 との間の距離の 2.5 倍以下であるとよい。これにより、第 3 溝 53 と第 2 溝 52 との間の部分に欠け等の不具合が発生することを抑制できる。

【0116】

また、図 6 の (d) 及び (e) に示すように、本実施の形態における半導体レーザ素子 1 において、第 3 溝 53 の深さは、半導体積層構造体 20 の PN 接合部である活性層 22 の位置よりも深くなっている。

【0117】

この構成により、第 3 溝 53 によって半導体レーザ素子 1 の素子分離を容易に行うことができる。また、第 3 溝 53 の深さが PN 接合部の位置よりも浅いと、個片分割時に PN 接合部が露出して PN 接合部にリークが発生するおそれがあるが、第 3 溝 53 の深さを PN 接合部の位置よりも深くすることで、個片分割時に PN 接合部にリークが発生することを抑制できる。

【0118】

なお、第 3 溝 53 の深さを浅くすることで、半導体積層構造体 20 の角部におけるクラック 90 の発生起点の位置が浅くなる。つまり、半導体積層構造体 20 の側面から上方に傾いて伸びるクラック 90 の距離が短くなる。一例として、第 3 溝 53 の深さは  $1 \mu\text{m} \sim 3 \mu\text{m}$  である。クラック 90 の起点の深さを小さくすることで、クラック 90 が表面に到達するまでの距離を短くすることができる。

【0119】

また、本実施の形態における半導体レーザ素子 1 において、第 2 溝 52 の側面は、傾斜している。また、第 3 溝 53 の側面も傾斜している。

【0120】

この構成により、半導体積層構造体 20 の上面と第 2 溝 52 の側面とのなす角を鈍角にすることができる。また、半導体積層構造体 20 の上面と第 3 溝 53 の側面とのなす角を鈍角にすることができる。これにより、半導体積層基板 2 を複数のバー状基板に分割する一次分割工程の際に、半導体積層構造体 20 における第 2 溝 52 及び第 3 溝 53 の周辺部に欠けが発生することを抑制できる。

【0121】

また、本実施の形態における半導体レーザ素子 1 において、上面視で第 2 溝 52 とリッジ部 20a との距離は、 $4 \mu\text{m}$  以上である。この構成により、半導体レーザ素子 1 の側面（半導体積層構造体 20）の側面から上方に傾いて伸びるクラック 90 の進行を第 2 溝 52 によって効率良く阻止することができるとともに、横方向の電流狭窄を有効に行うことができる。なお、第 2 溝 52 は、半導体レーザ素子 1 の側面（半導体積層構造体 20）から遠い方が斜め上に進行するクラック 90 を効率的に阻止できる。つまり、第 2 溝 52 は、半導体レーザ素子 1 の側面よりもリッジ部 20a に近い方がよい。

【0122】

また、本実施の形態における半導体レーザ素子 1 において、第 2 溝 52 の共振器長方向の長さは、第 1 溝 51 と半導体積層構造体 20 の端面との距離の  $1/2$  以上である。一例として、第 2 溝 52 の共振器長方向の長さは  $14 \mu\text{m}$ 、第 1 溝 51 と半導体積層構造体 2

10

20

30

40

50

0の端面との距離は13 μmである。

【0123】

この構成により、クラック90そのものが発生することを効果的に抑制することができる。

【0124】

また、本実施の形態に係る半導体レーザ素子1では、半導体積層構造体20のウイングレス部20dにおける半導体積層構造体20の共振器長方向に直交する方向の端縁の表面に突起25が形成されている。具体的には、半導体積層構造体20の表面と第2溝52の側面との境界である端縁に突起25が形成されている。また、半導体積層構造体20の表面と第3溝53の側面との境界である端縁にも突起25が形成されている。

10

【0125】

この構成により、ウエハを分割する分割工程（一次分割工程、二次分割工程）において、ウエハの上にSiO<sub>2</sub>等の保護部材を載置したときに、保護部材の高さがリッジ部20aの高さ以上になるので、分割時の応力がリッジ部20aにかかることを抑制することができる。これにより、分割時の応力によってリッジ部20aに欠け（端面段差等）が発生することを抑制することができる。

【0126】

しかも、半導体積層構造体20に突起25が形成されていることで、半導体積層構造体20の表面積を大きくすることができる。これにより、はんだによって半導体レーザ素子1をサブマウントに実装する際にはんだと半導体レーザ素子1との接触面積が大きくなる

20

【0127】

（変形例）

以上、本開示に係る半導体レーザ素子及び半導体レーザ素子の製造方法について、実施の形態に基づいて説明したが、本開示は、上記の実施の形態に限定されるものではない。

【0128】

例えば、上記実施の形態において、半導体レーザ素子1における導波路は、リッジ部20aとしたが、これに限らない。例えば、半導体レーザ素子1における導波路は、リッジ部20aからなるリッジストライプ構造ではなく、分割された電極のみで構成された電極ストライプ構造であってもよいし、電流ブロック層を用いた電流狭窄構造等であってもよい。

30

【0129】

また、上記実施の形態における半導体レーザ素子1では、窒化物系半導体材料を用いる場合を例示したが、これに限らない。例えば、本開示は、窒化物系半導体材料以外の半導体材料を用いた場合にも適用することができる。

【0130】

その他、上記の実施の形態に対して当業者が思いつく各種変形を施して得られる形態や、本開示の趣旨を逸脱しない範囲で各実施の形態における構成要素及び機能を任意に組み合わせることで実現される形態も本開示に含まれる。

【産業上の利用可能性】

40

【0131】

本開示に係る半導体レーザ素子は、プロジェクタ、光ディスク、車載ヘッドランプ、照明装置又はレーザ加工装置等をはじめとして、様々な製品の光源素子として有用である。

【符号の説明】

【0132】

1、1A 半導体レーザ素子

1a 前端面

1b 後端面

1c 第1側面

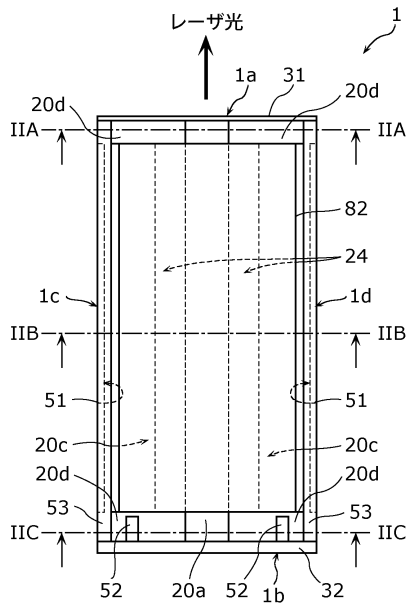
1d 第2側面

50

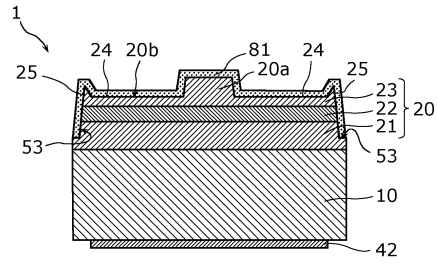
2	半導体積層基板	
1 0	基板	
2 0、2 0 A	半導体積層構造体	
2 0 a	リッジ部	
2 0 b	平坦部	
2 0 c	ウイング部	
2 0 d	ウイングレス部	
2 1	第1半導体層	
2 2	活性層	
2 3	第2半導体層	10
2 4	凹部	
2 5	突起	
3 1	第1コート膜	
3 2	第2コート膜	
4 1	p側電極	
4 2	n側電極	
5 1	第1溝	
5 2	第2溝	
5 2 a	凹部	
5 3	第3溝	20
6 1、6 2	絶縁膜	
7 1	第1レジスト	
7 1 a	第1開口部	
7 1 b	第2開口部	
7 2	第2レジスト	
7 2 a	開口部	
8 1	絶縁膜	
8 2	パッド電極	
9 0	クラック	
1 0 1	粘着シート	30
1 0 2	保護フィルム	
1 0 3	刃状治具	

【図面】

【図 1】



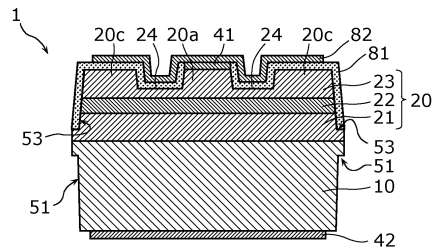
【図 2 A】



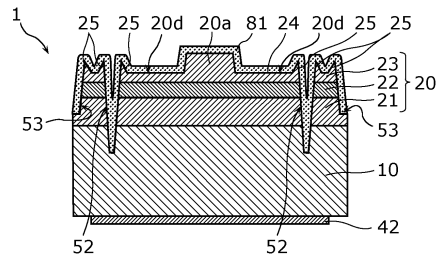
10

20

【図 2 B】



【図 2 C】

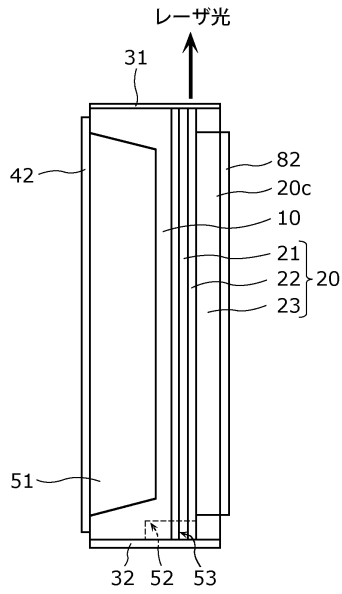


30

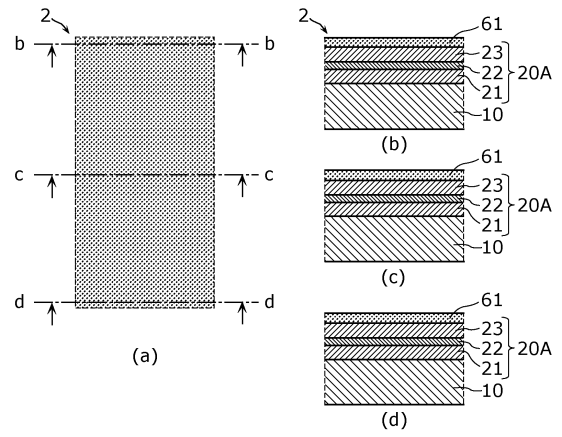
40

50

【図3】

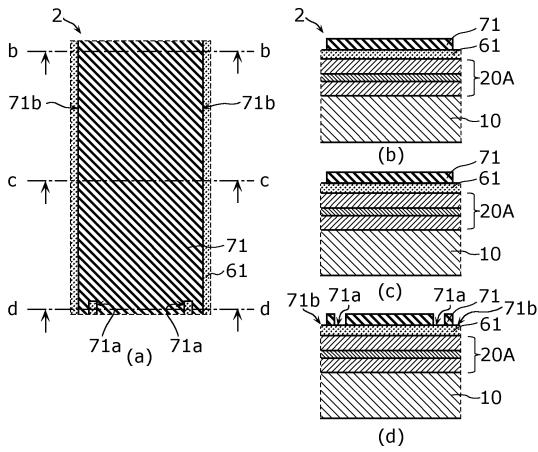


【図4A】



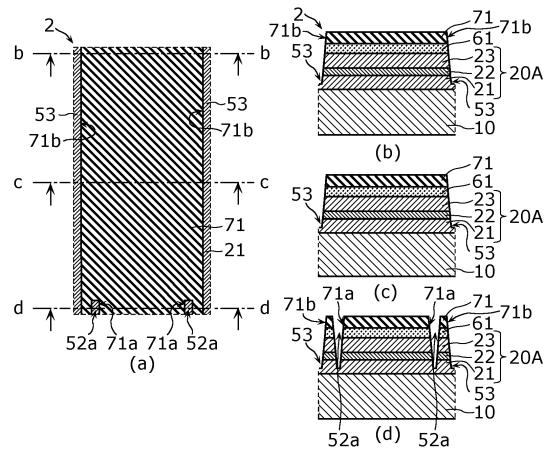
10

【図4B】



20

【図4C】

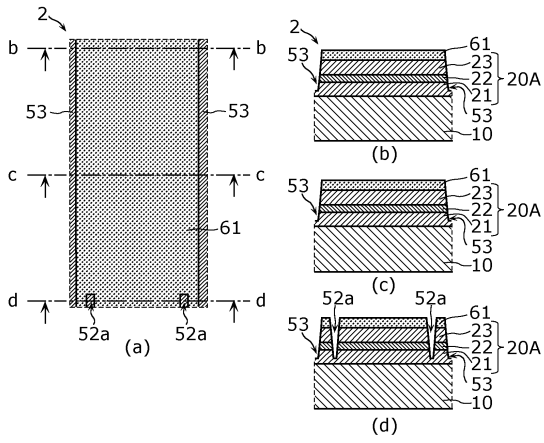


30

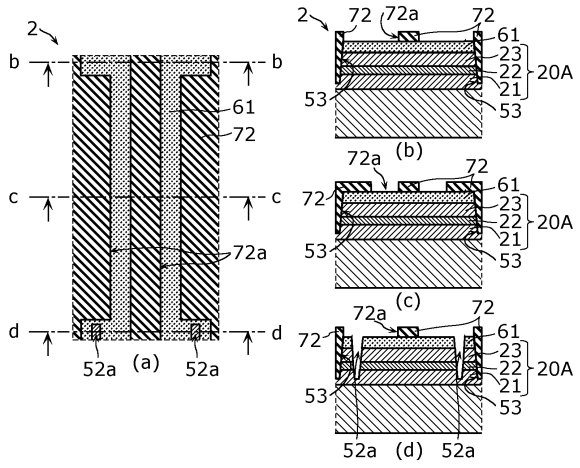
40

50

【 4 D 】

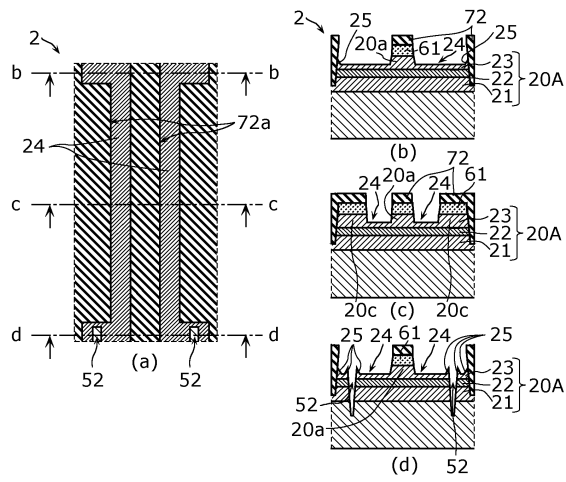


【 4 E 】

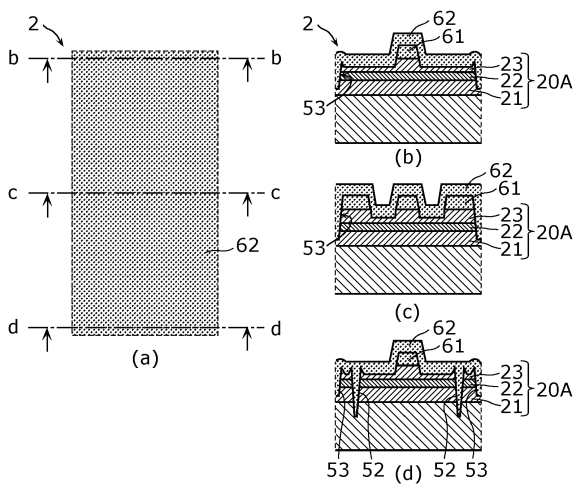


10

【 4 F 】



【 4 G 】



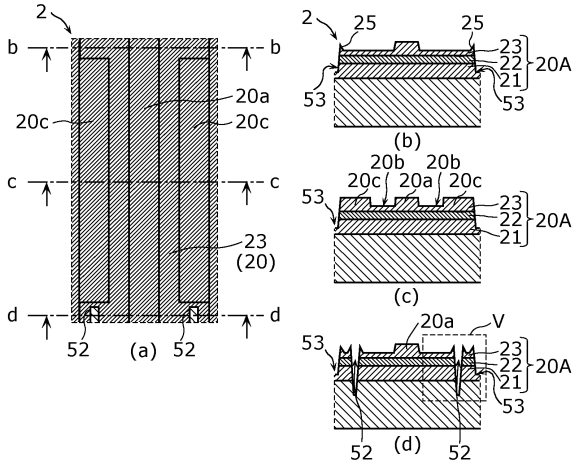
20

30

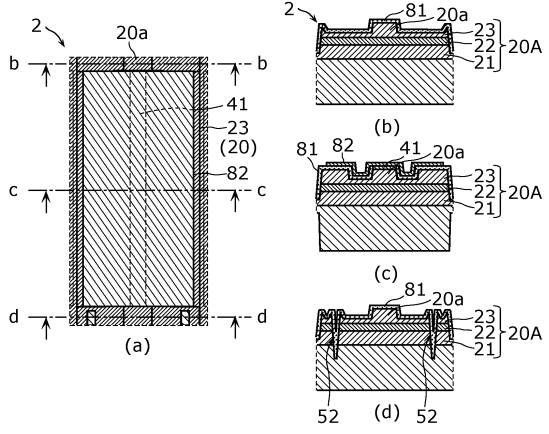
40

50

【図 4 H】

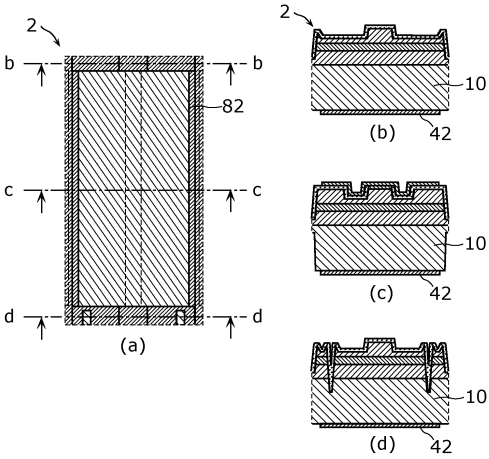


【図 4 I】

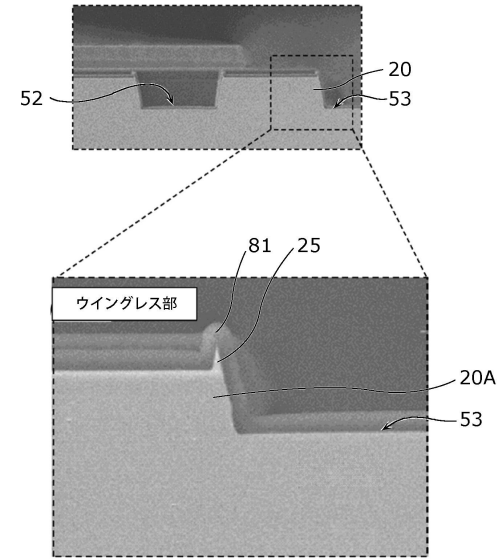


10

【図 4 J】



【図 5】



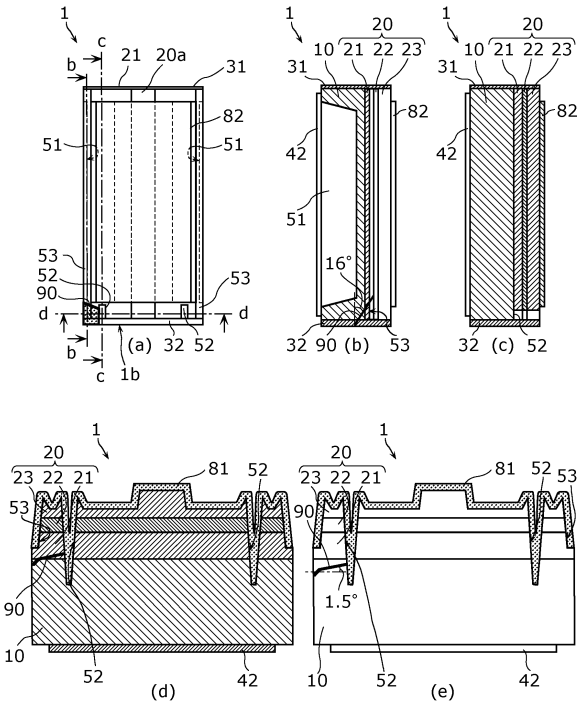
20

30

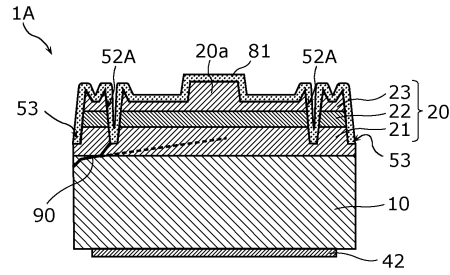
40

50

【 図 6 】



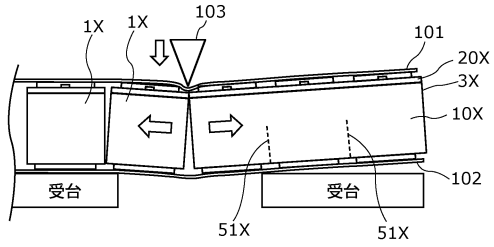
【 図 7 】



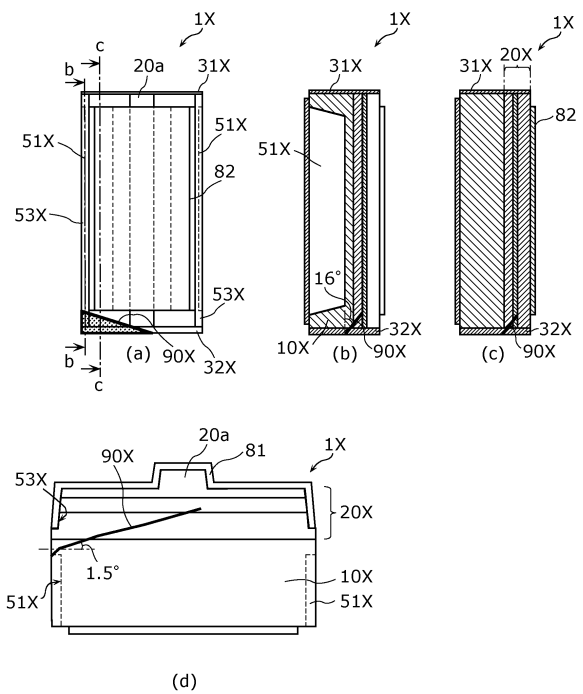
10

20

【 図 8 】



【 図 9 】



30

40

50

フロントページの続き

トンテクノロジージャパン株式会社内

Fターム(参考) 5F173 AA08 AH22 AP05 AP82 AP93 AR82