

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 03149595.8

[51] Int. Cl.

G01R 31/28 (2006.01)

H03H 17/00 (2006.01)

H03H 17/02 (2006.01)

H03K 5/135 (2006.01)

[45] 授权公告日 2007 年 5 月 30 日

[11] 授权公告号 CN 1318853C

[22] 申请日 2003.7.17 [21] 申请号 03149595.8

[30] 优先权

[32] 2002.9.24 [33] EP [31] 02021145.4

[73] 专利权人 安捷伦科技有限公司

地址 美国加利福尼亚州

[72] 发明人 里瓦尔·约亨

[56] 参考文献

昭 64-67029 1989.3.13

平 2-141117 1990.5.30

昭 62-269410 1987.11.21

昭 63-31212 1998.2.9

审查员 胡 斌

[74] 专利代理机构 北京东方亿思知识产权代理有限公司

代理人 王 怡

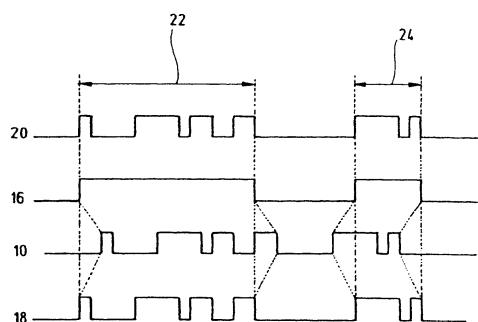
权利要求书 2 页 说明书 7 页 附图 6 页

[54] 发明名称

跳变调整

[57] 摘要

本发明涉及一种用于调整要通过与预置预期比特流(10)做比较来被评估的信号的比特流(10)中的跳变的方法,包括如下步骤:用跳变调整滤波器(12)接收所述比特流(10)信号,向所述跳变调整滤波器(12)提供跳变帧信号(16),所述跳变帧信号(16)提供了用于消除所述接收到的信号的所述比特流(10)内部的非确定性时钟延迟的信息,和根据所述跳变帧信号(16)调整所述接收到的信号的所述比特流(10),生成与所述预期比特流(20)对齐的调整比特流(18)。



1. 一种用于调整信号的比特流（10）的方法，该信号的比特流（10）要通过在测试处理器（14）中将所述比特流（10）与一个预置期望比特流（20）做比较来被评估，所述方法包括如下步骤：

用跳变调整滤波器（12）接收所述比特流（10），

由所述测试处理器（14）向所述跳变调整滤波器（12）提供跳变帧信号（16），所述跳变帧信号（16）提供有关可以容忍非确定性延迟的非确定性延迟的时间位置的信息和所述比特流（10）的哪些比特为了信号评估的目的必须作为比特块被保持连贯的信息，

根据所述跳变帧信号（16）调整所述接收到的信号的所述比特流（10），得到与所述预期比特流（20）对齐的所述调整比特流（18）的所述比特块。

2. 根据权利要求 1 的方法，其特征在于由所述跳变帧信号（16）提供的所述信息可通过增加一个事件类型 WAIT(W)而被嵌入到所述预期比特流（20）中，所述事件类型 WAIT(W)说明了要等待下一个信号跳变，以通过与所述预期比特流（20）做比较而进行评估。

3. 根据权利要求 1 的方法，其特征在于所述要被评估的信号的所述比特流（10）中的初始无效随机比特（84）在所述信号被所述跳变调整滤波器（12）接收到之前被抑制。

4. 根据权利要求 1 的方法，其特征在于所述要被评估的信号的所述比特流（10）中的空置比特包（86，88，90）在所述信号被所述跳变调整滤波器（12）接收到之前被抑制。

5. 一种用于测试电子器件的方法，其中所述用于测试的方法包括根据权利要求 1 的所述用于调整跳变的方法，其特征在于所述要被评估的信号的所述比特流（10）是所述电子器件的输出信号，所述输出信号是对一个被提供给所述电子器件的预置输入信号的响应。

6. 根据权利要求 5 的方法，其特征在于所述方法在所述电子器件中，和/或在所述电子器件的接口板中，和/或在所述电子器件外部的自动

测试设备中被实现。

7. 根据权利要求 5 的方法，其特征在于将所述调整比特流（18）与所述预置预期比特流（20）做比较，和作为所述比较的结果，自动决定所述电子器件是否满足给定的规范。

8. 一种用于调整信号的比特流（10）的系统，该信号的比特流（10）要通过在测试处理器（14）中将所述比特流（10）与预置期望比特流（20）做比较来被评估，所述系统包括：

被配置用于提供跳变帧信号（16）的测试处理器（14），所述跳变帧信号（16）提供了有关可以容忍非确定性延迟的非确定性延迟的时间位置的信息和所述比特流（10）的哪些比特为了信号评估的目的必须作为比特块被保持连贯的信息；

跳变调整滤波器（12），其被配置用于接收所述要被评估的信号的所述比特流（10），从所述测试处理器（14）接收所述跳变帧信号（16），并且根据所述跳变帧信号（16）调整所述接收到的信号的所述比特流（10），得到与所述预期比特流（20）对齐的所述调整比特流（18）的所述比特块。

跳变调整

技术领域

本发明涉及比特流中跳变（transition）的调整，更具体地说，涉及待测电子器件输出信号上的比特流中的跳变的调整。

背景技术

为了测试电子器件，尤其是提供数字电输出信号的集成电子电路，测试或激励信号被提供给被测器件（以下简称为 DUT）的输入端，而该 DUT 的响应信号被一个自动测试设备（以下简称为 ATE）所评估，例如通过与预期数据做比较。

现代集成电子电路的输出信号即使是被相同的激励信号所激励也经常显示出活动态之间的非确定性时钟延迟。在那些器件的生产测试期间，现有技术的测试设备会与期望比特的一个固定的预计算流做比特级的比较。即使 DUT 正确操作，出现非确定性行为时这些测试也会失败。

非确定性输出定时的原因主要是：引起未知的但是静态的定时变动的处理变动，引起未知且随时间变化的定时漂移的时钟插入延迟的温度变动，重起或启动时延迟后的初始随机比特，引起尤其是具有大幅（non-trivial）小比率（fractional ratios）的非确定性空置时间的跨时钟域的片上或片间信号，以及引起未知且非确定性定时变动的抖动。

发明内容

改善电子器件的测试是本发明的一个目的。

该目的通过本发明的第一个方面被实现。优选实施例构成本发明的其它方面。

本发明使用了和非确定性延迟可能的时间位置有关的知识，并将 DUT 输出信号滤波，使得在通过与预期比特流做比较而执行该比特流的评估之

前非确定性延迟被去除。

根据本发明，与非确定性延迟的可能的时间位置有关的信息以一种称为跳变帧（Transition Frame）的信号，尤其是硬件信号，的形式被提供。在一个优选实施例中，当跳变帧为低时，非确定性延迟就可被容忍。相应地，当跳变帧为高时，就不允许展宽，即与在传统的测试设备中类似，每一个比特必须如所预期的那样出现。

跳变调整模块充当一个滤波器，并使用跳变帧信号提供的信息从器件输出移动比特块，以使它们与预期比特流匹配，最好是在向量存储器中。跳变帧包括与比特段的长度和预期对齐方式有关的信息。跳变帧最好囊括（frame）从第一跳变到最后跳变的比特段，加上相同比特段中的多个拖后比特和/或下一个比特段中的多个前导比特。如果布局分辨率（placement resolution）是一个限制的话，跳变帧可从仿真定时处被补偿。

也就是说，根据本发明，调整是基于一种智能模式匹配算法的，该算法将 DUT 比特流与预期比特流比较，并使用帧形成信息来重调整 DUT 比特流的比特段，以使它们与预期比特流对齐。接收到的 DUT 比特流是与预期比特段相匹配的分段模式（segment wise pattern），如被预期比特流和帧形成信息所说明的那样。DUT 比特流中被模式匹配所标识出的比特段与预期比特流对齐了，且被对齐的比特流与预期比特流做比较。

本发明的一种可能的硬件实现可包括先进先出（FIFO）移位寄存器和/或二进制数字元件，如 JK 触发器、AND 元件等等。信号跳变被检测，且对被调整的比特来说，只要跳变帧信号处于一个预设值如 LOW 时，先前的值就会被重复。

用于生成跳变帧信号的信息可通过加入一个新的事件类型 WAIT 而被嵌入到预期波形中，该事件类型通知测试设备等待下一个跳变。新事件类型 WAIT 允许容忍跳变之间的漂移或相位跳转、非确定性启动时间和跳变之间的非确定性间隔。新的事件类型 WAIT 将跳变帧信号设置成 LOW。

利用 DUT 内部协议信息的 DUT 的仿真可自动将 WAIT 事件放置到预期波形中，例如 WAIT 事件可被放置在事务/包的边界处以标明事务/包之间

可容忍的非确定性延迟。

本发明的一个优选实施例可通过初始随机比特的启动抑制来容忍初始随机活动态，该活动态发生在例如一次启动之后。这些随机比特可用一个预设值如 LOW 来替代。此启动抑制可用作启动模式同步（Start Pattern Synchronization）。来自 DUT 的比特流可被存储在一个历史移位寄存器中并将作为一个比较结果而被传递，该比较是在存储于历史移位寄存器中的比特和一个启动模式掩码之间进行的。启动抑制可被实现成 ATE 的一部分，位于 DUT 的接口板上或 DUT 内部。

本发明的一个优选实施例可容忍有效载荷（valid payload）模式之间的非确定性空置包，以抑制所有由“空置包”引起的活动态，且因此跳变调整滤波器只接收到有效载荷比特包。空置包之前的最后一个比特最好在该空置包的持续时间之上被展宽，例如通过重复。空置抑制可被实现成 ATE 的一部分，位于 DUT 的接口板上或 DUT 内部。

如果只有非确定性启动延迟必须被容忍，跳变帧可从一个简单的计数器得出。

根据本发明的优选实施例，跳变调整是通用的，具体地说是独立于任何数据协议的。实现可非常有效地以可能的全数字形式被执行。被调整的比特流的比较可基于所预存储的模式。根据本发明的优选实施例，per-pin 体系结构可产生高可靠性、高性能和成本效益的集成。

根据一个优选实施例，本发明可部分或全部以硬件实现。作为另一种选择或附加方式，本发明可部分或全部地被一个或多个合适的软件所实现或支持，该软件可存储在任何类型的数据载体上，或者由数据载体所提供，且可在任何合适的数据处理单元中被执行，或被该单元执行。软件程序或例程最好应用在 ATE 中，该 ATE 可被硬件和/或软件单独实现，或者被硬件与软件的组合实现。硬件可部分或整体地在 DUT 中实现，或在 DUT 接口板上和 ATE 内部实现。

附图说明

本发明的其他目的和附属的优点可参照后续详细说明并结合附图考虑

而可容易地被认识到并更好地被理解。本质上或功能上相等或类似的特征将会以相同的标号指称。

图 1 以示意的形式示出了本发明的概况，
图 2 示出了根据本发明的信号图，
图 3 示出了一个根据本发明用于跳变调整的可能的设计概念，
图 4 示出了用于图 3 中的设计的信号图，
图 5 示出了根据本发明的一个优选实施例的启动抑制，
图 6 示出了根据本发明的一个优选实施例的空置包抑制，
图 7 示出了根据图 6 中的设计的信号图，
图 8 示出了本发明的优选实施例的概况，和
图 9 示出了根据图 8 中示出的配置的信号图。

具体实施方式

图 1 以示意图的形式示出了本发明的概况。比特流 10 从一个 DUT，如集成电子电路，被跳变调整滤波器 12 接收。跳变帧信号 16 从测试处理器 14 被提供给所述跳变调整滤波器 12。更具体地说，跳变帧信号 16 是被测试处理器 14 的数据源 14a 所驱动的。跳变帧信号 16 提供了用于消除所述接收到的信号的所述比特流 10 中的非确定性时钟延迟的信息。根据所述跳变帧信号 16 比特流 10 在跳变调整滤波器 12 内部被调整，产生一个与图 2 中示出的预期比特流 20 对齐的调整比特流 18。更具体地说，测试处理器 14 的接收通道 14b 将调整比特流 18 作为输入信号与预计算的预期比特流 20 比较。数据源 14a 和/或接收通道 14b 可被实现成传统的 ATE 通道，即一个驱动通道和/或一个接收通道。

预期比特流 20 依赖于提供给 DUT 的一个输入信号。一般地，该输入信号、预期比特流 20 和/或跳变帧信号 16 由电子器件的设计者或制造商提供，该电子器件的输出信号必须使用用于调整跳变的发明方法而被评估。或者，DUT 的一个能访问 DUT 内部协议信息的仿真可生成用以创建该跳变帧信号的必要信息。

在一个优选实施例中，调整比特流 18 的比特流 10 的评估在测试处理

器 14 内部被执行。相应地，预期比特流 20 一般存储在测试处理器 14 内部。

图 2 示出了根据本发明的信号图。在最上面的行中示出了预期比特流 20。第一和第二比特段 22、24 被一个停顿分开。跳变帧信号 16 表示了每个比特段 22、24 中的第一和最后一个信号跳变之间的信息的有效性。如可从接收到的比特流 10 中看出的那样，在接收到的比特流 10 中有一个非确定性和非恒定延迟。帧信号 16 被用来将接受到的比特流 10 调整成调整比特流 18。在此调整之后，调整比特流 18 可被容易地与预期比特流 20 做比较。

图 3 示出了一个根据本发明用于跳变调整的可能的设计概念。从 DUT 接收到的比特流被提供给第一延时元件 26（D 型触发器），该元件的输出被提供给第一比特流 FIFO 28 和异或（EXCLUSIVE-OR, EXOR）元件 30，比特流 10 也被输入到此 EXOR 元件。相应地，如果比特流 10 内部发生跳变，EXOR 元件 30 的输出只会是 HIGH。

EXOR 元件 30 的输出被输入到 J/K 型触发器 32，此触发器的输出作为用于 DATA IN（数据输入）的 CLOCK ENABLE（时钟允许）而被提供给第一 FIFO 28，也被作为用于 DATA OUT（数据输出）的 CLOCK ENABLE 而被提供给第二 FIFO 34。第二 FIFO 34 从 AND 元件 36 接收一个输入，该 AND 元件自身也被输入了反相的跳变帧信号 16 和被第二延时元件 38（D 型触发器）延时了的跳变帧信号 16。相应地，当跳变帧信号是紧随一个 HIGH 后的 LOW 时，连接到第二 FIFO 34 的数据输入端的 AND 元件 36 的输出只会是 HIGH。

另一方面，第二延时元件 38 的输出被用作第二 FIFO 34 和移位寄存器 40 的 DATA IN 的 CLOCK ENBALE 输入。移位寄存器 40 的输出被用作第一 FIFO 28 的 DATA OUT 的 CLOCK ENABLE。

相应地，当跳变帧信号 16 是 HIGH 时，第二 FIFO 34 包含了给最后时钟的比特值 HIGH，且当跳变帧信号 16 是 HIGH 时，该 FIFO 包含了给其他时钟的比特值 LOW。当跳变帧信号 16 是 LOW 时，没有记录写入。

第一 FIFO 28 只包含了属于跳变帧信号 16 的比特，从 DUT 的比特流

10 中的第一个跳变开始。当跳变帧信号 16 是 LOW 时, 前一个值就被重复, 即到最近一个跳变的间距被展宽了。

图 4 示出了图 3 中的设计的信号图。最上面的行中示出了预期比特流 20, 而其下则示出了跳变帧信号 16。所述跳变帧信号 16 提供的信息通过增加新的事件类型 WAIT W 的比特而被嵌入到所述预期比特流 20。如可被看到的那样, 接收到的比特流 10 没有与预期比特流 20 对齐。根据本发明, 接受到的比特流 10 被调整, 产生了与预期比特流 20 对齐的调整比特流 18, 且因此使得可容易地与预期比特流 20 比较。

跳变帧信号 16 囊括了从事务 23 的第一个跳变到同一个事务 23 的最后跳变之间的时间, 加上同一事务 23 中的非跳变拖后比特的数目和后续事务 25 的前导非跳变比特的数目, 或者换句话说, 从事务 23 的第一个跳变到同一事务 23 的最后一个比特再加上后续事务 25 的前导非跳变比特的时间。

图 5 示出了根据本发明的一个优选实施例的启动抑制。比特流 10 被输入到第一历史移位寄存器 42。第一历史移位寄存器 42 的内容被第一比较装置 44 与启动模式掩码 46 做比较。第一比较装置 44 的输出被输入到 JK 触发器 48, 此触发器的输出与第一历史移位寄存器 42 的输出一起被输入到第二 AND 元件 50。在第二 AND 元件 50 的输出端提供了一个输出信号 52, 此信号中如在重起后的初始随机比特被消除了。如在图 9 左边的部分所示, 如后所述, 输出信号 52 保持在 LOW, 一直到启动模式已被识别。从那一时刻起, 比特流以不变的方式传播到输出端。

图 6 示出了一种提供空置包抑制的设计。DUT 的比特流 10 或根据图 5 的启动抑制设计的输出信号 52 可用作第二历史移位寄存器 64 的输入。第二历史移位寄存器 64 的内容, 以及一个空置模式掩码 68 的内容, 被输入到第二比较装置 66。第二比较装置 66 的输出被输入到计数器 70 和 D 型触发器 72。另外, 计数器 70 从一个长度存储装置 74 接收输入, 该长度存储装置提供空置包的长度。触发器 72 的输出被输入到二进制元件 76, 此元件也接收计数器 70 和第二历史移位寄存器 64 的输出。二进制元件 76 的输出作为空置包抑制输出信号 78 而被提供, 此信号被反馈给触发器 72。

图 7 示出了根据图 6 中示出的设计的信号图。可以看出，输出信号 52 中的第一和第二空置段 54、56 期间的信号跳变被消除了，且只有有效的比特段或有效载荷 58、60 和 62 才被输出信号 52 中的相应信号跳变所表示。

图 8 示出了本发明的优选实施例的概况，其中从 DUT 接收到的信号 10 被输入到跳变跟踪单元 80，此单元未在本申请中进一步公开且会接收过度采样时钟（over-sampling clock）82。跳变跟踪单元 80 的输出被输入到图 5 中示出的启动抑制设计，提供了一个输出信号 52，此信号被输入到图 6 中示出的空置包抑制设计。结果空置包抑制输出信号 78 最终被输入到图 1 中示出的跳变调整滤波器 12。

图 9 示出了根据图 8 所示的配置的信号图。从 DUT 接收到的比特流 10 包括初始随机比特 84 和空置包 86、88、90 和有效的（有效载荷）比特段 92、94、96。在根据图 5 的启动抑制设计的输出信号 52 内部，初始随机比特 84 被消除了。在由根据图 6 的空置包抑制单元输出的空置包抑制输出信号 78 中，相应的空置包 86、88、90 被抑制了。输出信号 78 中剩余的比特根据跳变帧信号 16 被调整，以产生与预期比特流 20 对齐的调整比特流 18，且因此使得可容易地与预期比特流 20 做比较。

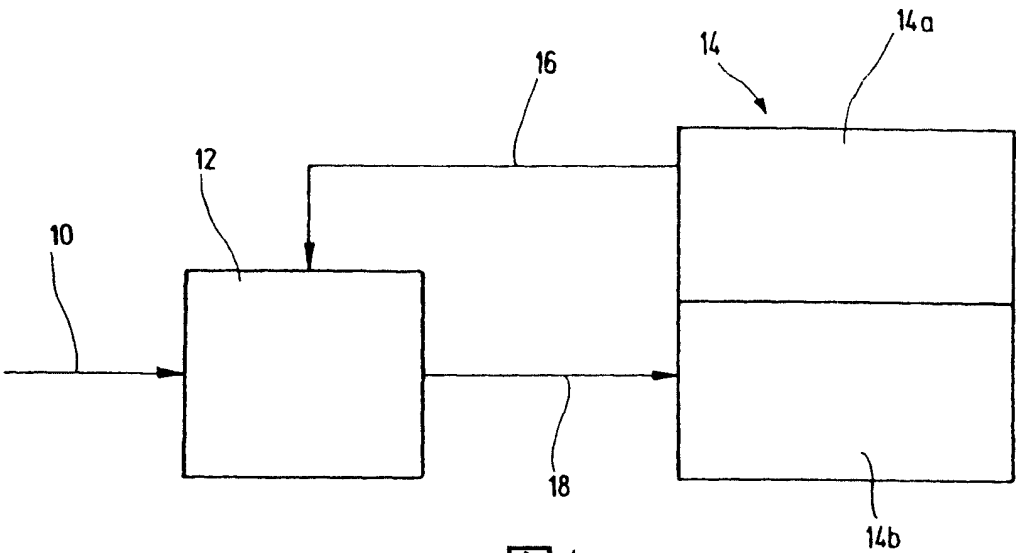


图1

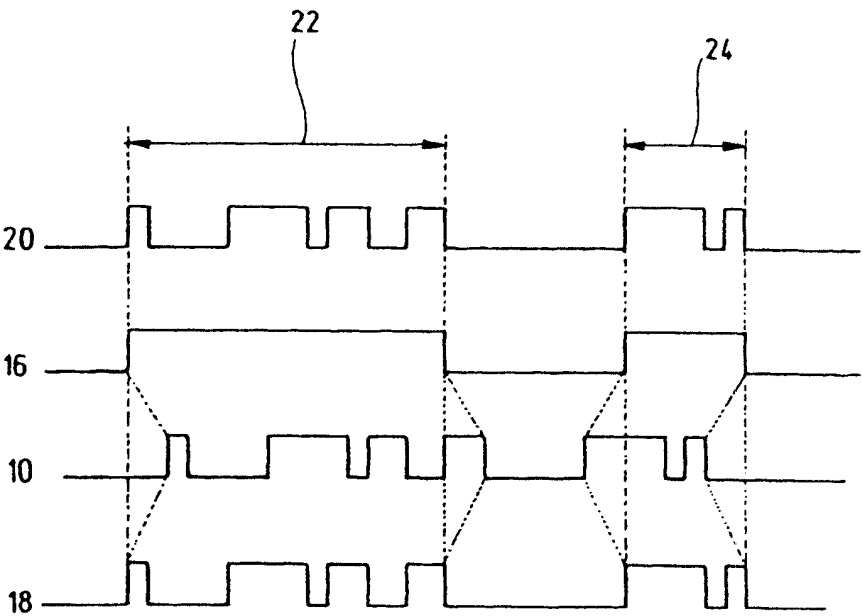


图2

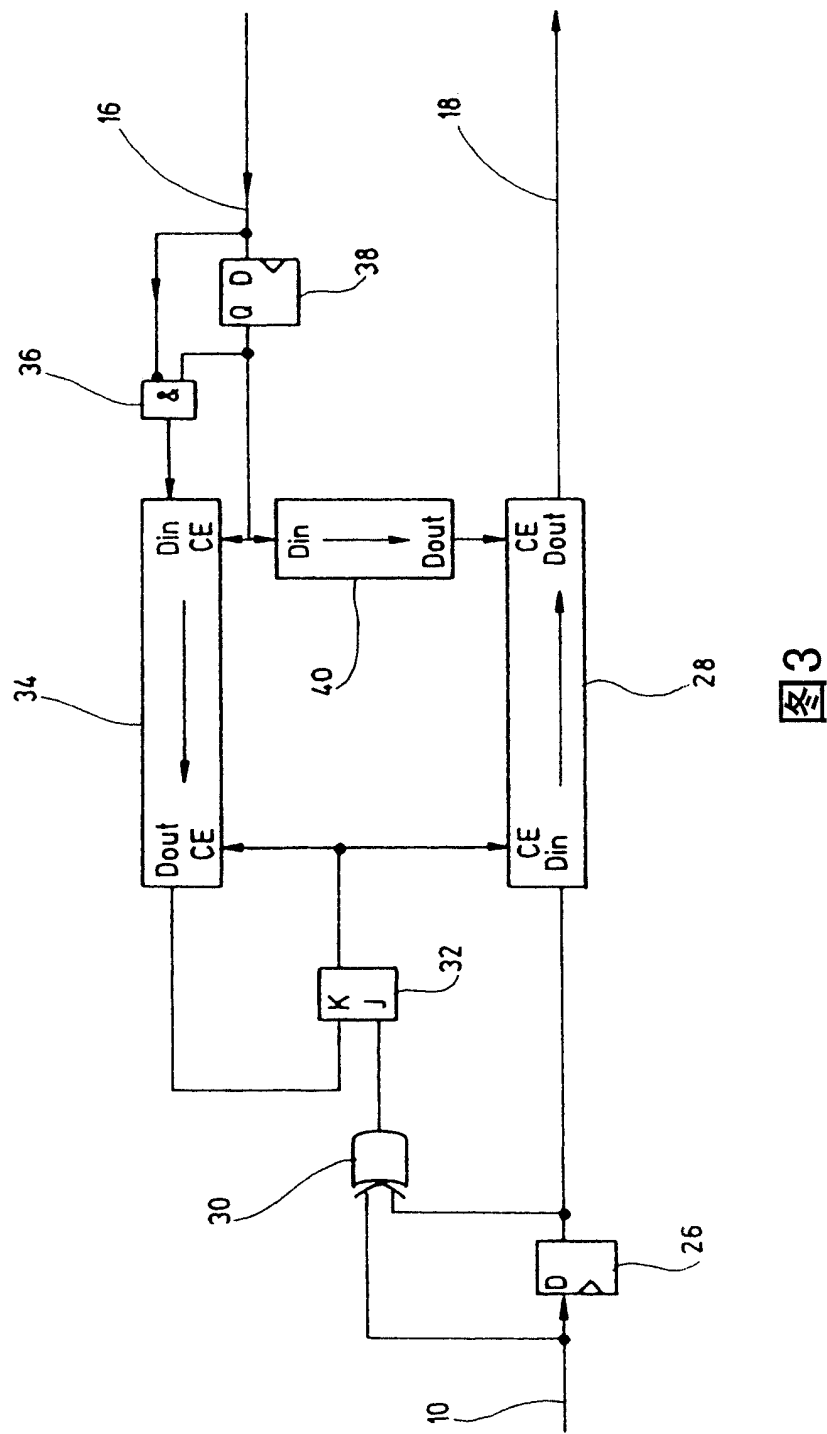


图3

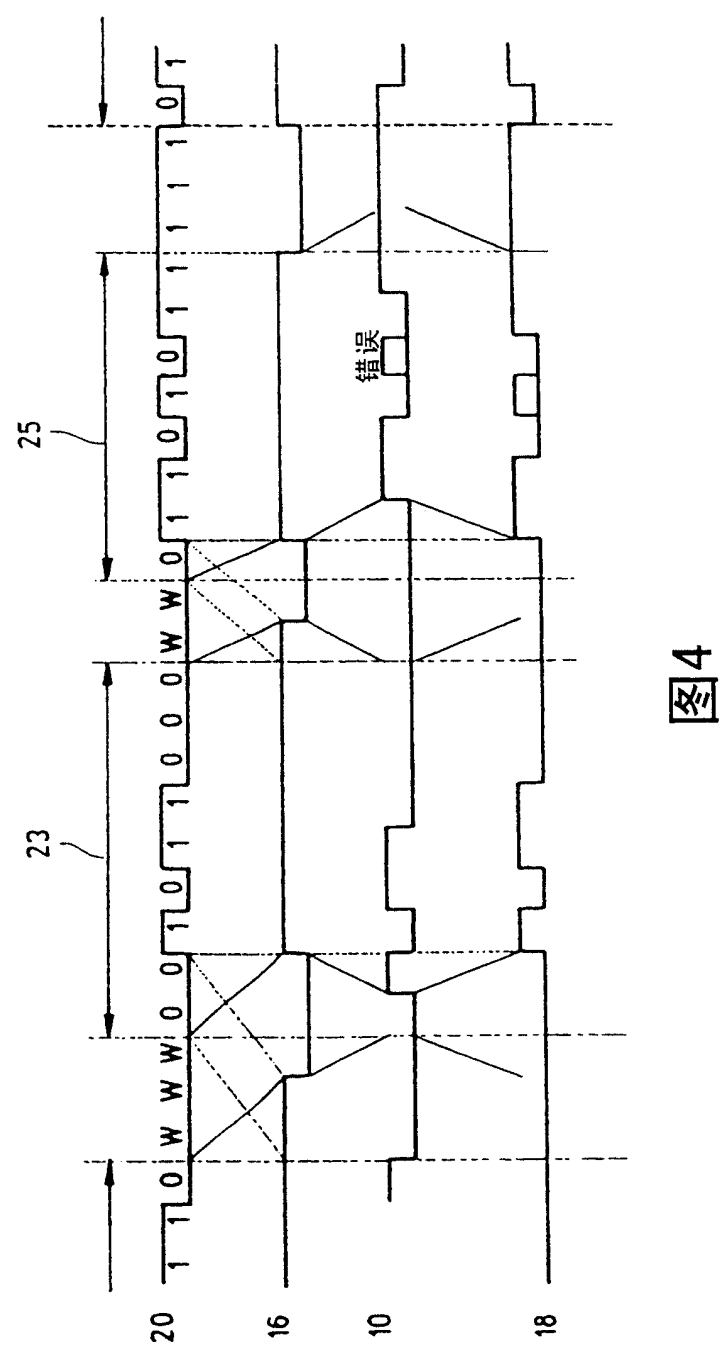


图4

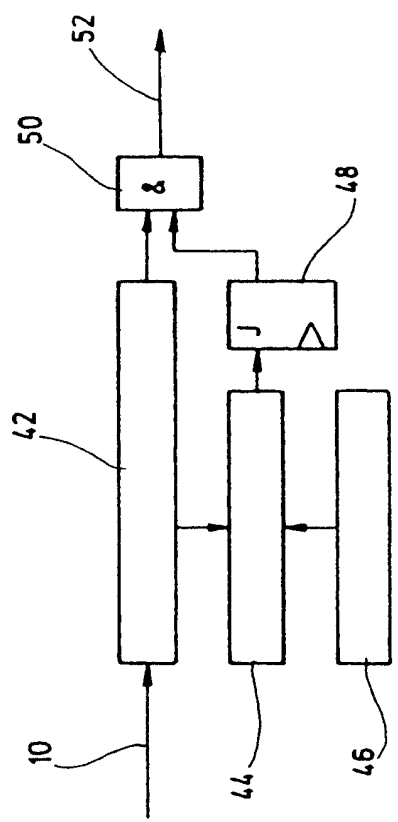


图5

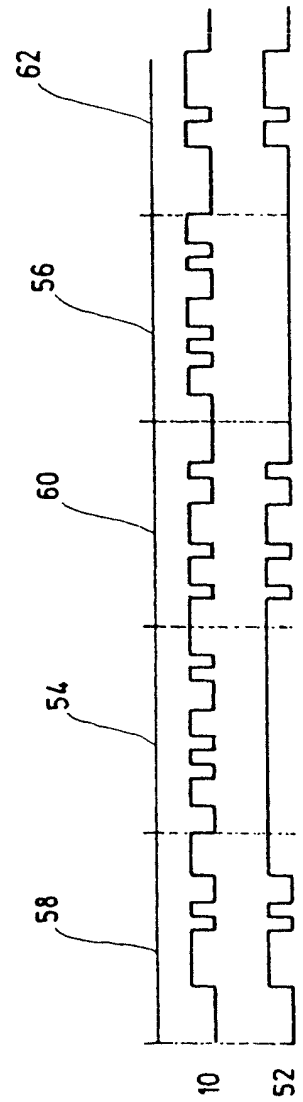


图7

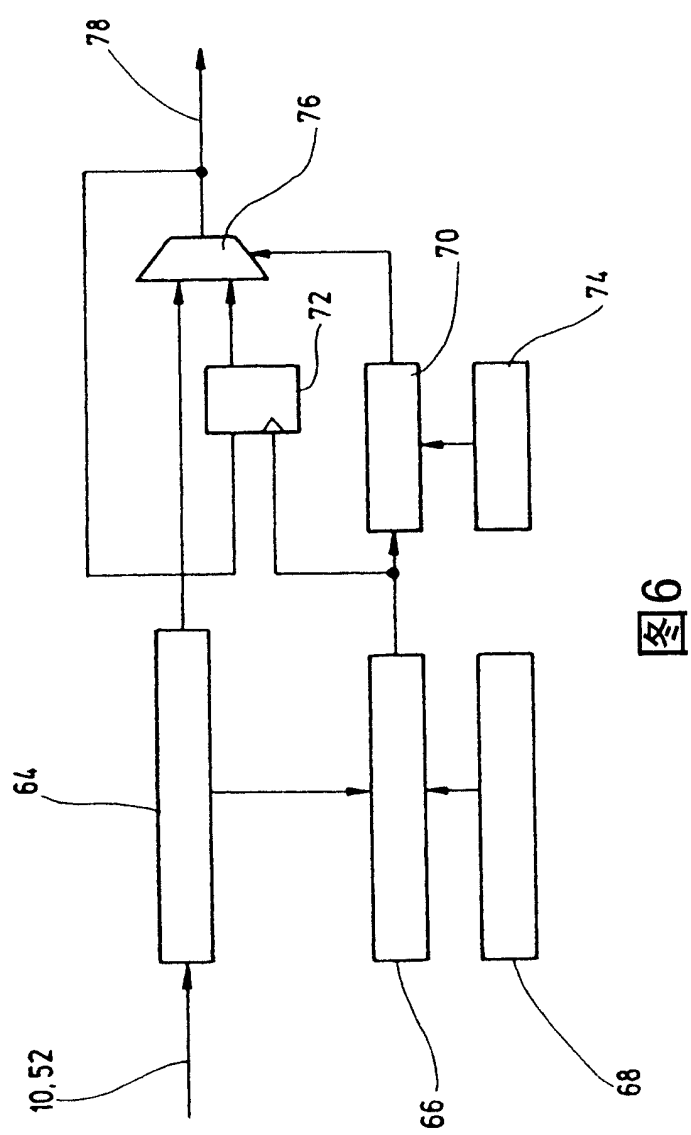


图6

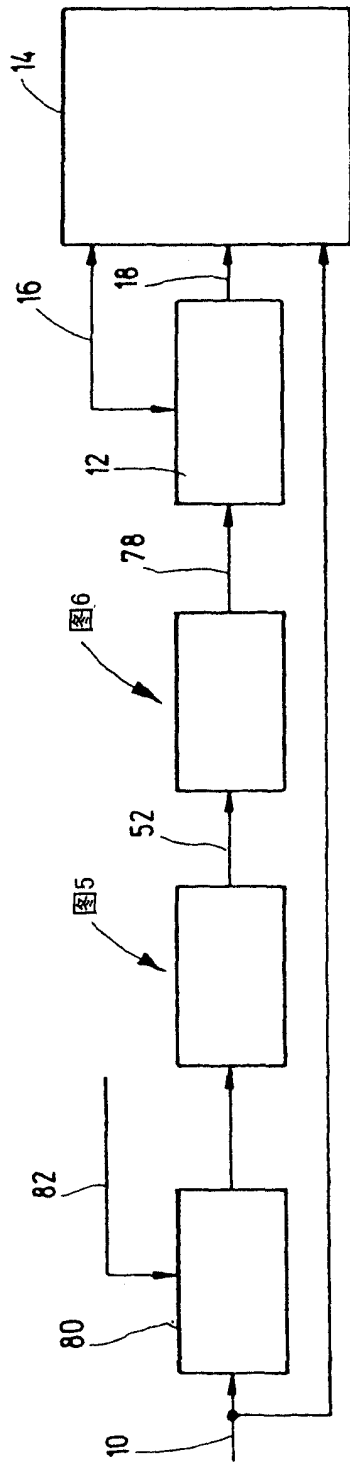


图8

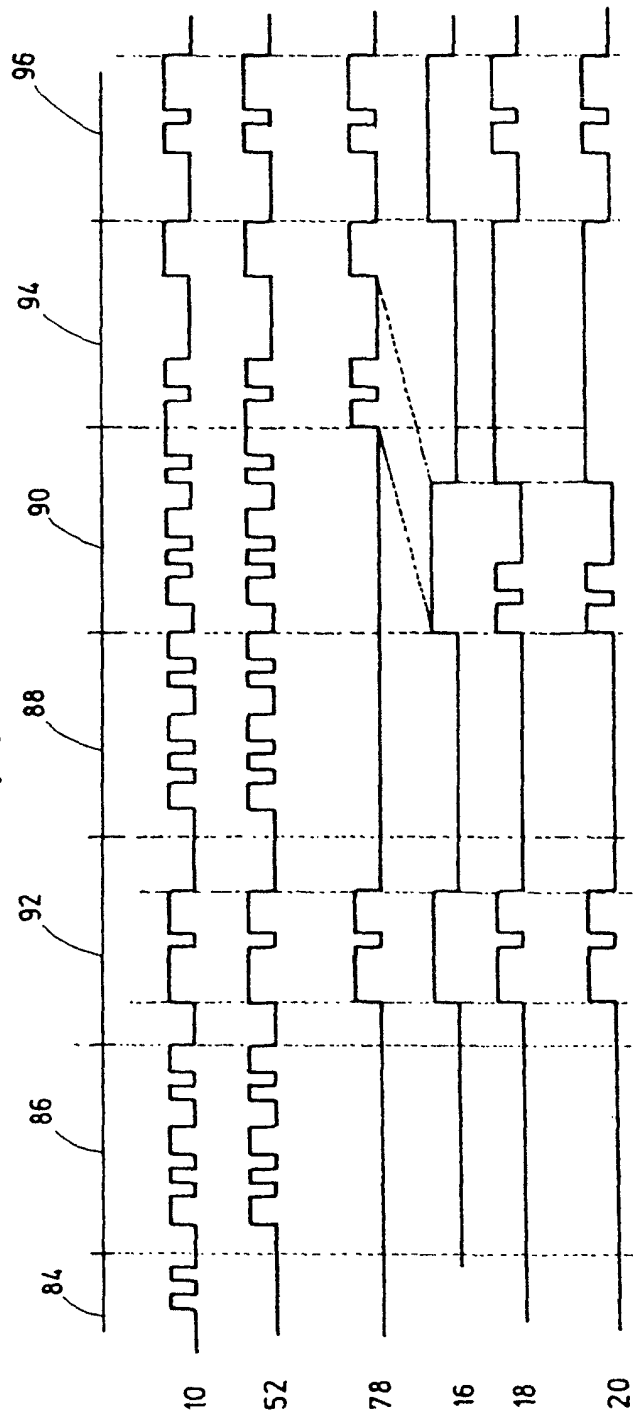


图9