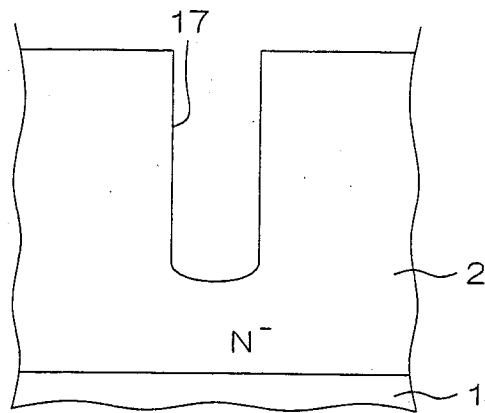
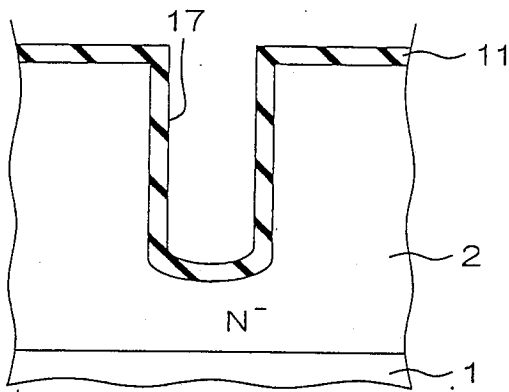


第1圖

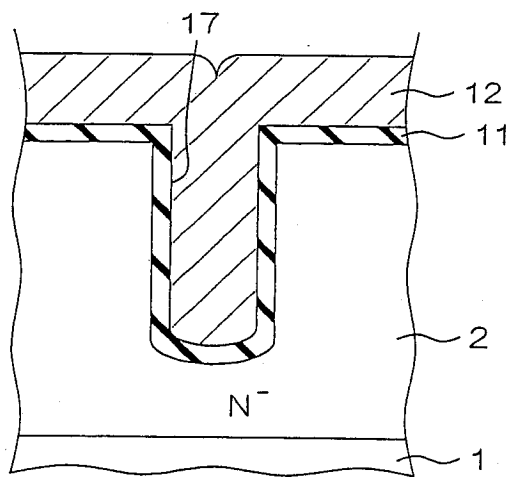
第2(a)圖



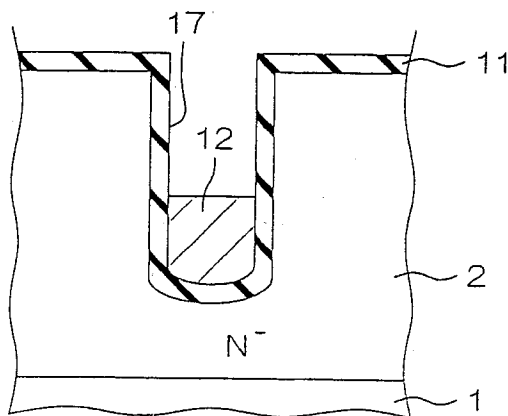
第2(b)圖



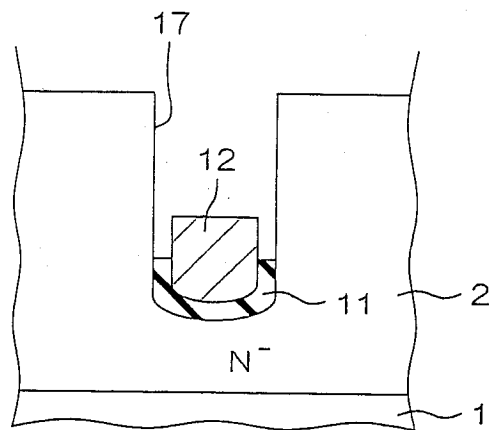
第2(c)圖



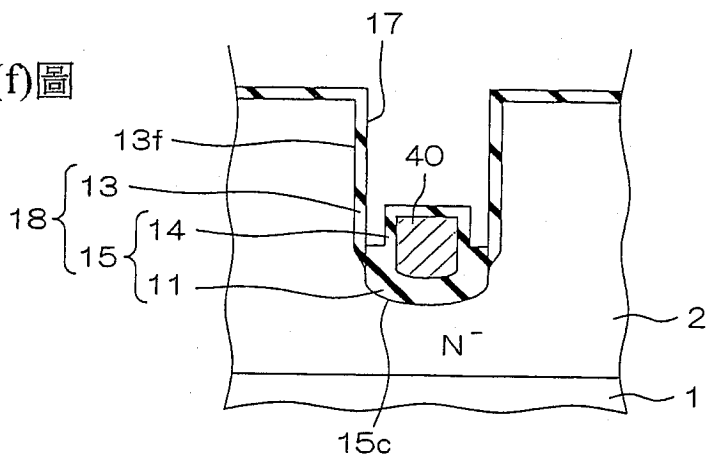
第2(d)圖



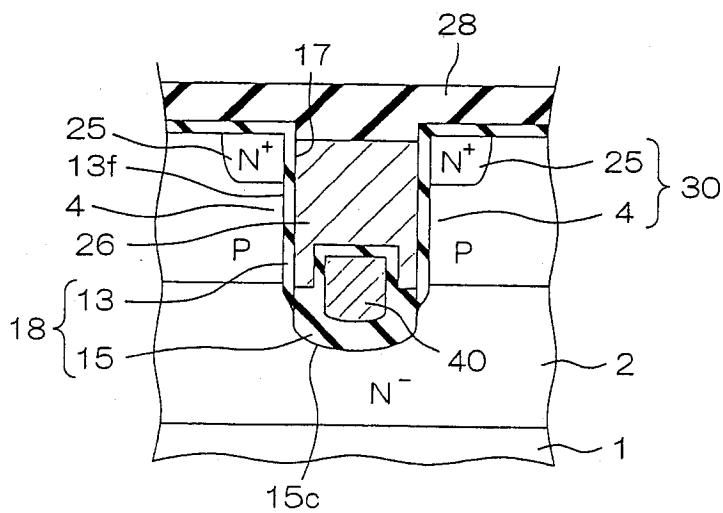
第2(e)圖

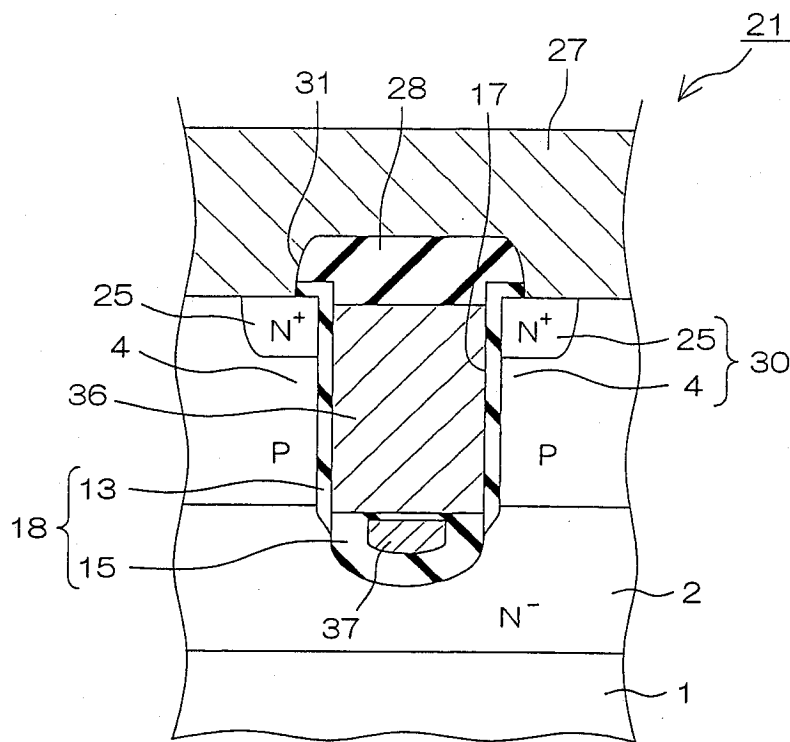


第2(f)圖

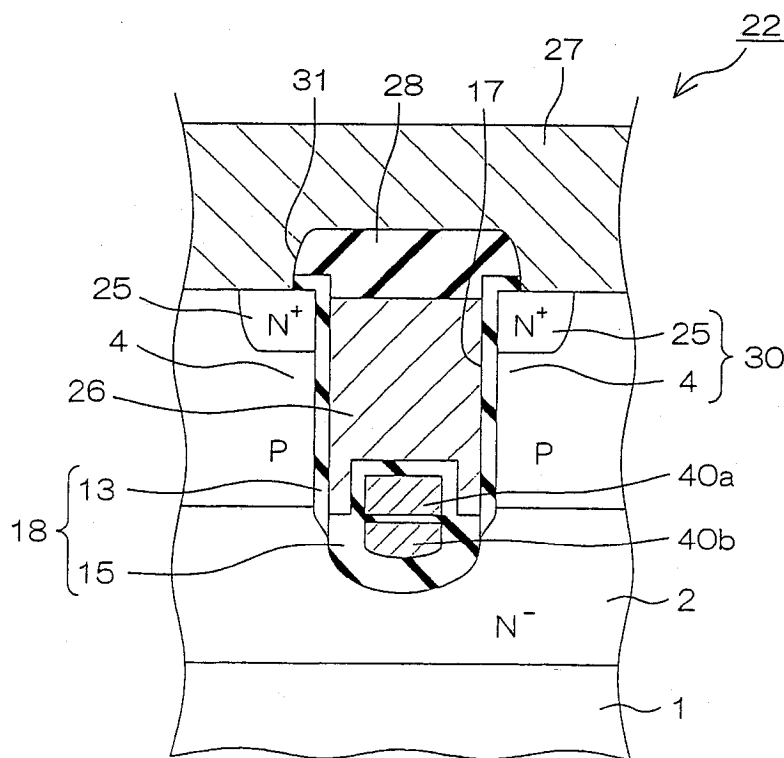


第2(g)圖

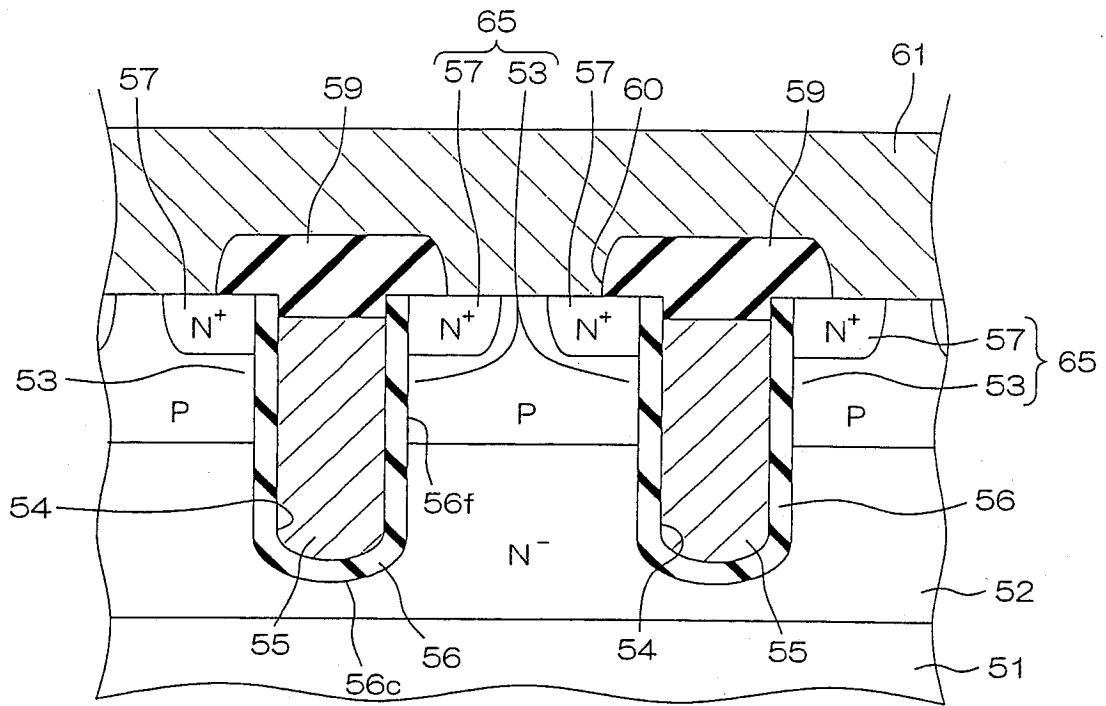




第 3 圖



第 4 圖



第 5 圖

97年11月06日(修正)正替換頁  
(此處由本局於收)  
文時黏貼條碼

# 發明專利說明書

本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫

※申請案號：92135699

※申請日期：92-12-17

※IPC 分類：H01L29/94 (2006.01)

## 壹、發明名稱：(中文/英文)

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR MAKING THE SAME

## 貳、申請人：(共1人)

姓名或名稱：(中文/英文)

羅姆股份有限公司 / ROHM CO., LTD.

代表人：(中文/英文) 佐藤研一郎 / SATO, KENICHIRO

住居所或營業所地址：(中文/英文)

日本國京都府京都市右京區西院溝崎町21番地

21, Saiin Mizosaki-cho, Ukyo-ku, Kyoto-shi, Kyoto, Japan

國籍：(中文/英文) 日本國 / JAPAN

## 參、發明人：(共1人)

姓名：(中文/英文)

高石昌 / TAKAISHI, MASARU

住居所地址：(中文/英文)

日本國京都府京都市右京區西院溝崎町21番地 羅姆股份有限公司內

c/o ROHM CO., LTD., 21, Saiin Mizosaki-cho, Ukyo-ku, Kyoto-shi, Kyoto, Japan

國籍：(中文/英文)

日本國 / JAPAN

## 肆、聲明事項：

本案係符合專利法第二十條第一項  第一款但書或  第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家(地區)申請專利  主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本國；2003年01月28日；特願2003-019066(主張優先權)

2.

3.

4.

5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

## 玖、發明說明：

### 【發明所屬之技術領域】

本發明乃關於具備溝渠構造之半導體裝置及其製造方法，尤其是關於具備溝渠構造之高頻率切換用金屬化合物半導體電場效應電晶體(Metal Oxide Semiconductor Field Effect Transistor，以下簡稱 MOSFET)及其製造方法。

### 【先前技術】

第 5 圖係顯示形成有具備習知溝渠構造之 MOSFET 之半導體裝置的構造之圖解性的剖面圖。

於矽基板 51 的表面上形成 N<sup>-</sup>磊晶層 52，於該 N<sup>-</sup>磊晶層 52 上形成擴散區域 65。貫通擴散區域 65 並到達 N<sup>-</sup>磊晶層 52 的厚度方向途中之複數個溝渠 54，以每隔一定的間隔來形成。於溝渠 54 的內部中，配置了藉由雜質的植入而成為可導電性的多晶矽所構成的閘極電極 55。

沿著溝渠 54 的內側壁，設置閘極氧化膜 56。亦即，閘極電極 55 與 N<sup>-</sup>磊晶層 52 及擴散區域 65，係夾著閘極氧化膜 56 而互為對向。溝渠 54 的內側壁係呈大致平坦的面，溝渠 54 的底部形成突出於矽基板 51 側之彎曲面。順應如此之溝渠 54 的形狀，閘極氧化膜 56 與擴散區域 65 及 N<sup>-</sup>磊晶層 52 的界面，具備平坦面 56f 及彎曲面 56c。平坦面 56f 於擴散區域 65 中，為具備特定面方位的面，並幾乎沿著當電流沿著此面流通之際會使電阻值變低的面。

於擴散區域 65 的表層部上，於溝渠 54 的周邊(邊緣部)上，形成 N<sup>+</sup>源極區域 57。擴散區域 65 的殘留部分則成為

P型的通道區域 53。

由氧化矽所構成之絕緣膜 59，覆蓋溝渠 54 的上方的方式形成。絕緣膜 59 以平面來看，亦存在於溝渠 54 的邊緣部( $N^+$ 源極區域 57 上)。而所鄰接的 2 個絕緣膜 59 之間，則成為接觸孔 60。於擴散區域 65 及絕緣膜 59 上面，設置由鋁等金屬所組成的電極膜 61。該電極膜 61 係以埋入於接觸孔 60 的方式來形成。

於以上的半導體裝置產生動作(ON 的狀態)之際，電流(汲極電流)於  $N^+$ 源極區域 57 及  $N^-$ 磊晶層 52 之間流通。汲極電流於通道區域 53 中的閘極氧化膜 56 旁邊，沿著閘極氧化膜 56 流通。

如此的半導體裝置，揭示於有如日本特開平 8-167711 號公報者。

然而，具備上述構造的半導體裝置，並不適用於高頻率的切換用途(switching)(例如 DC-DC 轉換器)者。適用於如此用途的半導體裝置，乃要求具備低導通電阻(On-Resistance)及低切換損失的特性，但是於具備上述構造的半導體裝置中，無法同時兼顧低導通電阻及低切換損失。理由如下。

因為汲極電流於閘極氧化膜 56 的旁邊沿著閘極氧化膜 56 流通，因此，通道區域 53 與彎曲面 56c 接觸的話，則汲極電流於彎曲面 56c 旁邊，沿著彎曲面 56c 流通。因此，由於汲極電流的流通路徑包含脫離具備電阻值較低的面方位之路徑，因此導通電阻變高。因此，為了降低導通

電阻，即如第 5 圖所示，必須使通道區域 53 對於閘極氧化膜 56 僅僅接觸於平坦面 56f。亦即，使彎曲面 56c 與 N<sup>-</sup>磊晶層 52 全面接觸。

然而，由於此，使閘極電極 55 與 N<sup>-</sup>磊晶層 52 的對向面積變大，因而使 N<sup>-</sup>磊晶層 52 及閘極電極 55 之間的電容，亦即汲極及閘極電極之間的電容 C<sub>DG</sub> 變大，因此切換損失亦變大。

例如，具備上述構造的半導體裝置，雖然可以以 300KHz 的頻率加以驅動來使用，但是難以以 1MHz 的頻率來加以驅動。

藉由使溝渠 54 的底面成為平坦面，並形成使溝渠 54 對 N<sup>-</sup>磊晶層 52 之深度較淺，而減小閘極電極 55 與 N<sup>-</sup>磊晶層 52 相對向部分之面積，可使汲極及閘極之間的電容 C<sub>DG</sub> 變小。但是，難以使溝渠 54 形成如此的形狀，並且，即使可形成如此的形狀，於溝渠 54 的底面及內側壁之間將形成角部，而使電場集中於此角部而無法具備良好的特性。

#### 【發明內容】

本發明的目的在於提供可降低導通電阻且可降低切換損失之半導體裝置。

本發明的其他目的在於提供可降低導通電阻且可降低切換損失之半導體裝置的製造方法。

本發明的半導體裝置包含：形成於半導體基板的表層部之第 1 導電型的通道區域，及形成於具備貫通此通道區域的深度之溝渠的邊緣之與上述第 1 導電型不同的第 2 導

電型的源極區域，及形成於與上述溝渠的底部鄰接的區域之上述第 2 導電型的汲極區域，及沿著上述溝渠的內側壁而形成之閘極絕緣膜，及於上述溝渠中，以夾著上述閘極絕緣膜並與上述通道區域對向之方式配置之閘極電極，及於上述溝渠中，形成於上述閘極電極之靠上述汲極區域側之導電層，及包覆上述導電層的周圍，而將上述導電層與上述閘極電極及上述汲極區域之間作電氣絕緣之絕緣層。

根據本發明，藉由使閘極電極達到一定大小以上的電位，而可經由通道區域，於源極區域及汲極區域之間流通電流(汲極電流)。亦即，此半導體裝置具備 MOSFET 的功能。

於閘極電極及汲極區域之間，依序配置絕緣膜、導電層(包含導電化的半導體層，以下相同)、以及絕緣膜。因此，從閘極電極至汲極區域為止的部分，相當於串聯連接多數個電容器。例如，導電層為 1 個之情形時，可視為於閘極電極及汲極區域之間，串聯連接 2 個電容器。因為串聯連接的多數個電容器之合成電容量，較各個電容器的電容量還小，因此可降低閘極電極及汲極區域之間的電容量。

此外，導電層亦可為複數個，而絕緣層亦可形成於這些複數個導電層之間。於此情況下，從閘極電極至汲極區域為止的部分，相當於串聯連接 3 個以上的電容器，而閘極電極及汲極區域之間電容量則變得更低。

溝渠的內側壁可為大致平坦的平坦面，此平坦面為具備於通道區域中之特定面方位的面，且可沿著當電流沿著

此面流通時電阻值會變低的面。於溝渠的底部形成彎曲面的情況下，可使彎曲面之全區域對向於汲極區域，而可僅僅使溝渠的平坦面，與通道區域對向。

因為由此汲極電流可以僅僅沿著具有電阻值變低的面方位的面流通，因而可降低導通電阻。此外，沿者此彎曲面，閘極電極及汲極區域於廣泛範圍對向的情況下，在閘極電極及汲極區域之間的電容較小，因此可降低此半導體裝置的切換損失。

亦可於半導體基板的表面上，形成磊晶(Epitaxial)層，於此情況下，通道區域、源極區域及汲極區域亦可形成於磊晶層。

於此半導體裝置的半導體部分由矽組成的情況下，絕緣層中之存在於導電層及汲極區域之間的部分及閘極絕緣膜，亦可由例如對溝渠的內壁進行氧化而形成的氧化矽構成。

導電層可由藉由雜質的植入而成為導電性的多晶矽所構成。

藉由雜質的植入而成為導電性的多晶矽膜之形成，於半導體裝置的製成中被普遍的採用。因此，於形成由如此的多晶矽所構成的導電層時，並不需要採用特殊的裝置。關於導電性的多晶矽，可藉由例如化學氣相沉積(Chemical Vapor Deposition, 以下簡稱 CVD)法來形成多晶矽膜之後，於此多晶矽膜上進行雜質的離子植入來獲得。

於此情況下，存在於絕緣層中的導電層及閘極電極之

間的部分，亦可使導電層的一部分氧化所形成的氧化矽來構成。

本發明的半導體裝置的製造方法，為用於製造具備下述各構成特徵之半導體裝置：形成於半導體基板的表層部之第1導電型的通道區域，及形成於具備貫通此通道區域的深度之溝渠的邊緣之與上述第1導電型不同的第2導電型的源極區域，及形成於與上述溝渠的底部鄰接的區域之上述第2導電型的汲極區域，及沿著上述溝渠的內側壁而形成之閘極絕緣膜，及於上述溝渠中，以夾著上述閘極絕緣膜並與上述通道區域對向之方式配置之閘極電極，及於上述溝渠中，形成於從上述閘極電極靠上述汲極區域側之導電層，及包覆上述導電層的周圍，而將上述導電層與上述閘極電極及上述汲極區域之間作電氣絕緣之絕緣層之半導體裝置之製造方法。

此製造方法包含：於半導體基板的表層部上形成上述第2導電型的磊晶層之製程；於此磊晶層形成上述溝渠之製程；於上述溝渠的底部形成第1絕緣層之製程；於形成此第1絕緣層的製程之後，於上述溝渠中，於上述第1絕緣層上形成上述導電層之製程；於形成此導電層的製程之後，於此導電層的露出表面上，形成上述第1絕緣層及構成上述絕緣層的第2絕緣層之製程；及沿著上述溝渠的內側壁形成上述閘極絕緣膜之製程；於上述溝渠中，形成藉由上述絕緣層而與上述導電層電氣絕緣之上述閘極電極之製程；於上述磊晶層，為了夾著上述閘極絕緣膜並與上述

開極電極對向而形成上述第 1 導電型的上述通道區域之製程，及於上述磊晶層中與上述溝渠的邊緣對應之區域，形成上述第 2 導電型的上述源極區域之製程。

汲極區域可為，例如於形成通道區域及源極區域之後的磊晶層之剩餘部分。

形成通道區域之製程及形成源極區域之製程，可於形成溝渠的製程之前實施，亦可於形成溝渠的製程之後實施。

形成上述第 1 絕緣層的製程亦可包含，對上述溝渠的內壁進行熱氧化而形成犧牲氧化膜之製程，及殘留存在於上述溝渠底部的部分而去除犧牲氧化膜之製程，此時，形成上述第 2 絕緣層的製程可包含使上述導電層的露出面氧化之製程。

根據此構成，藉由犧牲氧化膜的形成及去除，可使去除犧牲氧化膜後的溝渠的內壁更為平坦。藉此，可使汲極電流於通道區域中，沿著電阻值變低的面方位的面來流通，因而可降低導通電阻。

犧牲氧化膜的去除，亦可僅僅於形成有開極絕緣膜的部分，亦即於開極電極及通道區域的對向部分進行，而殘留剩下的部分來做為絕緣層的一部分。藉此，可不需大幅增加製程而形成絕緣層。絕緣層的其他部分可藉由使導電層的露出表面氧化來形成。以熱氧化而形成開極絕緣膜時，可同時使導電層的露出表面氧化。

形成上述開極電極的製程亦可包含，形成藉由雜質的植入而成為導電性的多晶矽膜之製程。

本發明中之上述的目的或是其他目的、特徵及效果，可參照附加的圖式並藉由接下來的實施型態的說明，來更清楚的顯現。

### 【實施方式】

第 1 圖係顯示，本發明的一實施型態之半導體裝置 20 的構造之圖解性的剖面圖。半導體裝置 20 為高頻切換用之 MOSFET。

於矽基板 1 的表面上形成 N<sup>-</sup>磊晶層 2，於 N<sup>-</sup>磊晶層 2 上形成擴散區域 30。貫通擴散區域 30 並到達 N<sup>-</sup>磊晶層 2 的厚度方向途中之複數個溝渠 17，每隔一定的間隔來形成。各個溝渠 17 以互相大致垂直的方式，向垂直於第 1 圖的紙面方向延伸。溝渠 17 的內側壁係為大致平坦的面，而溝渠 17 的底部形成為突出於矽基板 1 側之彎曲面。

於溝渠 17 的內部中，配置了藉由雜質的植入而成為導電性的多晶矽所構成的閘極電極 26 及導電層 40。導電層 40 於溝渠 17 的凹部 (N<sup>-</sup>磊晶層 2 側)，配置於與 N<sup>-</sup>磊晶層 2 及擴散區域 30 對向的區域上。閘極電極 26 於溝渠 17 中之較導電層 40 還淺的部分上，與導電層 40 隔開配置。此外，閘極電極 26 於溝渠 17 的凹部中，插入於擴散區域 30 及導電層 40 之間。

於沿著溝渠 17 的內側壁的區域上，形成閘極氧化膜 13。閘極電極 26 與擴散區域 30 夾著閘極氧化膜 13 而互為對向。導電層 40 的周圍以氧化層 15 來包覆。因此，氧化層 15 乃存在於導電層 40 及閘極電極 26 之間，及導電層

40 及 N<sup>-</sup>磊晶層 2 之間。藉此，導電層 40 與閘極電極 26 及 N<sup>-</sup>磊晶層 2 之間，具電氣性的絕緣。閘極氧化膜 13 與氧化層 15 形成一體的氧化膜 18。

閘極氧化膜 13 及擴散區域 30 的界面，乃順應溝渠 17 的形狀而形成大致平坦的平坦面 13f。平坦面 13f 為於通道區域 4 中之特定面方位的面，並大致沿著當電流沿著此面流通之際會使電阻值變低的面。所謂的特定面方位，例如為(1, 0, 0)。此外，氧化層 15 及 N<sup>-</sup>磊晶層 2 的界面，乃順應溝渠 17 的形狀而具備突出於矽基板 1 側之彎曲面 15c。擴散區域 30 僅以平坦面 13f 而接觸於氧化膜 18，並不與彎曲面 15c 接觸。

於擴散區域 30 的表層部，形成 N<sup>+</sup>源極區域 25，而擴散區域 30 的殘留部分則成為 P 型的通道區域 4。N<sup>+</sup>源極區域 25 形成於溝渠 17 的周邊(邊緣部)。

於閘極電極 26 上形成由氧化矽所構成之絕緣膜 28。絕緣膜 28 以平面來看，會達到溝渠 17 的邊緣部(N<sup>+</sup>源極區域 25 上)。而所鄰接的 2 個絕緣膜 28 之間，則成為接觸孔 31。於擴散區域 30 及絕緣膜 28 上面，設置由鋁等金屬所組成的電極膜 27。電極膜 27 以埋入於接觸孔 31 的方式來形成，並與露出於接觸孔 31 內的擴散區域 30 接觸。

於以上的半導體裝置 20 中，於 N<sup>+</sup>源極區域 25 及 N<sup>-</sup>磊晶層 2 之間施加適當的電壓，藉由使閘極電極 26 維持於一定大小的電位，使汲極電流於 N<sup>+</sup>源極區域 25 及 N<sup>-</sup>磊晶層 2 之間流通。亦即，N<sup>-</sup>磊晶層 2 具備汲極區域的功能。

汲極電流於通道區域 4 中，沿著閘極氧化膜 13 流通。此時，汲極電流沿著閘極氧化膜 13 的平坦面 13f 流通，並不會沿著彎曲面 15c 流通。因此，由於汲極電流於通道區域 4 中，沿著電阻值變低的面方位的面來流通，因此導通電阻較低。如此的半導體裝置 20 的導通電阻，可例如為  $5\text{m}\Omega$  至  $7\text{m}\Omega$ ，或是以下。

此外，於閘極電極 26 及  $\text{N}^-$  磊晶層 2 之間，依序配置氧化層 15、導電層 40、氧化層 15。因此，從閘極電極 26 至  $\text{N}^-$  磊晶層 2 為止的部分，相當於串聯連接 2 個電容器。串聯連接 2 個電容器的合成電容量，較各個電容器的電容量還小。因此，儘管閘極電極 26 及  $\text{N}^-$  磊晶層 2 介於彎曲面 15c 而以較寬廣的面積來對向，但仍可降低閘極電極 26 及  $\text{N}^-$  磊晶層 2 之間的電容量，亦即可降低汲極及閘極電極之間的電容  $C_{\text{DG}}$ 。因此，如此的半導體裝置 20 的切換損失亦小。

採用如此的半導體裝置 20(MOSFET)，以 1MHz 來驅動 CPU(Central Processing Unit，中央處理單元)的情況下，例如以 1.3V 來驅動 CPU 之際，可使電力轉換效率(相對於輸出電力之輸入電力的比率)達到約 85%，以 3.3V 或是 5V 來驅動 CPU 之際，可使電力轉換效率達到約 90%。

第 2(a)圖至第 2(g)圖係顯示，用於說明第 1 圖所示之半導體裝置的製造方法之圖解性的剖面圖。

首先，於矽基板 1 的表面上形成  $\text{N}^-$  磊晶層 2。接下來藉由反應性離子蝕刻(Reactive Ion Etching, RIE)，來形成

具備一定深度的溝渠 17。溝渠 17 的底部形成為突出於矽基板 1 側之彎曲面。此狀態乃顯示於第 2(a)圖。

繼之對經由以上製程的矽基板 1 的暴露表面，亦即對溝渠 17 的內壁及 N<sup>-</sup>磊晶層 2 的表面進行熱氧化，而形成犧牲氧化膜 11。犧牲氧化膜 11 的厚度例如約為 1500 Å 至 3000 Å (例如 2000 Å)。此狀態乃顯示於第 2(b)圖。

之後，藉由 CVD 法，於經由以上製程的矽基板 1 上面，以埋入於溝渠 17 內部的方式，來形成多晶矽膜 12(參照第 2(c)圖)。繼之，植入雜質於多晶矽膜 12 內，使多晶矽膜 12 成為導電性。再者，殘留多晶矽膜 12 之存在於溝渠 17 底部的部分，其餘則以回蝕刻(etch back)加以去除(參照第 2(d)圖)。

繼之，蝕刻犧牲氧化膜 11。此時，使多晶矽膜 12 的側壁的一部份露出，而使 N<sup>-</sup>磊晶層 2 及多晶矽膜 12 之間的犧牲氧化膜 11(溝渠 17 底側的部分)殘留。

去除了犧牲氧化膜 11 後的部分的溝渠 17 的寬度，僅僅變得稍寬。此外，去除了犧牲氧化膜 11 後的溝渠 17 的內壁呈大致平坦的面。此狀態乃顯示於第 2(e)圖。

對經由以上製程的矽基板 1 的露出表面進行熱氧化。藉此，於溝渠 17 的內側壁上，形成閘極氧化膜 13，並於多晶矽膜 12 的露出表面上形成氧化膜 14。閘極氧化膜 13 的厚度例如約為 200 Å 至 600 Å。多晶矽膜 12 的殘留部分則成為導電層 40。犧牲氧化膜 11 的殘留部分與氧化膜 14，成為包覆導電層 40 的周圍之氧化層 15，閘極氧化膜 13 與

氧化層 15 形成一體的氧化膜 18。

閘極氧化膜 13 及擴散區域 30 的界面，乃順應溝渠 17 的形狀而形成大致平坦的平坦面 13f。而氧化層 15 及 N<sup>-</sup>磊晶層 2 的界面，乃順應溝渠 17 的形狀而具備彎曲面 15c。此狀態乃顯示於第 2(f)圖。

之後，藉由 CVD 法，以埋入於溝渠 17 內部的方式，形成多晶矽膜，並植入雜質於此多晶矽膜內，使此多晶矽膜成為導電性。然後，去除此多晶矽膜中之溝渠 17 以外的部分。多晶矽膜的殘留部分則成為閘極電極 26。

繼之，藉由具備預定圖案的開口之光罩，對 N<sup>-</sup>磊晶層 2 進行離子植入，而形成 P 型的通道區域 4。再者，藉由具備另外圖案的開口之光罩，對通道區域 4 進行離子植入，而形成 N<sup>+</sup>源極區域 25。通道區域 4 及 N<sup>+</sup>源極區域 25 則成為擴散區域 30。

於形成擴散區域 30 之際，控制離子植入的深度，而擴散區域 30 僅以平坦面 13f 而接觸於氧化膜 18，並不與彎曲面 15c 接觸。此外，擴散區域 30 乃夾著閘極氧化膜 13，於所有區域上與閘極電極 26 對向。

然後，於經由以上製程的矽基板 1 的全面上，藉由 CVD 法，形成由氧化矽所構成的絕緣膜 28(參照第 2(g)圖)。然後，採用具備預定圖案的開口之光罩，於絕緣膜 28 上形成接觸孔 31。

再者，於經由以上製程的矽基板 1 的全面上，設置由鋁等金屬所組成的電極膜 27。因而可得到第 1 圖所示之半

導體裝置 20。

於以上的半導體裝置 20 的製造方法中，在形成犧牲氧化膜 11 之後，並不去除所有的犧牲氧化膜 11，而是殘留了存在於多晶矽膜 12 及 N<sup>-</sup>磊晶層 2 之間的部分。因此，可不需大幅增加製程而形成氧化層 15。

此外，藉由形成較厚的犧牲氧化膜 11，可使存在於多晶矽膜 12 及導電層 40 之間的氧化層 15 變得更厚。藉由此，亦可降低閘極電極 26 及 N<sup>-</sup>磊晶層 2 之間的電容量，並可降低切換損失。

第 3 圖係顯示，本發明的其他實施型態之半導體裝置 21 的構造之圖解性的剖面圖。而對應於第 1 圖所示之半導體裝置 20 的各個部分者，附註相同符號並省略說明。

於此半導體裝置 21 中，設置了各自相當於第 1 圖所示之半導體裝置 20 的閘極電極 26 及導電層 40 之閘極電極 36 及導電層 37。於半導體裝置 20 中，閘極電極 26 的一部分插入於 N<sup>-</sup>磊晶層 2 及導電層 40 之間，而於半導體裝置 21 中，閘極電極 36 並未插入於 N<sup>-</sup>磊晶層 2 及導電層 37 之間。閘極電極 36 及導電層 37 之間，以大致為平坦的氧化層 15 來區隔。

如此的半導體裝置 21，可藉由半導體裝置 20 的製造方法中之去除了犧牲氧化膜 11 的製程(參照第 2(e)圖)，使 N<sup>-</sup>磊晶層 2 及多晶矽膜 12 之間的犧牲氧化膜 11 不會被去除的方式來獲得。亦即，可於多晶矽膜 12 的回蝕刻面(矽基板 1 側的相反側)與犧牲氧化膜 11 的回蝕刻面大致為同

一面之際，來結束犧牲氧化膜 11 的回蝕刻。

第 4 圖係顯示，本發明的另外的實施型態之半導體裝置 22 的構造之圖解性的剖面圖。而對應於第 1 圖所示之半導體裝置 20 的各個部分者，附註相同符號並省略說明。

於第 1 圖所示之半導體裝置 20 當中，僅僅形成 1 個導電層 40，而於半導體裝置 22 中，形成 2 個導電層 40a、40b。導電層 40a、40b 沿著溝渠 17 的深度方向配置，而氧化層 15 亦存在於導電層 40a 及導電層 40b 之間。

因此，於閘極電極 26 及 N<sup>-</sup>磊晶層 2 之間，乃依序配置氧化層 15、導電層 40a、氧化層 15、導電層 40b、及氧化層 15。藉此，從閘極電極 26 至 N<sup>-</sup>磊晶層 2 為止的部分，相當於串聯連接 3 個電容器，因而更可降低閘極電極 26 至 N<sup>-</sup>磊晶層 2 的電容量。因此，相較於半導體裝置 20、21，半導體裝置 22 的切換損失更小。

此外，亦可設置 3 層以上的導電層來代替導電層 40a、40b。

如此的半導體裝置 22 可藉由以下方式來獲得。到依據熱氧化之閘極氧化膜 13 的形成為止(參照第 2(f)圖)，實施與半導體裝置 20 的製造方法相同的方法。接下來，於溝渠 17 之內，形成與多晶矽膜 12 相同的多晶矽膜，於植入雜質於此多晶矽膜內使此多晶矽膜成為導電性之後，對此多晶矽膜進行回蝕刻。多晶矽膜的殘留部分則成為導電層 40b。

接下來，對導電層 40b 的露出面進行熱氧化之後，形

成與多晶矽膜 12 相同的多晶矽膜，於植入雜質於此多晶矽膜內使此多晶矽膜成為導電性之後，再對此多晶矽膜中的溝渠 17 的外部進行回蝕刻。多晶矽膜的殘留部分則成為閘極電極 26。

閘極電極 26 及導電層 40、40a、40b，亦可由鎢(W)等金屬所組成。

於以上的實施型態中，通道區域 4 及  $N^+$  源極區域 25 是於形成溝渠 17 之前所形成者，但是亦可於形成溝渠 17 之後來形成。

以上的實施型態的半導體裝置，均為 N 通道電晶體的例子，但是半導體裝置亦可為 P 通道電晶體。

在此雖然詳細說明了本發明的實施型態，但是這些實施型態只不過是用於更明確地說明本發明的技術內容之具體例子，不應僅限定於這些具體例子來說明本發明，本發明的精神及範圍，僅僅可藉由所提出的申請專利範圍來限定。

本申請案對應於在 2003 年 1 月 28 日提出於日本國特許廳之日本特願 2003-19066 者，在此，藉由引用日本特願 2003-19066，來編纂此申請案的所有內容。

#### 【圖式簡單說明】

第 1 圖係顯示，本發明的一實施型態之半導體裝置的構造之圖解性的剖面圖。

第 2(a)圖、第 2(b)圖、第 2(c)圖、第 2(d)圖、第 2(e)圖、第 2(f)圖、及第 2(g)圖係顯示，用於說明第 1 圖所示

之半導體裝置的製造方法之圖解性的剖面圖。

第 3 圖係顯示，本發明的其他實施型態之半導體裝置的構造之圖解性的剖面圖。

第 4 圖係顯示，本發明的另外的實施型態之半導體裝置的構造之圖解性的剖面圖。

第 5 圖係顯示，形成有具備習知的溝渠構造的 MOSFET 之半導體裝置的構造之圖解性的剖面圖。

【主要元件符號說明】

1	矽基板	2、52	N <sup>-</sup> 磊晶層
4	通道區域	11	犧牲氧化膜
12	多晶矽膜	13、56	閘極氧化膜
13f	平坦面	14、18	氧化膜
15	氧化層	15c	彎曲面
17、54	溝渠	20、21、22	半導體裝置
25	N <sup>+</sup> 源極區域	26、36、55	閘極電極
27、61	電極膜	28、59	絕緣膜
30、65	擴散區域	31、60	接觸孔
37、40、40a、40b	導電層	51	矽基板
53	通道區域	56c	彎曲面
56f	平坦面	57	N <sup>+</sup> 源極區域

### 伍、中文發明摘要：

本發明的半導體裝置包含，形成於半導體基板(1)的表層部之第1導電型的通道區域(4)，及形成於貫通此通道區域(4)之溝渠(17)的邊緣之與上述第1導電型不同的第2導電型的源極區域(25)，及形成於與上述溝渠(17)的底部鄰接的區域之上述第2導電型的汲極區域(2)，及沿著上述溝渠(17)的內側壁而形成之閘極絕緣膜(13)，及於上述溝渠(17)中，夾著上述閘極絕緣膜(13)而與上述通道區域(4)對向而配置之閘極電極(26、36)，及於上述溝渠(17)中，形成於上述閘極電極(26、36)之靠上述汲極區域(2)側之導電層(37、40、40a、40b)，及覆蓋上述導電層(37、40、40a、40b)的周圍，而將上述導電層(37、40、40a、40b)與上述閘極電極(26、36)及上述汲極區域(2)之間作電氣絕緣之絕緣層(20、21、22)。

### 陸、英文發明摘要：

A semiconductor device (20, 21, 22) is provided. It contains: a first conductive type channel region (4) formed on a surface layer of a semiconductor substrate (1), a source region (25) of a second conductive type different from the first conductive type, the source region being formed on the edge of a trench (17) being formed through the channel region (4), a second conductive type drain region (2) formed in a region adjoining the bottom of the trench (17), a gate insulating film (13) formed along the inner side wall of the trench (17), gate electrodes (26, 36) disposed in the trench (17) to correspond with the channel region (4) with the gate insulating film (13) interposed there between, conductive layers (37, 40, 40a, 40b) formed in the trench (17) and on the drain (2) region side of the gate electrode (26, 36) and an insulating layer (15) enclosing the periphery of the conductive layers (37, 40, 40a, 40b) to electrically insulate the conductive layers (37, 40, 40a, 40b) and gate electrodes (26, 36) from the drain region (2).

## 拾、申請專利範圍：

### 1. 一種半導體裝置，係包含：

形成於半導體基板的表層部之第 1 導電型的通道區域；

形成於具備貫通此通道區域的深度之溝渠的邊緣之與上述第 1 導電型不同的第 2 導電型的源極區域；

形成於與上述溝渠的底部鄰接的區域之上上述第 2 導電型的汲極區域；

沿著上述溝渠的內側壁而形成之閘極絕緣膜；

於上述溝渠中，以夾著上述閘極絕緣膜並與上述通道區域對向之方式配置之閘極電極；

於上述溝渠中，形成於上述閘極電極之靠上述汲極區域側之導電層；以及

包覆上述導電層的周圍，而將上述導電層與上述閘極電極及上述汲極區域之間作電氣絕緣之絕緣層。

2. 如申請專利範圍第 1 項之半導體裝置，其中，上述導電層是由以雜質的植入而成為導電性的多晶矽所組成。

3. 如申請專利範圍第 1 項之半導體裝置，其中，該半導體裝置包含複數個上述導電層，並於這些上述導電層之間配置上述絕緣層。

4. 如申請專利範圍第 2 項之半導體裝置，其中，該半導體裝置包含複數個上述導電層，並於這些上述導電層之間配置上述絕緣層。

5. 如申請專利範圍第 1 項至第 4 項中任一項之半導體裝

置，其中，上述溝渠的內側壁具備大致平坦的平坦面，此平坦面為具備於上述通道區域中之特定面方位的面，並沿著當電流沿著此面流通之際會使電阻值變低的面。

6. 一種半導體裝置的製造方法，係用於製造包含下列各部分之半導體裝置：

形成於半導體基板的表層部之第 1 導電型的通道區域；

形成於具備貫通此通道區域的深度之溝渠的邊緣之與上述第 1 導電型不同的第 2 導電型的源極區域；

形成於與上述溝渠的底部鄰接的區域之上述第 2 導電型的汲極區域；

沿著上述溝渠的內側壁來形成之閘極絕緣膜；

於上述溝渠中，以夾著上述閘極絕緣膜並與上述通道區域對向之方式配置之閘極電極；

於上述溝渠中，形成於上述閘極電極之靠上述汲極區域側之導電層；以及

包覆上述導電層的周圍，而將上述導電層與上述閘極電極及上述汲極區域之間作電氣性絕緣之絕緣層；

此製造方法包含：

於半導體基板的表層部上形成上述第 2 導電型的磊晶層之製程；

於此磊晶層形成上述溝渠之製程；

於上述溝渠的底部形成第 1 絕緣層之製程；

於形成此第 1 絕緣層的製程之後，於上述溝渠中，於上述第 1 絕緣層上形成上述導電層之製程；

於形成此導電層的製程之後，於此導電層的露出表面，形成上述第 1 絕緣層及構成上述絕緣層的第 2 絕緣層之製程；

沿著上述溝渠的內側壁，形成上述閘極絕緣膜之製程；

於上述溝渠中，形成藉由上述絕緣層而與上述導電層電氣絕緣之上述閘極電極之製程；

於上述磊晶層，為了夾著上述閘極絕緣膜並與上述閘極電極對向而形成上述第 1 導電型的上述通道區域之製程；以及

於上述磊晶層中與上述溝渠的邊緣對應之區域，形成上述第 2 導電型的上述源極區域之製程。

7. 如申請專利範圍第 6 項之半導體裝置的製造方法，其中，形成上述第 1 絕緣層的製程包含，對上述溝渠的內壁進行熱氧化而形成犧牲氧化膜之製程，及殘留存在於上述溝渠底部的部分而去除犧牲氧化膜之製程，而形成上述第 2 絕緣層的製程包含使上述導電層的露出面氧化之製程。
8. 如申請專利範圍第 6 項或第 7 項之半導體裝置的製造方法，其中，形成上述閘極電極的製程包含形成藉由雜質的植入而成為導電性的多晶矽膜之製程。

### 柒、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件代表符號簡單說明：

1	矽基板	2	N <sup>-</sup> 磊晶層
4	通道區域	13	閘極氧化膜
13f	平坦面	15	氧化層
15c	彎曲面	17	溝渠
18	氧化膜	20	半導體裝置
25	N <sup>+</sup> 源極區域	26	閘極電極
27	電極膜	28	絕緣膜
30	擴散區域	31	接觸孔
40	導電層		

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：