

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2009-535793

(P2009-535793A)

(43) 公表日 平成21年10月1日(2009.10.1)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/10 (2006.01)	HO 1 L 27/10 4 5 1	5 F 0 6 4
HO 1 L 29/88 (2006.01)	HO 1 L 29/88 F	5 F 0 8 3
HO 1 L 21/82 (2006.01)	HO 1 L 21/82 F	
HO 1 L 49/00 (2006.01)	HO 1 L 49/00 Z	
HO 1 L 45/00 (2006.01)	HO 1 L 45/00 Z	

審査請求 未請求 予備審査請求 未請求 (全 23 頁)

(21) 出願番号 特願2009-502873 (P2009-502873)  
 (86) (22) 出願日 平成19年3月22日 (2007. 3. 22)  
 (85) 翻訳文提出日 平成20年11月28日 (2008. 11. 28)  
 (86) 国際出願番号 PCT/US2007/007153  
 (87) 国際公開番号 W02007/126678  
 (87) 国際公開日 平成19年11月8日 (2007. 11. 8)  
 (31) 優先権主張番号 11/395, 421  
 (32) 優先日 平成18年3月31日 (2006. 3. 31)  
 (33) 優先権主張国 米国 (US)

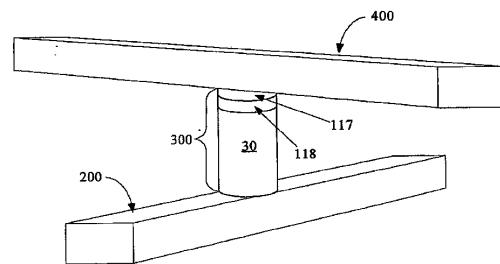
(71) 出願人 507318624  
 サンディスク スリーディー, エルエルシー  
 アメリカ合衆国、95035、カリフォルニア州、ミルピタス、マッカシー ブルバード 601  
 (74) 代理人 100075144  
 弁理士 井ノ口 壽  
 (72) 発明者 シューエルライネ, ロイ  
 アメリカ合衆国、95014、カリフォルニア州、クーペルティーノ、オーチャードコート 22145  
 Fターム(参考) 5F064 AA13 BB15 CC21 CC22 CC25  
 FF28 FF45 GG03 GG05 GG07

最終頁に続く

(54) 【発明の名称】 抵抗率切り換え酸化物または窒化物およびアンチヒューズを含む不揮発性の書き換え可能なメモリセル

(57) 【要約】

メモリセルが記載され、このメモリセルは、電氣的に直列に配置された誘電破壊アンチヒューズおよび抵抗率切り換え材料の層を含み、抵抗率切り換え材料は、金属酸化物または窒化物化合物であり、この化合物はただ1種の金属を含む。誘電破壊アンチヒューズは、事前調整ステップにおいて破壊され、アンチヒューズを貫通して破壊領域を形成する。この破壊領域は、狭い導電性パスを提供し、抵抗率切り換え材料への電流を制限するために役立ち、抵抗率切り換え層がより高い抵抗率状態とより低い抵抗率状態との間で切り換えられる場合に制御を改善する。



## 【特許請求の範囲】

## 【請求項 1】

不揮発性メモリセルであって、  
抵抗率切り換え金属酸化物または窒化物化合物の層を含む抵抗切り換え素子であって、  
金属酸化物または窒化物がただ 1 種の金属を含む抵抗切り換え素子と、  
誘電破壊アンチヒューズと、  
を有する不揮発性メモリセル。

## 【請求項 2】

請求項 1 記載のメモリセルにおいて、  
ダイオードをさらに有し、抵抗切り換え素子、誘電破壊アンチヒューズ、およびダイオードが電氣的に直列に配置されるメモリセル。 10

## 【請求項 3】

請求項 2 記載のメモリセルにおいて、  
ダイオードが、半導体接合ダイオードであるメモリセル。

## 【請求項 4】

請求項 3 記載のメモリセルにおいて、  
ダイオードが、シリコン、ゲルマニウム、あるいはシリコンまたはゲルマニウムの合金を含むメモリセル。

## 【請求項 5】

請求項 2 記載のメモリセルにおいて、  
ダイオードが支柱の形であり、ダイオード、誘電破壊アンチヒューズ、および抵抗切り換え素子が、頂部導体と底部導体との間に垂直に配置されるメモリセル。 20

## 【請求項 6】

請求項 5 記載のメモリセルにおいて、  
底部導体、頂部導体、ダイオード、誘電破壊アンチヒューズ、および抵抗切り換え素子がすべて、半導体基板の上方に形成されるメモリセル。

## 【請求項 7】

請求項 1 記載のメモリセルにおいて、  
誘電破壊アンチヒューズが、誘電性酸化物、窒化物、または酸窒化物層を含むメモリセル。 30

## 【請求項 8】

請求項 7 記載のメモリセルにおいて、  
誘電性酸化物、窒化物、または酸窒化物層が成長させられるメモリセル。

## 【請求項 9】

請求項 8 記載のメモリセルにおいて、  
成長させられた誘電性酸化物、窒化物、または酸窒化物層が、二酸化ケイ素の層であるメモリセル。

## 【請求項 10】

請求項 1 記載のメモリセルにおいて、  
抵抗率切り換え金属酸化物または窒化物が、 $Ni_x O_y$ 、 $Nb_x O_y$ 、 $Ti_x O_y$ 、 $Hf_x O_y$ 、 $Al_x O_y$ 、 $Mg_x O_y$ 、 $Co_x O_y$ 、 $Cr_x O_y$ 、 $V_x O_y$ 、 $Zn_x O_y$ 、 $Zr_x O_y$ 、 $B_x N_y$ 、および  $Al_x N_y$  から成る群から選ばれるメモリセル。 40

## 【請求項 11】

請求項 10 記載のメモリセルにおいて、  
抵抗率切り換え金属酸化物または窒化物化合物の層が金属添加物を含み、金属添加物が、金属酸化物または窒化物化合物の層中の金属原子の約 0.01 ~ 約 5 パーセントであるメモリセル。

## 【請求項 12】

セルが誘電破壊アンチヒューズおよび抵抗切り換えメモリ素子を有し、抵抗切り換えメモリ素子が抵抗率切り換え金属酸化物または窒化物化合物の層を有し、金属酸化物または 50

窒化物化合物がただ 1 種の金属を含む、不揮発性メモリセルをプログラムする方法であって、

事前調整パルスを印加するステップであって、事前調整パルスが誘電破壊アンチヒューズを破壊するために役立ち、誘電破壊アンチヒューズを貫通して低抵抗破壊領域を形成し、事前調整パルスが抵抗率切り換え金属酸化物または窒化物化合物の層中に切り換え領域を形成するために役立ち、切り換え領域を低抵抗率セット状態にするステップを含む方法。

【請求項 13】

請求項 12 記載の方法において、

事前調整パルスを印加するステップの後、切り換え領域を高抵抗率リセット状態にするために第 1 のリセットパルスを印加するステップをさらに含む方法。

10

【請求項 14】

請求項 13 記載の方法において、

第 1 のリセットパルスを印加した後、切り換え領域をプログラムされたセット状態にするために第 1 のプログラミングセットパルスを印加するステップをさらに含み、メモリセルの第 1 のデータ状態が切り換え領域の抵抗率状態に格納される方法。

【請求項 15】

請求項 12 記載の方法において、

第 1 のプログラミングセットパルスを印加した後、切り換え領域をプログラムされたりセット状態にするために第 1 のリセットパルスを印加するステップをさらに含み、メモリセルの第 2 のデータ状態が切り換え領域の抵抗率状態に格納される方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、抵抗率切り換え材料を含む不揮発性メモリセルに関する。

【背景技術】

【0002】

安定な抵抗率状態間で可逆的に切り換えられ得る抵抗率切り換え材料は、不揮発性メモリセルにおいて用いることができる。抵抗率切り換え材料の抵抗率状態は、セルのデータ状態を格納する。

30

【0003】

いくつかの抵抗率切り換え材料について、低抵抗率から高抵抗率への切り換えまたは高抵抗率から低抵抗率への切り換え、あるいはその両方は、制御が困難なことがある。そのような切り換えの制御を改善することは有利である。

【特許文献 1】米国特許出願第 11 / 125, 939 号

【特許文献 2】2006 年 3 月 31 日に出版された Herner らの米国特許出願

【特許文献 3】米国特許第 5, 915, 167 号

【特許文献 4】米国特許第 6, 034, 882 号

【特許文献 5】米国特許第 6, 420, 215 号

【特許文献 6】米国特許第 6, 952, 030 号

40

【特許文献 7】米国特許出願第 10 / 403, 844 号

【特許文献 8】米国特許出願第 11 / 040, 262 号

【特許文献 9】米国特許第 6, 618, 295 号

【特許文献 10】米国特許出願第 10 / 326, 470 号

【特許文献 11】米国特許出願第 10 / 955, 549 号

【特許文献 12】米国特許出願第 11 / 015, 824 号

【特許文献 13】米国特許出願第 10 / 883, 417 号

【特許文献 14】米国特許出願第 10 / 728, 436 号

【特許文献 15】米国特許出願第 10 / 815, 312 号

【特許文献 16】米国特許第 6, 956, 278 号

50

【特許文献17】米国特許出願第11/287,452号

【特許文献18】米国特許出願第11/097,496号

【発明の開示】

【0004】

本発明は、特許請求の範囲によって定義され、このセクション中のいずれのものもそれらの請求項に対する限定と解されるべきではない。一般に、本発明は、抵抗率切り換え材料を含む不揮発性メモリセルに関する。

【0005】

本発明の第1の態様は、抵抗率切り換え金属酸化物または窒化物化合物の層を含む抵抗切り換え素子であって、金属酸化物または窒化物がただ1種の金属を含む抵抗切り換え素子と、誘電破壊アンチヒューズと、を含む不揮発性メモリセルを規定する。

10

【0006】

本発明の好ましい実施形態は、第1の複数のメモリセルを含む不揮発性メモリアレイであって、第1の複数のメモリセルの各々が、誘電破壊アンチヒューズと、抵抗率切り換え金属酸化物または窒化物化合物の層を含む抵抗切り換え素子であって、金属酸化物または窒化物化合物がただ1種の金属を含む抵抗切り換え素子と、を含む不揮発性メモリアレイを規定する。

【0007】

本発明の別の態様は、不揮発性メモリセルを形成およびプログラムするための方法であって、誘電破壊アンチヒューズを形成するステップと、抵抗率切り換え金属酸化物または窒化物化合物の層を形成するステップであって、金属酸化物または窒化物化合物がただ1種の金属を含み、誘電破壊アンチヒューズおよび抵抗切り換え素子が不揮発性メモリセル中で電氣的に直列に配置されるステップと、メモリセルの製造が完了した後、事前調整パルスを印加するステップであって、事前調整パルスが誘電破壊アンチヒューズを破壊するために役立ち、誘電破壊アンチヒューズを貫通して低抵抗破壊領域を形成し、事前調整パルスが抵抗率切り換え金属酸化物または窒化物化合物の層中に抵抗率切り換え領域を形成するために役立ち、抵抗率切り換え領域の抵抗率状態を変更するステップと、を含む方法を規定する。

20

【0008】

本発明の別の好ましい実施形態は、モノリシックな三次元メモリアレイであって、i) 基板の上方にモノリシック的に形成された第1のメモリレベルであって、第1のメモリレベルが、a) 複数の実質的に平行で、実質的に共平面の第1の導体と、b) 第1の導体の上方の複数の実質的に平行で、実質的に共平面の第2の導体と、c) 第1の複数のメモリセルであって、各メモリセルが、誘電破壊アンチヒューズ、底部導体の1つの一部、頂部導体の1つの一部、抵抗率切り換え金属酸化物または窒化物化合物を含み、金属酸化物または窒化物化合物がただ1種の金属を含み、誘電破壊アンチヒューズおよび抵抗率切り換え金属酸化物または窒化物の層が、頂部導体の部分と底部導体の部分との間に電氣的に直列に配置されている第1のメモリレベルと、ii) 第1のメモリレベルの上方にモノリシック的に形成された第2のメモリレベルと、を含むモノリシックな三次元メモリアレイを規定する。

30

40

【0009】

本発明のさらに別の態様は、不揮発性メモリセルをプログラムする方法であって、セルが誘電破壊アンチヒューズおよび抵抗切り換えメモリ素子を含み、抵抗切り換えメモリ素子が抵抗率切り換え金属酸化物または窒化物化合物の層を含み、金属酸化物または窒化物化合物がただ1種の金属を含み、事前調整パルスを印加するステップであって、事前調整パルスが誘電破壊アンチヒューズを破壊するために役立ち、誘電破壊アンチヒューズを貫通して低抵抗破壊領域を形成し、事前調整パルスが抵抗率切り換え金属酸化物または窒化物化合物の層中に切り換え領域を形成するために役立ち、切り換え領域を低抵抗率セット状態にするステップを含む方法を規定する。

【0010】

50

本願明細書中で説明される本発明の態様および実施形態の各々は、単独でまたは互いに組み合わせて用いることができる。

好ましい態様および実施形態を添付図面を参照して説明する。

【発明を実施するための最良の形態】

【0011】

1種の金属を含む金属酸化物または窒化物化合物の抵抗率切り換え層を含む不揮発性メモリセルが、本願明細書において参照により援用されている2005年5月9日出願されたHerterらの「Rewritable Memory Cell Comprising a Diode and a Resistance-Switching Material」という米国特許出願第11/125,939号(以下、「939出願」)(特許文献1)、および本願と同じ日出願されたHerterらの米国特許出願(代理人整理番号:MA-146-1)(特許文献2)に記載されている。好ましい実施形態において、抵抗率切り換え層は、ダイオードと直列に配置される。これらの出願の双方において、メモリセルのデータ状態は、抵抗率切り換え層の抵抗率状態に格納され、すなわち、その抵抗率切り換え層が低抵抗率状態にあるメモリセルは、データ「0」に対応し得るのに対し、その抵抗率切り換え層が高抵抗率状態にあるメモリセルは、データ「1」に対応し得る。

10

【0012】

抵抗率切り換え材料は、金属酸化物または窒化物化合物の層であり、金属酸化物または窒化物化合物は、ただ1種の金属を含む。好ましい金属酸化物または窒化物化合物として、 $Ni_xO_y$ 、 $Nb_xO_y$ 、 $Ti_xO_y$ 、 $Hf_xO_y$ 、 $Al_xO_y$ 、 $Mg_xO_y$ 、 $Co_xO_y$ 、 $Cr_xO_y$ 、 $V_xO_y$ 、 $Zn_xO_y$ 、 $Zr_xO_y$ 、 $B_xN_y$ 、および $Al_xN_y$ が含まれ、 $x$ および $y$ は0~1の範囲である。例として、化学量論的化合物である $NiO$ 、 $Nb_2O_5$ 、 $TiO_2$ 、 $HfO_2$ 、 $Al_2O_3$ 、 $MgO_2$ 、 $CoO$ 、 $CrO_2$ 、 $VO$ 、 $ZnO$ 、 $ZrO$ 、 $BN$ 、および $AlN$ が挙げられるが、非化学量論的化合物も同様に用いることができる。これらの材料の1つの層が、初期の安定な抵抗率状態、例えば高抵抗率状態で形成される。その初期の抵抗率状態は、適切な電気パルスの印加により別の安定な抵抗率状態に変えることができる。抵抗率切り換え層をより高い抵抗率リセット状態からより低い抵抗率セット状態へ変更するパルスがセットパルスであるのに対し、抵抗率切り換え層をより低い抵抗率状態からより高い抵抗率状態へ変更するパルスがリセットパルスである。適宜、この詳細な説明により、セット電圧、セット電流、リセット電圧、またはリセット電流も説明される。

20

30

【0013】

本発明において、誘電破壊アンチヒューズは、抵抗率切り換え層と直列に含まれる。誘電破壊アンチヒューズは、初期の非導電性状態で形成され、電流の流れを妨げる。プログラミングパルスが印加されると、アンチヒューズの誘電材料は誘電破壊を受けて、誘電破壊アンチヒューズを永続的に変更し、この誘電破壊アンチヒューズを導電性になるようにして、増大された電流の流れを可能にする。好ましい実施形態において、ダイオードも誘電破壊アンチヒューズおよび抵抗率切り換え層と直列に形成される。

【0014】

本発明において、アンチヒューズの誘電破壊は、小さい導電性破壊領域においてのみ生じる。電流はこの破壊領域に密集し、この電流の密集は、抵抗率切り換え層を通る狭い切り換えパスを通る電流の焦点を合わせるために役立ち、この層の抵抗率の切り換えをより制御可能なものにする。誘電破壊アンチヒューズは、メモリを使用できるようにするために、好ましくは工場における事前調整ステップにおいてすべてのセル中で破壊される。

40

【0015】

図1は、本発明の好ましい実施形態によるメモリセルを示す。支柱300は、垂直配向されたダイオード30と、抵抗率切り換え層118と、底部導体200と頂部導体400との間で直列に配置された誘電破壊アンチヒューズ117と、を含む。説明されるように、ほとんどの実施形態は、障壁層、接着層等として働く付加的な層を含む。

【0016】

50

図1は、抵抗率切り換え金属酸化物または窒化物化合物の層を含み、金属酸化物または窒化物化合物がただ1種の金属を含む抵抗切り換え素子と、誘電破壊アンチヒューズと、を含む不揮発性メモリセルの1つの例である。ダイオードも含まれることがあり、アンチヒューズ、抵抗切り換え素子、およびアンチヒューズは、電氣的に直列に配置されている。これらの素子は、頂部導体と底部導体との間に配置され得る。

#### 【0017】

好ましい実施形態において、ダイオードは、半導体接合ダイオードである。半導体接合ダイオードは、2つの端子電極を有し、一方の電極ではp形であり、他方の電極ではn形である半導体材料で作られた、電流を1つの方向に他方の方向よりも容易に伝導する特性を備える半導体デバイスである。例として、p-nダイオード、p-i-nダイオード、およびツェナーダイオードが挙げられる。別の実施形態において、ダイオードは、ショットキー障壁ダイオード、または半導体特性を有する、例えば、NiOがp形領域として働きTiO<sub>2</sub>がn形領域として働く金属酸化物のダイオードであり得る。

10

#### 【0018】

図2は、複数の実質的に共平面な底部導体200、支柱300、および頂部導体400を形成することにより形成できるそのようなメモリセルのメモリレベルを示す。このメモリレベルは、基板、例えば、単結晶シリコンウェハまたはシリコン・オン・インシュレータ(silicon-on-insulator)ウェハのような半導体ウェハ基板上方の被着層で形成され得る。

#### 【0019】

2つ、3つ、4つまたはそれ以上のそのようなメモリレベルを積み重ねてモノリシックな三次元メモリアレイを形成することができる。モノリシックな三次元メモリアレイは、複数のメモリレベルが、ウェハのような単一の基板上で介在基板なしで形成されるメモリアレイである。1つのメモリレベルを形成する層は、既存の1つ以上のレベルの層を直接覆って被着または成長させられる。対照的に、スタックメモリは、Leedyの「Three Dimensional Structure Memory」という米国特許第5,915,167号(特許文献3)におけるように、別個の基板上でメモリレベルを形成し、それらのメモリレベルを互いに上に載せて接着することにより構成されてきた。基板は、接合前に薄化されたり、またはメモリレベルから除去されたりし得るが、メモリレベルは当初、別個の基板上で形成され、そのようなメモリは真のモノリシックな三次元メモリアレイではない。

20

30

#### 【0020】

基板上で形成されたモノリシックな三次元メモリアレイは少なくとも、基板上方の第1の高さに形成された第1のメモリレベルおよび第1の高さと異なる第2の高さに形成された第2のメモリレベルを含む。3つ、4つ、8つ、または実際はいくつものメモリレベルを、そのような多層アレイにおいて基板上で形成することができる。

#### 【0021】

モノリシックな三次元メモリアレイは、本願明細書において参照により援用されている、Johnsonらの「Vertically stacked field programmable nonvolatile memory and method of fabrication」という米国特許第6,034,882号(特許文献4)、Knallらの「Three Dimensional Memory Array and Method of Fabrication」という米国特許第6,420,215号(特許文献5)、およびHernerらの「High-density three-dimensional memory cell」という米国特許第6,952,030号(特許文献6)に記載されている。

40

#### 【0022】

前に説明されたように、抵抗率切り換え層として好ましい材料には、Ni<sub>x</sub>O<sub>y</sub>、Nb<sub>x</sub>O<sub>y</sub>、Ti<sub>x</sub>O<sub>y</sub>、Hf<sub>x</sub>O<sub>y</sub>、Al<sub>x</sub>O<sub>y</sub>、Mg<sub>x</sub>O<sub>y</sub>、Co<sub>x</sub>O<sub>y</sub>、Cr<sub>x</sub>O<sub>y</sub>、V<sub>x</sub>O<sub>y</sub>、Zn<sub>x</sub>O<sub>y</sub>、Zr<sub>x</sub>O<sub>y</sub>、B<sub>x</sub>N<sub>y</sub>、およびAl<sub>x</sub>N<sub>y</sub>が含まれる。話を簡潔にするため、この議論では、抵抗率切り換え金属酸化物または窒化物化合物として酸化ニッケルを用いて形成されるメモリセルを説明する。他の名称を挙げられた材料のいずれもが代わりに用いられ得ることが理解される。この議論において「酸化ニッケル」がニッケ

50

ルの化学量論的および非化学量論的酸化物双方を指すことがさらに理解される。

【0023】

一般に、酸化ニッケルの層は高抵抗率状態で形成される。セットパルスが印加されると、酸化ニッケルは低抵抗率状態に変わる。図3に目を向けると、誘電破壊アンチヒューズが全くないメモリセルにおいて、セット電圧が頂部導体400と底部導体200との間に印加され、電流がダイオード30を流れると、酸化ニッケル層118は、その初期の高抵抗率状態からより低い抵抗率状態に変換される。そのようなメモリセルが、'939出願に記載されている。

【0024】

セットおよびリセットパルスは、慎重な制御を必要とする。セット状態からより高い抵抗率リセット状態へ戻す切り換えは、リセット電圧が抵抗率切り換え層の両端に蓄積されることを必要とする。図3を参照すると、酸化ニッケル層118のセット状態が高い電流の流れを可能にする非常に低い抵抗率であれば、酸化ニッケル層118をより高い抵抗率状態にリセットして戻すのに十分な電圧を蓄積することは非常に困難になり得る。

10

【0025】

図1を参照すると、本発明において、誘電破壊アンチヒューズ117は、誘電材料で形成され、例えば、このアンチヒューズは、成長させられたかまたは被着された二酸化ケイ素あるいは他の成長させられたかまたは被着された誘電体の単一層であり得る。誘電破壊を引き起こすのに十分な電圧の印加により、アンチヒューズを貫通して低抵抗破壊領域が形成される。図4を参照すると、この破壊領域42の面積は、アンチヒューズ40自体の面積よりずっと小さく、この破壊領域は、例えば、約2~5nmの直径を有し得る。

20

【0026】

図1を参照すると、誘電破壊アンチヒューズ117が酸化ニッケル層118と隣接している場合、電流の流れは、非常に狭い破壊領域を通して焦点を合わされ、酸化ニッケル層118を貫通して同程度に狭い切り換え領域を形成する。薄い導電性障壁層(図示せず)が、酸化ニッケル層とアンチヒューズとの間に介在し得る。障壁層が十分に薄く(好ましくは、抵抗率切り換え層より薄く)かつ比較的高抵抗率(好ましくは、抵抗率切り換え材料の高抵抗率状態に匹敵する抵抗率)の材料製であれば、電流密集の効果は、障壁層を通して伝達される。

30

【0027】

この電流密集は、狭い切り換え領域を通るより高い観察抵抗を作り出す。抵抗率切り換え層118におけるこの切り換え領域のより高い抵抗は、セットおよびリセット状態の制御に役立つ。アンチヒューズ層117がない同様なセルと比較して、本発明において、電流パスは、同じ電圧においてより高抵抗であり、より低い電流に対応し、従ってより低いパワーに対応する。抵抗率切り換え層の抵抗率状態は、容易にセットおよびリセットすることができ、堅牢な書き換え可能なメモリセルに貢献する。

【0028】

セルに最大パワーを供給するため、プログラミングの間のプログラムされたセルの抵抗は、選択されたセルのワード線およびビット線を駆動する回路の抵抗の合計とほぼ同じであるべきである。低抵抗破壊領域が誘電性層を横切る誘電破壊によって電氣的に形成される場合、誘電性領域は当初高抵抗であり、次に破壊領域が形成するにつれて抵抗が降下する。破壊領域の抵抗が回路の抵抗に近づくにつれて、破壊領域は冷却し始め、サイズをそれ以上増大させない。従って、破壊領域の形成機構は、破壊領域に駆動回路の抵抗とほぼ同じ抵抗を持たせる傾向がある。次に、それに続くプログラミングイベントにおいて、破壊領域は、予測可能なレベルのパワーをセルに供給するための手段を提供する。従来の電流リミッタ回路は、当業者により適切に理解されるように、プログラミングの間にドライバの実効抵抗を制御するために有利に用いられ得る。

40

【0029】

フィーチャサイズが(本発明のほとんどの好ましい実施形態におけるように)約0.1ミクロン~約10nmの範囲であるメモリにおいて、破壊されていないアンチヒューズの

50

初期抵抗は非常に高く、約10メガオーム～約1,000メガオームである。誘電破壊後、破壊領域の抵抗は、約10キロオーム～約1メガオームである。

【0030】

本発明は、セットおよびリセット状態に対する改善された制御を可能にし、従って、いくつかの実施形態において、酸化ニッケル（または他の抵抗率切り換え材料）が、容易に検出可能な3つ以上の安定な抵抗率状態を繰り返し達成することが可能である。複数の抵抗率レベルにセットおよびリセットするための有利な方法は、本願と同じ日に出願された米国特許出願（代理人整理番号：MA-146-1）（特許文献2）に記載されている。

【0031】

本発明に従って形成された三次元メモリアレイにおける使用に適した回路構造および方法が、2003年3月31日に出願されたScheuerleinの「Word Line Arrangement Having Multi-layer Word Line Segments for Three-Dimensional Memory Array」という米国特許出願第10/403,844号（特許文献7）に記載されている。この特許出願は、本発明の譲受人に譲渡され、本願明細書において参照により援用されている。この配置の有益な要素として、オーバーヘッド回路の減少を可能にする共通のワード線ドライバおよび非常に長いビット線の使用が含まれる。

10

【0032】

Scheuerleinの「Structure and Method for Biasing Phase Change Memory Array for Reliable Writing」という米国特許出願第11/040,262号（特許文献8）は、本発明に従って形成されたアレイにおいて有利に用いられ得るバイアス方式を教示している。この特許出願のバイアス方式は、選択されないおよび半選択されたセルの両側の電圧が、それらのセルの不意の変換を引き起こすのに十分ではないことを保証し、プログラムされるべきセルに供給されるパワーの正確な制御を可能にする。さらなる有用な教示が、Scheuerleinの「Method and Apparatus for Biasing Selected and Unselected Array Lines When Writing a Memory Array」という米国特許第6,618,295号（特許文献9）で見出される。

20

【0033】

破壊領域を作り出し、デバイスがメモリセルとして使用できるようにするために、メモリアレイ中のすべてのアンチヒューズに事前調整パルスが印加されることに留意されたい。図5aは、すべてのセル上で実行される事前調整ステップにおいて選択されたセルのアンチヒューズを破壊するための有利なバイアス方式を例示している。当業者は、この例および以下の例において供給される電圧が、セル構造の多くの詳細によって変えられ得ることを理解できる。

30

【0034】

図1および図5a～5dを参照すると、好ましい実施形態において、ダイオード30は、切り換え材料118およびアンチヒューズ層117に隣接するp形材料と、ワード線である底部導体200に隣接するn形材料とを有する。図1のメモリセルは、（図2に示されるような）メモリアレイで形成することができ、従って、ワード線200は、多くのワード線のうちの1つであり、ビット線である頂部導体400は、多くのビット線のうちの1つである。話を簡潔にするため、図5a～5dにおいてアンチヒューズが描かれていないことがさらに理解できる。

40

【0035】

図5aを参照すると、アンチヒューズ破壊を受けるセルは、選択されたワード線 $W_1$ と選択されたビット線 $B_1$ との交点における選択されたセルSである。この例において、ビット線 $B_1$ が比較的高い事前調整電圧 $V_p$ 、例えば10Vにセットされるのに対し、ワード線 $W_1$ は、接地にセットされる。メモリセルS両端のこの電圧は、アンチヒューズを破壊し、ダイオードの高抵抗率ポリシリコンを低抵抗率状態に変え、酸化ニッケル抵抗率切り換え層を低抵抗率セット状態にするのに十分である。近傍のセルのメモリ状態を妨害することを回避するために、選択されないワード線 $W_0$ および $W_2$ は、 $V_p - V_D$ ボルトにセットされ、ここで $V_D$ は、ダイオードのターンオン電圧である。ダイオードは、そのタ

50



ーンオン電圧以下では電流の流れをほとんどまたは全く許さないが、ターンオン電圧以上ではずっと高い電流の流れを可能にする。B<sub>0</sub> および B<sub>2</sub> のようなすべての選択されないビット線は、V<sub>D</sub> にセットされる。従って、選択されたセルSとワード線W<sub>1</sub> を共有する半選択されたセルHは、V<sub>D</sub> の正電圧にかけられる。選択されたセルSとビット線B<sub>1</sub> を共有する半選択されたセルFは、 $V_p - (V_p - V_D) = V_D$  の正電圧をかけられる。選択されたセルSとワード線W<sub>1</sub> もビット線B<sub>1</sub> も共有しない選択されないセルUは、 $V_D - (V_p - V_D)$  の電圧または  $V_p - 2V_D$  の負電圧をかけられる。

## 【0036】

例えば、V<sub>p</sub> が10ボルトであり、V<sub>D</sub> が0.8ボルトであると仮定する。選択されないワード線W<sub>0</sub> およびW<sub>2</sub> は9.2ボルトにセットされ、選択されないビット線B<sub>0</sub> およびB<sub>2</sub> は0.8ボルトにセットされる。選択されたセルSが10ボルトに遭遇し、半選択されたセルHおよびFが0.8ボルトをかけられるのに対し、選択されないセルUは、-8.4ボルトの電圧をかけられる。

10

## 【0037】

図5bに目を向けると、アンチヒューズが破壊された後に抵抗率切り換え層をリセットするため、選択されたビット線B<sub>1</sub> は、リセット電圧V<sub>R</sub>、例えば約2~約4ボルトにセットされる。選択されたワード線W<sub>1</sub> は、選択されたセルS両端のV<sub>R</sub>ボルトの電圧について、再度接地される。選択されないワード線W<sub>0</sub> およびW<sub>2</sub> はV<sub>R</sub> - V<sub>D</sub> にセットされ、選択されないビット線B<sub>0</sub> およびB<sub>2</sub> はV<sub>D</sub> にセットされる。従って、選択されたセルSはV<sub>R</sub> をかけられ、半選択されたセルHおよびFはV<sub>D</sub> の電圧をかけられるのに対し、V<sub>D</sub> - (V<sub>R</sub> - V<sub>D</sub>) の電圧は、選択されないセルUに印加される。

20

## 【0038】

例えば、V<sub>R</sub> が3ボルトであり、V<sub>D</sub> が0.8ボルトであると仮定する。選択されたビット線B<sub>1</sub> は3ボルトであり、選択されたワード線W<sub>1</sub> は接地されている。選択されないワード線W<sub>0</sub> およびW<sub>2</sub> が2.2ボルトであるのに対し、選択されないビット線B<sub>0</sub> およびB<sub>2</sub> は0.8ボルトである。従って、選択されたセルS両端の電圧は3ボルトであり、半選択されたセルHおよびF両端の電圧は0.8ボルトであり、選択されないセルU両端の電圧は-1.4Vである。

## 【0039】

図5cに目を向けると、それに続くセット操作において、抵抗率切り換え層をセットするため、選択されたビット線B<sub>1</sub> は、セット電圧V<sub>S</sub>、例えば、約4.1~約7ボルトにセットされる。選択されたワード線W<sub>1</sub> は、選択されたセルS両端のV<sub>S</sub>ボルトの電圧について再度接地される。選択されないワード線W<sub>0</sub> およびW<sub>2</sub> はV<sub>S</sub> - V<sub>D</sub> にセットされ、選択されないビット線B<sub>0</sub> およびB<sub>2</sub> はV<sub>D</sub> にセットされる。従って、選択されたセルS両端の電圧がV<sub>S</sub>であり、半選択されたセルHおよびFがV<sub>D</sub> の電圧にかけられるのに対し、V<sub>D</sub> - (V<sub>S</sub> - V<sub>D</sub>) の電圧が、選択されないセルUに印加される。

30

## 【0040】

例えば、V<sub>S</sub> が6ボルトであり、V<sub>D</sub> が0.8ボルトであると仮定する。選択されたビット線B<sub>1</sub> は6ボルトであり、選択されたワード線W<sub>1</sub> は接地されている。選択されないワード線W<sub>0</sub> およびW<sub>2</sub> が5.2ボルトであるのに対し、選択されないビット線B<sub>0</sub> およびB<sub>2</sub> は0.8ボルトである。従って、選択されたセルS両端の電圧は6ボルトであり、半選択されたセルHおよびF両端の電圧は0.8ボルトであり、選択されないセルU両端の電圧は-4.4Vである。

40

## 【0041】

図5dを参照すると、選択されたセルSを読み出すためには、読み出し電圧V<sub>RD</sub>がこのセル両端に印加されるべきである。読み出し電圧V<sub>RD</sub>は、例えば約1.5~約1.9ボルトである。選択されたビット線B<sub>1</sub> がV<sub>RD</sub>にセットされるのに対し、選択されたワード線W<sub>1</sub> は、選択されたセルS両端のV<sub>RD</sub>ボルトの電圧について再度接地される。選択されないワード線W<sub>0</sub> およびW<sub>2</sub> はV<sub>RD</sub>にセットされ、選択されないビット線B<sub>0</sub> およびB<sub>2</sub> はV<sub>D</sub> にセットされる。従って、半選択されたセルHがV<sub>D</sub> の電圧にかけられるのに対し、

50

$V_D - V_{RD}$ の電圧が選択されないセルUに印加される。半選択されたセルFは、選択されたセルSの正確な感知を保証するために、ほぼ0のバイアスにかけられる。

【0042】

例えば、 $V_{RD}$ が1.8ボルトであり、 $V_D$ が0.8ボルトであると仮定する。選択されたビット線 $B_1$ は1.8ボルトであり、選択されたワード線 $W_1$ は接地されている。選択されないワード線 $W_0$ および $W_2$ が1.8ボルトにあるのに対し、選択されないビット線 $B_0$ および $B_2$ は0.8ボルトである。従って、選択されたセルS両端の電圧は1.8ボルトであり、半選択セルH両端の電圧は0.8ボルトであり、選択されないセルU両端の電圧は-1.0ボルトであり、半選択されたセルF両端の電圧はほぼ0Vである。

【0043】

要約すると、メモリセルをプログラムするため、メモリセルの製造が完了した後、事前調整パルスが印加され、この事前調整パルスは、誘電破壊アンチヒューズを破壊するために役立ち、誘電破壊アンチヒューズを貫通して低抵抗破壊領域を形成し、またこの事前調整パルスは、抵抗率切り換え金属酸化物または窒化物化合物の層中に抵抗率切り換え領域を形成するために役立ち、抵抗率切り換え領域の抵抗率状態を変更する。事前調整パルスの後、切り換え領域は低抵抗率状態にあり、次に、切り換え領域を高抵抗率リセット状態にするために第1のリセットパルスが印加される。

【0044】

セルは、さらにプログラムされ得る。第1のリセットパルスの後、第1のプログラミングセットパルスを、切り換え領域をプログラムされたセット状態にするために印加することができ、メモリセルの第1のデータ状態は、切り換え領域の抵抗率状態に格納される。セルは、新しい値でプログラム、または消去することができる。第1のプログラミングセットパルスの後、第1のプログラミングリセットパルスを、切り換え領域をプログラムされたりセット状態にするために印加することができ、メモリセルの第2のデータ状態は、切り換え領域の抵抗率状態に格納され、以下同様である。

【0045】

アンチヒューズ層がメモリセル中に全く含まれていない場合、酸化ニッケル層118のリセットを、正の電圧で、すなわちダイオード両端の順方向バイアスで達成することが困難であることが判明している。酸化ニッケル層118の抵抗率がセット状態において低すぎれば、電流は酸化ニッケル層118を通してあまりに容易に流れて、リセットを行うのに十分な電圧を蓄積させることができない。いくつかの実施形態において、切り換えは、負バイアスにあるダイオードで、より容易に達成されている。しかし、アンチヒューズ層117があり、抵抗率切り換えが酸化ニッケル層118の狭い切り換えにおいてのみ起こるのであれば、酸化ニッケル層を通る電流は制限され、リセットを助ける。本発明において、順方向バイアス下のダイオードによりリセットが容易に達成可能であることが予想される。

【0046】

従って、各セルは、異なるメモリ状態にプログラムされ得る。例えば、本発明に従って形成されたアレイは、第1のメモリセルであって、第1のメモリセルの第1の誘電破壊アンチヒューズが破壊され、第1のメモリセルの第1の抵抗切り換えメモリ素子が低抵抗状態にある第1のメモリセルと、第2のメモリセルであって、第2のメモリセルの第2の誘電破壊アンチヒューズが破壊され、第2のメモリセルの第2の抵抗切り換えメモリ素子が高抵抗状態にある第2のメモリセルと、を含み得る。第2のメモリ素子は、第1のメモリ素子の抵抗よりも少なくとも3倍高い抵抗を有し得る。

【0047】

言及されたように、アンチヒューズによりもたらされる高度の制御により、3つ以上のデータ状態を達成することがより容易になる。従って、本発明に従って形成されたアレイは、第1のメモリセルであって、第1のメモリセルの第1の誘電破壊アンチヒューズが破壊され、第1のメモリセルの第1の抵抗切り換えメモリ素子が第1の抵抗状態にある第1のメモリセルと、第2のメモリセルであって、第2のメモリセルの第2の誘電破壊アンチ

10

20

30

40

50

ヒューズが破壊され、第2のメモリセルの第2の抵抗切り換えメモリ素子が第1の抵抗状態と異なる第2の抵抗状態にある第2のメモリセルと、第3のメモリセルであって、第3のメモリセルの第3の誘電破壊アンチヒューズが破壊され、第3のメモリセルの第3の抵抗切り換えメモリ素子が、第1の抵抗状態および第2の抵抗状態と異なる第3の抵抗状態にある第3のメモリセルと、を含み、第1、第2、および第3の抵抗状態が、検出可能に異なり、第1、第2、および第3のデータ状態と対応する。

【0048】

本発明の実施形態による好ましいメモリセルを形成する有利な方法の詳細な例が提供される。この例は、明確さおよび完全さのために提供されるが、限定的であることを意図するものではなく、本発明の範囲に入る構造およびデバイスが多く他の方法を用いて形成され得ることが当業者により理解されるべきである。

10

【0049】

容易に製造可能な高密度で不揮発性の一度プログラム可能なメモリアレイを製造するための有利な方法が、後に放棄され、本願明細書において参照により援用されている、Hernerらの米国特許出願第10/326,470号(以下「470出願」)(特許文献10)に教示されている。関連するメモリアレイ、ならびにそれらの使用および製造方法は、2004年9月29日に出願されたHernerらの「Nonvolatile Memory Cell Without a Dielectric Antifuse Having High- and Low-Impedance States」という米国特許出願第10/955,549号(以下「549出願」)(特許文献11)、および2004年12月17日に出願されたHernerらの「Nonvolatile Memory Cell Comprising a Reduced Height Vertical Diode」という米国特許出願第11/015,824号(以下「824出願」)(特許文献12)に教示されている。これら特許出願はすべて、本願明細書において参照により援用されている。これら援用されている特許出願において教示される方法は、本発明によるメモリアレイの製造において有用である。本発明を曖昧にすることを回避するために、援用されている特許および出願の多くの詳細は省かれる。しかし、これらの特許および特許出願のいずれの教示も除外されることを意図するものではないことが理解されるべきである。

20

【0050】

製造

本発明の好ましい実施形態に従って形成されるモノリシックな三次元メモリアレイの製造の詳細な例が提供される。明確にするため、ステップ、材料、およびプロセス条件を含む多くの詳細が含まれる。この例が非限定的であること、およびこれらの詳細が、修正、省略、または増大され得る一方で、その結果が本発明の範囲に入ることが理解されるべきである。

30

【0051】

図6aに目を向けると、メモリの形成は基板100から始まる。この基板100は、単結晶シリコン、シリコン-ゲルマニウムまたはシリコン-ゲルマニウム-炭素のようなI-V化合物、III-V化合物、II-VII化合物、そのような基板上的エピタキシャル層、あるいは何か他の半導体材料などの、当業社に知られたどのような半導体の基板であってもよい。基板は、その内部に製造された集積回路を含み得る。

40

【0052】

絶縁層102が基板100上に形成される。絶縁層102は、酸化ケイ素、窒化ケイ素、強誘電性膜、Si-C-O-H膜、または何か他の適切な絶縁材とすることができる。

【0053】

第1の導体200は、基板100および絶縁体102の上に形成される。絶縁層102と導電層106との間に接着層104が含まれ得る。接着層104としての好ましい材料は窒化チタンであるが、他の材料が用いられてもよく、またはこの層は省略され得る。接着層104は、任意の従来方法、例えばスパッタリングにより被着させることができる。

【0054】

接着層104の厚さは、約20~約500オングストロームに及ぶことができ、好まし

50

くは、約100～約400オングストローム、最も好ましくは約200オングストロームである。この議論において、「厚さ」は、基板100に直角の方向で測定された垂直な厚さを示すことに留意されたい。

【0055】

被着される次の層は導電層106である。導電層106は、ドーパされた半導体、タングステンのような金属、または導電性金属シリサイドのような、当業者に知られた任意の導電材料を含むことができ、好ましい実施形態において、導電層106はタングステンである。

【0056】

導体レールを形成するすべての層がひとたび被着されると、それらの層は、図6aに断面で示される実質的に平行で、実質的に共平面の導体200を形成するために、任意の適切なマスキングおよびエッチングプロセスを用いてパターン形成およびエッチングされる。1つの実施形態において、フォトレジストが被着され、フォトリソグラフィによりパターン形成され、層がエッチングされ、次に酸素含有プラズマ中での「アッシング」のような標準的な処理技法を用いてフォトレジスト層が除去され、エッチングの間に形成された残りのポリマーのストリップが、EKCにより処方された液体溶媒のような従来の液体溶媒中で除去される。

【0057】

次に、誘電材料108が導体レール200上およびその間に被着される。誘電材料108は、酸化ケイ素、窒化ケイ素、または酸窒化ケイ素のような任意の既知の電気絶縁材料であり得る。好ましい実施形態において、二酸化ケイ素が誘電材料108として用いられる。酸化ケイ素は、化学気相蒸着(CVD)、または、例えば、高密度プラズマCVD(HDPCVD)のような任意の既知のプロセスを用いて被着され得る。

【0058】

最後に、導体レール200上の過剰な誘電材料108が除去され、誘電材料108により分離された導体レール200の頂部が露出され、実質的に平坦な表面109が残される。結果として生じる構造が図6aに示してある。平坦な表面109を形成する誘電体過剰分のこの除去は、エッチバックまたは化学機械的平坦化(CMP)のような当業者に知られた任意のプロセスによって実行できる。例えば、2004年6月30日に出願され、その全体が本願明細書において参照により援用されている、Raghuramらの「Nonselective Unpatterned Etchback to Expose Buried Patterned Features」という米国特許出願第10/883,417号(特許文献13)に記載されたエッチバック技法を有利に用いることができる。

【0059】

代わりに、導体レールはダマシンプロセスにより形成することができ、そこでは、酸化物が被着され、溝が酸化物中にエッチングされ、次に、溝が導電材料で満たされて導体レールを作り出す。

【0060】

次に、図6bに目を向けると、垂直支柱が、完成された導体レール200上方に形成される。(スペースを節約するため、基板100は、図6bおよび以降の図において省略されているが、その存在は想定されている。)好ましい実施形態において、ダイオードを損なうことがある、導電層106のタングステンと被着されるダイオード中のシリコンとの接触およびそれに続くタングステンシリサイドの形成を防止するために、好ましくは窒化チタンの障壁層110が平坦な表面109上に被着される。

【0061】

支柱にパターン形成される半導体材料が被着される。この半導体材料は、例えば、シリコン、ゲルマニウム、あるいはシリコンおよび/またはゲルマニウムの合金であり得る。代わりに、p形半導体としての酸化ニッケルまたはn形半導体としての酸化チタンのような半導体金属酸化物を用いることができる。他の材料が代わりに用いられることが理解されるであろうが、本発明の例では、シリコンの使用を説明する。

10

20

30

40

50

## 【 0 0 6 2 】

好ましい実施形態において、半導体支柱は接合ダイオードを含み、この接合ダイオードは、第1の導電率タイプの底部の高濃度にドーピングされた領域および第2の導電率タイプの頂部の高濃度にドーピングされた領域を含む。頂部領域と底部領域との間の中間領域は、真性あるいは第1または第2の導電率タイプのいずれか一方の低濃度にドーピングされた領域である。

## 【 0 0 6 3 】

この例において、底部の高濃度にドーピングされた領域112は、高濃度にドーピングされたn形シリコンである。最も好ましい実施形態において、高濃度にドーピングされた領域112が被着され、任意の従来方法により、好ましくは、その場で(in situ)のドーピングにより、リンのようなn形ドーパントを用いてドーピングされる。この層は、好ましくは、約200~約800オングストロームの厚さである。

10

## 【 0 0 6 4 】

次に、ダイオードの残部を形成するシリコンが被着される。いくつかの実施形態において、次の平坦化ステップによっていくらかのシリコンが除去され、従って、余分な厚さが被着される。平坦化ステップが、従来CMP方法を用いて実行されれば、約800オングストロームの厚さは失われ得る(これは平均であり、量はウェハ全体にわたって変わる。CMPの間に用いられるスラリーおよび方法に応じて、シリコン損失はより多くまたはより少なくなり得る。)平坦化ステップがエッチバック方法により実行されれば、約400オングストローム以下のシリコンしか除去されないことがある。用いられる平坦化方法および所望の最終の厚さに応じて、約800~約4,000オングストローム、好ましくは約1,500~約2,500オングストローム、最も好ましくは約1,800~約2,200オングストロームのドーピングされていないシリコンが任意の従来方法により被着される。要望があれば、シリコンは低濃度にドーピングされ得る。

20

## 【 0 0 6 5 】

被着されたばかりのシリコンは、支柱300を形成するためにパターン形成およびエッチングされる。各支柱300が導体200の上に形成されるように、支柱300は、下方の導体200とほぼ同じピッチおよびほぼ同じ幅を有するべきである。多少の位置ずれは許容され得る。

## 【 0 0 6 6 】

支柱300は、任意の適切なマスキングおよびエッチングプロセスを用いて形成できる。例えば、フォトレジストを被着し、標準のフォトリソグラフィ技法を用いてパターン形成し、エッチングし、次にフォトレジストを除去することができる。代わりに、何か他の材料、例えば二酸化ケイ素のハードマスクを、半導体層スタック上で、底部反射防止被覆(BARC)をその上に載せて形成し、次にパターン形成およびエッチングすることができる。同様に、誘電性反射防止被覆(DARC)をハードマスクとして用いることもできる。

30

## 【 0 0 6 7 】

両方とも本発明の譲受人により所有され、本願明細書において参照により援用されている、2003年12月5日出願されたChenの「Photomask Features with Interior Non printing Window Using Alternating Phase Shifting」という米国特許出願第10/728,436号(特許文献14)、または2004年4月1日出願されたChenの「Photomask Features with Chromeless Nonprinting Phase Shifting Window」という米国特許出願第10/815,312号(特許文献15)に記載されるフォトリソグラフィ技法は、本発明によるメモリアレイの形成において用いられるどのフォトリソグラフィステップを実行するためにも有利に用い得る。

40

## 【 0 0 6 8 】

誘電材料108が支柱300の上およびそれらの間に被着されて、支柱間のギャップを満たす。誘電材料108は、二酸化ケイ素のような、任意の既知の電気絶縁材料であり得る。

50

## 【 0 0 6 9 】

次に、支柱 3 0 0 上の誘電材料が除去されて、誘電材料 1 0 8 により分離された支柱 3 0 0 の頂部が露出され、実質的に平坦な表面が残される。誘電材料過剰分のこの除去および平坦化は、CMP またはエッチバックのような、当業者に知られた任意のプロセスによって実行できる。例えば、Raghuram らの米国特許出願に記載されたエッチバック技法を用いることができる。

## 【 0 0 7 0 】

好ましい実施形態において、頂部の高濃度にドーブされた領域 1 1 6 が、p 形ドーパント、例えばホウ素または  $B F_2$  を用いたイオン注入によりこの時点で形成される。結果として生じる構造が図 6 b に示してある。本願明細書中で説明されるダイオードは、底部 n 形領域 1 1 2 および頂部 p 形領域 1 1 6 を有する。好ましければ、導電性タイプは逆にすることができる。所望されれば、底部上に n 形領域を有する p - i - n ダイオードを 1 つのメモリレベルにおいて用いることができる一方で、底部上に p 形領域を有する p - i - n ダイオードが別のメモリレベルにおいて用いることができる。

10

## 【 0 0 7 1 】

要約すると、ダイオードは、シリコン、ゲルマニウム、あるいはシリコンまたはゲルマニウムの合金の半導体層スタックを被着するステップと、垂直配向された支柱を形成するために層スタックをパターン形成およびエッチングするステップと、を含む方法によって形成される。ダイオード間のギャップは、誘電体で満たされ、誘電体過剰分は除去される。

20

## 【 0 0 7 2 】

図 6 c を参照すると、誘電破壊アンチヒューズ 1 1 7 が次に形成される。好ましい実施形態において、アンチヒューズ 1 1 9 は、酸化ケイ素、窒化ケイ素、または酸窒化ケイ素のような誘電材料、好ましくは二酸化ケイ素の層である。二酸化ケイ素層は、例えば、シリコン層 1 1 6 の酸化により成長させることができる。一般に、被着されるのではなく成長させられる（例えば、下にある層からのいくらかのシリコンを消費することによる酸化によって）酸化物は、類似の被着誘電体よりも、高密度であり、欠陥が少なく、かつ品質が高い。いくつかの実施形態において、 $S i_3 N_4$  または  $A l_2 O_3$  のような、高い K 値を有する誘電体が好ましいことがある。

30

## 【 0 0 7 3 】

次に、導電性障壁材料、例えば、窒化チタン、金属、または何か他の適切な材料の任意の層 1 2 1 が被着され得る。層 1 2 1 の厚さは、約 2 5 ~ 約 2 0 0 オングストローム、好ましくは約 5 0 オングストロームであり得る。好ましい実施形態において、層 1 2 1 は、本願明細書において参照により援用されている、2 0 0 3 年 6 月 3 0 日に出願された Herner の「Low-Density, High-Resistivity Titanium Nitride Layer for Use as a Contact for Low-Leakage Dielectric Layers」という米国特許第 6, 9 5 6, 2 7 8 号（特許文献 1 6）に記載されるような、セルフバイアスを全く印加しない窒化チタンのイオン化金属プラズマ被着により形成される高抵抗率、低密度窒化チタンである。例えば、この窒化チタンは、約 3 0 0 マイクロオーム - c m s より大きい抵抗率および 1 立方センチメートルあたり約 4 . 2 5 グラム未満の密度を有し得る。いくつかの実施形態において、層 1 2 1 は省略できる。

40

## 【 0 0 7 4 】

金属酸化物または窒化物抵抗切り換え材料の層 1 1 8 は、障壁層 1 2 1 上に被着、または、障壁層 1 2 1 が省略されていれば、この層は、アンチヒューズ 1 1 7 上に直接被着される。層 1 1 8 は好ましくは、約 5 0 ~ 約 4 0 0 オングストロームの厚さである。層 1 1 8 は、以前に記載された材料のうちいずれであってもよく、好ましくは、抵抗切り換え挙動を示すただ 1 種の金属を含む金属酸化物または窒化物、好ましくは、 $N i_x O_y$ 、 $N b_x O_y$ 、 $T i_x O_y$ 、 $H f_x O_y$ 、 $A l_x O_y$ 、 $M g_x O_y$ 、 $C o_x O_y$ 、 $C r_x O_y$ 、 $V_x O_y$ 、 $Z n_x O_y$ 、 $Z r_x O_y$ 、 $B_x N_y$ 、および  $A l_x N_y$  から成る群から選ばれる材料で形成される。話を簡潔にするため、この議論は、層 1 1 8 における酸化ニッケ

50

ルの使用を論じる。しかし、記載された他の材料のいずれも使用され得ることが理解される。

【 0 0 7 5 】

本願明細書において参照により援用されている、2005年11月23日に出願されたHernerらの「Reversible Resistivity-Switching Metal Oxide or Nitride Layer with a dded Metal」という米国特許出願第11/287,452号(特許文献17)に記載されるように、抵抗率切り換え金属酸化物または窒化物化合物への金属の添加は、金属酸化物または窒化物化合物の抵抗率切り換え層を安定な抵抗率状態間で切り換えるために必要とされるセットおよびリセット電圧の低下において有効であった。いくつかの実施形態において、金属を層118の金属酸化物または窒化物化合物に添加することができる。好ましい金属として、コバルト、アルミニウム、ガリウム、インジウム、ニッケル、ニオブ、ジルコニウム、チタン、ハフニウム、タンタル、マグネシウム、クロム、バナジウム、ホウ素、イットリウム、およびランタンが含まれる。好ましくは、金属添加物は、金属酸化物または窒化物化合物の層中の金属原子の約0.01~約5パーセントである。

10

【 0 0 7 6 】

最後に、好ましい実施形態において、障壁層123が酸化ニッケル層118上に被着される。層123は、好ましくは窒化チタンであるが、何か他の適切な導電性障壁材料を代わりに用いることもできる。いくつかの実施形態において、層123は省略され得る。

【 0 0 7 7 】

層123、118、および121は、短い支柱を、理想的には前のパターン形成およびエッチングステップにおいて形成された支柱300のすぐ上に形成するために、パターン形成およびエッチングされる。図6cに示されるように、多少の位置ずれが生じることがあるが、これは許容され得る。支柱300をパターン形成するために用いられたフォトマスクを、このパターン形成ステップにおいて再利用することができる。

20

【 0 0 7 8 】

別の実施形態において、障壁層121、酸化ニッケル層118、および任意に障壁層123を、ダイオード層112、114、および116の前(従って、その直下)に形成することができる。同じまたは別個のパターン形成ステップにおいてパターン形成されてもよい。この場合、アンチヒューズ層117は、酸化ニッケル層118とダイオード層との間に形成される。

30

【 0 0 7 9 】

層123、118、および121を含む短いエッチングされた支柱の上およびそれらの間に誘電材料108が被着され、例えばCMPによる平坦化ステップによって、過剰分が除去され、平坦化された表面に短い支柱の頂部層が露出される。

【 0 0 8 0 】

次に、図6dに目を向けると、頂部導体400を形成するために導電性材料またはスタックが被着される。好ましい実施形態において、窒化チタン障壁層120が次に被着され、続いてタングステン層124が被着される。頂部導体400は、底部導体200と同じ方法でパターン形成およびエッチングされ得る。上から覆っている第2の導体400は、好ましくは、第1の導体200と異なる方向、好ましくは第1の導体を実質的に垂直な方向に延びている。各支柱300は、頂部導体400と底部導体200との交点に形成されるべきである。多少の位置ずれは許容され得る。誘電材料(図示せず)が、導体400の上およびそれらの間に被着される。図6dに示される、結果として生じる構造は、メモリセル底部または第1層である。

40

【 0 0 8 1 】

付加的なメモリレベルを、この第1のメモリレベルの上に形成することができる。いくつかの実施形態において、導体は複数のメモリレベルによって共有することができ、すなわち、頂部導体400は、次のメモリレベルの底部導体の役割を果たす。他の実施形態において、レベル間誘電体が、図6dの第1のメモリレベル上方に形成され、その表面が平坦化され、第2のメモリレベルの構築が、共有される導体なしで、この平坦化されたレベ

50

ル間誘電体上から始まる。

【0082】

アニールステップにより、シリコンがポリシリコンに結晶化される。このアニールは、メモリレベルの製造が完了した後に単一ステップとして行うことができ、あるいは、熱酸化によりアンチヒューズを成長されるために必要とされる温度は、半導体材料を結晶化させるのに十分なことがあり、別個のアニールは必要とされないことがある。

【0083】

フォトマスクは、各層をパターン形成するためにフォトリソグラフィの間に使用される。特定の層が各メモリレベル中で繰り返され、それらを形成するために用いられるフォトマスクが再利用されることがある。例えば、図6dの支柱300を画定するフォトマスクは、各メモリレベルについて再利用することができる。各フォトマスクは、各フォトマスクを適切に位置合わせするために用いられる基準マークを含んでいる。フォトマスクが再利用される場合、第2またはその後の使用において形成された基準マークは、同じフォトマスクの以前の使用時に形成された同じ基準マークに干渉することがある。本願明細書において参照により援用されている、2005年3月31日に出願されたChenらの「Masking of Repeated Overlay and Alignment Marks to Allow Reuse of Photomasks in a Vertical Structure」という米国特許出願第11/097,496号(特許文献18)は、本発明のものと同様のモノリシックな三次元メモリアレイの形成時のそのような干渉を回避する方法を記載している。

10

【0084】

本発明の好ましい実施形態によるモノリシックな三次元メモリアレイにおいて、回路系は、各メモリセルを、1つ、2つ、3つ、およびそれ以上のプログラムされた値にプログラムし、それを複数回消去するように適合される。

20

【0085】

要約すると、説明されたものは、i)基板の上方に形成された第1のメモリレベルであって、第1のメモリレベルが、a)複数の実質的に平行で、実質的に共平面の第1の導体と、b)第1の導体の上方の複数の実質的に平行で、実質的に共平面の第2の導体と、c)第1の複数のメモリセルであって、各メモリセルが、誘電破壊アンチヒューズ、底部導体の1つの一部、頂部導体の1つの一部、抵抗率切り換え金属酸化物または窒化物化合物の層を含む第1の複数のメモリセルと、を含み、金属酸化物または窒化物化合物がただ1種の金属を含み、誘電破壊アンチヒューズおよび抵抗率切り換え金属酸化物または窒化物の層が、頂部導体の部分と底部導体の部分との間に電氣的に直列に配置されている第1のメモリレベルと、ii)第1のメモリレベルの上方にモノリシック的に形成された第2のメモリレベルと、を含むモノリシックな三次元メモリアレイの一例である。

30

【0086】

製造の詳細な方法が説明されたが、多くの変形が可能である。抵抗率切り換え層は、図1におけるように、ダイオードの上方にあっても、あるいは下方にあってもよい。抵抗率切り換え層は、図1におけるように、支柱の一部であってもよい。しかし、抵抗率切り換えは、電流が流れる狭い切り換え領域においてのみ生じることに留意されたい。抵抗率切り換え材料が比較的高い抵抗率状態において形成されれば、その材料を、頂部導体または底部導体の一部として形成することができ、非切り換え領域のより高い抵抗率は、隣接するセルと一緒に短絡されることを防止し得る。

40

【0087】

アンチヒューズは、例えば、抵抗率切り換え層の上方または下方のいずれか一方にあり得る。しかし、アンチヒューズは、抵抗率切り換え層の非常に近くにあるべきであり、好ましくは、抵抗率切り換え層にすぐ隣接するかまたは薄い障壁層のみが介在する。

【0088】

抵抗率切り換え層およびダイオード双方が、図1におけるように、垂直配向された支柱に形成されるのであれば、抵抗率切り換え層およびダイオードは、単一のパターン形成ステップ、または別個の複数のパターン形成ステップにおいて形成され得る。

50



## 【 0 0 8 9 】

いくつかの実施形態において、非常に小さいアレイにおいて、ダイオードは省略されてもよく、メモリセルは、抵抗率切り換え層およびアンチヒューズのみを導体間で直列に含み得る。

## 【 0 0 9 0 】

説明したばかりの選択肢のいずれも組み合わせることができる。

製造の詳細な方法を本願明細書中で説明してきたが、結果が本発明の範囲に入る限り、同じ構造を形成するどのような他の方法も用いることができる。

## 【 0 0 9 1 】

前述した詳細な説明は、本発明が取り得る多くの形態のいくつかを説明したにすぎない。この理由により、この詳細な説明は、例示の目的を意図するものであって、限定の目的を意図するものではない。本発明の範囲を規定することを意図するものは、すべての同等物を含む特許請求の範囲のみである。

10

## 【 図面の簡単な説明 】

## 【 0 0 9 2 】

【 図 1 】本発明の好ましい実施形態に従って形成された不揮発性メモリセルの斜視図である。

【 図 2 】図 1 の複数のメモリセルを含むメモリレベルの部分の斜視図である。

【 図 3 】 ' 9 3 9 出願によるメモリセルの斜視図である。

【 図 4 】小さい導電性破壊領域が貫通して形成された誘電破壊アンチヒューズの平面図である。

20

【 図 5 a 】隣接する半選択されたセル H および F ならびに選択されないセル U を妨害することなく、選択されたメモリセル S を事前調整するためのバイアス方式を例示する回路図である。

【 図 5 b 】隣接する半選択されたセル H および F ならびに選択されないセル U を妨害することなく、選択されたメモリセル S をリセットするためのバイアス方式を例示する回路図である。

【 図 5 c 】隣接する半選択されたセル H および F ならびに選択されないセル U を妨害することなく、選択されたメモリセル S をセットするためのバイアス方式を例示する回路図である。

30

【 図 5 d 】隣接する半選択されたセル H および F ならびに選択されないセル U を妨害することなく、選択されたメモリセル S を読み出すためのバイアス方式を例示する回路図である。

【 図 6 a 】本発明の好ましい実施形態に従って形成されたモノリシックな三次元メモリアレイにおけるメモリレベルの形成における段階を例示する断面図である。

【 図 6 b 】本発明の好ましい実施形態に従って形成されたモノリシックな三次元メモリアレイにおけるメモリレベルの形成における段階を例示する断面図である。

【 図 6 c 】本発明の好ましい実施形態に従って形成されたモノリシックな三次元メモリアレイにおけるメモリレベルの形成における段階を例示する断面図である。

【 図 6 d 】本発明の好ましい実施形態に従って形成されたモノリシックな三次元メモリアレイにおけるメモリレベルの形成における段階を例示する断面図である。

40

【 図 1 】

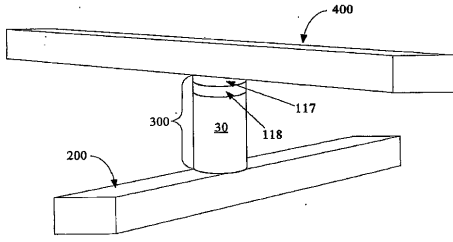


Fig. 1

【 図 3 】

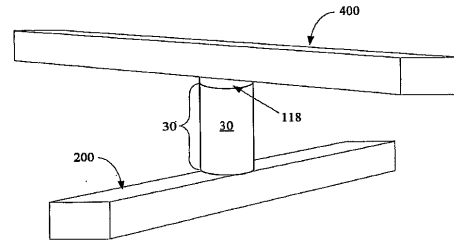


Fig. 3

【 図 2 】

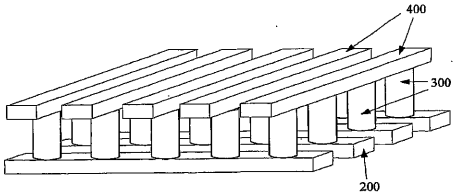


Fig. 2

【 図 4 】

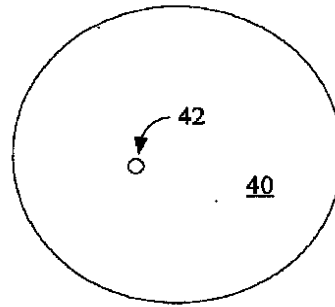


Fig. 4

【 図 5 a 】

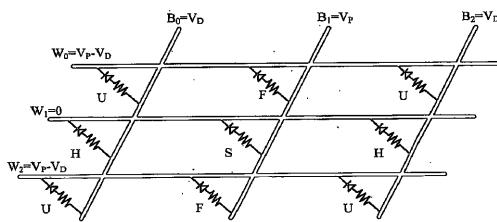


Fig. 5a

【 図 5 c 】

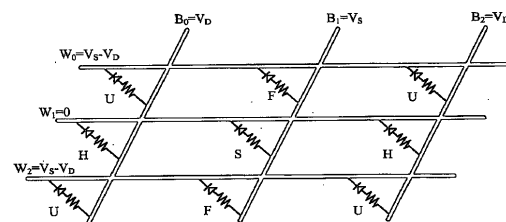


Fig. 5c

【 図 5 b 】

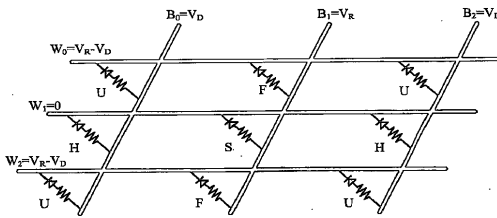


Fig. 5b

【 図 5 d 】

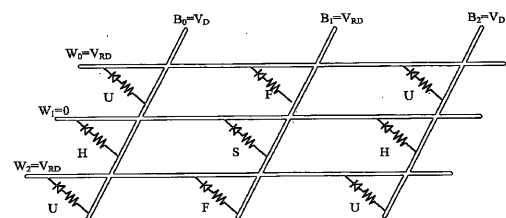


Fig. 5d

【 図 6 a 】

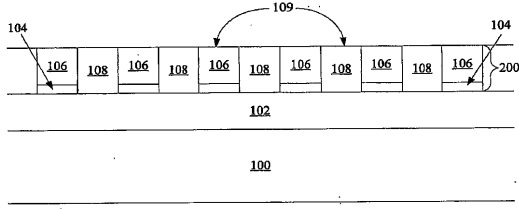


Fig. 6a

【 図 6 d 】

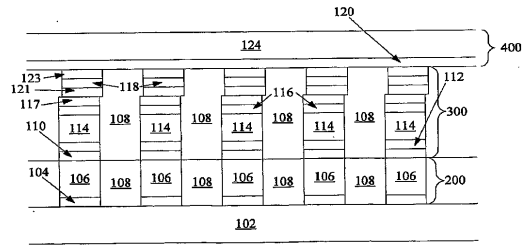


Fig. 6d

【 図 6 b 】

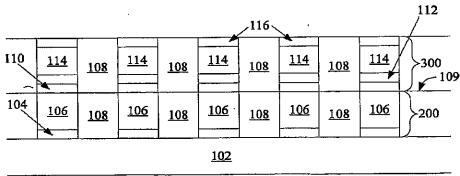


Fig. 6b

【 図 6 c 】

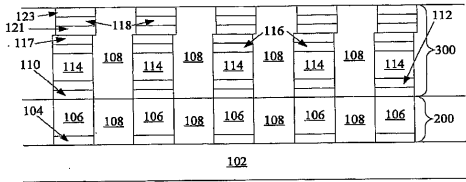


Fig. 6c

## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No PCT/US2007/007153
---

A. CLASSIFICATION OF SUBJECT MATTER INV. G11C13/00		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, INSPEC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	BAEK I G ET AL: "Multi-layer cross-point binary oxide resistive memory (OxRRAM) for post-NAND storage application" ELECTRON DEVICES MEETING, 2005. IEDM TECHNICAL DIGEST. IEEE INTERNATIONAL DEC. 5, 2005, PISCATAWAY, NJ, USA, IEEE, 5 December 2005 (2005-12-05), pages 750-753, XP010903661 ISBN: 0-7803-9268-X	1-11
A	page 750, right-hand column, paragraph 2 - page 751, right-hand column, paragraph 2; figure 11	12-15
Y	US 2006/006495 A1 (HERNER S B [US] ET AL) 12 January 2006 (2006-01-12)	1-11
A	paragraphs [0062], [0063]; figure 4c	12-15
	-/-	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family		
Date of the actual completion of the international search <b>29 August 2007</b>		Date of mailing of the international search report <b>06/09/2007</b>
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer  <b>Colling, Pierre</b>

## INTERNATIONAL SEARCH REPORT

International application No  
PCT/US2007/007153

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2003/081446 A1 (FRICKE PETER [US] ET AL FRICKE PETER [US] ET AL) 1 May 2003 (2003-05-01) paragraph [0024] - paragraph [0030]	1-11
A	US 2006/067117 A1 (PETTI CHRISTOPHER J [US]) 30 March 2006 (2006-03-30) paragraph [0074] - paragraph [0079]; figure 4	12-15
A	US 3 796 926 A (LAIBOWITZ R ET AL) 12 March 1974 (1974-03-12) column 3, line 37 - column 8, line 16	11
P,A	WO 2006/121837 A (SANDISK 3D LLC [US]; HERNER S BRAD [US]; KUMAR TANMAY [US]; PETTI CHRI) 16 November 2006 (2006-11-16) paragraph [0001] - paragraph [0016]	1-15
P,A	WO 2006/078505 A (MATRIX SEMICONDUCTOR INC [US]; SCHEUERLEIN ROY E [US]; HERNER S BRAD [US]) 27 July 2006 (2006-07-27) paragraph [0087] - paragraph [0088]; claims 89-96	12-15

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No

PCT/US2007/007153

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2006006495	A1	12-01-2006	NONE
US 2003081446	A1	01-05-2003	EP 1308961 A2 07-05-2003 HK 1051600 A1 04-04-2007 JP 2003188349 A 04-07-2003 US 2003161175 A1 28-08-2003
US 2006067117	A1	30-03-2006	EP 1803129 A2 04-07-2007 WO 2006039370 A2 13-04-2006
US 3796926	A	12-03-1974	DE 2215264 A1 05-10-1972 FR 2131977 A5 17-11-1972 GB 1363985 A 21-08-1974 JP 55039916 B 14-10-1980
WO 2006121837	A	16-11-2006	US 2006250836 A1 09-11-2006 US 2006250837 A1 09-11-2006
WO 2006078505	A	27-07-2006	NONE

---

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

Fターム(参考) 5F083 FZ10 GA10 GA27 JA60 MA01 MA15 ZA21