【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第４区分
【発行日】平成20年1月31日(2008.1.31)

【公表番号】特表2007-513456(P2007-513456A)
【公表日】平成19年5月24日(2007.5.24)
【年通号数】公開・登録公報2007-019
【出願番号】特願2006-542737(P2006-542737)
【国際特許分類】
Ｇ１１Ｃ　16/02　(2006.01)
Ｇ１１Ｃ　16/04　(2006.01)
【ＦＩ】
Ｇ１１Ｃ　17/00　６１１Ｅ
Ｇ１１Ｃ　17/00　６２２Ｅ

【手続補正書】
【提出日】平成19年11月29日(2007.11.29)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
複数の直列接続されたＮＡＮＤストリングに配置されたメモリセルを含むメモリアレイを有する集積回路を作動させるための方法であって、前記メモリセルは変更可能なコンダクタンススイッチデバイスを含み、前記変更可能なコンダクタンススイッチデバイスは薄膜トランジスタ（ＴＦＴ）デバイスを含み、前記方法は、被選択メモリセルのための合計のプログラミング時間を実現するために被選択ワード線を何度もプログラミング電圧にパルスにし、個々のプログラミングパルスを実質的に合計のプログラミング時間未満の期間に制限し、これにより、被選択ブロックのＮＡＮＤストリング内におけるリーク電流の影響を制限するステップを含む、方法。
【請求項２】
少なくとも２つのプログラミングパルスの後にだけ読出動作を実行するステップをさらに含む、請求項１に記載の方法。
【請求項３】
プログラミングパルス間における関連するアレイ線上の抑制電圧を維持するステップをさらに含む、請求項１に記載の方法。
【請求項４】
リーク電流の影響は、長いプログラミングパルス中に発生する可能性のある、ＮＡＮＤストリング内の１つ以上の位置における電圧バイアスの変化を含む、請求項１に記載の方法。
【請求項５】
このような各々のプログラミングパルスの前に、被選択ブロックの被選択ＮＡＮＤストリングおよび非選択ＮＡＮＤストリング内においてそれぞれのバイアス条件を再設定するステップをさらに含む、請求項４に記載の方法。
【請求項６】
複数の直列接続されたＮＡＮＤストリングに配置されたメモリセルを含むメモリアレイを有する集積回路を作動させるための方法であって、前記メモリセルは変更可能なコンダクタンススイッチデバイスを含み、前記方法は、

被選択メモリセルのための合計のプログラミング時間を実現するために被選択ワード線を何度もプログラミング電圧にパルスにし、個々のプログラミングパルスを実質的に合計のプログラミング時間未満の期間に制限し、これにより、被選択ブロックのＮＡＮＤストリング内におけるリーク電流の影響を制限するステップと、

このような非選択ＮＡＮＤストリング内でバイアス条件を設定するために、被選択メモリブロック内の非選択ＮＡＮＤストリングを、抑制電圧を伝達する関連するアレイ線に結合するステップと、

まだ分離されていない場合、抑制電圧以外のバイアス電圧を伝達する関連するアレイ線から、被選択メモリブロック内における非選択ＮＡＮＤストリングを分離するステップとを含む、方法。

【請求項７】

プログラミングパルス間における関連するアレイ線上の抑制電圧を維持するステップをさらに含む、請求項６に記載の方法。

【請求項８】

抑制電圧を伝達する関連するアレイ線に非選択ＮＡＮＤストリングを結合しつつ、被選択ワード線をプログラミング電圧未満の電圧に駆動するステップと、

抑制電圧を伝達する関連するアレイ線から非選択ＮＡＮＤストリングを分離するステップと、

被選択ワード線をプログラミング電圧にパルスにするステップとをさらに含む、請求項６に記載の方法。

【請求項９】

被選択ワード線は、抑制電圧を伝達する関連するアレイ線から非選択ＮＡＮＤストリングを分離する前に接地され、次いで、プログラミング電圧に駆動される、請求項８に記載の方法。

【請求項１０】

非選択ＮＡＮＤストリングを分離するステップは、非選択ＮＡＮＤストリングの端部における複数の直列選択デバイスのうちの少なくとも１つをオフにするステップを含む、請求項６に記載の方法。

【請求項１１】

被選択メモリセルをプログラミングするビット線プログラミング電圧、または、被選択メモリセルのプログラミングを抑制するビット線抑制電圧のいずれかを伝達する関連するアレイ線に被選択ＮＡＮＤストリングを結合するステップと、

他の関連するアレイ線から被選択ＮＡＮＤストリングを分離するステップとをさらに含む、請求項１に記載の方法。

【請求項１２】

被選択ＮＡＮＤストリングを分離するステップは、被選択ＮＡＮＤストリングの端部における複数の直列選択デバイスのうちの少なくとも１つをオフにするステップを含む、請求項１１に記載の方法。

【請求項１３】

各ＮＡＮＤストリングを形成するそれぞれの複数の選択デバイスおよびメモリセルデバイスは、構造的に実質的に同一である、請求項１０または１２に記載の方法。

【請求項１４】

オフにするステップは、被選択ＮＡＮＤストリングの端部における複数の直列選択デバイスのうちの少なくとも２つのそれぞれのデバイスに対応するそれぞれの選択信号を異なるレベルに駆動するステップを含む、請求項１２に記載の方法。

【請求項１５】

異なるレベルのうちの１つが接地であり、異なるレベルのうちの別の１つが、接地と、被選択ワード線上で伝達されるプログラミング電圧との間の電圧である、請求項１４に記載の方法。

【請求項１６】

個々のプログラミングパルスが１マイクロ秒よりも短く、合計のプログラミング時間が１０マイクロ秒よりも長い、請求項１から１５のいずれかに記載の方法。
【請求項１７】
プログラミング電圧が１０～１６ボルトの範囲内である、請求項１から１６のいずれかに記載の方法。
【請求項１８】
変更可能なコンダクタンススイッチデバイスは、少なくとも時には、デプレッションモードのしきい値電圧を有するトランジスタを含む、請求項１から１７のいずれかに記載の方法。
【請求項１９】
変更可能なコンダクタンススイッチデバイスは、薄膜トランジスタ（ＴＦＴ）デバイスを含む、請求項１から１８のいずれかに記載の方法。
【請求項２０】
変更可能なコンダクタンススイッチデバイスは、メモリセル毎に２ビット以上のデータを記憶するために、コンダクタンスの３つ以上の公称値を有する、請求項１から１９のいずれかに記載の方法。
【請求項２１】
変更可能なコンダクタンススイッチデバイスは、電荷蓄積誘電体を有するトランジスタを含む、請求項１から２０のいずれかに記載の方法。
【請求項２２】
メモリセルトランジスタは、２つのデータ状態のうちの少なくとも１つのためにデプレッションモードのしきい値電圧を有する、請求項２１に記載の方法。
【請求項２３】
メモリアレイは、基板の上に形成されたメモリセルの少なくとも２つのプレーンを有する３次元のメモリアレイを含む、請求項１から２２のいずれかに記載の方法。
【請求項２４】
基板は、メモリアレイに結合される回路を含む単結晶基板を含む、請求項２３に記載の方法。
【請求項２５】
所与のメモリプレーンのＮＡＮＤストリングは、基板の上に形成された選択デバイスを含む、請求項２４に記載の方法。
【請求項２６】
集積回路であって、
複数の直列接続されたＮＡＮＤストリングに配置されたメモリセルを含むメモリアレイを含み、前記メモリセルは変更可能なコンダクタンススイッチデバイスを含み、前記集積回路はさらに、
前記メモリアレイに結合されたアレイ支持回路を含み、
前記集積回路は、請求項１から２５のいずれかに記載の方法を実行するために構成される、集積回路。
【請求項２７】
前記集積回路の設計、テストまたは作製の際に用いるのに好適なコンピュータ読取可能な記述形式で実現される、請求項２６に記載の集積回路。